

특허청구의 범위

청구항 1

이전 라인 데이터 및 현재 라인 데이터를 포함하는 라인 데이터를 수신하는 데이터 수신부;

복수의 출력 단자들을 통해 이전 스캔 시구간에 상기 이전 라인 데이터를 출력하고 현재 스캔 시구간에 상기 현재 라인 데이터를 출력하는 라인 데이터 출력부;

상기 복수의 출력 단자들의 서로 인접한 출력 단자들 사이에 연결되는 복수의 전하 공유 스위치들을 포함하는 전하 공유 회로부; 및

상기 이전 스캔 시구간과 상기 현재 스캔 시구간 사이의 현재 전하 공유 시구간에 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성되는 전하 공유 제어부를 포함하는 소스 드라이버.

청구항 2

제1 항에 있어서,

상기 복수의 출력 단자들 각각은 상기 라인 데이터에서 대응하는 비트의 논리 값에 대응하여 하이 레벨 또는 로우 레벨을 갖는 디지털 데이터 신호를 출력하는 것을 특징으로 하는 소스 드라이버.

청구항 3

제1 항에 있어서,

상기 데이터 수신부는 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 결정되는 현재 전하 공유 데이터를 포함하는 전하 공유 데이터를 수신하고,

상기 전하 공유 제어부는 상기 현재 전하 공유 데이터를 기초로 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성되는 것을 특징으로 하는 소스 드라이버.

청구항 4

제3 항에 있어서,

상기 라인 데이터 출력부는 상기 라인 데이터를 일시적으로 저장하는 라인 데이터 래치를 포함하고,

상기 전하 공유 제어부는 상기 전하 공유 데이터를 일시적으로 저장하는 전하 공유 데이터 래치를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 5

제3 항에 있어서,

상기 라인 데이터의 비트 수는 상기 전하 공유 데이터의 비트 수보다 1만큼 큰 것을 특징으로 하는 소스 드라이버.

청구항 6

제1 항에 있어서,

상기 라인 데이터 출력부는 제1 라인 데이터 래치 및 제2 라인 데이터 래치를 포함하고,

상기 제1 라인 데이터 래치는 상기 라인 데이터를 일시적으로 저장한 후 상기 제2 라인 데이터 래치에 출력하고

상기 제2 라인 데이터 래치는 상기 제1 라인 데이터 래치로부터 전송된 상기 라인 데이터를 일시적으로 저장하는 것을 특징으로 하는 소스 드라이버.

청구항 7

제6 항에 있어서,

상기 이전 라인 데이터가 상기 제2 라인 데이터 래치에 저장될 때, 상기 현재 라인 데이터는 상기 제1 라인 데이터 래치에 저장되는 것을 특징으로 하는 소스 드라이버.

청구항 8

제7 항에 있어서,

상기 전하 공유 제어부는 상기 제2 라인 데이터 래치 및 상기 제1 라인 데이터 래치로부터 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 수신하고, 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로, 상기 복수의 전하 공유 스위치들 중에서 상기 현재 전하 공유 시구간 동안 단락될 전하 공유 스위치를 결정하도록 구성되는 것을 특징으로 하는 소스 드라이버.

청구항 9

제8 항에 있어서,

상기 전하 공유 제어부는 상기 이전 라인 데이터의 비트들의 논리 값과 상기 현재 라인 데이터의 비트들의 논리 값을 비교하여, 반전된 비트들의 개수가 상기 라인 데이터의 비트 수의 절반을 초과하는 경우 상기 복수의 전하 공유 스위치들이 모두 단락되도록 상기 복수의 전하 공유 스위치들을 제어하도록 구성되는 것을 특징으로 하는 소스 드라이버.

청구항 10

제8 항에 있어서,

상기 복수의 출력 단자들은 서로 인접한 제1 및 제2 출력 단자들을 포함하고, 상기 복수의 전하 공유 스위치들은 상기 제1 및 제2 출력 단자들 사이에 연결되는 제1 전하 공유 스위치를 포함하며,

상기 전하 공유 제어부는 상기 이전 라인 데이터에서 상기 제1 및 제2 출력 단자들에 대응하는 비트들의 논리 값인 제1 및 제2 논리 값들 및 상기 현재 라인 데이터에서 상기 제1 및 제2 출력 단자들에 대응하는 비트들의 논리 값인 제3 및 제4 논리 값들을 기초로, 상기 제1 전하 공유 스위치를 제어하도록 구성되는 것을 특징으로 하는 소스 드라이버.

청구항 11

제10 항에 있어서,

상기 전하 공유 제어부는 상기 제1 논리 값이 상기 제2 및 제3 논리 값과 상이하고 상기 제4 논리 값과 동일한 경우에 상기 제1 전하 공유 스위치가 단락되도록 제어하는 것을 특징으로 하는 소스 드라이버.

청구항 12

제1 항에 있어서,

상기 전하 공유 회로부는 상기 라인 데이터 출력부와 상기 복수의 출력 단자들 사이에 각각 연결되는 복수의 출력 스위치들을 더 포함하고,

상기 복수의 출력 스위치들은 상기 이전 스캔 시구간과 상기 현재 스캔 시구간 동안에 단락되고 상기 현재 전하 공유 시구간 동안에 개방되도록 구성되는 것을 특징으로 하는 소스 드라이버.

청구항 13

복수의 픽셀들;

상기 복수의 픽셀들에 연결되는 복수의 소스 라인들;

이전 라인 데이터 및 현재 라인 데이터를 수신하는 데이터 수신부;

이전 스캔 시구간 동안에 상기 이전 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력하고, 현재 스캔 시구간 동안에 상기 현재 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력하는 라인 데이터 출력부;

상기 복수의 소스 라인들 중에서 서로 인접한 소스 라인들 사이에 연결되는 복수의 전하 공유 스위치들; 및
상기 이전 스캔 시구간과 상기 현재 스캔 시구간 사이의 현재 전하 공유 시구간에 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성되는 전하 공유 제어부를 포함하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 복수의 전하 공유 스위치들 각각은 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 개별적으로 단락 또는 개방되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

복수의 픽셀들, 및 상기 복수의 픽셀들에 연결되는 복수의 소스 라인들을 포함하는 유기 발광 표시 장치의 구동 방법에 있어서,

이전 라인 데이터 및 현재 라인 데이터를 포함하는 라인 데이터를 수신하는 단계;

이전 스캔 시구간 동안에 상기 이전 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력하는 단계;

현재 전하 공유 시구간 동안에 상기 복수의 소스 라인들 중에서 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 선택된 인접한 소스 라인들을 서로 전기적으로 연결하여 상기 선택된 인접한 소스 라인들 간에 전하를 공유하는 단계; 및

현재 스캔 시구간 동안에 상기 현재 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력하는 단계를 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 16

제15 항에 있어서,

상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로, 상기 현재 라인 데이터의 비트 수보다 1만큼 작은 비트 수를 갖는 현재 전하 공유 데이터를 생성하는 단계를 더 포함하고,

상기 현재 전하 공유 데이터의 비트들의 논리 값을 기초로, 상기 복수의 소스 라인들 중에서 서로 전기적으로 연결될 인접한 소스 라인들이 선택되는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 17

제16 항에 있어서,

상기 현재 전하 공유 데이터의 i 번째 비트가 제1 논리 값을 갖는 경우, 상기 복수의 소스 라인들 중에서 i 번째 소스 라인과 $(i+1)$ 번째 소스 라인은 서로 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 18

제16 항에 있어서,

상기 현재 전하 공유 데이터를 생성하는 단계는,

상기 이전 라인 데이터의 비트들의 논리 값과 상기 현재 라인 데이터의 비트들의 논리 값을 순서대로 비교하는 단계; 및

반전된 비트들의 개수가 상기 현재 라인 데이터의 비트 수의 절반을 초과하는 경우, 모든 비트들이 제1 논리 값을 갖는 상기 현재 전하 공유 데이터를 생성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 19

제16 항에 있어서,

상기 현재 전하 공유 데이터 생성하는 단계는 상기 이전 라인 데이터의 i 번째 비트의 논리 값, 상기 이전 라인 데이터의 $(i+1)$ 번째 비트의 논리 값, 상기 현재 라인 데이터의 i 번째 비트의 논리 값, 및 상기 현재 라인 데이터의 $(i+1)$ 번째 비트의 논리 값을 기초로 상기 현재 전하 공유 데이터의 i 번째 비트의 논리 값을 결정하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 20

제19 항에 있어서,

상기 현재 라인 데이터의 i 번째 비트의 논리 값이 상기 이전 라인 데이터의 i 번째 비트의 논리 값 및 상기 현재 라인 데이터의 $(i+1)$ 번째 비트의 논리 값과 상이하고 상기 이전 라인 데이터의 $(i+1)$ 번째 비트의 논리 값과 동일한 경우에, 상기 현재 전하 공유 데이터의 i 번째 비트가 제1 논리 값을 갖는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 표시 장치에 관한 것으로서, 더욱 구체적으로는 디지털 구동 방식의 소스 드라이버, 유기 발광 표시 장치, 및 유기 발광 표시 장치의 구동 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하며, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치(예컨대, 액티브 매트릭스형 유기 발광 표시 장치)는 복수의 게이트 라인, 복수의 소스 라인 및 복수의 전원 라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수의 픽셀들을 포함한다. 유기 발광 표시 장치는 전압 또는 전류 데이터의 크기를 조절하여 계조를 표현하는 아날로그 구동 방식, 또는 발광 시간을 조절하여 계조를 표현하는 디지털 구동 방식으로 구동된다.

[0004] 디지털 구동 방식으로 구동되는 유기 발광 표시 장치는 발광 동작 시에 소비 전력이 감소될 수 있으나, 해상도가 높아짐에 따라 소스 라인에 상대적으로 고속으로 데이터를 기입해야 하므로, 소스 라인의 충/방전 소비 전력이 증가하는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하고자 하는 과제는 소스 라인의 충/방전 소비 전력을 감소시킬 수 있는 디지털 구동 방식의 소스 드라이버, 유기 발광 표시 장치, 및 유기 발광 표시 장치의 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 소스 드라이버는 데이터 수신부, 라인 데이터 출력부, 전하 공유 회로부 및 전하 공유 제어부를 포함한다. 상기 데이터 수신부는 이전 라인 데이터 및 현재 라인 데이터를 포함하는 라인 데이터를 수신한다. 상기 라인 데이터 출력부는 복수의 출력 단자들을 통해 이전 스캔 시구간에 상기 이전 라인 데이터를 출력하고 현재 스캔 시구간에 상기 현재 라인 데이터를 출력한다. 상기 전하 공유 회로부는 상기 복수의 출력 단자들의 서로 인접한 출력 단자들 사이에 연결되는 복수의 전하 공유 스위치들을 포함한다. 상기 전하 공유 제어부는 상기 이전 스캔 시구간과 상기 현재 스캔 시구간 사이의 현재 전하 공유 시구간에 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성된다.

[0007] 상기 소스 드라이버의 일 예에 따르면, 상기 복수의 출력 단자들 각각은 상기 라인 데이터에서 대응하는 비트의 논리 값에 대응하여 하이 레벨 또는 로우 레벨을 갖는 디지털 데이터 신호를 출력할 수 있다.

[0008] 상기 소스 드라이버의 다른 예에 따르면, 상기 데이터 수신부는 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 결정되는 현재 전하 공유 데이터를 포함하는 전하 공유 데이터를 수신할 수 있다. 상기 전하 공유 제어부는 상기 현재 전하 공유 데이터를 기초로 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성될 수

있다.

- [0009] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 라인 데이터 출력부는 상기 라인 데이터를 일시적으로 저장하는 라인 데이터 래치를 포함할 수 있다. 상기 전하 공유 제어부는 상기 전하 공유 데이터를 일시적으로 저장하는 전하 공유 데이터 래치를 포함할 수 있다.
- [0010] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 라인 데이터의 비트 수는 상기 전하 공유 데이터의 비트 수보다 1만큼 클 수 있다.
- [0011] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 라인 데이터 출력부는 제1 라인 데이터 래치 및 제2 라인 데이터 래치를 포함할 수 있다. 상기 제1 라인 데이터 래치는 상기 라인 데이터를 일시적으로 저장한 후 상기 제2 라인 데이터 래치에 출력할 수 있다. 상기 제2 라인 데이터 래치는 상기 제1 라인 데이터 래치로부터 전송된 상기 라인 데이터를 일시적으로 저장할 수 있다.
- [0012] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 이전 라인 데이터가 상기 제2 라인 데이터 래치에 저장될 때, 상기 현재 라인 데이터는 상기 제1 라인 데이터 래치에 저장될 수 있다.
- [0013] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 전하 공유 제어부는 상기 제2 라인 데이터 래치 및 상기 제1 라인 데이터 래치로부터 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 수신하고, 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로, 상기 복수의 전하 공유 스위치들 중에서 상기 현재 전하 공유 시구간 동안 단락될 전하 공유 스위치를 결정하도록 구성될 수 있다.
- [0014] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 전하 공유 제어부는 상기 이전 라인 데이터의 비트들의 논리 값과 상기 현재 라인 데이터의 비트들의 논리 값을 비교하여, 반전된 비트들의 개수가 상기 라인 데이터의 비트수의 절반을 초과하는 경우 상기 복수의 전하 공유 스위치들이 모두 단락되도록 상기 복수의 전하 공유 스위치들을 제어하도록 구성될 수 있다.
- [0015] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 복수의 출력 단자들은 서로 인접한 제1 및 제2 출력 단자들을 포함하고, 상기 복수의 전하 공유 스위치들은 상기 제1 및 제2 출력 단자들 사이에 연결되는 제1 전하 공유 스위치를 포함할 수 있다. 상기 전하 공유 제어부는 상기 이전 라인 데이터에서 상기 제1 및 제2 출력 단자들에 대응하는 비트들의 논리 값인 제1 및 제2 논리 값들 및 상기 현재 라인 데이터에서 상기 제1 및 제2 출력 단자들에 대응하는 비트들의 논리 값인 제3 및 제4 논리 값들을 기초로, 상기 제1 전하 공유 스위치를 제어하도록 구성될 수 있다.
- [0016] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 전하 공유 제어부는 상기 제1 논리 값이 상기 제2 및 제3 논리 값과 상이하고 상기 제4 논리 값과 동일한 경우에 상기 제1 전하 공유 스위치가 단락되도록 제어할 수 있다.
- [0017] 상기 소스 드라이버의 또 다른 예에 따르면, 상기 전하 공유 회로부는 상기 라인 데이터 출력부와 상기 복수의 출력 단자들 사이에 각각 연결되는 복수의 출력 스위치들을 더 포함할 수 있다. 상기 복수의 출력 스위치들은 상기 이전 스캔 시구간과 상기 현재 스캔 시구간 동안에 단락되고 상기 현재 전하 공유 시구간 동안에 개방되도록 구성될 수 있다.
- [0018] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 유기 발광 표시 장치는 복수의 픽셀들, 상기 복수의 픽셀들에 연결되는 복수의 소스 라인들, 데이터 수신부, 라인 데이터 출력부, 복수의 전하 공유 스위치들, 전하 공유 제어부를 포함한다. 상기 데이터 수신부는 이전 라인 데이터 및 현재 라인 데이터를 수신한다. 상기 라인 데이터 출력부는 이전 스캔 시구간 동안에 상기 이전 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력하고, 현재 스캔 시구간 동안에 상기 현재 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들을 상기 복수의 소스 라인들에 각각 출력한다. 상기 복수의 전하 공유 스위치들은 상기 복수의 소스 라인들 중에서 서로 인접한 소스 라인들 사이에 연결된다. 상기 전하 공유 제어부는 상기 이전 스캔 시구간과 상기 현재 스캔 시구간 사이의 현재 전하 공유 시구간에 상기 복수의 전하 공유 스위치들 각각을 제어하도록 구성된다.
- [0019] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 복수의 전하 공유 스위치들 각각은 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 개별적으로 단락 또는 개방될 수 있다.
- [0020] 상기 기술적 과제를 달성하기 위한 일 측면에 따른 유기 발광 표시 장치의 구동 방법에 따르면, 상기 유기 발광 표시 장치는 복수의 픽셀들, 및 상기 복수의 픽셀들에 연결되는 복수의 소스 라인들을 포함한다. 이전 라인 데이터 및 현재 라인 데이터를 포함하는 라인 데이터가 수신된다. 이전 스캔 시구간 동안에 상기 이전 라인 데이

터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들이 상기 복수의 소스 라인들에 각각 출력된다. 현재 전하 공유 시구간 동안에 상기 복수의 소스 라인들 중에서 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로 선택된 인접한 소스 라인들이 서로 전기적으로 연결되어 상기 선택된 인접한 소스 라인들 간에 전하가 공유된다. 현재 스캔 시구간 동안에 상기 현재 라인 데이터의 비트들의 논리 값에 대응하는 논리 레벨을 갖는 신호들이 상기 복수의 소스 라인들에 각각 출력된다.

[0021] 상기 유기 발광 표시 장치의 구동 방법의 일 예에 따르면, 상기 이전 라인 데이터 및 상기 현재 라인 데이터를 기초로, 상기 현재 라인 데이터의 비트 수보다 1만큼 작은 비트 수를 갖는 현재 전하 공유 데이터가 생성될 수 있다. 상기 현재 전하 공유 데이터의 비트들의 논리 값을 기초로, 상기 복수의 소스 라인들 중에서 서로 전기적으로 연결될 인접한 소스 라인들이 선택될 수 있다.

[0022] 상기 유기 발광 표시 장치의 구동 방법의 다른 예에 따르면, 상기 현재 전하 공유 데이터의 i 번째 비트가 제1 논리 값을 갖는 경우, 상기 복수의 소스 라인들 중에서 i 번째 소스 라인과 $(i+1)$ 번째 소스 라인은 서로 전기적으로 연결될 수 있다.

[0023] 상기 유기 발광 표시 장치의 구동 방법의 또 다른 예에 따르면, 상기 현재 전하 공유 데이터를 생성하는 단계에서, 상기 이전 라인 데이터의 비트들의 논리 값과 상기 현재 라인 데이터의 비트들의 논리 값이 순서대로 비교될 수 있다. 반전된 비트들의 개수가 상기 현재 라인 데이터의 비트 수의 절반을 초과하는 경우, 모든 비트들이 제1 논리 값을 갖는 상기 현재 전하 공유 데이터가 생성될 수 있다.

[0024] 상기 유기 발광 표시 장치의 구동 방법의 또 다른 예에 따르면, 상기 현재 전하 공유 데이터를 생성하는 단계에서, 상기 이전 라인 데이터의 i 번째 비트의 논리 값, 상기 이전 라인 데이터의 $(i+1)$ 번째 비트의 논리 값, 상기 현재 라인 데이터의 i 번째 비트의 논리 값, 및 상기 현재 라인 데이터의 $(i+1)$ 번째 비트의 논리 값을 기초로 상기 현재 전하 공유 데이터의 i 번째 비트의 논리 값이 결정될 수 있다.

[0025] 상기 유기 발광 표시 장치의 구동 방법의 또 다른 예에 따르면, 상기 현재 라인 데이터의 i 번째 비트의 논리 값이 상기 이전 라인 데이터의 i 번째 비트의 논리 값 및 상기 현재 라인 데이터의 $(i+1)$ 번째 비트의 논리 값과 상이하고 상기 이전 라인 데이터의 $(i+1)$ 번째 비트의 논리 값과 동일한 경우에, 상기 현재 전하 공유 데이터의 i 번째 비트는 제1 논리 값을 가질 수 있다.

[0026] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0027] 본 발명의 다양한 실시예들에 따르면 디지털 구동 방식으로 동작하는 유기 발광 표시 장치의 소스 라인의 충/방전 소비 전력을 감소시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.

도 2는 일 실시예에 따른 유기 발광 표시 장치의 픽셀(PX)의 예시적인 회로 구성을 도시한다.

도 3은 일 실시예에 따라서 유기 발광 표시 장치(100)의 제1 내지 제10 게이트 라인(GL1-GL10)을 통해 전달되는 스캔 신호들의 타이밍도가 예시적으로 도시한다.

도 4는 일 실시예에 따른 유기 발광 표시 장치(100)의 게이트 라인들(GL1, GL7, GL3) 및 소스 라인들(SL1, SL2, SL3)의 예시적인 파형도를 도시한다.

도 5는 일 실시예에 따른 유기 발광 표시 장치(100)의 표시 패널(110)과 소스 드라이버(130)를 개략적으로 도시한다.

도 6a는 도 5의 유기 발광 표시 장치(100)에서 스캔 시구간 동안의 표시 패널(110) 및 소스 드라이버(130)를 도시한다.

도 6b는 도 5의 유기 발광 표시 장치(100)에서 일 예에 따른 전하 공유 시구간 동안의 표시 패널(110) 및 소스 드라이버(130)를 도시한다.

도 6c는 도 5의 유기 발광 표시 장치(100)에서 다른 예에 따른 전하 공유 시구간 동안의 표시 패널(110) 및 소

스 드라이버(130)를 도시한다.

도 7a는 전하 공유 스위치들이 단락되는 조건에 대하여 예시적으로 설명하기 위한 도면이다.

도 7b 및 도 7c는 720 비트의 이전 라인 데이터 및 현재 라인 데이터를 예시적으로 도시한다.

도 8a는 일 실시예에 따른 소스 드라이버에 수신되는 디지털 데이터를 도시한다.

도 8b는 일 실시예에 따라서 도 8a의 디지털 데이터를 수신하는 소스 드라이버의 블록도를 도시한다.

도 9a는 일 실시예에 따른 소스 드라이버에 수신되는 디지털 데이터를 도시한다.

도 9b는 일 실시예에 따라서 도 9a의 디지털 데이터를 수신하는 소스 드라이버의 블록도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0032] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- [0033] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 및 타이밍 컨트롤러(140)를 포함한다.
- [0034] 표시 패널(110)은 디지털 구동 방식으로 동작하며, 픽셀들(PX), 소스 라인들(SL1~SLn, 'SL'로 통칭함), 및 게이트 라인들(GL1~GLm, 'GL'로 통칭함)을 포함한다.
- [0035] 픽셀들(PX)은 행 방향과 열 방향을 따라 매트릭스로 배열된다. 소스 라인들(SL) 각각은 동일 열의 픽셀들(PX)에 연결되어, 동일 열의 픽셀들(PX)에 디지털 데이터 신호를 전달한다. 게이트 라인들(SL) 각각은 동일 행의 픽셀들(PX)에 연결되어, 동일 행의 픽셀들(PX)에 스캔 신호를 전달한다. 상기 디지털 데이터 신호는 로우 레벨 또는 하이 레벨을 갖는 디지털 신호이며, 상기 디지털 신호를 수신한 픽셀(PX)은 상기 디지털 신호의 논리 레벨에 따라 발광하거나 발광하지 않는다. 본 명세서에서, 상기 디지털 데이터 신호가 제1 논리 레벨을 갖는 경우에 상기 디지털 데이터 신호를 신호를 수신한 픽셀(PX)이 발광하고, 상기 디지털 데이터 신호가 제2 논리 레벨을 갖는 경우 상기 픽셀(PX)이 발광하지 않는 것으로 가정한다. 픽셀(PX)의 회로 구성에 따라, 상기 제1 논리 레벨은 하이 레벨일 수 있다. 다른 예에 따르면 상기 제1 논리 레벨은 로우 레벨일 수 있다.
- [0036] 픽셀들(PX) 각각은 픽셀 회로 및 상기 픽셀 회로에 연결되는 발광 소자를 포함할 수 있다. 픽셀(PX)에 대하여 도 2를 참조로 자세히 설명한다.
- [0037] 도 2는 일 실시예에 따른 유기 발광 표시 장치의 픽셀(PX)의 예시적인 회로 구성을 도시한다.
- [0038] 도 2를 참조하면, 픽셀(PX)은 동일 행의 게이트 라인(GLj) 및 동일 열의 소스 라인(SLi)에 연결된다. 픽셀(PX)은 제1 트랜지스터(M1), 제2 트랜지스터(M2), 저장 커패시터(Cst), 및 유기 발광 소자(OLED)를 포함한다.
- [0039] 제1 트랜지스터(M1)는 소스 라인(SLi)에 연결된 제1 연결 단자, 노드(Nd)에 연결된 제2 연결 단자, 및 게이트 라인(GLj)에 연결된 제어 단자를 포함한다. 저장 커패시터(Cst)는 제1 전원 전압(ELVDD)이 인가되는 제1 단자, 및 노드(Nd)에 연결된 제2 단자를 포함한다. 제2 트랜지스터(M2)는 제1 전원 전압(ELVDD)이 인가되는 제1 연결 단자, 노드(Nd)에 연결된 제어 단자, 및 유기 발광 소자(OLED)의 제1 전극에 연결된 제2 연결 단자를 포함한다. 유기 발광 소자(OLED)는 제2 트랜지스터(M2)의 제2 연결 단자에 연결된 제1 전극 및 제2 전원 전압(ELVSS)이 인

가되는 제2 전극을 포함한다. 유기 발광 소자(OLED)의 제1 전극 및 제2 전극은 각각 애노드 전극 및 캐소드 전극일 수 있다.

[0040] 픽셀(PX)은 게이트 라인(GLj)을 통해 스캔 신호(S)를 수신하고, 소스 라인(SLi)을 통해 디지털 데이터 신호(D)를 수신한다. 제1 트랜지스터(M1)는 스캔 신호(S)에 응답하여 디지털 데이터 신호(D)를 저장 커패시터(Cst)에 저장한다. 제2 트랜지스터(M2)는 저장 커패시터(Cst)에 저장된 디지털 데이터 신호(D)의 논리 레벨에 따라 턴 온 또는 턴 오프되며, 제2 트랜지스터(M2)가 턴 온되면, 제1 전원 전압(ELVDD)을 유기 발광 소자(OLED)의 제1 전극에 전달한다. 예컨대, 디지털 데이터 신호(D)가 제1 논리 레벨을 갖는 경우, 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되어 유기 발광 소자(OLED)는 발광한다. 디지털 데이터 신호(D)가 제2 논리 레벨을 갖는 경우, 제2 트랜지스터(M2)가 턴 오프되어 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되지 않으며, 유기 발광 소자(OLED)는 발광하지 않는다.

[0041] 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 저장 커패시터(Cst)는 픽셀 회로로 지칭되고, 유기 발광 소자(OLED)는 발광 소자로 지칭될 수 있다. 도 2에 도시된 픽셀(PX)의 회로 구성은 오로지 예시적이며, 픽셀(PX)은 다른 회로 구성을 가질 수 있다.

[0042] 다시 도 1을 참조하면, 유기 발광 표시 장치(100)는 디지털 구동 방식으로 동작한다. 한 프레임(frame)은 복수의 서브 필드(subfield)로 구성되고, 각 서브 필드에 설정된 가중치에 따라 각 서브 필드의 길이(예컨대, 표시 지속 시간)이 결정된다. 디지털 구동 방식으로 동작하는 유기 발광 표시 장치(100)에 대하여 아래에서 도 3을 참조로 더욱 자세히 설명한다.

[0043] 도 3은 일 실시예에 따라서 유기 발광 표시 장치(100)의 제1 내지 제10 게이트 라인(GL1-GL10)을 통해 전달되는 스캔 신호들의 타이밍도가 예시적으로 도시한다.

[0044] 도 3을 참조하면, 한 프레임은 5개의 제1 내지 제5 서브필드(SF1 내지 SF5)로 구성되는 것으로 가정한다. 유기 발광 표시 장치(100)의 픽셀(PX)은 5개의 제1 내지 제5 비트 데이터를 통해 계조를 표현할 수 있다. 예를 들면, 제1 내지 제5 서브필드(SF1 내지 SF5)의 길이의 비는 3:6:12:21:8일 수 있다. 즉, 제1 내지 제5 비트 데이터의 표시 지속 시간의 길이는 예컨대 3:6:12:21:8일 수 있다.

[0045] 예를 들면, 제1 게이트 라인(GL1)에 연결된 어느 한 픽셀(PX)에는 제1 서브 필드(SF1)를 시작하는 스캔 타이밍에 제1 비트 데이터의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호가 인가된다. 상기 픽셀(PX)은 상기 제1 비트 데이터의 논리 값에 따라 제1 서브 필드(SF1) 동안 발광하거나 발광하지 않는다. 이와 같이, 제i 서브 필드(SFi)를 시작하는 스캔 타이밍에 제i 비트 데이터가 상기 픽셀(PX)에 인가되고, 상기 픽셀(PX)은 상기 제k 비트 데이터의 논리 값에 따라 제k 서브 필드(SFk) 동안 발광하거나 발광하지 않는다. 아래의 설명에서, 픽셀(PX)에 비트 데이터의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호가 인가된다는 기재는 픽셀(PX)에 비트 데이터가 인가된다는 것으로 간략하게 표현될 수 있다.

[0046] 일 예에 따르면, 제5 서브필드(SF5)는 비발광 시간이고, 제5 비트 데이터는 비활성(또는 비발광) 비트 데이터일 수 있다. 예를 들면, 제5 서브 필드(SF5)를 시작하는 스캔 타이밍에 제2 논리 레벨을 갖는 디지털 신호가 픽셀(PX)에 인가될 수 있다. 이 경우, 픽셀(PX)은 한 프레임 동안 제1 내지 제4 비트 데이터를 이용하여 16 계조를 표현할 수 있다.

[0047] 도 3의 실시예에서, 게이트 라인들(GL1-GL10)의 개수는 10개이므로, 한 프레임은 적어도 10 지연 시간(DT)을 포함할 수 있다. 게이트 라인들(GL1-GL10)의 스캔 타이밍들은 1 지연 시간(DT)만큼 지연될 수 있다. 예컨대, 제(i+1) 게이트 라인(GL(i+1))의 스캔 타이밍들은 제i 게이트 라인(GLi)의 스캔 타이밍들보다 1 지연 시간(DT)만큼 지연될 수 있다.

[0048] 1 지연 시간(DT)은 5개의 단위 시간(UT)으로 시분할되어, 하나의 단위 시간(UT)에는 오직 하나의 게이트 라인(GL)만이 선택될 수 있다. 즉, 1 지연 시간(DT)은 5개의 단위 시간(UT)을 포함하고, 1 프레임은 50 단위 시간(UT)을 포함할 수 있다.

[0049] 예를 들면, 도 3에 도시된 바와 같이, 제1 내지 제5 단위 시간(UT)을 갖는 제1 지연 시간(DT) 내에서, 제1 단위 시간(UT)에 제1 게이트 라인(GL1)이 선택되어 제1 게이트 라인(GL1)에 연결된 픽셀(PX)에 제1 비트 데이터가 인가될 수 있다. 제2 단위 시간(UT)에는 제7 게이트 라인(GL7)에 연결된 픽셀(PX)에 제4 비트 데이터가 인가될 수 있다. 제3 단위 시간(UT)에는 제3 게이트 라인(GL3)에 연결된 픽셀(PX)에 제5 비트 데이터가 인가될 수 있다. 제4 단위 시간(UT)에는 제1 게이트 라인(GL1)에 연결된 픽셀(PX)에 제2 비트 데이터가 인가될 수 있다.

제5 단위 시간(UT)에는 제10 게이트 라인(GL10)에 연결된 픽셀(PX)에 제3 비트 데이터가 인가될 수 있다.

- [0050] 도 1에 도시된 유기 발광 표시 장치(100)는 n개의 소스 라인을 포함한다. 이 경우, 제1 단위 시간(UT)에 제1 게이트 라인(GL1)에 연결된 n개의 픽셀들(PX)에는 n개의 소스 라인을 통해 상기 제1 비트 데이터를 포함하는 n비트의 제1 라인 데이터가 인가된다. 제2 단위 시간(UT)에 제7 게이트 라인(GL7)에 연결된 n개의 픽셀들(PX)에는 n개의 소스 라인을 통해 상기 제4 비트 데이터를 포함하는 n비트의 제2 라인 데이터가 인가된다. 제3 단위 시간(UT)에 제3 게이트 라인(GL3)에 연결된 n개의 픽셀들(PX)에는 n개의 소스 라인을 통해 상기 제5 비트 데이터를 포함하는 n비트의 제3 라인 데이터가 인가된다. 제4 단위 시간(UT)에 제1 게이트 라인(GL1)에 연결된 n개의 픽셀들(PX)에는 n개의 소스 라인을 통해 상기 제2 비트 데이터를 포함하는 n비트의 제4 라인 데이터가 인가된다. 제5 단위 시간(UT)에 제10 게이트 라인(GL10)에 연결된 n개의 픽셀들(PX)에는 n개의 소스 라인을 통해 상기 제3 비트 데이터를 포함하는 n비트의 제5 라인 데이터가 인가된다.
- [0051] 본 명세서에서, 예컨대, 제5 단위 시간(UT)이 현재일 경우, 상기 제5 라인 데이터는 현재 라인 데이터로 지칭되고, 상기 제4 라인 데이터는 이전 라인 데이터로 지칭된다.
- [0052] 다시 도 1을 참조하면, 타이밍 컨트롤러(140)는 외부로부터 영상 데이터를 수신하고, 게이트 드라이버(120) 및 소스 드라이버(130)를 제어한다. 타이밍 컨트롤러(140)는 복수의 제어 신호들(CON1, CON2) 및 디지털 데이터(DATA)을 생성한다. 타이밍 컨트롤러(140)는 제1 제어 신호(CON1)를 게이트 드라이버(120)에 제공하고, 제2 제어 신호(CON2)와 디지털 데이터(DATA)를 소스 드라이버(130)에 제공한다. 디지털 데이터(DATA)는 상기 제1 내지 제5 라인 데이터를 포함한다.
- [0053] 게이트 드라이버(120)는 제1 제어 신호(CON1)에 응답하여 상술한 바와 같이 미리 결정된 순서에 따라 게이트 라인들(GL)을 구동한다. 게이트 드라이버(120)는 스캔 신호를 생성하여 게이트 라인들(GL)을 통해 픽셀들(PX)에 스캔 신호를 제공할 수 있다.
- [0054] 도 3에 도시된 바와 같이, 게이트 드라이버(120)는 제1 단위 시간(UT)에 제1 게이트 라인(GL1)에 스캔 신호를 제공하고, 제2 단위 시간(UT)에 제7 게이트 라인(GL7)에 스캔 신호를 제공하고, 제3 단위 시간(UT)에 제3 게이트 라인(GL3)에 스캔 신호를 제공하고, 제4 단위 시간(UT)에 제1 게이트 라인(GL1)에 스캔 신호를 제공하고, 제5 단위 시간(UT)에 제10 게이트 라인(GL10)에 스캔 신호를 제공할 수 있다.
- [0055] 게이트 드라이버(120)는 각 게이트 라인(GL)에 한 프레임 내에 복수 회(예컨대, 도 3의 실시예에서 5회) 스캔 신호를 출력할 수 있다. 도 3에 도시된 바와 같이, 각 게이트 라인(GL)에는 한 프레임 내에 제1 내지 제5 스캔 신호가 인가될 수 있다. 상술한 바와 같이, 제1 스캔 신호가 인가되는 시점과 제2 스캔 신호가 인가되는 시점 사이는 제1 서브필드(SF1)로 정의된다. 제5 스캔 신호가 인가되는 시점과 제1 스캔 신호가 인가되는 시점 사이는 제5 서브필드(SF5)로 정의된다.
- [0056] 소스 드라이버(130)는 제2 제어 신호(CON2) 및 상기 제1 내지 제5 라인 데이터를 포함하는 디지털 데이터(DATA)에 응답하여 소스 라인들(SL)을 구동한다. 소스 드라이버(130)는 소스 라인들(SL) 각각에 대응하는 디지털 데이터 신호를 생성하여 소스 라인들(SL)을 통해 픽셀들(PX)에 디지털 데이터 신호들을 제공할 수 있다. 예를 들면, 소스 드라이버(130)는 제1 내지 제5 단위 시간(UT) 각각에 상기 제1 내지 제5 라인 데이터를 순차적으로 출력할 수 있다.
- [0057] 소스 드라이버(130)는 복수의 출력 단자들을 포함하며, 상기 복수의 출력 단자들은 복수의 소스 라인들(SL)에 각각 전기적으로 연결된다. 본 실시예에서 소스 드라이버(130)는 n개의 소스 라인들(SL1-SLn)에 대응하여 n개의 출력 단자들을 포함한다. 상기 제1 내지 제5 라인 데이터 각각은 n개의 비트 데이터를 포함한다. 소스 드라이버(130)는 단위 시간(UT)마다 상기 n개의 비트 데이터를 상기 n개의 출력 단자들을 통해 출력할 수 있다.
- [0058] 본 실시예에 따르면, 소스 드라이버(130)는 라인 데이터 출력부(131), 전하 공유 제어부(132) 및 전하 공유 회로부(133)를 포함한다. 라인 데이터 출력부(131)는 제1 내지 제5 단위 시간(UT)에 상기 복수의 출력 단자들을 통해 상기 제1 내지 제5 라인 데이터와 같은 라인 데이터(LDATA)를 출력할 수 있다. 전하 공유 회로부(131)는 상기 복수의 출력 단자들의 서로 인접한 출력 단자들 사이에 연결되는 복수의 전하 공유 스위치들(swb1-swb_n-1)을 포함할 수 있다. 전하 공유 제어부(132)는 전하 공유 스위치들(swb1-swb_n-1)을 개별적으로 제어하기 위한 전하 공유 데이터(CDATA)에 대응하는 신호를 출력하도록 구성된다.
- [0059] 일 실시예에 따르면, 이전 스캔 시구간에 라인 데이터 출력부(131)는 상기 복수의 출력 단자들을 통해 이전 라인 데이터를 출력한다. 현재 스캔 시구간에 라인 데이터 출력부(131)는 상기 복수의 출력 단자들을 통해 현재 라인 데이터를 출력한다. 상기 이전 스캔 시구간과 상기 현재 스캔 시구간 사이의 현재 전하 공유 시구간에 전

하 공유 제어부(132)는 전하 공유 스위치들(swb1-swb_n-1)을 각각 제어하도록 구성된다.

- [0060] 예를 들면, 전하 공유 제어부(132)의 제어에 의하여 제1 전하 공유 스위치(swb1)가 단락되면, 제1 출력 단자와 제2 출력 단자는 전기적으로 연결된다. 제1 출력 단자는 제1 소스 라인(SL1)에 연결되고, 제2 출력 단자는 제2 소스 라인(SL2)에 연결되므로, 제1 소스 라인(SL1)과 제2 소스 라인(SL2)은 서로 전기적으로 연결된다. 제1 및 제2 소스 라인들(SL1, SL2)은 표시 패널(110) 상에 열 방향을 따라 길게 연장되므로, 큰 기생 커패시턴스를 각각 갖는다. 이전 단위 시간(UT)에 제1 및 제2 소스 라인들(SL1, SL2)을 통해 출력된 디지털 데이터 신호들은 대응하는 픽셀들(PX)의 저장 커패시터(Cst)에 저장될뿐만 아니라, 제1 및 제2 소스 라인들(SL1, SL2)의 기생 커패시터에도 저장된다. 소스 라인(SL)의 기생 커패시턴스는 픽셀(PX)의 저장 커패시터(Cst)의 커패시턴스에 비해 매우 클 수 있다. 예컨대, 소스 라인(SL)의 기생 커패시턴스는 픽셀(PX)의 저장 커패시터(Cst)의 커패시턴스의 100배 이상 클 수 있다.
- [0061] 제1 전하 공유 스위치(swb1)의 단락에 의해 제1 소스 라인(SL1)과 제2 소스 라인(SL2)은 서로 전기적으로 연결되면, 제1 소스 라인(SL1)의 기생 커패시터에 저장된 전하와 제2 소스 라인(SL2)의 기생 커패시터에 저장된 전하는 공유된다. 예컨대, 제1 소스 라인(SL1)의 기생 커패시터에 하이 레벨의 전하가 저장되고, 제2 소스 라인(SL2)의 기생 커패시터에 로우 레벨의 전하가 저장된 경우, 제1 및 제2 소스 라인(SL1, SL2) 간에 전하 공유가 일어나면, 제1 및 제2 소스 라인(SL1, SL2)의 기생 커패시터에는 중간 레벨의 전하가 저장되게 된다.
- [0062] 일 실시예에 따르면, 전하 공유 회로부(133)는 라인 데이터 출력부(131)와 상기 복수의 출력 단자들 사이에 각각 연결되는 복수의 출력 스위치들(swa)을 더 포함할 수 있다.
- [0063] 전하 공유 및 전하 공유가 수행되는 전하 공유 시구간에 대하여 도 4를 참조로 더욱 자세히 설명한다.
- [0064] 도 4는 일 실시예에 따른 유기 발광 표시 장치(100)의 게이트 라인들(GL1, GL7, GL3) 및 소스 라인들(SL1, SL2, SL3)의 예시적인 파형도를 도시한다.
- [0065] 도 4를 참조하면, 예시적으로 제1 단위 시간(UT1) 내지 제3 단위 시간(UT3) 동안의 게이트 라인들(GL1, GL7, GL3) 및 소스 라인들(SL1, SL2, SL3)의 전압 레벨이 도시된다.
- [0066] 제1 내지 제3 단위 시간(UT1-UT3)은 제1 내지 제3 전하 공유 시구간(CST1-CST3)과 제1 내지 제3 스캔 시구간(ST1-ST3)을 각각 포함한다. 도 4에서 한 단위 시간(UT)에서 전하 공유 시구간(CST)이 스캔 시구간(ST) 앞에 배치되는 것으로 도시되지만, 스캔 시구간(ST)과 스캔 시구간(ST) 다음의 전하 공유 시구간(CST)이 하나의 단위 시간(UT)으로 정의될 수도 있다. 예컨대, 제1 스캔 시구간(ST1)과 제2 전하 공유 시구간(CST2)가 제1 단위 시간(UT1)을 구성하는 것으로 정의될 수 있다.
- [0067] 도 3을 참조하여 앞에서 설명한 바와 같이, 제1 단위 시간(UT1)의 제1 스캔 시구간(ST1)에 제1 게이트 라인(GL1)에 스캔 신호가 출력된다. 본 명세서에서, 예시적으로 로우 레벨의 스캔 펄스가 출력되는 것은 스캔 신호가 출력되는 것으로 표현될 수 있다. 제2 단위 시간(UT2)의 제2 스캔 시구간(ST2)에 제7 게이트 라인(GL7)에 스캔 신호가 출력된다. 제3 단위 시간(UT3)의 제3 스캔 시구간(ST3)에 제3 게이트 라인(GL3)에 스캔 신호가 출력된다.
- [0068] 상술한 바와 같이, 제1 스캔 시구간(ST1)에 제1 라인 데이터가 소스 라인들(SL1-SL_n)에 출력되고, 제2 스캔 시구간(ST2)에 제2 라인 데이터가 소스 라인들(SL1-SL_n)에 출력되고, 제3 스캔 시구간(ST3)에 제3 라인 데이터가 소스 라인들(SL1-SL_n)에 출력된다. 도 4에 도시된 바와 같이, 제0 스캔 시구간(ST0)에 제1 소스 라인(SL1)에 로우 레벨의 비트 데이터가 출력되고, 제2 소스 라인(SL2)에 하이 레벨의 비트 데이터가 출력되고, 제3 소스 라인(SL3)에 하이 레벨의 비트 데이터가 출력된다. 제1 스캔 시구간(ST1)에 제1 소스 라인(SL1)에 하이 레벨의 비트 데이터가 출력되고, 제2 소스 라인(SL2)에 로우 레벨의 비트 데이터가 출력되고, 제3 소스 라인(SL3)에 로우 레벨의 비트 데이터가 출력된다. 제2 스캔 시구간(ST2)에 제1 소스 라인(SL1)에 로우 레벨의 비트 데이터가 출력되고, 제2 소스 라인(SL2)에 로우 레벨의 비트 데이터가 출력되고, 제3 소스 라인(SL3)에 하이 레벨의 비트 데이터가 출력된다. 제3 스캔 시구간(ST3)에 제1 소스 라인(SL1)에 하이 레벨의 비트 데이터가 출력되고, 제2 소스 라인(SL2)에 하이 레벨의 비트 데이터가 출력되고, 제3 소스 라인(SL3)에 로우 레벨의 비트 데이터가 출력된다.
- [0069] 본 예에서, 제1 전하 공유 시구간(CST1)에 제1 전하 공유 스위치(swb1)가 단락되어, 제1 소스 라인(SL1)과 제2 소스 라인(SL2) 간에 전하 공유가 수행된다. 제2 전하 공유 스위치(swb2)는 개방된다. 도 4에 도시된 바와 같이, 제1 전하 공유 시구간(CST1)에 제1 소스 라인(SL1)의 전압 레벨은 중간 레벨로 상승하고, 제2 소스 라인(SL2)의 전압 레벨은 중간 레벨로 하강한다. 그 후, 제1 스캔 시구간(ST1)에 소스 드라이버(130)에 의하여 제1

소스 라인(SL1)의 전압 레벨은 하이 레벨로 상승하고, 제2 소스 라인(SL2)의 전압 레벨은 로우 레벨로 하강한다. 제1 전하 공유 시구간(CST1) 동안의 제1 및 제2 소스 라인(SL1, SL2)의 전압 레벨 변화는 전하 공유에 의한 것이므로 실질적으로 전력이 소모되지 않는다. 제1 스캔 시구간(ST1) 동안에는 소스 드라이버(130)에 의하여 전압 레벨 변화가 이루어지므로, 제1 스캔 시구간(ST1) 동안에만 전력이 소모된다.

[0070] 전하 공유가 없을 경우, 제1 소스 라인(SL1)의 전압 레벨을 로우 레벨에서 하이 레벨로 상승시키기 위하여 전력이 소모되어야 하지만, 본 예와 같이 스캔 시구간 전의 전하 공유 시구간 동안 전하 공유가 이루어지는 경우, 제1 소스 라인(SL1)의 전압 레벨을 중간 레벨에서 하이 레벨로 상승시키기 위해서만 전력이 소모된다. 따라서, 본 예에서 제1 소스 라인(SL1)의 전압 레벨을 변경하는데 전하 공유에 의하여 대략 절반 정도의 전력을 절약할 수 있다.

[0071] 본 예에서, 제2 전하 공유 시구간(CST2)에는 전하 공유가 수행되지 않는다. 즉, 제1 전하 공유 스위치(swb1)와 제2 전하 공유 스위치(swb2)는 모두 개방된다. 만약 제1 소스 라인(SL1)과 제2 소스 라인(SL2) 간에 전하 공유가 수행된다면, 제1 소스 라인(SL1)은 중간 레벨에서 로우 레벨로 낮추는데에만 전력이 소모되므로 전력을 절약할 수 있지만, 제2 소스 라인(SL2)은 로우 레벨이 유지되므로, 중간 레벨에서 로우 레벨로 낮추기 위해 불필요한 전력을 소모해야 하므로 전력이 낭비된다. 따라서, 제2 전하 공유 시구간(CST2)에 제1 소스 라인(SL1)과 제2 소스 라인(SL2) 간에 전하 공유가 수행되는 것은 전력의 측면에서 유리하지 않다.

[0072] 본 예에서, 제3 전하 공유 시구간(CST3)에는 제1 내지 제3 소스 라인들(SL1-SL3) 간에 전하 공유가 수행된다. 즉, 제1 전하 공유 스위치(swb1)와 제2 전하 공유 스위치(swb2)는 모두 단락된다.

[0073] 도 4에 도시된 바와 같이, 제1 전하 공유 스위치(swb1)와 제2 전하 공유 스위치(swb2)는 각각 독립적으로 제어될 수 있다.

[0074] 본 발명에 따르면, 도 1에 도시된 복수의 출력 스위치들(swa)은 소스 라인들(SL)을 통해 디지털 데이터 신호들이 출력될 수 있도록 스캔 시구간(ST1-ST3) 동안에 단락되도록 구성될 수 있다. 복수의 출력 스위치들(swa)은 일부의 인접한 소스 라인들(SL) 간에 전하 공유가 이루어질 수 있도록 전하 공유 시구간(CST1-CST3) 동안에 개방되도록 구성될 수 있다.

[0075] 도 5는 일 실시예에 따른 유기 발광 표시 장치(100)의 표시 패널(110)과 소스 드라이버(130)를 개략적으로 도시한다.

[0076] 도 5를 참조하면, 표시 패널(110)은 복수의 소스 라인들(SL)을 포함한다. 도 1을 참조로 앞에서 설명된 바와 같이, 표시 패널(110)에는 복수의 픽셀들(PX)을 포함한다. 소스 라인들(SL)은 표시 패널(110) 상에서 열 방향을 따라 길게 연장되므로, 기생 저항(Pr) 및 기생 커패시터(PC)를 각각 갖는 것으로 표시될 수 있다.

[0077] 상술한 바와 같이, 소스 드라이버(130)는 단위 시간(UT)에 출력 단자들(OT)을 통해 라인 데이터를 출력하는 복수의 출력 버퍼들(B)을 포함한다. 라인 데이터의 비트 수는 출력 단자들(OT)의 개수와 동일하다. 출력 단자들(OT) 각각은 라인 데이터에서 대응하는 비트의 논리 값에 대응하여 하이 레벨 또는 로우 레벨을 갖는 디지털 데이터 신호를 출력한다. 예컨대, 라인 데이터의 제i 비트의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호는 제i 소스 라인(SLi)으로 출력된다.

[0078] 소스 드라이버(130)는 출력 버퍼들(B)과 출력 단자들(OT) 사이에 각각 연결되는 복수의 출력 스위치들(swa)을 포함한다. 상술한 바와 같이, 출력 스위치들(swa)은 전하 공유 시구간 동안 개방되고, 스캔 시구간 동안 단락되도록 구성된다. 일 예에 따르면, 출력 스위치들(swa)는 전하 공유 제어부(120)에 의해 제어될 수 있다.

[0079] 소스 드라이버(130)는 출력 단자들(OT) 사이에 각각 연결되는 복수의 전하 공유 스위치들(swb)을 포함한다. 전하 공유 스위치들(swb)은 출력 단자들(OT) 사이에 배치되므로, 전하 공유 스위치들(swb)의 개수는 출력 단자들(OT)의 개수보다 1만큼 작다.

[0080] 출력 단자들(OT)을 통해 출력되는 라인 데이터에 따라, 전하 공유 스위치들(swb)은 전하 공유 시구간 동안 일부만 단락되거나, 모두 단락되거나, 모두 개방될 수 있다. 전하 공유 스위치들(swb)은 스캔 시구간 동안 모두 개방된다.

[0081] 도 6a는 도 5의 유기 발광 표시 장치(100)에서 스캔 시구간 동안의 표시 패널(110) 및 소스 드라이버(130)를 도시한다.

- [0082] 도 6a를 참조하면, 스캔 시구간 동안에 소스 드라이버(130)의 출력 스위치들(swa)은 모두 단락되고 전하 공유 스위치들(swb)은 모두 개방된다. 소스 드라이버(130)는 소스 라인들(SL)에 라인 데이터를 출력한다. 제i 출력 버퍼(Bi)는 라인 데이터의 i번째 비트(즉, 제i 비트)의 논리 값에 대응하는 레벨을 갖는 디지털 데이터 신호를 제i 소스 라인(SLi)에 출력한다.
- [0083] 도 6b는 도 5의 유기 발광 표시 장치(100)에서 일 예에 따른 전하 공유 시구간 동안의 표시 패널(110) 및 소스 드라이버(130)를 도시한다.
- [0084] 도 6b를 참조하면, 전하 공유 시구간 동안에 소스 드라이버(130)의 출력 스위치들(swa)은 모두 개방되고, 전하 공유 스위치들(swb) 중에서 일부의 전하 공유 스위치들(예컨대, swb1, swb4)은 단락되고, 나머지 전하 공유 스위치들은 개방된다. 단락된 제1 전하 공유 스위치(swb1)에 의하여 제1 소스 라인(SL1)의 기생 커패시터(PC)에 저장된 전하와 제2 소스 라인(SL2)의 기생 커패시터(PC)에 저장된 전하는 공유된다. 단락된 제4 전하 공유 스위치(swb4)에 의하여 제4 소스 라인(SL4)의 기생 커패시터(PC)에 저장된 전하와 제5 소스 라인(SL5)의 기생 커패시터(PC)에 저장된 전하는 공유된다.
- [0085] 도 6c는 도 5의 유기 발광 표시 장치(100)에서 다른 예에 따른 전하 공유 시구간 동안의 표시 패널(110) 및 소스 드라이버(130)를 도시한다.
- [0086] 도 6c를 참조하면, 전하 공유 시구간 동안에 소스 드라이버(130)의 출력 스위치들(swa)은 모두 개방되고, 전하 공유 스위치들(swb)은 모두 단락된다. 단락된 전하 공유 스위치들(swb)에 의하여 소스 라인들(SL)의 기생 커패시터(PC)에 저장된 모든 전하들이 공유된다.
- [0087] 상술한 바와 같이, 전하 공유 스위치들(swb)은 개별적으로 단락되며, 아래에서는 전하 공유 스위치들(swb)이 단락되는 조건에 대하여 설명한다.
- [0088] 도 7a는 전하 공유 스위치들이 단락되는 조건에 대하여 예시적으로 설명하기 위한 도면이다. 도 7b 및 도 7c는 720 비트의 이전 라인 데이터 및 현재 라인 데이터를 예시적으로 도시한다.
- [0089] 도 7a를 참조하면, 제(k-1) 스캔 시구간(STk-1)(예컨대, 이전 스캔 시구간)과 제k 스캔 시구간(STk)(예컨대, 현재 스캔 시구간)에 서로 인접한 제i 출력 단자(OTi)와 제(i+1) 출력 단자(OTi+1)로부터 출력되는 디지털 데이터 신호의 논리 레벨이 도시된다. 디지털 데이터 신호가 로우 레벨을 갖는 경우, "-"로 표시하고, 하이 레벨을 갖는 경우, "+"로 표시한다.
- [0090] 도 7의 표에 도시된 바와 같이, 이전 스캔 시구간(STk-1)에 제i 출력 단자(OTi)가 로우 레벨의 데이터 신호를 출력하고, 이전 스캔 시구간(STk-1)에 제i+1 출력 단자(OTi+1)가 하이 레벨의 데이터 신호를 출력하고, 현재 스캔 시구간(STk)에 제i 출력 단자(OTi)가 하이 레벨의 데이터 신호를 출력하고, 현재 스캔 시구간(STk)에 제i+1 출력 단자(OTi+1)가 로우 레벨의 데이터 신호를 출력하는 경우에, 제i 출력 단자(OTi)와 제i+1 출력 단자(OTi+1) 사이에 연결되는 제i 전하 공유 스위치(swbi)가 단락되는 것이 전력 측면에서 유리하다.
- [0091] 이전 스캔 시구간(STk-1)에 제i 출력 단자(OTi)가 하이 레벨의 데이터 신호를 출력하고, 이전 스캔 시구간(STk-1)에 제i+1 출력 단자(OTi+1)가 로우 레벨의 데이터 신호를 출력하고, 현재 스캔 시구간(STk)에 제i 출력 단자(OTi)가 로우 레벨의 데이터 신호를 출력하고, 현재 스캔 시구간(STk)에 제i+1 출력 단자(OTi+1)가 하이 레벨의 데이터 신호를 출력하는 경우에, 제i 출력 단자(OTi)와 제i+1 출력 단자(OTi+1) 사이에 연결되는 제i 전하 공유 스위치(swbi)가 단락되는 것이 전력 측면에서 유리하다.
- [0092] 그 외의 경우에 전하 공유 스위치(swb)가 단락되면, 전력 측면에서 유리하지 않거나, 심지어 불리할 수도 있다.
- [0093] 상술한 바와 같이, 이전 스캔 시구간(STk-1)에 제i 출력 단자(OTi)로부터 출력되는 데이터 신호의 논리 레벨은 이전 라인 데이터의 제i 비트의 논리 값에 대응한다. 이전 스캔 시구간(STk-1)에 제i+1 출력 단자(OTi+1)로부터 출력되는 데이터 신호의 논리 레벨은 이전 라인 데이터의 제i+1 비트의 논리 값에 대응한다. 현재 스캔 시구간(STk)에 제i 출력 단자(OTi)로부터 출력되는 데이터 신호의 논리 레벨은 현재 라인 데이터의 제i 비트의 논리 값에 대응한다. 현재 스캔 시구간(STk)에 제i+1 출력 단자(OTi+1)로부터 출력되는 데이터 신호의 논리 레벨은 현재 라인 데이터의 제i+1 비트의 논리 값에 대응한다.
- [0094] 따라서, 전하 공유 스위치들(swb)은 이전 스캔 시구간(STk-1)에 출력되는 이전 라인 데이터와 현재 스캔 시구간(STk)에 출력되는 현재 라인 데이터를 기초로 단락되거나 개방될 수 있다.
- [0095] 일 예에 따르면, 이전 라인 데이터의 비트들의 논리 값과 현재 라인 데이터의 비트들의 논리 값을 비교하여, 반

전된 비트들의 개수가 라인 데이터의 비트 수의 절반을 초과하는 경우 전하 공유 스위치들(swb)이 모두 단락되도록 구성될 수 있다.

[0096] 도 7b에 도시된 바와 같이, 이전 라인 데이터의 제1 내지 제9 비트들의 논리 값은 현재 라인 데이터에서 반전된다. 이전 라인 데이터의 제13 내지 제14 비트들의 논리 값은 현재 라인 데이터에서 반전된다. 이전 라인 데이터의 제708 내지 제717 비트들의 논리 값은 현재 라인 데이터에서 반전된다. 이전 라인 데이터의 제719 내지 제720 비트들의 논리 값은 현재 라인 데이터에서 반전된다. 이와 같이 이전 라인 데이터와 현재 라인 데이터 사이에서 반전되는 비트들의 개수가 전체 비트 수의 절반을 초과하는 경우, 전하 공유 스위치들(swb)이 모두 단락되는 것이 전력 측면에서 유리하다.

[0097] 다른 예에 따르면, 현재 스캔 시구간(STk)에 제i 출력 단자(OTi)로부터 출력되는 데이터 신호의 논리 레벨이 이전 스캔 시구간(STk)에 제i+1 출력 단자(OTi+1)로부터 출력되는 데이터 신호의 논리 레벨과 상이하고, 이전 스캔 시구간(STk)에 제i 출력 단자(OTi)로부터 출력되는 데이터 신호의 논리 레벨과 동일하고, 현재 스캔 시구간(STk)에 제i+1 출력 단자(OTi+1)로부터 출력되는 데이터 신호의 논리 레벨과 상이한 경우에, 제i 출력 단자(OTi)와 제i+1 출력 단자(OTi+1) 사이에 연결되는 제i 전하 공유 스위치(swbi)가 단락되도록 구성될 수 있다.

[0098] 예를 들면, 현재 라인 데이터의 제i 비트의 논리 값이 현재 라인 데이터의 제i+1 비트의 논리 값 및 이전 라인 데이터의 제i 비트의 논리 값과 상이하고, 이전 라인 데이터의 제i+1 비트의 논리 값과 동일한 경우, 제i 전하 공유 스위치(swbi)가 단락될 수 있다.

[0099] 도 7c에 도시된 바와 같이, 이전 라인 데이터와 현재 라인 데이터의 제1 및 제2 비트들 간에 상기 조건이 만족된다. 제1 전하 공유 스위치(swbi)는 단락될 수 있다.

[0100] 이전 라인 데이터와 현재 라인 데이터의 제3 및 제4 비트들 간에 상기 조건이 만족되고, 제4 및 제5 비트들 간에 상기 조건이 만족된다. 제3 전하 공유 스위치(swbi)와 제4 전하 공유 스위치(swbi)는 단락될 수 있다. 제3 내지 제5 소스 라인들(SL3-SL5)은 모두 전기적으로 연결되어, 제3 내지 제5 소스 라인들(SL3-SL5) 간에 전하 공유가 수행될 수 있다.

[0101] 도 7c에 도시된 표에서, 제9 내지 제12 전하 공유 스위치(swbi-swbi)는 단락될 수 있다. 다른 예에 따르면, 제9 및 제10 소스 라인들(SL9-SL10) 간에 전하 공유가 이루어지고, 제11 내지 제13 소스 라인들(SL11-SL13) 간에 전하 공유가 이루어지도록, 제9, 제11 및 제12 전하 공유 스위치(swbi, swbi, swbi)는 단락되고, 제10 전하 공유 스위치(swbi)는 개방될 수도 있다. 또한, 제708, 제711, 제716 내지 제719 전하 공유 스위치들(swbi708, swbi711, swbi716-swbi719)는 단락될 수 있다.

[0102] 다른 예에 따르면, 이전 라인 데이터와 현재 라인 데이터 사이에서 반전되는 비트들의 개수가 전체 비트 수의 절반 이하인 경우, 상기 조건을 만족하는 일부의 전하 공유 스위치들(swb)이 단락될 수 있다.

[0103] 도 8a는 일 실시예에 따른 소스 드라이버에 수신되는 디지털 데이터를 도시한다. 도 8b는 일 실시예에 따라서 도 8a의 디지털 데이터를 수신하는 소스 드라이버의 블록도를 도시한다.

[0104] 도 8a 및 도 8b를 참조하면, 소스 드라이버(200)는 라인 데이터(LDATA)와 전하 공유 데이터(CDATA)를 포함하는 디지털 데이터를 수신한다. 디지털 데이터는 이전 단위 시간에 출력되는 이전 라인 데이터(LDATAk-1) 및 이전 전하 공유 데이터(CDATAk-1), 현재 단위 시간에 출력되는 현재 라인 데이터(LDATAk) 및 현재 전하 공유 데이터(CDATAk), 및 다음 단위 시간에 출력되는 다음 라인 데이터(LDATAk+1) 및 다음 전하 공유 데이터(CDATAk+1)를 포함한다.

[0105] 이전 단위 시간에 출력되는 데이터와 현재 단위 시간에 출력되는 데이터를 구분하기 위하여, 디지털 데이터는 이전 전하 공유 데이터(CDATAk-1)와 현재 라인 데이터(LDATAk) 사이에 프로토콜 데이터 및 블랭크를 포함할 수 있다. 프로토콜 데이터는 제어 명령 데이터를 포함할 수 있다.

[0106] 소스 드라이버(200)가 n개의 출력 단자(OT)를 포함하는 경우, 라인 데이터(LDATA)는 n개의 비트 데이터를 포함하고, 전하 공유 데이터(CDATA)는 n-1개의 비트 데이터를 포함한다. 전하 공유 데이터(CDATA)의 비트들은 각각 전하 공유 스위치들(swb)에 대응한다. 예컨대, 전하 공유 데이터(CDATA)의 제i 비트가 제1 논리 값을 갖는 경우, 제i 전하 공유 스위치(swbi)는 단락될 수 있다.

[0107] 현재 전하 공유 데이터(CDATAk)는 이전 라인 데이터(LDATAk-1)와 현재 라인 데이터(LDATAk)를 기초로 결정될 수

있다. 일 예에 따르면, 이전 라인 데이터(LDATA_{k-1})와 현재 라인 데이터(LDATA_k)에서 서로 대응하는 비트들의 논리 값이 비교될 수 있다. 논리 값이 서로 다른 반전된 비트들의 개수가 라인 데이터(LDATA)의 비트 수의 절반을 초과하는 경우, 현재 전하 공유 데이터(CDATA_k)의 모든 비트들은 제1 논리 값을 가질 수 있다. 즉, 모든 전하 공유 스위치들(swb)은 단락될 수 있다.

[0108] 다른 예에 따르면, 이전 라인 데이터(LDATA_{k-1})의 i 번째 비트의 논리 값, 이전 라인 데이터(LDATA_{k-1})의 $(i+1)$ 번째 비트의 논리 값, 현재 라인 데이터(LDATA_k)의 i 번째 비트의 논리 값, 및 현재 라인 데이터(LDATA_k)의 $(i+1)$ 번째 비트의 논리 값을 기초로 현재 전하 공유 데이터(CDATA_k)의 i 번째 비트의 논리 값이 결정됨으로써, 현재 전하 공유 데이터(CDATA_k)가 결정될 수 있다.

[0109] 소스 드라이버(200)는 데이터 수신부(210), 라인 데이터 래치(220), 제1 레벨 쉬프터(230), 출력 버퍼(240), 전하 공유 제어부(250) 및 제2 레벨 쉬프터(260)를 포함한다. 소스 드라이버(200)는 n 개의 출력 단자들(OT1-OT_n), 및 출력 단자들 사이에 연결되는 $n-1$ 개의 전하 공유 스위치(swb1-swb_{n-1})를 포함한다. 도 8b에 도시되지는 않았지만, 소스 드라이버(200)는 n 개의 출력 스위치를 더 포함할 수 있다.

[0110] 데이터 수신부(210)는 n 비트의 라인 데이터(LDATA)와 $n-1$ 비트의 전하 공유 데이터(CDATA)를 수신한다. 데이터 수신부(210)는 예컨대 도 1의 타이밍 컨트롤러(140)로부터 n 비트의 라인 데이터(LDATA)와 $n-1$ 비트의 전하 공유 데이터(CDATA)를 수신할 수 있다. 타이밍 컨트롤러(140)는 라인 데이터(LDATA)를 기초로 전하 공유 데이터(CDATA)를 생성할 수 있다.

[0111] 한 단위 시간에 대응하는 라인 데이터(LDATA)와 전하 공유 데이터(CDATA)가 각각 라인 데이터 래치(220) 및 전하 공유 제어부(250)로 출력된다. 라인 데이터 래치(220)는 n 비트의 라인 데이터(LDATA)를 한 단위 시간 동안 일시적으로 저장한다. 전하 공유 제어부(250)는 $n-1$ 비트의 전하 공유 데이터(CDATA)를 한 단위 시간 동안 일시적으로 저장한다. 전하 공유 제어부(250)는 전하 공유 데이터(CDATA)를 일시적으로 저장하기 위한 $n-1$ 비트의 데이터 래치를 포함할 수 있다.

[0112] 제1 레벨 쉬프터(230)는 라인 데이터 래치(220)로부터 라인 데이터(LDATA)를 수신하고, 출력 버퍼(240)에 적합한 레벨로 변환하여 라인 데이터(LDATA)를 출력 버퍼(240)로 출력한다. 출력 버퍼(240)는 라인 데이터(LDATA)를 n 개의 출력 단자들(OT)로 출력한다.

[0113] 제2 레벨 쉬프터(260)는 전하 공유 제어부(250)로부터 전하 공유 데이터(CDATA)를 수신하고, 전하 공유 스위치들(swb)을 제어하기에 적합한 레벨로 변환하여 전하 공유 스위치들(swb)로 출력한다. 전하 공유 스위치들(swb)은 제2 레벨 쉬프터(260)로부터 출력되는 전하 공유 데이터(CDATA)에 따라서 개별적으로 제어된다.

[0114] 도 9a는 일 실시예에 따른 소스 드라이버에 수신되는 디지털 데이터를 도시한다. 도 9b는 일 실시예에 따라서 도 9a의 디지털 데이터를 수신하는 소스 드라이버의 블록도를 도시한다.

[0115] 도 9a 및 도 9b를 참조하면, 소스 드라이버(300)는 라인 데이터(LDATA)를 포함하는 디지털 데이터를 수신한다. 디지털 데이터는 이전 단위 시간에 출력되는 이전 라인 데이터(LDATA_{k-1}), 현재 단위 시간에 출력되는 현재 라인 데이터(LDATA_k), 및 다음 단위 시간에 출력되는 다음 라인 데이터(LDATA_{k+1})를 포함한다. 디지털 데이터는 라인 데이터들(LDATA) 사이에 프로토콜 데이터 및 블랭크를 포함할 수 있다.

[0116] 소스 드라이버(300)가 n 개의 출력 단자(OT)를 포함하는 경우, 라인 데이터(LDATA)는 n 개의 비트 데이터를 포함한다.

[0117] 소스 드라이버(300)는 데이터 수신부(310), 제1 및 제2 라인 데이터 래치(320, 330), 제1 레벨 쉬프터(340), 출력 버퍼(350), 전하 공유 제어부(360) 및 제2 레벨 쉬프터(370)를 포함한다. 소스 드라이버(300)는 n 개의 출력 단자들(OT1-OT_n), 및 출력 단자들 사이에 연결되는 $n-1$ 개의 전하 공유 스위치(swb1-swb_{n-1})를 포함한다.

[0118] 데이터 수신부(310)는 n 비트의 라인 데이터(LDATA)를 수신한다. 데이터 수신부(310)는 n 비트의 이전 라인 데이터(LDATA_{k-1}) 및 현재 라인 데이터(LDATA_k)를 수신한다.

[0119] 데이터 수신부(310)는 이전 라인 데이터(LDATA_{k-1})가 제1 라인 데이터 래치(320)에 출력된다. 제1 라인 데이터 래치(320)는 이전 라인 데이터(LDATA_{k-1})를 한 단위 시간 동안 일시적으로 저장한다. 한 단위 시간 후에, 제1 라인 데이터 래치(320)는 이전 라인 데이터(LDATA_{k-1})를 제2 라인 데이터 래치(330)에 출력한다. 이 때, 제1 라인 데이터 래치(320)는 현재 라인 데이터(LDATA_k)를 데이터 수신부(310)로부터 수신한다. 즉, 제2 라인 데이

터 래치(330)가 이전 라인 데이터(LDATAk-1)를 저장하고 있을 때, 제1 라인 데이터 래치(320)는 현재 라인 데이터(LDATAk)를 저장한다. 이 때, 제1 및 제2 라인 데이터 래치들(320, 330)은 각각 이전 라인 데이터(LDATAk-1) 및 현재 라인 데이터(LDATAk)를 전하 공유 제어부(360)로 출력한다.

[0120] 전하 공유 제어부(360)는 제1 및 제2 라인 데이터 래치들(320, 330)로부터 이전 라인 데이터(LDATAk-1) 및 현재 라인 데이터(LDATAk)를 수신하고, 이전 라인 데이터(LDATAk-1) 및 현재 라인 데이터(LDATAk)를 기초로 n-1 비트의 전하 공유 데이터(CDATA)를 생성한다. 전하 공유 데이터(CDATA)의 비트들은 각각 전하 공유 스위치들(swb)에 대응한다.

[0121] 전하 공유 제어부(360)는 이전 라인 데이터(LDATAk-1)와 현재 라인 데이터(LDATAk)를 기초로 현재 전하 공유 데이터(CDATAk)를 결정할 수 있다. 일 예에 따르면, 전하 공유 제어부(360)는 이전 라인 데이터(LDATAk-1)와 현재 라인 데이터(LDATAk)에서 서로 대응하는 비트들의 논리 값을 비교하고, 논리 값이 서로 다른 반전된 비트들의 개수가 라인 데이터(LDATA)의 비트 수의 절반을 초과하는 경우, 모든 비트들이 제1 논리 값을 갖는 현재 전하 공유 데이터(CDATAk)를 생성할 수 있다. 이 경우, 모든 전하 공유 스위치들(swb)은 단락된다.

[0122] 다른 예에 따르면, 전하 공유 제어부(360)는 이전 라인 데이터(LDATAk-1)의 i번째 비트의 논리 값, 이전 라인 데이터(LDATAk-1)의 (i+1)번째 비트의 논리 값, 현재 라인 데이터(LDATAk)의 i번째 비트의 논리 값, 및 현재 라인 데이터(LDATAk)의 (i+1)번째 비트의 논리 값을 기초로 현재 전하 공유 데이터(CDATAk)의 i번째 비트의 논리 값을 결정함으로써, 현재 전하 공유 데이터(CDATAk)를 생성할 수 있다.

[0123] 제1 레벨 쉬프터(340)는 제2 라인 데이터 래치(330)로부터 이전 라인 데이터(LDATAk-1)를 수신하고, 출력 버퍼(350)에 적합한 레벨로 변환하여 이전 라인 데이터(LDATAk-1)를 출력 버퍼(350)로 출력한다. 출력 버퍼(350)는 이전 단위 시간의 이전 스캔 시구간에 이전 라인 데이터(LDATAk-1)를 n개의 출력 단자들(OT)로 출력한다.

[0124] 제2 레벨 쉬프터(370)는 전하 공유 제어부(360)로부터 현재 전하 공유 데이터(CDATAk)를 수신하고, 전하 공유 스위치들(swb)을 제어하기에 적합한 레벨로 변환하여 전하 공유 스위치들(swb)로 출력한다. 전하 공유 스위치들(swb)은 현재 단위 시간의 현재 전하 공유 시구간에 제2 레벨 쉬프터(370)로부터 출력되는 현재 전하 공유 데이터(CDATAk)에 따라서 개별적으로 제어된다.

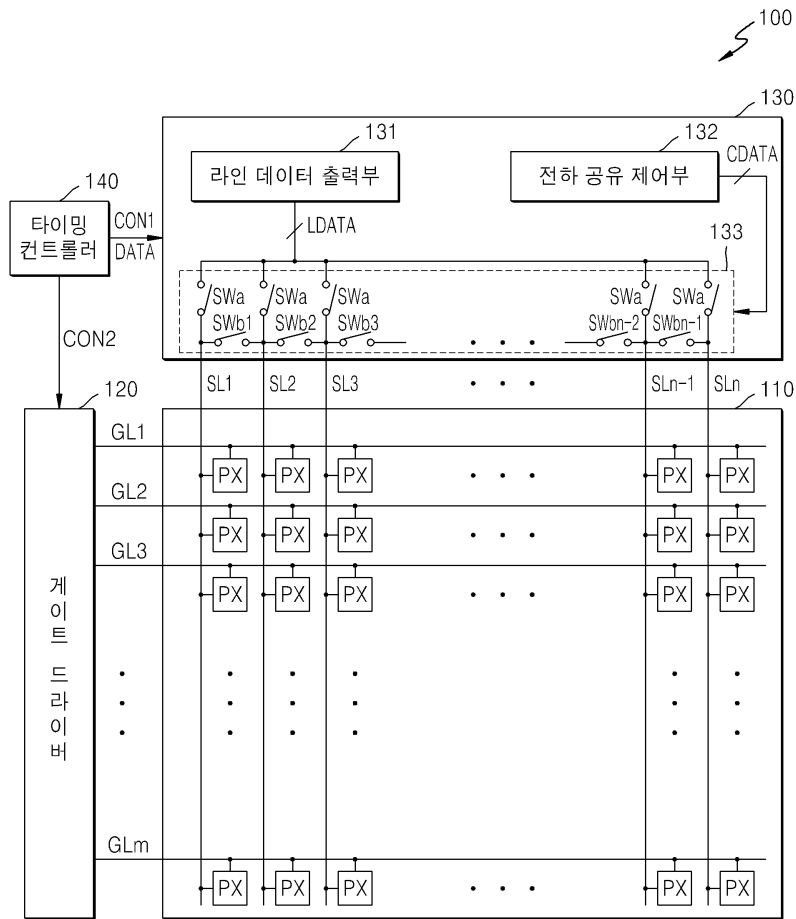
[0125] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

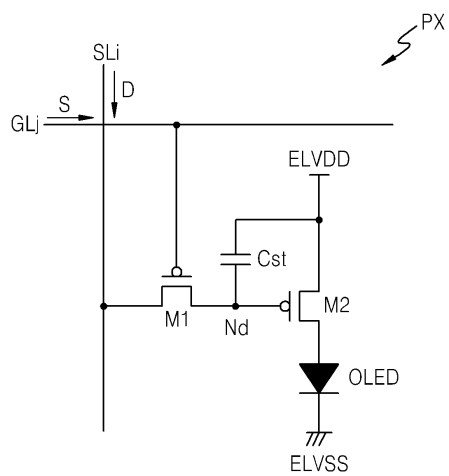
[0126] 100: 유기 발광 표시 장치
110: 표시 패널
120: 게이트 드라이버
130, 200, 300: 소스 드라이버
140: 타이밍 컨트롤러
210, 310: 데이터 수신부
220, 320, 330: 라인 데이터 래치
230, 340: 제1 레벨 쉬프터
240, 350: 출력 버퍼
250, 360: 전하 공유 제어부
260, 370: 제2 레벨 쉬프터

도면

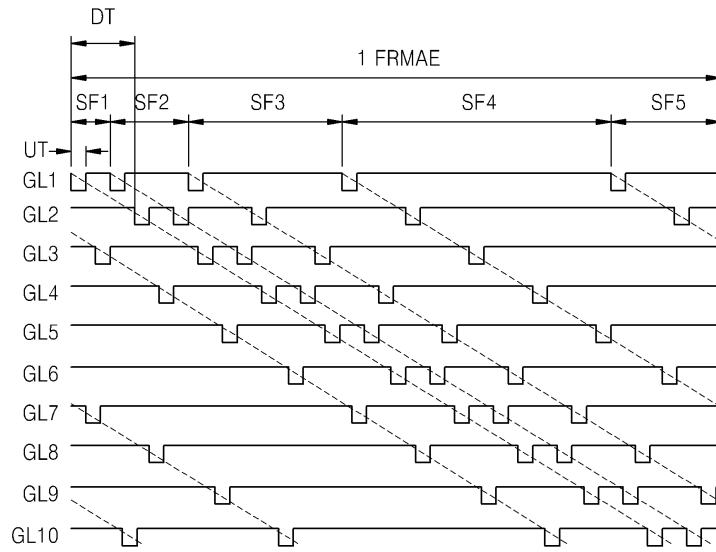
도면1



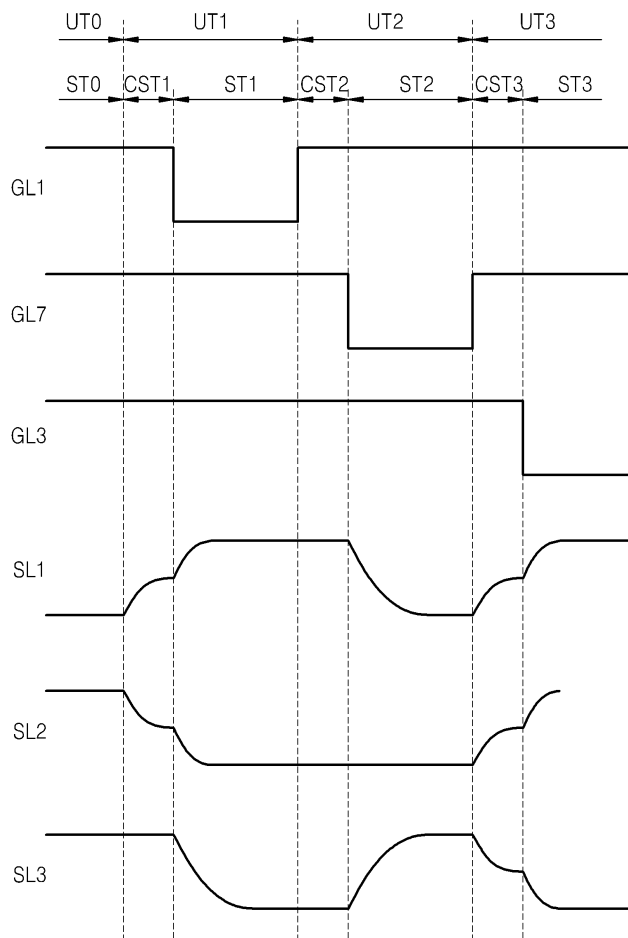
도면2



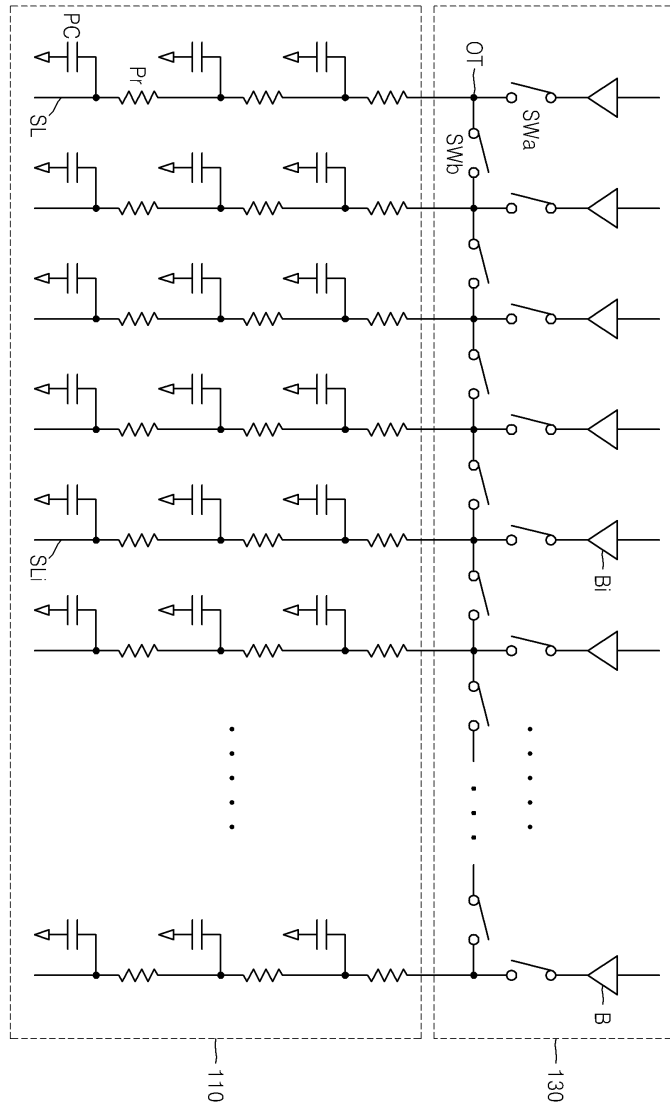
도면3



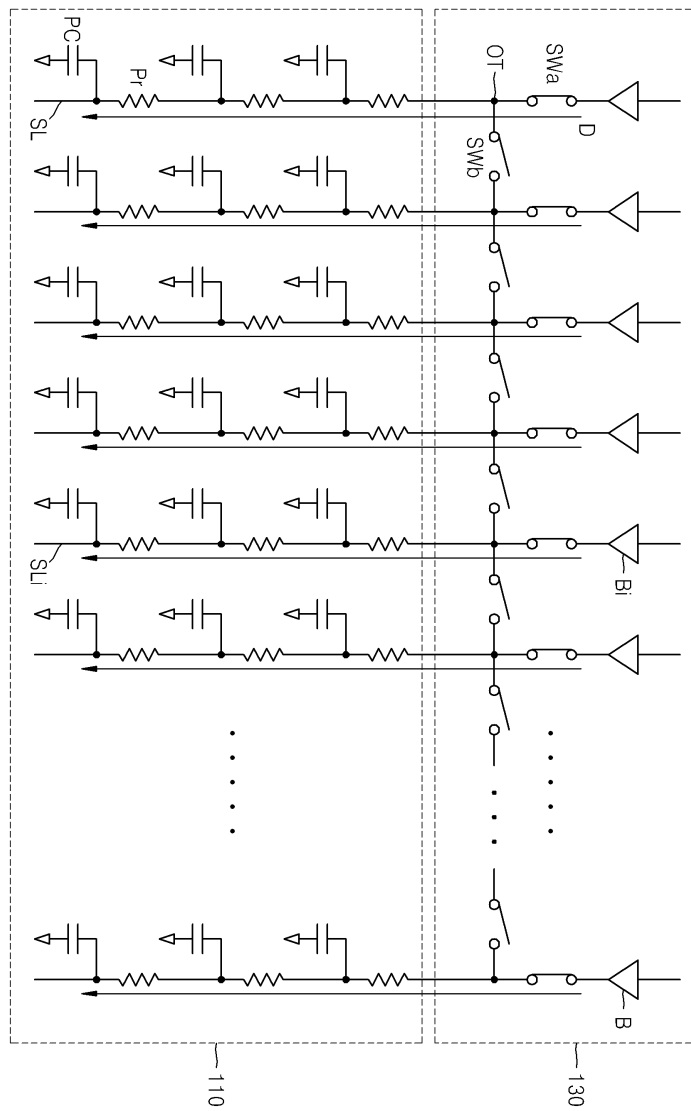
도면4



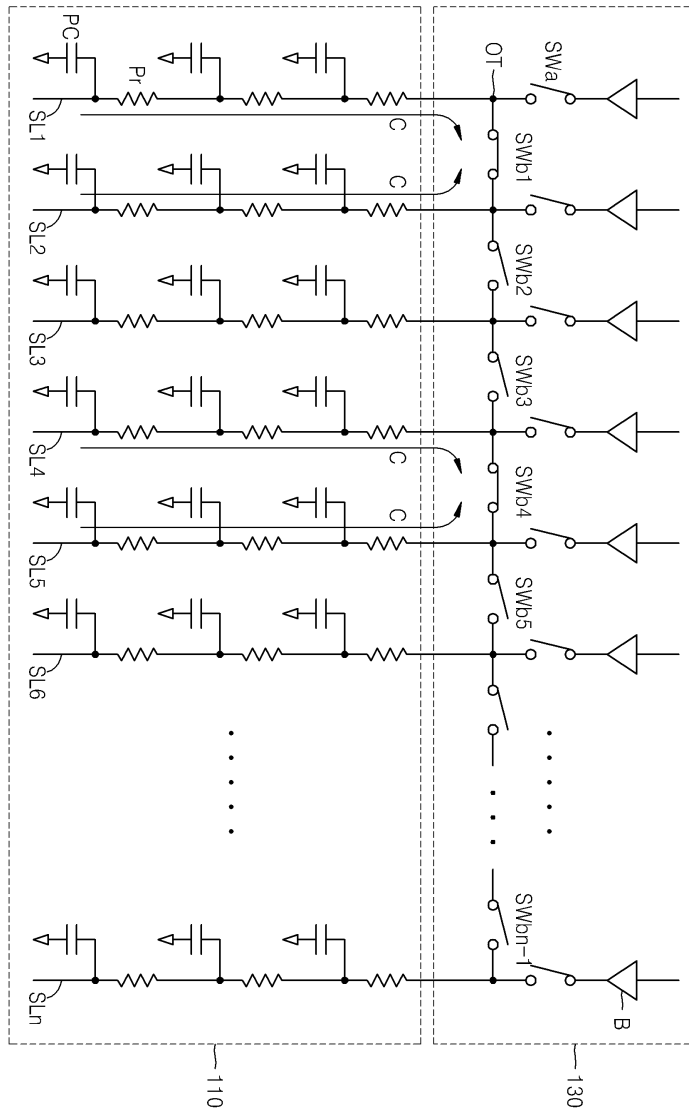
도면5



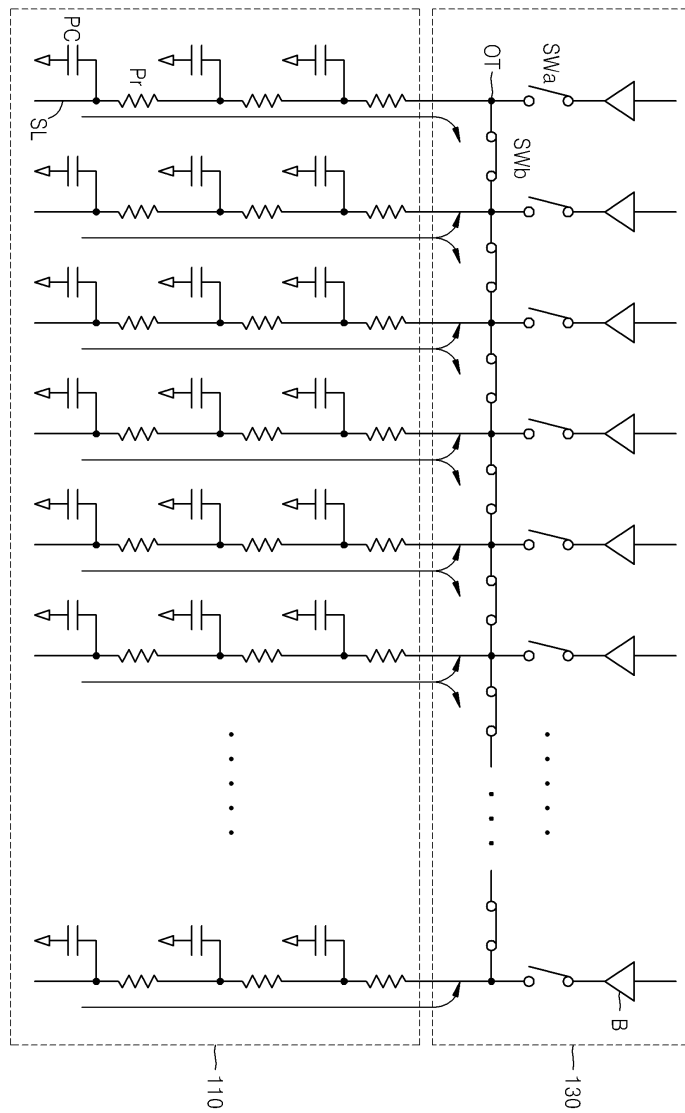
도면6a



도면6b



도면6c



도면7a

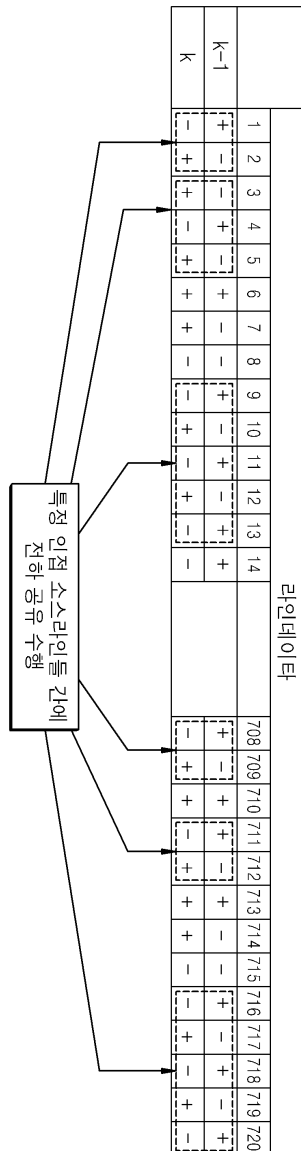
	OTi	OTi+1
STk-1	-	+
STk	+	-

	OTi	OTi+1
STk-1	+	-
STk	-	+

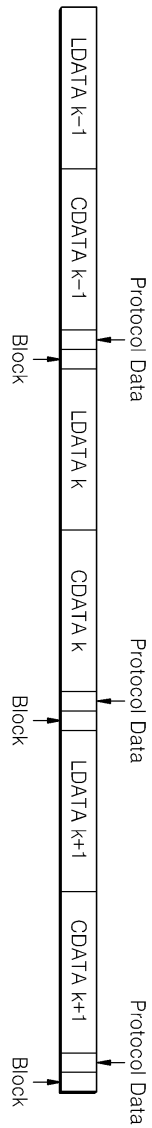
도면7b

	라인데이터																												
	1	2	3	4	5	6	7	8	9	10	11	12	13	14		708	709	710	711	712	713	714	715	716	717	718	719	720	
k-1	+	+	+	+	+	+	+	+	+	+	+	+	-	-		+	-	-	-	-	-	-	-	-	-	-	-	+	+
k	-	-	-	-	-	-	-	-	-	+	+	+	+	+		-	+	+	+	+	+	+	+	+	+	-	-	-	-
	반전												반전						반전								반전		

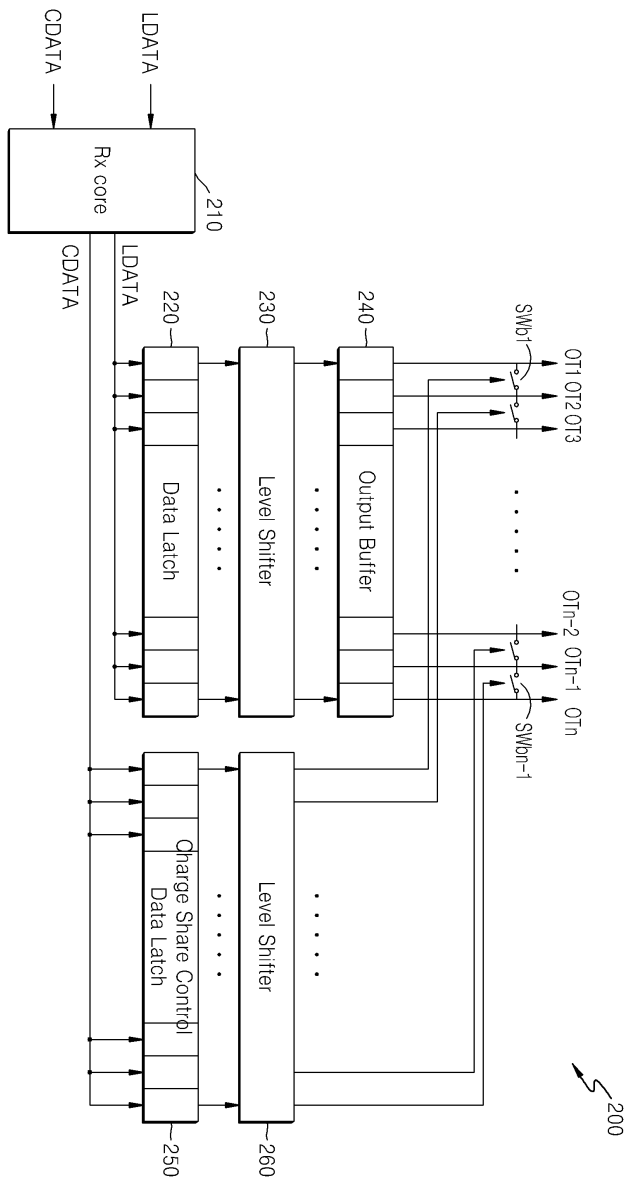
도면7c



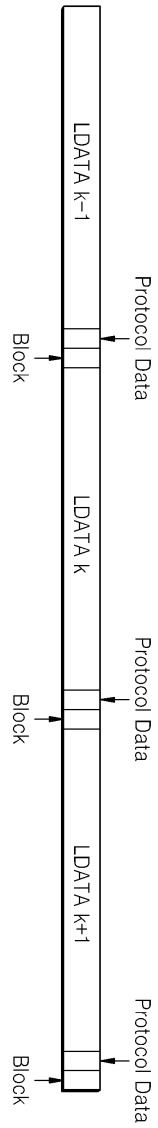
도면8a



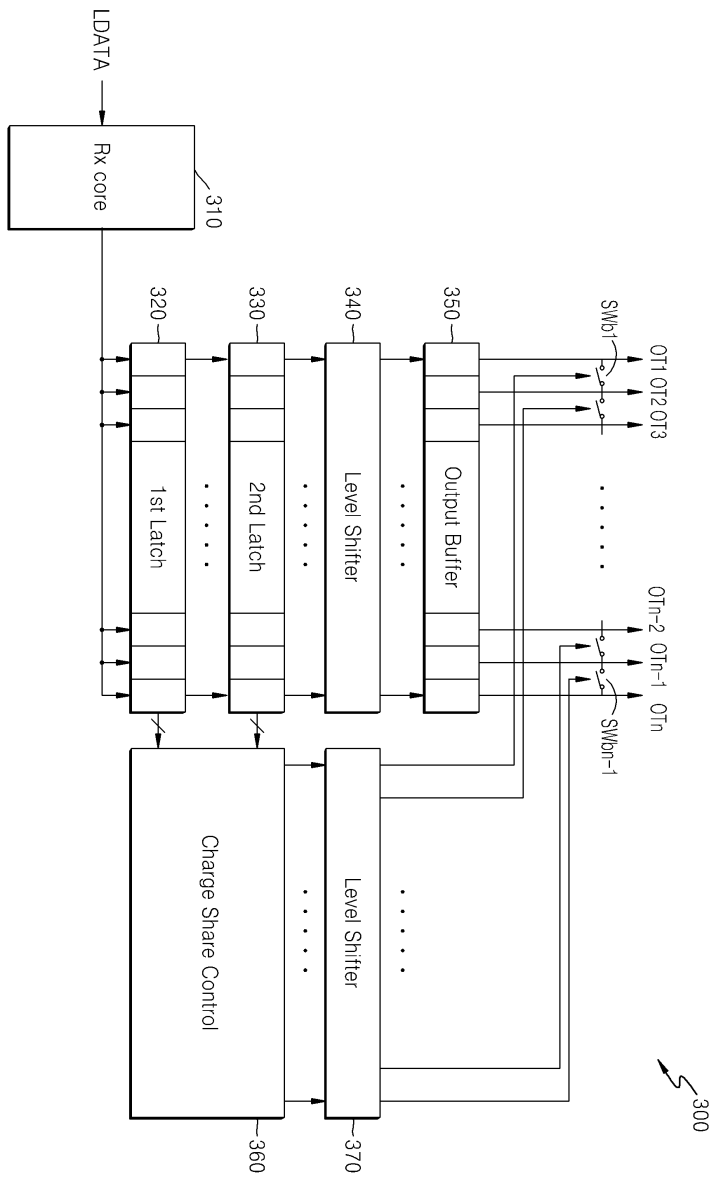
도면8b



도면9a



도면9b



专利名称(译)	标题：源极驱动器，有机发光显示器和有机发光显示器的驱动方法		
公开(公告)号	KR1020150102789A	公开(公告)日	2015-09-08
申请号	KR1020140023800	申请日	2014-02-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LIM MYEONG BIN		
发明人	LIM, MYEONG BIN		
IPC分类号	G09G3/32		
外部链接	Espacenet		

摘要(译)

提供根据各种实施例的源极驱动器，有机发光显示器和有机发光显示器的驱动方法。源极驱动器包括数据接收单元，线路数据输出单元，电荷共享电路单元和电荷共享控制单元。数据接收单元接收包括先前行数据和当前行数据的行数据。行数据输出单元通过多个输出端子在前一扫描时段期间输出前一行数据，并在当前扫描时段期间输出当前行数据。电荷共享电路部分包括连接在多个输出端子的相邻输出端子之间的多个电荷共享开关。并且电荷共享控制器被配置为在先前扫描时段和当前扫描时段之间的当前电荷共享时段之间控制多个电荷共享开关中的每一个。

