



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0073611  
(43) 공개일자 2015년07월01일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01)

(21) 출원번호 10-2013-0161519  
(22) 출원일자 2013년12월23일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이영장

서울 구로구 새말로 31, 109동 1002호 (구로동, 롯데아파트)

정호영

경기 고양시 덕양구 백양로 8, 1711동 1802호 (화정동, 옥빛마을17단지아파트)

(74) 대리인

특허법인네이트

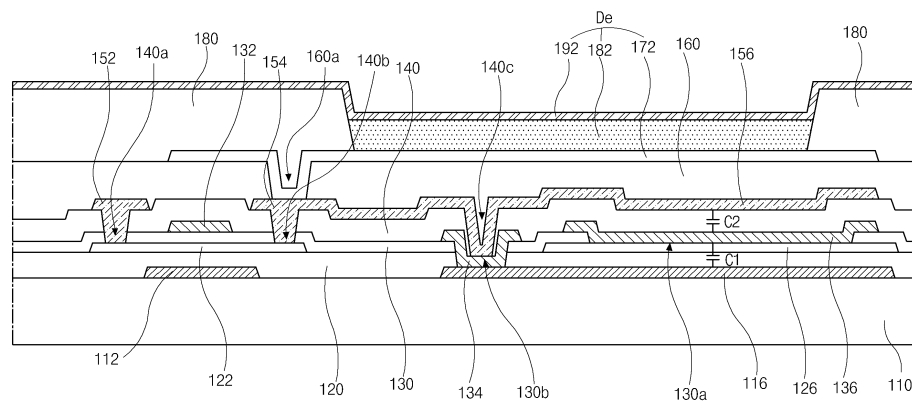
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기발광다이오드 표시장치 및 그 제조방법

(57) 요약

본 발명은, 기관과; 상기 기관 상에 형성되는 게이트배선 및 데이터배선과; 상기 게이트배선 및 데이터배선에 연결되는 스위칭 박막트랜지스터와; 상기 스위칭 박막트랜지스터에 연결되고, 제1 반도체층을 포함하는 구동 박막트랜지스터와; 상기 구동 박막트랜지스터의 게이트전극 및 드레인전극에 연결되는 스토리지 커패시터와; 상기 구동 박막트랜지스터의 드레인전극에 연결되어 발광하는 발광다이오드를 포함하고, 상기 스토리지 커패시터는 상기 드레인전극에 연결된 제1 커패시터전극과 상기 게이트전극에 연결된 제2 커패시터전극을 포함하며, 상기 제1 커패시터전극과 상기 제2 커패시터전극 사이에 버퍼층과, 제2 반도체층과 게이트 절연막이 위치하고, 상기 게이트 절연막은 상기 제2 반도체층을 노출하는 홈을 가지는 것을 특징으로 하는 유기발광다이오드 표시장치를 제공한다.

대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

기관과;

상기 기관 상에 형성되는 게이트배선 및 데이터배선과;

상기 게이트배선 및 데이터배선에 연결되는 스위칭 박막트랜지스터와;

상기 스위칭 박막트랜지스터에 연결되고, 제1 반도체층을 포함하는 구동 박막트랜지스터와;

상기 구동 박막트랜지스터의 게이트전극 및 드레인전극에 연결되는 스토리지 커패시터와;

상기 구동 박막트랜지스터의 드레인전극에 연결되어 발광하는 발광다이오드

를 포함하고,

상기 스토리지 커패시터는 상기 드레인전극에 연결된 제1 커패시터전극과 상기 게이트전극에 연결된 제2 커패시터전극을 포함하며,

상기 제1 커패시터전극과 상기 제2 커패시터전극 사이에 버퍼층과, 제2 반도체층과 게이트 절연막이 위치하고, 상기 게이트 절연막은 상기 제2 반도체층을 노출하는 홀을 가지는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 2

제1항에 있어서,

상기 홀은 하나 이상인 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 3

제1항에 있어서,

상기 스토리지 커패시터는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 4

제1항에 있어서,

상기 제1 반도체층 및 제2 반도체층은 산화물 반도체로 이루어지는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 5

제1항에 있어서,

상기 제1 반도체층 하부에 차광층을 더 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 6**

제1항에 있어서,

상기 드레인전극과 상기 제1 커패시터전극 사이에 상기 제2 커패시터전극과 동일층에 형성된 연결패턴을 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 7**

기판 상에 게이트배선을 형성하는 단계와;

상기 게이트배선과 교차하는 데이터배선을 형성하는 단계와;

상기 게이트배선 및 데이터배선에 연결되는 스위칭 박막트랜지스터를 형성하는 단계와;

상기 스위칭 박막트랜지스터에 연결되고, 제1 반도체층을 포함하는 구동 박막트랜지스터를 형성하는 단계와;

상기 구동 박막트랜지스터의 게이트전극 및 드레인전극에 연결되는 스토리지 커패시터를 형성하는 단계와;

상기 구동 박막트랜지스터의 드레인전극에 연결되어 발광하는 발광다이오드를 형성하는 단계

를 포함하고,

상기 스토리지 커패시터를 형성하는 단계는 상기 드레인전극에 연결된 제1 커패시터전극을 형성하는 단계와 상기 게이트전극에 연결된 제2 커패시터전극을 형성하는 단계를 포함하며,

상기 제1 커패시터전극을 형성하는 단계와 상기 제2 커패시터전극을 형성하는 단계 사이에 버퍼층을 형성하는 단계와, 제2 반도체층을 형성하는 단계, 그리고 게이트 절연막을 형성하는 단계를 포함하고, 상기 게이트 절연막을 형성하는 단계는 상기 제2 반도체층을 노출하는 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광다이오드 표시장치의 제조방법.

**청구항 8**

제7항에 있어서,

상기 스토리지 커패시터를 형성하는 단계는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**청구항 9**

제7항에 있어서,

상기 제1 반도체층 하부에 차광층을 형성하는 단계를 더 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**청구항 10**

제7항에 있어서,

상기 제2 커패시터전극을 형성하는 단계는 상기 드레인전극과 상기 제1 커패시터전극 사이에 연결패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**청구항 11**

기관 상에 제1 커패시터전극을 형성하는 단계와;  
 상기 제1 커패시터전극 상부에 버퍼층을 형성하는 단계와;  
 상기 버퍼층 상부에 제1 반도체층과 제2 반도체층을 형성하는 단계와;  
 상기 제1 반도체층과 제2 반도체층 상부에 게이트 절연막을 형성하는 단계와;  
 상기 게이트 절연막을 패터닝하여 상기 제2 반도체층을 노출하는 홈을 형성하는 단계와;  
 상기 게이트 절연막 상부에 게이트 전극과 제2 커패시터전극을 형성하는 단계와;  
 상기 게이트전극과 제2 커패시터전극 상부에 층간 절연막을 형성하는 단계와;  
 상기 층간 절연막 상부에 소스 및 드레인전극을 형성하는 단계와;  
 상기 소스 및 드레인전극 상부에 보호막을 형성하는 단계와;  
 상기 보호막 상부에 제1전극, 유기발광층 및 제2전극을 순차적으로 형성하는 단계를 포함하고,  
 상기 제1 커패시터전극은 상기 드레인전극에 연결되고, 상기 제2 커패시터전극은 상기 게이트전극에 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**청구항 12**

제11항에 있어서,  
 상기 소스 및 드레인전극을 형성하는 단계는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 구동 방법.

**청구항 13**

제 11 항에 있어서,  
 상기 제1 커패시터전극을 형성하는 단계는 상기 제1 반도체층 하부에 차광층을 형성하는 단계를 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**청구항 14**

제11항에 있어서,  
 상기 제2 커패시터전극을 형성하는 단계는 상기 드레인전극과 상기 제1 커패시터전극 사이에 연결패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것으로, 특히 스토리지 커패시터의 정전용량을 증가시킬 수 있는 유기발광다이오드 표시장치와 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개발되어 다양한 분야에 적용되고 있다.

- [0003] 평판표시장치 중에서, 유기 전계발광 표시장치 또는 유기 전기발광 표시장치(organic electroluminescent display device)라고도 불리는 유기발광다이오드 (organic light emitting diode: OLED) 표시장치는, 전자 주입 전극인 음극과 정공 주입 전극인 양극 사이에 형성된 발광층에 전하를 주입하여 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자이다. 이러한 유기발광다이오드 표시장치는 플라스틱과 같은 유연한 기판(flexible substrate) 위에도 형성할 수 있을 뿐 아니라, 자체 발광형이기 때문에 대조비(contrast ratio)가 크며, 응답시간이 수 마이크로초( $\mu s$ ) 정도이므로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 비교적 낮은 전압으로 구동이 가능하므로 구동회로의 제작 및 설계가 용이하다.
- [0004] 유기발광다이오드 표시장치는 구동 방식에 따라 수동형(passive matrix type) 및 능동형(active matrix type)으로 나누어질 수 있는데, 저소비전력, 고정세, 대형화가 가능한 능동형 유기발광다이오드 표시장치가 다양한 표시장치에 널리 이용되고 있다.
- [0005] 도 1은 일반적인 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.
- [0006] 도 1에 도시한 바와 같이, 유기발광다이오드 표시장치는 서로 교차하여 화소영역(P)을 정의하는 게이트배선(GL)과 데이터배선(DL)을 포함하고, 각각의 화소영역(P)에는 스위칭 박막트랜지스터(Ts)와 구동 박막트랜지스터(Td), 스토리지 커패시터(Cst), 그리고 발광다이오드(De)가 형성된다.
- [0007] 보다 상세하게, 스위칭 박막트랜지스터(Ts)의 게이트전극은 게이트배선(GL)에 연결되고 소스전극은 데이터배선(DL)에 연결된다. 구동 박막트랜지스터(Td)의 게이트전극은 스위칭 박막트랜지스터(Ts)의 드레인전극에 연결되고, 소스전극은 고전위 전압(VDD)에 연결된다. 발광다이오드(De)의 애노드(anode)는 구동 박막트랜지스터(Td)의 드레인전극에 연결되고, 캐소드(cathode)는 저전위 전압(VSS)에 연결된다. 스토리지 커패시터(Cst)는 구동 박막트랜지스터(Td)의 게이트전극과 드레인전극에 연결된다.
- [0008] 이러한 유기발광다이오드 표시장치의 영상표시 동작을 살펴보면, 게이트배선(GL)을 통해 인가된 게이트신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되고, 이때, 데이터배선(DL)으로 인가된 데이터신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.
- [0009] 구동 박막트랜지스터(Td)는 데이터신호에 따라 턴-온 되어 발광다이오드(De)를 흐르는 전류를 제어하여 영상을 표시한다. 발광다이오드(De)는 구동 박막트랜지스터(Td)를 통하여 전달되는 고전위 전압(VDD)의 전류에 의하여 발광한다.
- [0010] 즉, 발광다이오드(De)를 흐르는 전류의 양은 데이터신호의 크기에 비례하고, 발광다이오드(De)가 방출하는 빛의 세기는 발광다이오드(De)를 흐르는 전류의 양에 비례하므로, 화소영역(P)은 데이터신호의 크기에 따라 상이한 계조를 표시하고, 그 결과 유기발광다이오드 표시장치는 영상을 표시한다.
- [0011] 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(De)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(De)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.
- [0012] 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하기 위해, 스토리지 커패시터(Cst)는 일정 이상의 정전용량을 가져야 하는데, 고해상도를 구현하기 위해 화소의 크기가 작아짐에 따라 스토리지 커패시터(Cst)의 면적도 줄어들게 되어 정전용량이 작아지게 된다. 스토리지 커패시터(Cst)의 면적을 증가시킬 경우, 유효 발광 영역 및 보상회로를 위한 소자들의 영역이 제한되므로, 스토리지 커패시터(Cst)의 정전용량 확보에 어려움이 있다.

**발명의 내용**

**해결하려는 과제**

- [0013] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 스토리지 커패시터의 정전용량을 증가시켜 개구율 및 휘도를 높일 수 있는 유기발광다이오드 표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- [0014] 또한, 본 발명은, 설계 마진을 증가시킬 수 있는 유기발광다이오드 표시장치 및 그 제조 방법을 제공하는 것을 다른 목적으로 한다.

**과제의 해결 수단**

- [0015] 상기의 목적을 달성하기 위하여, 본 발명은, 기판과; 상기 기판 상에 형성되는 게이트배선 및 데이터배선과; 상기 게이트배선 및 데이터배선에 연결되는 스위칭 박막트랜지스터와; 상기 스위칭 박막트랜지스터에 연결되고, 제1 반도체층을 포함하는 구동 박막트랜지스터와; 상기 구동 박막트랜지스터의 게이트전극 및 드레인전극에 연결되는 스토리지 커패시터와; 상기 구동 박막트랜지스터의 드레인전극에 연결되어 발광하는 발광다이오드를 포함하고, 상기 스토리지 커패시터는 상기 드레인전극에 연결된 제1 커패시터전극과 상기 게이트전극에 연결된 제2 커패시터전극을 포함하며, 상기 제1 커패시터전극과 상기 제2 커패시터전극 사이에 버퍼층과, 제2 반도체층과 게이트 절연막이 위치하고, 상기 게이트 절연막은 상기 제2 반도체층을 노출하는 홀을 가지는 것을 특징으로 하는 유기발광다이오드 표시장치를 제공한다.
- [0016] 상기 홀은 하나 이상이다.
- [0017] 상기 스토리지 커패시터는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 더 포함한다.
- [0018] 상기 제1 반도체층 및 제2 반도체층은 산화물 반도체로 이루어진다.
- [0019] 본 발명의 유기발광다이오드 표시장치는 상기 제1 반도체층 하부에 차광층을 더 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결된다.
- [0020] 또한, 본 발명의 유기발광다이오드 표시장치는 상기 드레인전극과 상기 제1 커패시터전극 사이에 상기 제2 커패시터전극과 동일층에 형성된 연결패턴을 더 포함한다.
- [0021] 한편, 본 발명은, 기판 상에 게이트배선을 형성하는 단계와; 상기 게이트배선과 교차하는 데이터배선을 형성하는 단계와; 상기 게이트배선 및 데이터배선에 연결되는 스위칭 박막트랜지스터를 형성하는 단계와; 상기 스위칭 박막트랜지스터에 연결되고, 제1 반도체층을 포함하는 구동 박막트랜지스터를 형성하는 단계와; 상기 구동 박막트랜지스터의 게이트전극 및 드레인전극에 연결되는 스토리지 커패시터를 형성하는 단계와; 상기 구동 박막트랜지스터의 드레인전극에 연결되어 발광하는 발광다이오드를 형성하는 단계를 포함하고, 상기 스토리지 커패시터를 형성하는 단계는 상기 드레인전극에 연결된 제1 커패시터전극을 형성하는 단계와 상기 게이트전극에 연결된 제2 커패시터전극을 형성하는 단계를 포함하며, 상기 제1 커패시터전극을 형성하는 단계와 상기 제2 커패시터전극을 형성하는 단계 사이에 버퍼층을 형성하는 단계와, 제2 반도체층을 형성하는 단계, 그리고 게이트 절연막을 형성하는 단계를 포함하고, 상기 게이트 절연막을 형성하는 단계는 상기 제2 반도체층을 노출하는 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법을 제공한다.
- [0022] 상기 스토리지 커패시터를 형성하는 단계는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 형성하는 단계를 더 포함한다.
- [0023] 본 발명의 유기발광다이오드 표시장치의 제조방법은 상기 제1 반도체층 하부에 차광층을 형성하는 단계를 더 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결된다.
- [0024] 상기 제2 커패시터전극을 형성하는 단계는 상기 드레인전극과 상기 제1 커패시터전극 사이에 연결패턴을 형성하는 단계를 포함한다.
- [0025] 또한, 본 발명은, 기판 상에 제1 커패시터전극을 형성하는 단계와; 상기 제1 커패시터전극 상부에 버퍼층을 형성하는 단계와; 상기 버퍼층 상부에 제1 반도체층과 제2 반도체층을 형성하는 단계와; 상기 제1 반도체층과 제2 반도체층 상부에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막을 패터닝하여 상기 제2 반도체층을 노출하는 홀을 형성하는 단계와; 상기 게이트 절연막 상부에 게이트 전극과 제2 커패시터전극을 형성하는 단계와; 상기 게이트전극과 제2 커패시터전극 상부에 층간 절연막을 형성하는 단계와; 상기 층간 절연막 상부에 소스 및 드레인전극을 형성하는 단계와; 상기 소스 및 드레인전극 상부에 보호막을 형성하는 단계와; 상기 보호막 상부에 제1전극, 유기발광층 및 제2전극을 순차적으로 형성하는 단계를 포함하고, 상기 제1 커패시터전극은 상기 드레인전극에 연결되고, 상기 제2 커패시터전극은 상기 게이트전극에 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조 방법을 제공한다.
- [0026] 상기 소스 및 드레인전극을 형성하는 단계는 상기 드레인전극에 연결되고 상기 제2 커패시터전극 상부에 위치하는 제3 커패시터전극을 형성하는 단계를 포함한다.

- [0027] 상기 제1 커패시터전극을 형성하는 단계는 상기 제1 반도체층 하부에 차광층을 형성하는 단계를 포함하고, 상기 차광층은 상기 게이트전극과 전기적으로 연결된다.
- [0028] 상기 제2 커패시터전극을 형성하는 단계는 상기 드레인전극과 상기 제1 커패시터전극 사이에 연결패턴을 형성하는 단계를 포함한다.

**발명의 효과**

- [0029] 본 발명에 따른 유기발광다이오드 표시장치는, 병렬로 연결된 제1 및 제2 커패시터를 스토리지 커패시터로 포함하므로 동일 면적에 대해 보다 큰 정전용량을 가지며, 반도체층을 식각 방지막으로 사용하여 제1 커패시터전극과 제2 커패시터전극 사이의 게이트 절연막을 제거함으로써, 스토리지 커패시터의 정전용량을 더욱 증가시킬 수 있다.
- [0030] 이때, 증가되는 정전용량만큼 스토리지 커패시터가 차지하는 면적을 줄일 수 있으므로, 하부 발광 방식 유기발광다이오드 표시장치의 경우, 유효 발광 면적이 증가하게 되어 표시장치의 휘도를 높일 수 있다.
- [0031] 한편, 상부 발광 방식 유기발광다이오드 표시장치의 경우, 보상을 위한 다른 박막트랜지스터와 커패시터를 추가할 수 있어 설계 마진이 증가하는 효과가 있다.

**도면의 간단한 설명**

- [0032] 도 1은 일반적인 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.  
 도 2는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도이다.  
 도 3a 내지 3j는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 제조 공정 중 각 단계에서의 표시장치를 도시한 단면도이다.  
 도 4a 내지 도 4c는 본 발명의 실시예에 따른 스토리지 커패시터의 홀의 예를 개략적으로 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 이하, 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.
- [0034] 도 2는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 도시한 단면도로, 한 화소영역에 대응하는 구조를 도시한다.
- [0035] 도 2에 도시한 바와 같이, 절연 기판(110) 상부에 금속과 같은 도전성 물질로 차광층(112)과 제1 커패시터전극(116)이 형성된다.
- [0036] 차광층(112)과 제1 커패시터전극(116) 상부 전면에는 절연물질로 버퍼층(120)이 형성된다.
- [0037] 버퍼층(120) 위에는 산화물 반도체 물질로 이루어진 제1 산화물 반도체층(122)과 제2 산화물 반도체층(126)이 형성된다. 제1 산화물 반도체층(122)은 차광층(112) 상부에 위치하고, 제2 산화물 반도체층(126)은 제1 커패시터전극(116) 상부에 위치한다. 제1 산화물 반도체층(122)은 차광층(112)보다 넓은 폭을 가지며, 제1 산화물 반도체층(122)의 가운데 영역이 차광층(112)과 중첩한다. 제2 산화물 반도체층(126)은 제1 커패시터전극(116)과 중첩하는데, 제2 산화물 반도체층(126)은 제1 커패시터전극(116)보다 좁은 면적을 가져, 제1 커패시터전극(116)의 일부는 제2 산화물 반도체층(126)과 중첩하지 않는다.
- [0038] 제1 산화물 반도체층(122) 및 제2 산화물 반도체층(126) 상부에는 절연물질로 이루어진 게이트 절연막(130)이 기판(110) 전면에서 형성된다. 게이트 절연막(130)은 제2 산화물 반도체층(126)을 노출하는 홀(130a) 및 제1 커패시터전극(117)을 노출하는 커패시터 콘택홀(130b)을 가진다. 커패시터 콘택홀(130b)은 게이트 절연막(130) 하부의 버퍼층(120)에도 형성된다. 한편, 도시하지 않았지만, 게이트 절연막(130)은 버퍼층(120)과 함께 차광층(112)을 노출하는 게이트 콘택홀을 가진다.
- [0039] 게이트 절연막(130) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트전극(132)과 연결패턴(134), 그리고 제2 커패시터전극(136)이 형성된다. 또한, 게이트 절연막(130) 상부에는 제1방향을 따라 연장된 게이트배선(도

시하지 않음)이 형성된다.

- [0040] 게이트전극(132)은 차광층(112)과 중첩하고, 차광층(112)보다 좁은 폭을 가진다. 도시하지 않았지만, 게이트전극(132)은 게이트 콘택홀을 통해 차광층(112)과 접촉한다. 또한, 연결패턴(134)은 커패시터 콘택홀(130b)을 통해 제1 커패시터전극(116)과 접촉한다. 제2 커패시터전극(136)은 연결패턴(134)과 이격되고, 제1 커패시터전극(116)과 중첩하며, 홀(130a)을 통해 제2 산화물 반도체층(126)과 접촉한다. 도시하지 않았지만, 제2 커패시터전극(136)은 게이트전극(132)과 연결된다.
- [0041] 게이트전극(132)과 연결패턴(134) 그리고 제2 커패시터전극(136) 상부에는 절연물질로 층간 절연막(140)이 기판(110) 전면에 형성된다. 층간 절연막(140)은 제1 산화물 반도체층(122)의 양측 상면을 노출하는 제1 및 제2 콘택홀(140a, 140b)을 가진다. 제1 및 제2 콘택홀(140a, 140b)은 게이트전극(132)과 이격되어 형성되는데, 제1 및 제2 콘택홀(140a, 140b)은 게이트 절연막(130) 내에도 형성된다. 또한, 층간 절연막(140)은 연결패턴(134)을 노출하는 제3 콘택홀(140c)을 가진다.
- [0042] 층간 절연막(140) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인전극(152, 154)과 제3 커패시터전극(156)이 형성된다. 또한, 층간 절연막(140) 상부에는 제2방향을 따라 연장되는 데이터배선(도시하지 않음)과 전원배선(도시하지 않음)이 형성된다. 데이터배선은 게이트배선과 교차하여 화소영역을 정의한다.
- [0043] 소스 및 드레인전극(152, 154)은 게이트전극(132)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 콘택홀(140a, 140b)을 통해 제1 산화물 반도체층(122)의 양측과 접촉한다. 소스 및 드레인전극(152, 154)은 제2 게이트전극(132)과 이격되어 있으며, 차광층(112)과는 중첩한다. 드레인전극(154)은 연장되어 제3 커패시터전극(156)과 연결되며, 제3 콘택홀(140c)을 통해 연결패턴(134)과 접촉한다. 한편, 제3 커패시터전극(156)은 제2 커패시터전극(136)과 중첩한다.
- [0044] 여기서, 드레인전극(154)은 제1 커패시터전극(116)과 직접 접촉할 수도 있다. 즉, 커패시터 콘택홀(130a)과 연결패턴(134)을 생략하고, 제3 콘택홀(140c)이 층간 절연막(140)과 게이트 절연막(130) 및 버퍼층(120) 내에 형성되어 제1 커패시터전극(116)을 노출하며, 드레인전극(154)이 제3 콘택홀(140c)을 통해 제1 커패시터전극(116)과 접촉할 수 있다.
- [0045] 한편, 제1 커패시터전극(116)과 제2 커패시터전극(136)은, 사이에 위치하는 버퍼층(120) 및 제2 산화물 반도체층(126)을 유전체로 하여 제1 커패시터(C1)를 형성하고, 제2 커패시터전극(136)과 제3 커패시터전극(156)은, 사이에 위치하는 층간 절연막(156)을 유전체로 하여 제2 커패시터(C2)를 형성하며, 제1 커패시터(C1)와 제2 커패시터(C2)는 병렬로 연결되어 스토리지 커패시터가 된다.
- [0046] 소스 및 드레인전극(152, 154)과 제3 커패시터전극(156) 상부에는 절연물질로 보호막(160)이 기판(110) 전면에 형성된다. 보호막(160)은 상면이 평탄하며, 드레인전극(154)을 노출하는 드레인 콘택홀(160a)을 가진다. 여기서, 드레인 콘택홀(160a)은 제2 콘택홀(140b) 바로 위에 형성된 것으로 도시되어 있으나, 제2 콘택홀(140b)과 이격되어 형성될 수도 있다.
- [0047] 보호막(160) 상부에는 비교적 일함수가 높은 도전성 물질로 제1전극(172)이 형성된다. 제1전극(172)은 각 화소영역마다 형성되고, 드레인 콘택홀(160a)을 통해 드레인전극(154)과 접촉한다. 여기서, 제1전극(172)은 투명도전성 물질로 형성될 수 있다.
- [0048] 제1전극(172) 상부에는 절연물질로 बैं크층(180)이 형성된다. बैं크층(180)은 제1전극(172)의 가장자리를 덮으며, 제1전극(172)의 중앙부를 노출한다.
- [0049] बैं크층(180)에 의해 노출된 제1전극(172) 상부에는 유기물질로 유기발광층(182)이 형성된다. 유기발광층(182)은 제1전극(172) 상부로부터 정공수송층(hole transporting layer)과, 발광물질층(light-emitting material layer), 전자수송층(electron transporting layer) 순으로 적층된 다중층 구조를 가질 수 있으며, 정공수송층 하부의 정공주입층(hole injecting layer)과 전자수송층 상부의 전자주입층(electron injecting layer)을 더 포함할 수 있다.
- [0050] 유기발광층(182) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2전극(192)이 기판(110) 전면에 형성된다. 여기서, 제2전극(192)은 불투명한 금속 물질로 형성될 수 있다.
- [0051] 제1전극(172)과 유기발광층(182) 및 제2전극(192)은 유기발광다이오드(De)를 이루며, 제1전극(172)은 애노드(anode)의 역할을 하고, 제2전극(192)은 캐소드(cathode)의 역할을 한다. 여기서, 유기발광다이오드 표시장치는 유기발광층(182)으로부터 발광된 빛이 제1전극(172)을 통해 외부로 출력되는 하부 발광 방식(bottom

emission type)일 수 있다.

- [0052] 한편, 게이트전극(132), 제1 산화물 반도체층(122), 소스전극(152), 그리고 드레인전극(154)은 박막트랜지스터를 이루는데, 박막트랜지스터는 액티브층인 제1 산화물 반도체층(122)이 하부에 형성되고 게이트전극(132)이 상부에 형성되며, 제1 산화물 반도체층(122)의 일측에 게이트전극(132)과 소스 및 드레인전극(152, 154)이 위치하는 탑 게이트형 코플라나(top gate type coplanar) 구조를 가진다.
- [0053] 이때, 본 발명에서는 제1 산화물 반도체층(122) 하부에 차광층(112)을 형성하여 외부로부터의 빛이나 유기발광층(182)으로부터의 빛이 제1 산화물 반도체층(122)에 도달하는 것을 방지함으로써, 제1 산화물 반도체층(122)이 빛에 의해 열화되는 것을 방지하여 박막트랜지스터의 수명이 단축되는 것을 막는다. 또한, 차광층(112)을 탑 게이트인 게이트전극(132)과 전기적으로 연결시켜 별도의 게이트 전극으로 사용한다. 따라서, 본 발명의 박막트랜지스터는 이중 게이트(double gate) 구조이며, 보다 향상된 전류 특성을 가질 수 있다.
- [0054] 이러한 도 2의 박막트랜지스터는 유기발광다이오드 표시장치의 구동 박막트랜지스터에 해당하며, 도시하지 않았지만, 구동 박막트랜지스터와 동일한 구조를 가지는 스위칭 박막트랜지스터가 기판(110) 상에 형성된다.
- [0055] 또한, 구동 박막트랜지스터와 동일한 구조를 가지는 센싱 박막트랜지스터가 더 형성될 수도 있다.
- [0056] 여기서, 스위칭 박막트랜지스터의 게이트전극은 게이트배선과 연결되고, 스위칭 박막트랜지스터의 소스전극은 데이터배선과 연결된다. 구동 박막트랜지스터의 게이트전극(132)은 스위칭 박막트랜지스터의 드레인전극과 연결되고, 구동박막트랜지스터의 소스전극(152)은 전원배선과 연결된다.
- [0057] 또한, 앞서 언급한 바와 같이, 구동 박막트랜지스터의 드레인전극(154)은 유기발광다이오드(De)의 제1전극(172)과 연결되고, 구동 박막트랜지스터의 드레인전극(154)은 스토리지 커패시터의 제1 커패시터전극(116) 및 제3 커패시터전극(156)과도 연결되며, 구동 박막트랜지스터의 게이트전극(132)은 스토리지 커패시터의 제2 커패시터전극(136)과 연결된다.
- [0058] 여기서, 구동 박막트랜지스터의 소스전극(152)과 드레인전극(154)은 캐리어(carrier)에 따라 그 위치 및 명칭이 결정되는 것으로, 그 위치와 명칭은 서로 바뀔 수도 있다.
- [0059] 한편, 앞서 언급한 바와 같이, 본 발명의 스토리지 커패시터는 병렬로 연결된 제1 및 제2 커패시터(C1, C2)를 포함하여 동일 면적에 대해 보다 큰 정전용량(capacitance)을 가진다. 이때, 제1 커패시터전극(116)과 제2 커패시터전극(136) 사이의 게이트 절연막(130)을 제거하여 제1 커패시터전극(116)과 제2 커패시터전극(136) 사이의 거리를 줄이는데, 제2 산화물 반도체층(126)을 식각 방지막으로 사용하여 하부의 버퍼층(120)이 식각되는 것을 방지한다. 제2 산화물 반도체층(126)은 게이트 절연막(130)에 비해 두께가 얇기 때문에, 제1 및 제2 커패시터전극(116, 136) 사이의 거리가 줄어들어, 제1 커패시터(C1)의 정전용량은 더 증가하게 된다.
- [0060] 따라서, 증가되는 정전용량만큼 스토리지 커패시터가 차지하는 면적을 줄일 수 있으며, 이에 따라 하부 발광 방식 유기발광다이오드 표시장치에 있어서 유기발광층(182)에서 발광된 빛이 출력되는 유효 발광 면적이 증가하게 되어 표시장치의 휘도를 높일 수 있다.
- [0061] 본 발명의 스토리지 커패시터 구조는 하부 발광 방식 유기발광다이오드 표시장치뿐만 아니라, 상부 발광 방식(top emission type) 유기발광다이오드 표시장치에도 적용할 수 있다. 즉, 유기발광다이오드 표시장치는, 제1 전극(172)을 불투명 도전성 물질로 형성하거나 투명 도전성 물질층 하부에 반사층을 형성하고, 제2전극(182)이 빛을 투과하도록 형성하여 유기발광층(182)으로부터 발광된 빛이 제2전극(192)을 통해 외부로 출력되는 상부 발광 방식일 수 있다. 이때, 증가되는 정전용량만큼 스토리지 커패시터가 차지하는 면적을 줄일 수 있으므로, 보상을 위한 다른 박막트랜지스터와 커패시터를 추가할 수 있어 설계 마진이 증가한다.
- [0062] 이하, 도면을 참조하여 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 제조 방법에 대하여 설명한다.
- [0063] 도 3a 내지 3j는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 제조 공정 중 각 단계에서의 표시장치를 도시한 단면도이다.
- [0064] 도 3a에 도시한 바와 같이, 절연 기판(110) 상부에 금속과 같은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제1도전물질층(도시하지 않음)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 제1도전물질층을 선택적으로 제거하여 차광층(112)과 제1 커패시터전극(116)을 형성한다.

- [0065] 여기서, 절연 기판(110)은 유리기판이나 플라스틱기판일 수 있으며, 차광층(112)과 제1 커패시터전극(116)은 알루미늄(A)이나 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금 중 적어도 하나로 형성될 수 있다.
- [0066] 다음, 도 3b에 도시한 바와 같이, 차광층(112)과 제1 커패시터전극(116) 상부 전면에 절연 물질을 증착하여 버퍼층(120)을 형성한다. 버퍼층(120)은 산화 실리콘(SiO<sub>2</sub>)과 같은 무기절연물질로 형성될 수 있다.
- [0067] 이어, 버퍼층(120) 상부에 산화물 반도체 물질을 증착하여 산화물 반도체물질층(미도시)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 산화물 반도체물질층을 선택적으로 제거하여 차광층(112) 상부의 제1 산화물 반도체층(122)과 제1 커패시터전극(116) 상부의 제2 산화물 반도체층(126)을 형성한다. 여기서, 제1 산화물 반도체층(122)은 차광층(112)보다 넓은 폭을 가지며, 제1 산화물 반도체층(122)의 가운데 영역이 차광층(112)과 중첩한다. 한편, 제2 산화물 반도체층(126)은 제1 커패시터전극(116)과 중첩하는데, 제2 산화물 반도체층(126)은 제1 커패시터전극(116)보다 좁은 면적을 가져, 제1 커패시터전극(116)의 일부는 제2 산화물 반도체층(126)과 중첩하지 않는다.
- [0068] 제1 및 제2 산화물 반도체층(122, 126)은 인듐-갈륨-징크-옥사이드(indium gallium zinc oxide: IGZO)나 인듐-틴-징크-옥사이드(indium tin zinc oxide: ITZO), 인듐-징크-옥사이드(indium zinc oxide: IZO), 징크-옥사이드(zinc oxide: ZnO), 인듐-갈륨-옥사이드(indium gallium oxide: IGO) 또는 인듐-알루미늄-징크-옥사이드(indium aluminum zinc oxide: IAZO) 등으로 이루어질 수 있다.
- [0069] 다음, 도 3c에 도시한 바와 같이, 제1 및 제2 산화물 반도체층(122, 126) 상부에 절연물질을 화학기상증착 등의 방법으로 증착하여 기판(110) 전면에 게이트 절연막(130)을 형성한다. 게이트 절연막(130)은 산화 실리콘(SiO<sub>2</sub>)과 같은 무기절연물질로 형성될 수 있다.
- [0070] 이어, 마스크를 이용한 사진식각공정을 통해 게이트 절연막(130)과 그 하부의 버퍼층(120)을 선택적으로 제거하여, 제2 산화물 반도체층(126)을 노출하는 홀(130a)과 제1 커패시터전극(117)을 노출하는 커패시터 콘택홀(130b), 그리고 차광층(112)을 노출하는 게이트 콘택홀(도시하지 않음)을 형성한다. 여기서, 홀(130a)은 게이트 절연막(130) 내에만 형성되고, 커패시터 콘택홀(130b)과 게이트 콘택홀(도시하지 않음)은 게이트 절연막(130)과 버퍼층(120) 내에 형성된다.
- [0071] 다음, 도 3d에 도시한 바와 같이, 게이트 절연막(130) 상부에 금속과 같은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제2도전물질층(도시하지 않음)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 제2도전물질층을 선택적으로 제거하여 게이트전극(132)과 연결패턴(134), 제2 커패시터전극(136), 그리고 게이트배선(도시하지 않음)을 형성한다.
- [0072] 게이트전극(132)은 차광층(112)보다 좁은 폭을 가지고 차광층(112)과 중첩하며, 게이트 콘택홀(도시하지 않음)을 통해 차광층(112)과 접촉한다. 연결패턴(134)은 커패시터 콘택홀(130b)을 통해 제1 커패시터전극(116)과 접촉한다. 제2 커패시터전극(136)은 연결패턴(134)과 이격되고, 제1 커패시터전극(116)과 중첩하며, 홀(130a)을 통해 제2 산화물 반도체층(126)과 접촉한다. 도시하지 않았지만, 제2 커패시터전극(136)은 게이트전극(132)과 연결되며, 게이트 배선(도시하지 않음)은 제1방향을 따라 연장된다.
- [0073] 게이트전극(132)과 연결패턴(134), 제2 커패시터전극(136), 그리고 게이트배선(도시하지 않음)은 알루미늄(A)이나 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금 중 적어도 하나로 형성될 수 있다.
- [0074] 이어, 도 3e에 도시한 바와 같이, 게이트전극(132)과 연결패턴(134), 제2 커패시터전극(136), 그리고 게이트배선(도시하지 않음) 상부에 절연물질을 증착하거나 또는 도포하여 기판(110) 전면에 층간 절연막(140)을 형성하고, 마스크를 이용한 사진식각공정을 통해 층간 절연막(140)을 선택적으로 제거하여 제1 산화물 반도체층(122)의 양측 상면을 노출하는 제1 및 제2 콘택홀(140a, 140b)과 연결패턴(134)을 노출하는 제3 콘택홀(140c)을 형성한다. 제3 콘택홀(140c)은 커패시터 콘택홀(130b) 바로 위에 위치하는데, 커패시터 콘택홀(130b)과 이격되어 위치할 수도 있다.
- [0075] 층간 절연막(140)은 산화 실리콘(SiO<sub>2</sub>)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.
- [0076] 다음, 도 3f에 도시한 바와 같이, 층간 절연막(140) 상부에 금속과 같은 도전성 물질을 스퍼터링 등의 방법으로

증착하여 제3도전물질층(도시하지 않음)을 형성한 후, 마스크를 이용한 사진식각공정을 통해 제3도전물질층을 선택적으로 제거하여 소스 및 드레인전극(152, 154)과 제3 커패시터전극(156), 데이터배선(도시하지 않음), 그리고 전원배선(도시하지 않음)을 형성한다.

[0077] 소스 및 드레인전극(152, 154)은 게이트전극(132)을 중심으로 서로 이격되어 있으며, 각각 제1 및 제2 컨택홀(140a, 140b)을 통해 제1 산화물 반도체층(122)의 양측과 접촉한다. 또한, 소스 및 드레인전극(152, 154)은 게이트전극(132)과 이격되어 있으며, 차광층(112)과는 중첩한다. 드레인전극(154)은 연장되어 제3 커패시터전극(156)과 연결되며, 제3 컨택홀(140c)을 통해 연결패턴(134)과 접촉한다. 한편, 제3 커패시터전극(156)은 제2 커패시터전극(136)과 중첩하며, 데이터배선(도시하지 않음)과 전원배선(도시하지 않음)은 제2방향을 따라 연장되고, 데이터배선(도시하지 않음)은 게이트배선(도시하지 않음)과 교차하여 화소영역을 정의한다.

[0078] 앞서 언급한 바와 같이, 드레인전극(154)은 제1 커패시터전극(116)과 직접 접촉할 수도 있다. 즉, 커패시터 컨택홀(130a)과 연결패턴(134)을 생략하고, 제3 컨택홀(140c)이 층간 절연막(140)과 게이트 절연막(130) 및 버퍼층(120) 내에 형성되어 제1 커패시터전극(116)을 노출하며, 드레인전극(154)이 제3 컨택홀(140c)을 통해 제1 커패시터전극(116)과 접촉할 수 있다.

[0079] 소스 및 드레인전극(152, 154)과 제3 커패시터전극(156), 데이터배선(도시하지 않음), 그리고 전원배선(도시하지 않음)은 알루미늄(A)이나 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금 중 적어도 하나로 형성될 수 있다.

[0080] 다음, 도 3g에 도시한 바와 같이, 소스 및 드레인전극(152, 154)과 제3 커패시터전극(156), 데이터배선(도시하지 않음), 그리고 전원배선(도시하지 않음) 상부에 절연물질을 증착하거나 또는 도포하여 보호막(160)을 형성하고, 마스크를 이용한 사진식각공정을 통해 보호막(160)을 선택적으로 제거하여 드레인전극(154)을 노출하는 드레인 컨택홀(160a)을 형성한다. 드레인 컨택홀(160a)은 제2 컨택홀(140b) 바로 위에 형성되는데, 드레인 컨택홀(160a)은 제2 컨택홀(140b)과 이격되어 형성될 수도 있다.

[0081] 보호막(160)은 산화 실리콘( $\text{SiO}_2$ )이나 질화 실리콘( $\text{SiN}_x$ )과 같은 무기절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있는데, 평탄한 표면을 가지도록 유기절연물질로 형성되는 것이 바람직하다.

[0082] 다음, 도 3h에 도시한 바와 같이, 보호막(160) 상부에 비교적 일함수가 높은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 제1전극물질층(도시하지 않음)을 형성하고, 마스크를 이용한 사진식각공정을 통해 제1전극물질층을 선택적으로 제거하여 제1전극(172)을 형성한다. 제1전극(172)은 각 화소영역에 위치하며, 드레인 컨택홀(160a)을 통해 드레인전극(154)과 접촉한다.

[0083] 제1전극(172)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명 도전성 물질로 형성될 수 있다.

[0084] 다음, 도 3i에 도시한 바와 같이, 제1전극(172) 상부에 절연물질을 증착하거나 또는 도포하여 बैं크물질층(도시하지 않음)을 형성하고, 마스크를 이용한 사진식각공정을 통해 बैं크물질층을 선택적으로 제거하여 बैं크층(180)을 형성한다. बैं크층(180)은 제1전극(172)의 가장자리를 덮으며, 제1전극(172)의 중앙부를 노출한다.

[0085] 한편, 도시하지 않았지만, बैं크층(180) 상부에는 스페이서가 더 형성될 수도 있다.

[0086] 다음, 도 3j에 도시한 바와 같이, बैं크층(180)을 포함하는 기판(110) 상부에 유기물질을 진공증착 등의 방법으로 선택적으로 증착하여, बैं크층(180)에 의해 노출되는 제1전극(172) 상부에 유기발광층(182)을 형성한다. 유기발광층(182)은 제1전극(172) 상부로부터 정공수송층과, 발광물질층, 전자수송층 순으로 적층된 다중층 구조를 가질 수 있으며, 정공수송층 하부의 정공주입층과 전자수송층 상부의 전자주입층을 더 포함할 수 있다.

[0087] 이어, 유기발광층(182) 상부에 비교적 일함수가 낮은 도전성 물질을 스퍼터링 등의 방법으로 증착하여 기판(110) 전면에 제2전극(192)을 형성한다.

[0088] 제2전극(192)은 알루미늄이나 크롬과 같은 불투명한 금속 물질로 형성될 수 있다.

[0089] 제1전극(172)과 유기발광층(182) 및 제2전극(192)은 유기발광다이오드(De)를 이루며, 제1전극(172)은 애노드의 역할을 하고, 제2전극(192)은 캐소드의 역할을 한다. 여기서, 유기발광다이오드 표시장치는 유기발광층(182)으로부터 발광된 빛이 제1전극(172)을 통해 외부로 출력되는 하부 발광 방식이며, 제1전극(172) 전극 하부에 반사층을 형성하고, 제2전극(192)의 두께를 조절하여 빛을 투과하도록 형성할 경우, 유기발광다이오드 표시장치는

상부 발광 방식이 될 수도 있다.

- [0090] 본 발명에서는, 제1 내지 제3 커패시터전극(116, 136, 156)에 의해 병렬로 연결된 제1 및 제2 커패시터(C1, C2)를 스토리지 커패시터로 형성하는데 있어서, 게이트 콘택홀(도시하지 않음) 및 스토리지 콘택홀(130b) 형성 단계에서 제1 제2 산화물 반도체층(126)을 식각 방지막으로 사용하여 제1 커패시터전극(116)과 제2 커패시터전극(136) 사이의 게이트 절연막(130)을 제거한다. 따라서, 공정이 증가되지 않으며, 제2 산화물 반도체층(126)은 게이트 절연막(130)에 비해 두께가 얇기 때문에, 제1 및 제2 커패시터전극(116, 136) 사이의 거리가 줄어들어, 제1 커패시터(C1)의 정전용량이 증가하게 된다. 이에 따라, 증가되는 정전용량만큼 스토리지 커패시터가 차지하는 면적을 줄일 수 있으므로, 하부 발광 방식 유기발광다이오드 표시장치의 경우, 유효 발광 면적이 증가하게 되어 표시장치의 휘도를 높일 수 있고, 상부 발광 방식 유기발광다이오드 표시장치의 경우, 보상을 위한 다른 박막트랜지스터와 커패시터를 추가할 수 있어 설계 마진이 증가한다.
- [0091] 앞선 본 발명의 실시예에서는 산화물 반도체를 액티브층으로 가지는 박막트랜지스터에 대하여 설명하였으나, 저온폴리실리кон(low temperature polycrystalline silicon: LTPS)을 액티브층으로 가지는 박막트랜지스터도 사용될 수 있다. 이때, 저온폴리실리콘을 액티브층으로 가지는 박막트랜지스터는 불순물 도핑 공정이 더 수행되며, 게이트 절연막(130)과 버퍼층(120)은 산화 실리кон(SiO<sub>2</sub>) 이외에 질화 실리кон(SiNx)과 같은 무기절연물질로 형성될 수도 있다.
- [0092] 한편, 앞선 본 발명의 실시예에서는 제2 산화물 반도체층(126)을 노출하는 스토리지 커패시터의 홀(130a)이 하나인 경우에 대하여 설명하였으나, 홀(130a)의 개수와 크기 및 사이 거리는 달라질 수 있다.
- [0093] 도 4a 내지 도 4c는 본 발명의 실시예에 따른 스토리지 커패시터의 홀의 예를 개략적으로 도시한 도면으로, 스토리지 커패시터의 전극 면적에 대한 홀의 크기와 개수 및 사이 거리를 도시한다.
- [0094] 도 4a에 도시한 바와 같이, 스토리지 커패시터의 홀(op1)은 하나이며 스토리지 커패시터의 전극에 대응하는 크기를 가질 수 있다. 홀(op1)의 크기는, 일례로, 34 $\mu$ m×84 $\mu$ m일 수 있다.
- [0095] 도 4b에 도시한 바와 같이, 스토리지 커패시터의 홀(op2)은 다수 개로, 일례로, 8 $\mu$ m×6 $\mu$ m의 크기를 갖는 21개의 홀(op2)이 약 6 $\mu$ m 간격을 가지고 배치되도록 형성될 수도 있다.
- [0096] 도 4c에 도시한 바와 같이, 스토리지 커패시터의 홀(op3)은 다수 개로, 일례로, 3 $\mu$ m×3 $\mu$ m의 크기를 갖는 55개의 홀(op3)이 약 5 $\mu$ m 간격을 가지고 배치되도록 형성될 수도 있다.
- [0097] 여기서, 홀이 없는 경우를 기준으로 하여 기준의 정전용량이 512.6fF일 때, 도 4a의 홀(op1)을 형성할 경우 정전용량은 723.8fF로 기준 대비 약 141.2% 증가하고, 도 4b의 홀(op2)을 형성할 경우 정전용량은 695fF로 기준 대비 약 135.58% 증가하며, 도 4c의 홀(op3)을 형성할 경우 정전용량은 733.8fF로 기준 대비 약 143.15% 증가한다.
- [0098] 여기서, 도 4c의 홀(op3)이 도 4a의 홀(op1)에 비해 차지하는 총면적이 작으나, 홀(op3) 가장자리에서 나타나는 프링지 필드(fringe field)의 효과에 의해 정전용량이 증가한다.
- [0099] 따라서, 홀(op1, op2, op3)을 형성할 경우, 홀이 없는 경우에 비해 약 35% 내지 약 43% 정전용량을 증가시킬 수 있다.
- [0100] 이와 같이, 본 발명에서는 다양한 크기와 개수 및 간격을 가지는 홀을 형성하여 스토리지 커패시터의 정전용량을 증가시킬 수 있다.
- [0101] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

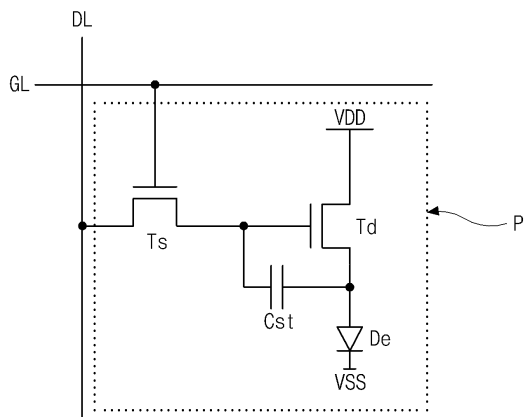
**부호의 설명**

- [0102] 110: 기판      112: 차광층

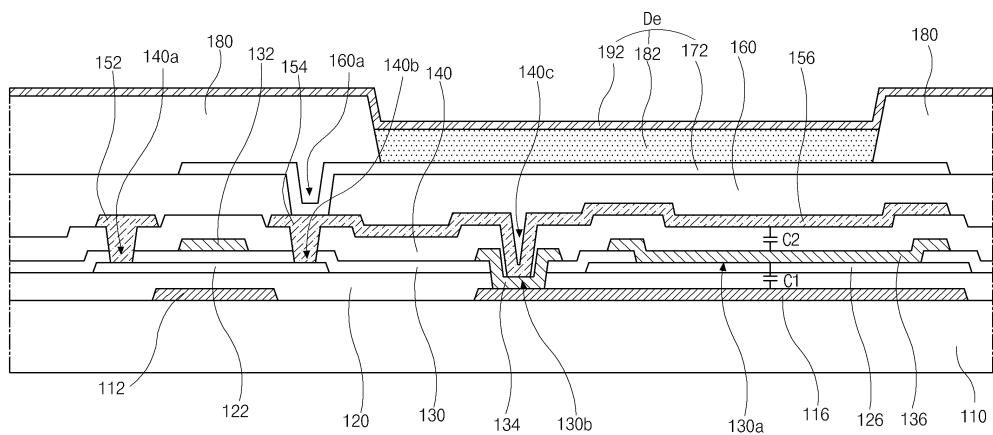
- 116: 제1 커패시터전극 120: 버퍼층
- 122: 제1 산화물 반도체층 126: 제2 산화물 반도체층
- 130: 게이트 절연막 130a: 홈
- 130b: 커패시터 콘택홀 132: 게이트전극
- 134: 연결패턴 136: 제2 커패시터전극
- 140: 층간 절연막 140a, 140b, 140c: 제1 내지 제3 콘택홀
- 152: 소스전극 154: 드레인전극
- 156: 제3 커패시터전극 160: 보호막
- 160a: 드레인 콘택홀 172: 제1 전극
- 182: 유기발광층 192: 제2 전극
- De: 발광다이오드

**도면**

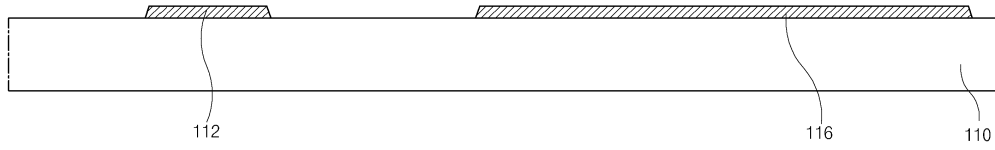
**도면1**



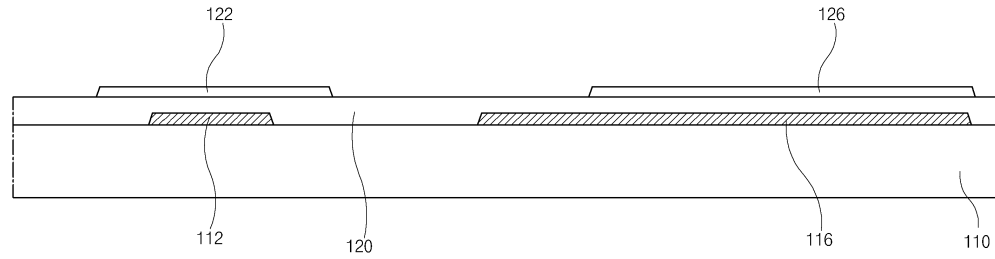
**도면2**



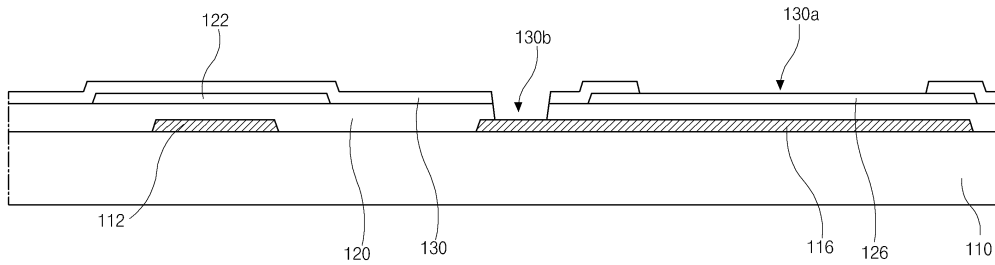
도면3a



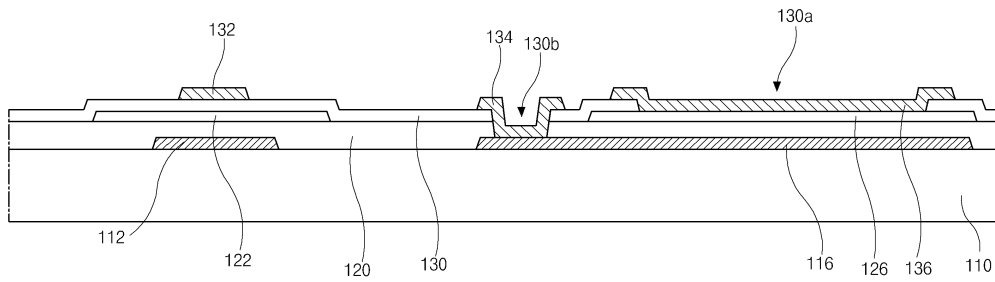
도면3b



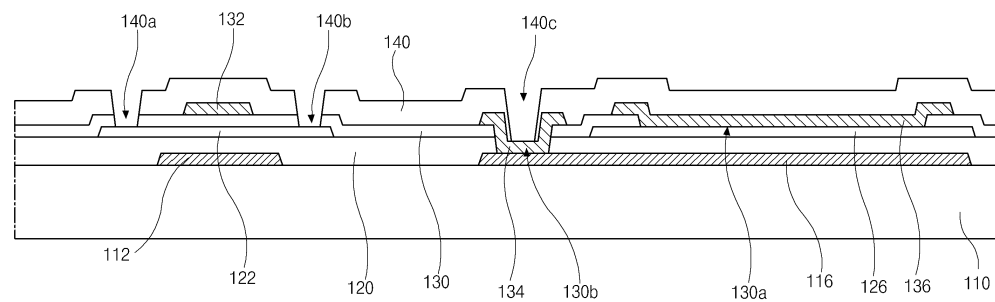
도면3c



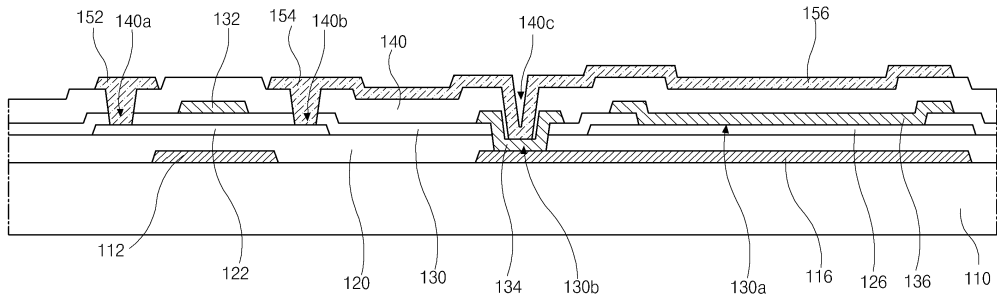
도면3d



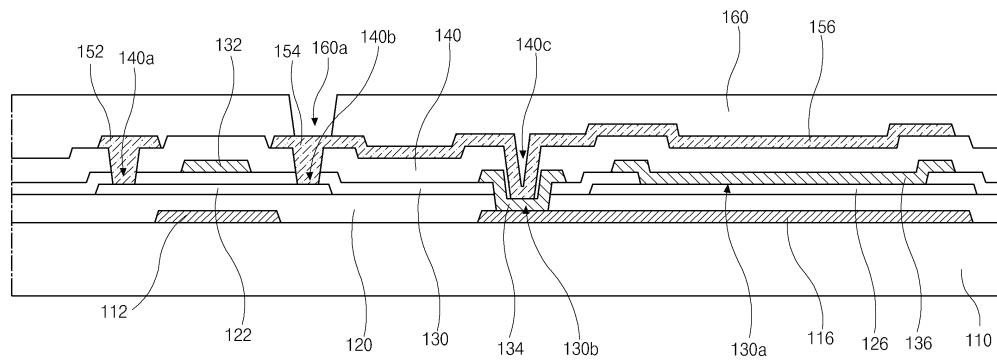
도면3e



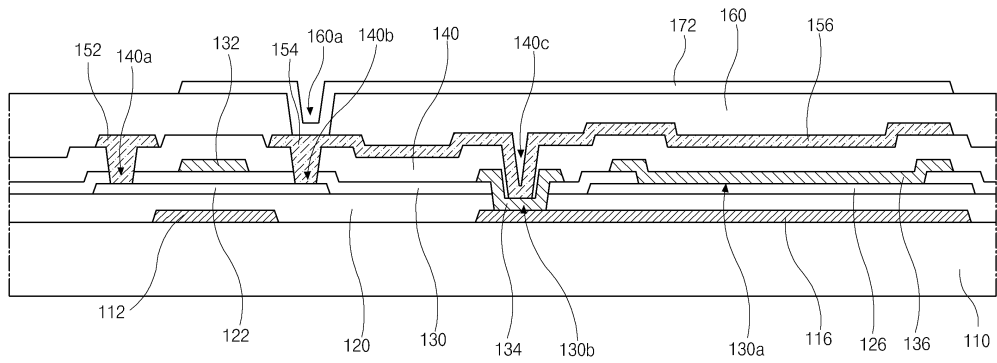
도면3f



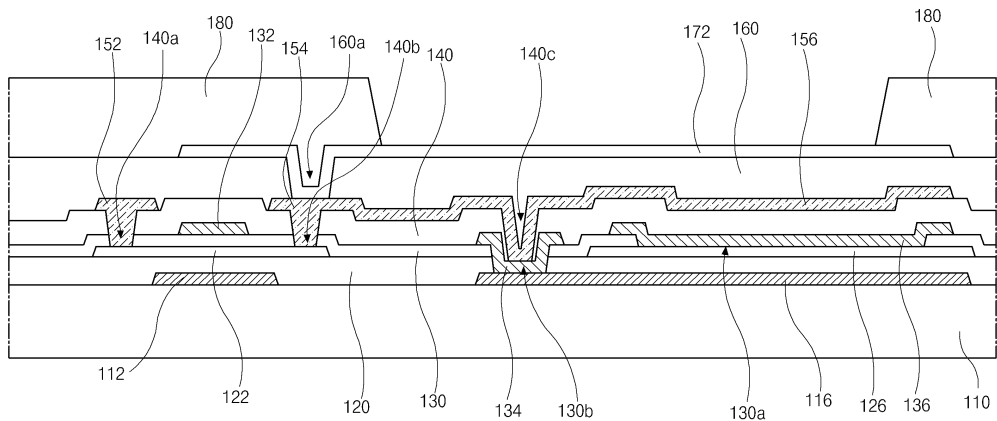
도면3g



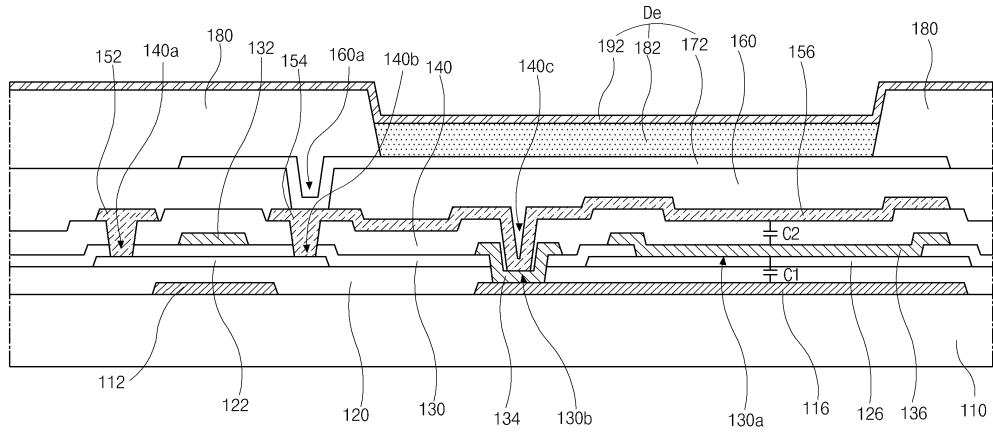
도면3h



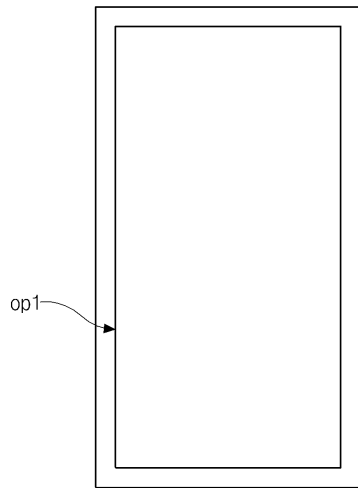
도면3i



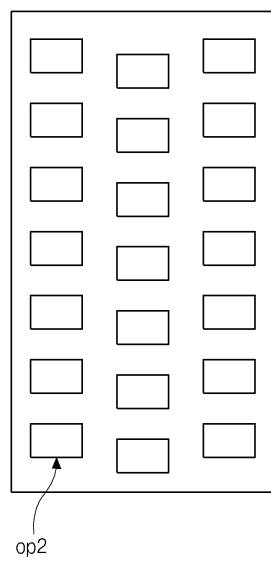
도면3j



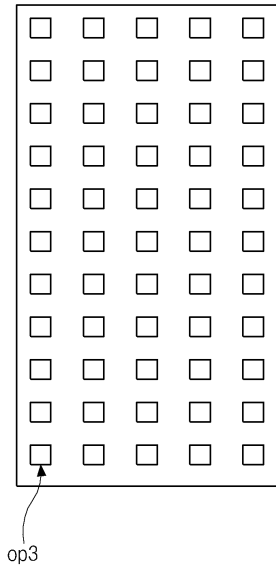
도면4a



도면4b



도면4c



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020150073611A</a>	公开(公告)日	2015-07-01
申请号	KR1020130161519	申请日	2013-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG JANG 이영장 JEONG HO YOUNG 정호영		
发明人	이영장 정호영		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3258 H01L27/1259 H01L51/56 H01L27/3265 H01L27/3272 H01L2227/323 H01L29/7869 H01L27/3262 H01L27/1225 H01L27/1255 H01L21/28008 H01L21/82 H01L27/32 H01L27/3241 H01L27/3244 H01L2021/775		
其他公开文献	KR102124025B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种半导体器件，包括：衬底；栅极布线和数据布线形成在基板上；开关薄膜晶体管，连接到栅极布线和数据布线；一种驱动薄膜晶体管，连接到开关薄膜晶体管并包括第一半导体层；存储电容器，连接到驱动薄膜晶体管的栅电极和漏电极；该驱动器连接到所述薄膜晶体管的漏电极和发光二极管发射光，该存储电容器包括第一和连接到电容器电极和栅电极的第二电容器电极，连接到第一电容器电极，所述漏电极和所述第二电容器和所述电极，所述第二半导体层和所述栅极绝缘膜之间的缓冲层位于，栅极绝缘膜是一种有机发光二极管显示装置，其特征在于，它有一个孔，以暴露所述第二半导体层。

