



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년07월31일
 (11) 등록번호 10-2005052
 (24) 등록일자 2019년07월23일

- (51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
 (21) 출원번호 10-2012-0139059
 (22) 출원일자 2012년12월03일
 심사청구일자 2017년11월29일
 (65) 공개번호 10-2014-0071097
 (43) 공개일자 2014년06월11일

(56) 선행기술조사문현

KR1020100105732 A*

*는 심사관에 의하여 인용된 문현

- (73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
김보연
 경기도 용인시 기흥구 삼성2로 95 (농서동)
권오조
 경기도 용인시 기흥구 삼성2로 95 (농서동)
안희선
 경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

김두식, 오종한, 문용호

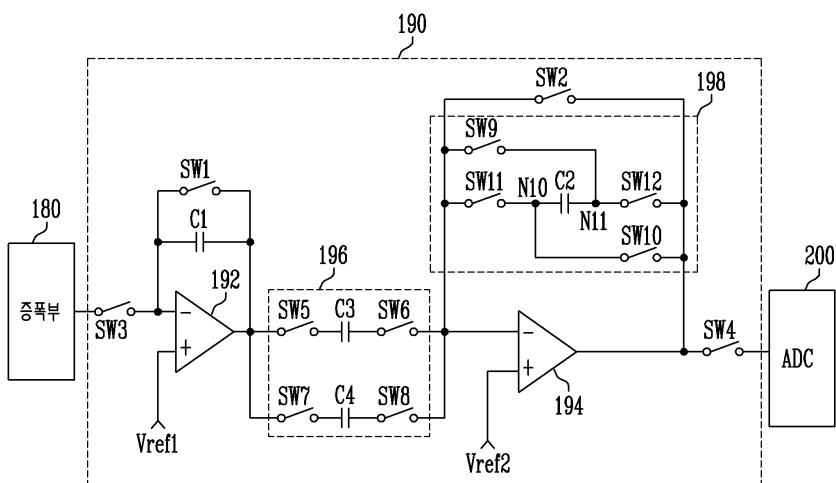
심사관 : 이승민

전체 청구항 수 : 총 27 항

(54) 발명의 명칭 **오차 보상부 및 이를 이용한 유기전계발광 표시장치****(57) 요약**

본 발명은 화질을 향상시킬 수 있도록 한 유기전계발광 표시장치에 관한 것이다.

본 발명의 유기전계발광 표시장치는 구동 트랜지스터 및 유기 발광 다이오드를 포함하는 화소들과; 상기 화소들로부터 상기 구동 트랜지스터의 문턱전압을 포함하는 제 1정보 및 상기 유기 발광 다이오드의 열화를 포함하는 제 2정보 중 적어도 하나를 추출하기 위한 센싱부를 구비하며; 상기 센싱부는 상기 제 1정보 및 제 2정보 중 적어도 하나에 대응하는 전압을 증폭하기 위한 증폭부와; 상기 증폭부 및 자신 자신에 포함된 소자들의 오차성분을 보상하기 위한 오차 보상부를 구비한다.

대표도 - 도7

명세서

청구범위

청구항 1

구동 트랜지스터 및 유기 발광 다이오드를 포함하는 화소들과;

상기 화소들로부터 상기 구동 트랜지스터의 문턱전압을 포함하는 제 1정보 및 상기 유기 발광 다이오드의 열화를 포함하는 제 2정보 중 적어도 하나를 추출하기 위한 센싱부를 구비하며;

상기 센싱부는

상기 제 1정보 및 제 2정보 중 적어도 하나에 대응하는 전류를 증폭하기 위한 증폭부와;

상기 증폭부 및 자신 자신에 포함된 소자들의 오차성분을 보상하기 위한 오차 보상부를 구비하고,

상기 오차 보상부는

제 1오피 앰프 및 제 2오피 앰프와;

상기 제 1오피 앰프의 제 1입력단자와 출력단자 사이에 병렬로 접속되는 제 1스위치 및 제 1커패시터와;

상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2스위치와;

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되며, 상기 제 1오피 앰프의 출력단자 전압을 전압 변경하여 상기 제 2오피 앰프의 제 1입력단자로 공급하기 위한 제 1저장부;

상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2저장부를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제 1항에 있어서,

상기 오차성분에는 상기 제 1오피 앰프 및 상기 제 2오피 앰프의 오프셋 특성, 노이즈 및 배선저항이 포함되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제 1항에 있어서,

상기 증폭부는

제 2전극이 상기 화소에 접속되고 제 1전극이 기저전원에 접속되며, 상기 화소로부터 상기 기저전원으로 전류가 흐를 수 있도록 게이트전극이 상기 제 2전극에 접속되는 제 11트랜지스터와;

상기 제 11트랜지스터와 전류 미러 형태로 접속됨으로써 상기 전류를 증폭시키는 제 12트랜지스터와;

상기 제 11트랜지스터로 기준전류를 공급하기 위한 전류 공급부를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제 3항에 있어서,

상기 제 12트랜지스터는 상기 제 11트랜지스터보다 넓은 채널폭으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제 3항에 있어서,

상기 기준전류는 상기 화소로부터 상기 제 11트랜지스터로 공급되는 제 1전류에 대응하여 상기 제 12트랜지스터에서 흘러야 하는 제 2전류보다 낮은 전류값으로 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 3항에 있어서,

상기 전류 공급부 및 상기 제 12트랜지스터의 공통단자는 상기 오차 보상부와 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제 3항에 있어서,

상기 증폭부는

상기 제 11트랜지스터의 게이트전극과 상기 제 2전극 사이에 위치되는 제 20스위치와,

상기 제 11트랜지스터 및 제 12트랜지스터의 게이트전극과 상기 기저전원 사이에 접속되는 제 21스위치와,

상기 전류 공급부 및 상기 제 12트랜지스터의 공통단자와 상기 화소 사이에 접속되는 제 22스위치를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제 7항에 있어서,

상기 제 1정보를 추출하는 기간 동안 상기 제 20스위치가 터-온되고, 상기 제 2정보를 추출하는 기간 동안 상기 제 21스위치 및 제 22스위치가 터-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제 1항에 있어서,

상기 오차 보상부는

상기 제 1오피 앰프의 제 1입력단자와 상기 증폭부 사이에 접속되는 제 3스위치와;

외부의 아날로그 디지털 변환부와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 4스위치를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제 9항에 있어서,

상기 제 1오피 앰프의 제 2입력단자로는 제 1기준전원이 공급되고, 제 2오피 앰프의 제 2입력단자로는 제 2기준전원이 공급되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제 9항에 있어서,

상기 제 1저장부는

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 직렬로 접속되는 제 5스위치, 제 3커패시터 및 제 6스위치와;

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 상기 제 5스위치, 제 3커패시터 및 제 6스위치와 병렬로 접속되는 제 7스위치, 제 4커패시터 및 제 8스위치를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 11항에 있어서,

상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 제 1기간 동안 상기 제 5스위치 및 제 6스위치가 터-온되고,

상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 상기 제 1기간과 중첩되지 않는 제 2기간 동안 상기 제 7스위치 및 제 8스위치가 터-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 12항에 있어서,

상기 제 1기간 및 제 2기간 동안 상기 제 4스위치도 터-온 상태로 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 11항에 있어서,

상기 제 2저장부는

제 10노드와 제 11노드 사이에 접속되는 제 2커패시터와;

제 11노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 9스위치와;

상기 제 10노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 10스위치와;

상기 제 10노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 11스위치와;

상기 제 11노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 12스위치를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제 14항에 있어서,

상기 제 3스위치가 터-온되는 기간 중 제 3기간 동안 제 5스위치, 제 6스위치, 제 9스위치 및 제 10스위치가 터-온되고,

상기 제 3스위치가 터-온되는 기간 중 제 3기간과 중첩되지 않는 제 4기간 동안 제 7스위치, 제 8스위치, 제 11스위치 및 제 12스위치가 터-온되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 15항에 있어서,

상기 제 4기간은 상기 제 3기간보다 길게 설정되는 것을 특징으로 하는 특징으로 하는 유기전계발광 표시장치.

청구항 17

제 15항에 있어서,

상기 제 4기간 이후의 기간 동안 상기 제 4스위치, 상기 제 11스위치 및 제 12스위치가 터-온 되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 18

제 1항에 있어서,

상기 화소들과 접속된 데이터선으로 데이터신호를 공급하기 위한 데이터 구동부와;

상기 화소들과 접속된 주사선으로 주사신호를 공급하기 위한 주사 구동부와;

상기 제 1정보 및 제 2정보 중 적어도 하나에 대응하여 외부로부터 공급되는 데이터의 비트를 변경하여 상기 데이터 구동부로 전달하기 위한 타이밍 제어부를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 19

제 18항에 있어서,

상기 센싱부는

상기 오차 보상부로부터 공급되는 전압을 디지털 값으로 변환하기 위한 아날로그- 디지털 변환부와;

상기 디지털 값을 저장하며, 저장된 값을 상기 데이터의 비트가 변경될 수 있도록 상기 타이밍 제어부로 전달하는 메모리를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 20

제 1항에 있어서,

상기 화소들 각각은

상기 구동 트랜지스터와 상기 유기 발광 다이오드 사이의 공통노드와 상기 센싱부 사이에 접속되며, 상기 제 1정보 및 제 2정보 중 적어도 하나가 추출되는 기간 동안 턴-온되는 트랜지스터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 21

제 1오피 앰프 및 제 2오피 앰프와;

상기 제 1오피 앰프의 제 1입력단자와 출력단자 사이에 병렬로 접속되는 제 1스위치 및 제 1커패시터와;

상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2스위치와;

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되며, 상기 제 1오피 앰프의 출력단자 전압을 전압 변경하여 상기 제 2오피 앰프의 제 1입력단자로 공급하기 위한 제 1저장부와;

상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2저장부를 구비하는 것을 특징으로 하는 오차 보상부.

청구항 22

제 21항에 있어서,

상기 제 1오피 앰프의 제 2입력단자로는 제 1기준전원이 공급되고, 제 2오피 앰프의 제 2입력단자로는 제 2기준전원이 공급되는 것을 특징으로 하는 오차 보상부.

청구항 23

제 22항에 있어서,

상기 제 1입력단자는 부(-)입력단자이며, 상기 제 2입력단자는 정(+)입력단자인 것을 특징으로 하는 오차 보상부.

청구항 24

제 21항에 있어서,

상기 제 1저장부는

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 직렬로 접속되는 제 5스위치, 제 3커패시터 및 제 6스위치와;

상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 상기 제 5스위치, 제 3커패시터 및 제 6스위치와 병렬로 접속되는 제 7스위치, 제 4커패시터 및 제 8스위치를 구비하는 것을 특징으로 하는 오차 보상부.

청구항 25

제 24항에 있어서,

상기 제 1스위치 및 제 2스위치가 턴-온되는 기간 중 제 1기간 동안 상기 제 5스위치 및 제 6스위치가 턴-온되

고,

상기 제 1스위치 및 제 2스위치가 턴-온되는 기간 중 상기 제 1기간과 중첩되지 않는 제 2기간 동안 상기 제 7스위치 및 제 8스위치가 턴-온되는 것을 특징으로 하는 오차 보상부.

청구항 26

제 24항에 있어서,

상기 제 2저장부는

제 10노드와 제 11노드 사이에 접속되는 제 2커패시터와;

제 11노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 9스위치와;

상기 제 10노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 10스위치와;

상기 제 10노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 11스위치와;

상기 제 11노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 12스위치를 구비하는 것을 특징으로 하는 오차 보상부.

청구항 27

제 26항에 있어서,

상기 제 3커패시터 및 제 4커패시터에 소정의 전압이 충전된 후 상기 제 5스위치, 제 6스위치, 제 9스위치 및 제 10스위치가 턴-온되어 상기 제 2커패시터에 전압이 1차 저장되고,

상기 제 7스위치, 제 8스위치, 제 11스위치 및 제 12스위치가 턴-온되어 상기 제 2커패시터에 전압이 2차 저장되는 것을 특징으로 하는 오차 보상부.

발명의 설명

기술 분야

[0001]

본 발명의 실시예는 오차 보상부 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 화질을 향상시킬 수 있도록 한 오차 보상부 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002]

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display Device) 등이 있다.

[0003]

평판 표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004]

도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.

[0005]

도 1을 참조하면, 종래의 유기전계발광 표시장치의 화소(4)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)를 제어하기 위한 화소회로(2)를 구비한다.

[0006]

유기 발광 다이오드(OLED)의 애노드전극은 화소회로(2)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 화소회로(2)는 주사선(Sn)에 주사신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터신호에 대응되어 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다. 이를 위해, 화소회로(2)는 제 1전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된 제 2트랜지스터(M2)와, 제 2트랜지스터(M2), 데이터선(Dm) 및 주사선

(Sn)의 사이에 접속된 제 1트랜지스터(M1)와, 제 2트랜지스터(M2)의 게이트전극과 제 1전극 사이에 접속된 스토리지 커패시터(Cst)를 구비한다.

[0007] 제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 스토리지 커패시터(Cst)의 일측단자에 접속된다. 여기서, 제 1전극은 소오스전극 및 드레인전극 중 어느 하나로 설정되고, 제 2전극은 제 1전극과 다른 전극으로 설정된다. 예를 들어, 제 1전극이 소오스전극으로 설정되면 제 2전극은 드레인전극으로 설정된다. 주사선(Sn) 및 데이터선(Dm)에 접속된 제 1트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어 데이터선(Dm)으로부터 공급되는 데이터신호를 스토리지 커패시터(Cst)로 공급한다. 이때, 스토리지 커패시터(Cst)는 데이터신호에 대응되는 전압을 충전한다.

[0008] 제 2트랜지스터(M2)의 게이트전극은 스토리지 커패시터(Cst)의 일측단자에 접속되고, 제 1전극은 스토리지 커패시터(Cst)의 다른측단자 및 제 2전원(ELVDD)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광ダイオ드(OLED)의 애노드전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 스토리지 커패시터(Cst)에 저장된 전압값에 대응하여 제 1전원(ELVDD)으로부터 유기 발광ダイオ드(OLED)를 경유하여 제 2전원(ELVSS)으로 흐르는 전류량을 제어한다. 이때, 유기 발광ダイオ드(OLED)는 제 2트랜지스터(M2)로부터 공급되는 전류량에 대응되는 빛을 생성한다.

[0009] 하지만, 이와 같은 유기전계발광 표시장치는 유기 발광ダイオ드(OLED)의 열화 및 제 2트랜지스터(M2)의 문턱전압 편차에 의하여 균일한 휘도의 영상을 표시하지 못하는 문제점이 있다. 이와 같은 문제점을 극복하기 위하여 유기 발광ダイオ드(OLED)의 열화 및 제 2트랜지스터(M2)의 문턱전압을 외부에서 보상하는 방법이 제안되었다. 하지만, 화소(4)에 흐르는 미세전류를 이용하여 외부에서 열화 및 문턱전압을 보상하는 방법은 외부 보상회로에 포함된 소자들의 오프셋 및 노이즈 등에 의하여 정확한 정보가 추출되지 못하고, 이에 따라 정확한 보상이 이루어지지 않는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 따라서, 본 발명의 실시예의 목적은 유기 발광ダイオ드의 열화 및 구동 트랜지스터의 문턱전압 정보를 정확히 추출할 수 있는 오차 보상부 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

[0011] 본 발명의 또 다른 실시예의 목적은 추출된 정보를 이용하여 데이터를 변경함으로써 열화 및 문턱전압과 무관한 향상된 화질의 영상을 표시할 수 있도록 한 오차 보상부 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

과제의 해결 수단

[0012] 본 발명의 실시예에 의한 유기전계발광 표시장치는 구동 트랜지스터 및 유기 발광ダイオ드를 포함하는 화소들과; 상기 화소들로부터 상기 구동 트랜지스터의 문턱전압을 포함하는 제 1정보 및 상기 유기 발광ダイオ드의 열화를 포함하는 제 2정보 중 적어도 하나를 추출하기 위한 센싱부를 구비하며; 상기 센싱부는 상기 제 1정보 및 제 2정보 중 적어도 하나에 대응하는 전압을 증폭하기 위한 증폭부와; 상기 증폭부 및 자신 자신에 포함된 소자들의 오차성분을 보상하기 위한 오차 보상부를 구비한다.

[0013] 바람직하게, 상기 오차성분에는 상기 소자들의 오프셋 특성, 노이즈 및 배선저항이 포함된다. 상기 증폭부는 제 2전극이 상기 화소에 접속되고 제 1전극이 기저전원에 접속되며, 상기 화소로부터 상기 기저전원으로 전류가 흐를 수 있도록 게이트전극이 상기 제 2전극에 접속되는 제 11트랜지스터와; 상기 제 11트랜지스터와 전류 미러 형태로 접속되는 제 12트랜지스터와; 상기 제 11트랜지스터로 기준전류를 공급하기 위한 전류 공급부를 구비한다. 상기 제 12트랜지스터는 상기 제 11트랜지스터보다 넓은 채널폭으로 형성된다. 상기 기준전류는 상기 화소로부터 상기 제 11트랜지스터로 공급되는 제 1전류에 대응하여 상기 제 12트랜지스터에서 흘러야 하는 제 2전류보다 낮은 전류값으로 설정된다. 상기 전류 공급부 및 상기 제 12트랜지스터의 공통단자는 상기 오차 보상부와 접속된다.

[0014] 상기 증폭부는 상기 제 11트랜지스터의 게이트전극과 상기 제 2전극 사이에 위치되는 제 20스위치와, 상기 제

11트랜지스터 및 제 12트랜지스터의 게이트전극과 상기 기저전원 사이에 접속되는 제 21스위치와, 상기 전류 공급부 및 상기 제 12트랜지스터의 공통단자와 상기 화소 사이에 접속되는 제 22스위치를 더 구비한다. 상기 제 1정보를 추출하는 기간 동안 상기 제 20스위치가 터-온되고, 상기 제 2정보를 추출하는 기간 동안 상기 제 21스위치 및 제 22스위치가 터-온된다.

[0015] 상기 오차 보상부는 제 1오피 앰프 및 제 2오피 앰프와; 상기 제 1오피 앰프의 제 1입력단자와 출력단자 사이에 병렬로 접속되는 제 1스위치 및 제 1커패시터와; 상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2스위치와; 상기 제 1입력단자와 상기 증폭부 사이에 접속되는 제 3스위치와; 외부의 아날로그 디지털 변환부와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 4스위치와; 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 1저장부와; 상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2저장부를 구비한다.

[0016] 상기 제 1오피 앰프의 제 2입력단자로는 제 1기준전원이 공급되고, 제 2오피 앰프의 제 2입력단자로는 제 2기준전원이 공급된다. 상기 제 1저장부는 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 직렬로 접속되는 제 5스위치, 제 3커패시터 및 제 6스위치와; 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 상기 제 5스위치, 제 3커패시터 및 제 6스위치와 병렬로 접속되는 제 7스위치, 제 4커패시터 및 제 8스위치를 구비한다. 상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 제 1기간 동안 상기 제 5스위치 및 제 6스위치가 터-온되고, 상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 상기 제 1기간과 중첩되지 않는 제 2기간 동안 상기 제 7스위치 및 제 8스위치가 터-온된다. 상기 제 1기간 및 제 2기간 동안 상기 제 4스위치도 터-온 상태로 설정된다.

[0017] 상기 제 2저장부는 제 10노드와 제 11노드 사이에 접속되는 제 2커패시터와; 제 11노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 9스위치와; 상기 제 10노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 10스위치와; 상기 제 10노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 11스위치와; 상기 제 11노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 12스위치를 구비한다. 상기 제 3스위치가 터-온되는 기간 중 제 3기간 동안 제 5스위치, 제 6스위치, 제 9스위치 및 제 10스위치가 터-온되고, 상기 제 3스위치가 터-온되는 기간 중 제 3기간과 중첩되지 않는 제 4기간 동안 제 7스위치, 제 8스위치, 제 11스위치 및 제 12스위치가 터-온된다. 상기 제 4기간은 상기 제 3기간보다 길게 설정된다. 상기 제 4기간 이후의 기간 동안 상기 제 4스위치, 상기 제 11스위치 및 제 12스위치가 터-온된다.

[0018] 상기 화소들과 접속된 데이터선으로 데이터신호를 공급하기 위한 데이터 구동부와; 상기 화소들과 접속된 주사선으로 주사신호를 공급하기 위한 주사 구동부와; 상기 제 1정보 및 제 2정보 중 적어도 하나에 대응하여 외부로부터 공급되는 데이터의 비트를 변경하여 상기 데이터 구동부로 전달하기 위한 타이밍 제어부를 더 구비한다. 상기 센싱부는 상기 오차 보상부로부터 공급되는 전압을 디지털 값으로 변환하기 위한 아날로그- 디지털 변환부와; 상기 디지털 값을 저장하며, 저장된 값을 상기 데이터의 비트가 변경될 수 있도록 상기 타이밍 제어부로 전달하는 메모리를 더 구비한다. 상기 화소들 각각은 상기 구동 트랜지스터와 상기 유기 발광 다이오드 사이의 공통노드와 상기 센싱부 사이에 접속되며, 상기 제 1정보 및 제 2정보 중 적어도 하나가 추출되는 기간 동안 터-온되는 트랜지스터를 구비한다.

[0019] 본 발명의 실시예에 의한 오차 보상부는 제 1오피 앰프 및 제 2오피 앰프와; 상기 제 1오피 앰프의 제 1입력단자와 출력단자 사이에 병렬로 접속되는 제 1스위치 및 제 1커패시터와; 상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2스위치와; 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되며, 상기 제 1오피 앰프의 출력단자 전압을 전압 변경하여 상기 제 2오피 앰프의 제 1입력단자로 공급하기 위한 제 1저장부와; 상기 제 2오피 앰프의 제 1입력단자와 출력단자 사이에 접속되는 제 2저장부를 구비한다.

[0020] 바람직하게, 상기 제 1오피 앰프의 제 2입력단자로는 제 1기준전원이 공급되고, 제 2오피 앰프의 제 2입력단자로는 제 2기준전원이 공급된다. 상기 제 1입력단자는 부(-)입력단자이며, 상기 제 2입력단자는 정(+)입력단자이다. 상기 제 1저장부는 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 직렬로 접속되는 제 5스위치, 제 3커패시터 및 제 6스위치와; 상기 제 1오피 앰프의 출력단자와 상기 제 2오피 앰프의 제 1입력단자 사이에 상기 제 5스위치, 제 3커패시터 및 제 6스위치와 병렬로 접속되는 제 7스위치, 제 4커패시터 및 제 8스위치를 구비한다. 상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 제 1기간 동안 상기 제 5스위치 및 제 6스위치가 터-온되고, 상기 제 1스위치 및 제 2스위치가 터-온되는 기간 중 상기 제 1기간과 중첩되지 않는 제 2기간 동안 상기 제 7스위치 및 제 8스위치가 터-온된다. 상기 제 2저장부는 제 10노드와 제 11노

드 사이에 접속되는 제 2커패시터와; 제 11노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 9스 위치와; 상기 제 10노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 10스위치와; 상기 제 10노드와 상기 제 2오피 앰프의 제 1입력단자 사이에 접속되는 제 11스위치와; 상기 제 11노드와 상기 제 2오피 앰프의 출력단자 사이에 접속되는 제 12스위치를 구비한다. 상기 제 3커패시터 및 제 4커패시터에 소정의 전압이 충전된 후 상기 제 5스위치, 제 6스위치, 제 9스위치 및 제 10스위치가 턴-온되어 상기 제 2커패시터에 전압이 1차 저장되고, 상기 제 7스위치, 제 8스위치, 제 11스위치 및 제 12스위치가 턴-온되어 상기 제 2커패시터에 전압이 2차 저장된다.

발명의 효과

[0021]

본 발명의 오차 보상부 및 이를 이용한 유기전계발광 표시장치에 의하면 오차 보상부를 이용하여 외부 보상 소자들의 오차성분을 제거하고, 이에 따라 문턱전압 및 열화에 대응한 정보를 정확히 추출할 수 있다.

도면의 간단한 설명

[0022]

도 1은 종래의 유기전계발광 표시장치의 화소를 나타내는 회로도이다.

도 2는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

도 3은 본 발명의 실시예에 의한 화소를 나타내는 도면이다.

도 4는 도 2에 도시된 센싱부의 실시예를 나타내는 도면이다.

도 5는 도 4에 도시된 증폭부의 실시예를 나타내는 도면이다.

도 6은 도 5에 도시된 전류 공급부의 실시예를 나타내는 도면이다.

도 7은 본원 발명의 실시예에 의한 오차 보상부를 나타내는 도면이다.

도 8은 도 7에 도시된 오차 보상부의 동작과정을 나타내는 과정도이다.

도 9는 본원 발명의 다른 실시예에 의한 증폭부를 나타내는 도면이다.

도 10은 도 9에 도시된 증폭부의 동작과정의 실시예를 나타내는 과정도이다.

발명을 실시하기 위한 구체적인 내용

[0023]

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 2 내지 도 10을 참조하여 자세히 설명하면 다음과 같다.

[0024]

도 2는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

[0025]

도 2를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 제어선들(CL1 내지 CLn)을 구동하기 위한 제어선 구동부(160)와, 주사 구동부(110), 데이터 구동부(120) 및 제어선 구동부(160)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

[0026]

또한, 본 발명의 실시예에 의한 유기전계발광 표시장치는 피드백선들(F1 내지 Fm)을 이용하여 화소들(140) 각각에 포함되는 구동 트랜지스터의 문턱전압 정보 및/또는 유기 발광 다이오드의 열화정보를 추출하기 위한 센싱부(170)를 더 구비한다.

[0027]

화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 구비한다. 화소들(140) 각각은 센싱기간 동안 구동 트랜지스터의 문턱전압 정보 및/또는 유기 발광 다이오드의 열화정보를 센싱부(170)로 제공한다. 그리고, 화소들(140)은 구동기간 동안 데이터신호를 입력받고, 입력받은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제 2전원(ELVSS)으로 공급되는 전류량을

제어하면서 소정 휘도의 빛을 생성한다.

[0028] 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 일례로, 주사 구동부(110)는 센싱기간 및 구동기간 동안 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다.

[0029] 데이터 구동부(120)는 구동기간 동안 제 2데이터(data2)를 공급받고, 공급받은 제 2데이터(data2)를 이용하여 데이터신호를 생성한다. 데이터 구동부(120)에서 생성된 데이터신호는 주사신호와 동기되도록 데이터선(D1 내지 Dm)로 공급된다. 또한, 데이터 구동부(120)는 센싱기간 동안 주사신호에 동기되도록 특정 데이터신호를 공급할 수 있다. 여기서, 특정 데이터신호는 화소들(140) 각각에 포함된 구동 트랜지스터의 문턱전압 정보를 추출하기 위한 것으로, 다양한 계조값 중 어느 하나로 설정될 수 있다.

[0030] 제어선 구동부(160)는 센싱기간 동안 제어선들(CL1 내지 CLn)로 제어신호를 공급한다. 일례로, 제어선 구동부(160)는 센싱기간 동안 제어선들(CL1 내지 CLn)로 제어신호를 순차적으로 공급할 수 있다. 제어선들(CL1 내지 CLn)로 제어신호가 순차적으로 공급되면 화소들(140)이 수평라인 단위로 피드백선들(F1 내지 Fm)과 접속된다.

[0031] 센싱부(170)는 센싱기간 동안 화소들(140) 각각으로부터 구동 트랜지스터의 문턱전압 정보 및/또는 유기 발광 다이오드의 열화정보를 추출한다. 일례로, 센싱부(170)는 제어선(CL1 내지 CLn)으로 공급되는 제어신호에 대응하여 수평라인 단위로 화소들(140)의 문턱전압 정보 및/또는 열화정보를 추출할 수 있다.

[0032] 타이밍 제어부(150)는 주사 구동부(110), 데이터 구동부(120) 및 제어선 구동부(160)를 제어한다. 또한, 타이밍 제어부(150)는 센싱부(170)로부터 문턱전압 정보 및/또는 열화정보를 공급받고, 공급받은 정보에 대응하여 제 1데이터(data1)를 변경하여 제 2데이터(data2)를 생성한다. 여기서, 제 2데이터(data2)는 구동 트랜지스터의 문턱전압 및/또는 유기 발광 다이오드의 열화가 보상될 수 있도록 설정된다.

[0033] 도 3은 본 발명의 실시예에 의한 화소를 나타내는 도면이다. 도 3에서는 설명의 편의성을 위하여 제 m데이터선(Dm) 및 제 n주사선(Sn)에 접속된 화소를 도시하기로 한다.

[0034] 도 3에서는 3개의 트랜지스터(M1 내지 M3) 및 하나의 커패시터(Cst)를 구비한 화소(140)를 도시하였지만, 본원 발명이 이에 한정되지는 않는다. 실제로, 본원 발명에서 화소(140)는 센싱부(170)와 전기적으로 접속될 수 있는 현재 공지된 다양한 회로들 중 어느 하나로 선택될 수 있다.

[0035] 도 3을 참조하면, 본 발명의 실시예에 의한 화소(140)는 유기 발광 다이오드(OLED)와, 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어하기 위한 화소회로(142)를 구비한다.

[0036] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(142)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(142)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.

[0037] 화소회로(142)는 데이터신호에 대응하여 유기 발광 다이오드(OLED)로 소정의 전류를 공급한다. 이를 위하여, 화소회로(142)는 제 1 내지 제 3트랜지스터(M1 내지 M3), 스토리지 커패시터(Cst)를 구비한다.

[0038] 제 1트랜지스터(M1)(구동 트랜지스터)의 제 1전극은 제 1전원(ELVDD)에 접속되고, 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 1노드(N1)에 인가되는 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다.

[0039] 제 2트랜지스터(M2)의 제 1전극은 데이터선(Dm)에 접속되고, 제 2전극은 제 1노드(N1)에 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 주사선(Sn)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)과 제 1노드(N1)를 전기적으로 접속시킨다.

[0040] 제 3트랜지스터(M3)의 제 1전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속되고, 제 2전극은 피드백선(Fm)에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제어선(CLn)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제어선(CLn)으로 제어신호가 공급될 때 턴-온되어 피드백선(Fm)과 유기 발광 다이오드(OLED)의 애노드전극을 전기적으로 접속시킨다.

[0041] 스토리지 커패시터(Cst)는 제 1전원(ELVDD)과 제 1노드(N1) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 데이터신호에 대응하는 전압을 저장한다.

- [0042] 도 4는 도 2에 도시된 센싱부의 실시예를 나타내는 도면이다. 도 4에서는 설명의 편의성을 위하여 하나의 채널만을 도시하기로 한다.
- [0043] 도 4를 참조하면, 본 발명의 실시예에 의한 센싱부(170)는 증폭부(180), 오차 보상부(190), 아날로그 디지털 변환부(Analog-Digital Converter : 이하 "ADC"라 함)(200) 및 메모리(210)를 구비한다. 여기서, 증폭부(180), 오차 보상부(190) 등은 각각의 채널, 즉 피드백선들(F1 내지 Fm)마다 형성된다. 그리고, ADC(200)는 각각의 채널마다 형성되거나 복수의 채널을 공유하도록 형성된다. 메모리(210)는 모든 채널에 공통적으로 접속되어, 각각의 채널에서 추출된 문턱전압 정보 및/또는 열화정보를 저장한다.
- [0044] 증폭부(180)는 화소(140)로부터 추출되는 전압(및/또는 전류)을 증폭한다. 실제로 증폭부(180)는 화소(140)로부터의 미세전압(및/또는 전류)를 증폭하여 오차 보상부(190)로 공급한다.
- [0045] 오차 보상부(190)는 원하는 정보가 추출될 수 있도록 오차성분(소자의 오프셋 특성, 노이즈, 저항성분 등)을 제거한다. 실제로, 오차 보상부(190)는 증폭부(180) 및 오차 부상부(190)의 내부 회로에 의한 오차성분을 제거하여 원하는 정보만을 ADC(200)로 공급한다. 이 경우, 증폭부(180)에서 증폭된 정보(전압 및/또는 전류)에 포함된 오차성분을 포함한 화소(140)로부터 ADC(200) 사이의 회로적 오차가 모두 제거될 수 있고, 이에 따라 추출정보의 신뢰성을 향상시킬 수 있다.
- [0046] ADC(182)는 오차 보상부(190)로부터 공급되는 정보, 예를 들면 구동 트랜지스터의 문턱전압 및/또는 유기 발광다이오드의 열화정보를 포함하는 아날로그 전압을 디지털 값으로 변환한다.
- [0047] ADC(182)에서 변환된 디지털 값은 메모리(210)에 저장된다. 실제로, 메모리(182)에는 각각의 화소에 대응한 디지털 값(문턱전압 및/또는 열화정보)이 저장된다. 메모리(182)에 저장된 디지털 값은 타이밍 제어부(150)로 공급된다. 타이밍 제어부(182)는 메모리(182)에 저장된 디지털 값을 이용하여 화소(140)들 각각의 구동 트랜지스터의 문턱전압 및/또는 유기 발광 다이오드의 열화정보가 보상될 수 있도록 제 1데이터(data1)의 비트값을 변경하여 제 2데이터(data2)를 생성한다.
- [0048] 도 5는 도 4에 도시된 증폭부의 실시예를 나타내는 도면이다. 도 5에서 트랜지스터들(M11, M12)이 NMOS로 도시되었지만, 본원 발명이 이에 한정되지는 않는다.
- [0049] 도 5를 참조하면, 증폭부(180)는 전류 공급부(182), 제 11트랜지스터(M11) 및 제 12트랜지스터(M12)를 구비한다.
- [0050] 제 11트랜지스터(M11)는 제 2전극은 화소(140)에 접속되고, 제 1전극은 기저전원(GND)에 접속된다. 그리고, 제 11트랜지스터(M11)의 게이트전극은 자신의 제 2전극에 접속된다. 즉, 제 11트랜지스터(M11)는 화소(140)로부터 기저전원(GND)로 전류가 흐를 수 있도록 다이오드 형태로 접속된다.
- [0051] 제 12트랜지스터(M12)는 전류 공급부(182)와 기저전원(GND) 사이에 접속된다. 그리고, 제 12트랜지스터(M12)의 게이트전극은 제 11트랜지스터(M11)의 게이트전극에 접속된다. 즉, 제 12트랜지스터(M12)는 제 11트랜지스터(M11)와 전류 미러 형태로 접속된다. 그리고, 제 12트랜지스터(M12)와 전류 공급부(182)의 공통노드는 오차 보상부(190)와 접속된다.
- [0052] 이와 같은 본원 발명에서 전류량이 증폭될 수 있도록 제 12트랜지스터(M12)는 제 11트랜지스터(M11)보다 넓은 채널폭을 갖도록 형성된다. 일례로, 제 12트랜지스터(M12)는 제 11트랜지스터(M11)보다 채널폭이 i (i 는 1을 초과하는 정수)배 크게 넓게 설정될 수 있다.
- [0053] 전류 공급부(182)는 제 12트랜지스터(M12)로 소정의 기준전류(iref)를 공급한다. 여기서, 기준전류(iref)는 설계 과정에서 미리 고정된 전류값으로 설정된다. 일례로, 기준전류(iref)는 전류 미러에 대응하여 제 12트랜지스터(M12)에 흐르는 전류(IM12)보다 낮은 전류값을 갖도록 설정된다.
- [0054] 동작 과정은 상세히 설명하면, 센싱기간 동안 주사선들(S1 내지 Sn)로 순차적으로 공급되는 주사신호에 대응하여 데이터선들(D1 내지 Dm)로 특정 데이터신호가 공급된다. 그리고, 센싱기간 동안 제어선(CL1 내지 CLn)로 제어신호가 순차적으로 공급된다. 또한, 센싱기간 동안 제 2전원(ELVSS)의 전압을 제어하여 유기 발광 다이오드(OLED)로 전류가 흐르지 않도록 설정한다. 실제로, 본원 발명에서 센싱기간 동안 제 1트랜지스터(M1)를 경유하여 센싱부(170)로 전류가 전달되는 구성을 현재 공지된 다양한 형태의 발명이 모두 적용 가능하다.
- [0055] 화소(142)로 특정 데이터신호가 공급되고, 제 3트랜지스터(M3)가 터-온되면 제 1트랜지스터(M1)로부터 제 1전류

(itft)가 증폭부(180)로 공급된다. 여기서, 화소전류(itft)는 화소들 각각에 포함된 제 1트랜지스터(M1)의 문턱전압 및 이동도에 대응하여 결정된다.

[0056] 화소(142)로부터 공급되는 제 1전류(itft)는 다이오드 접속된 제 11트랜지스터(M11)를 경유하여 기저전원(GND)으로 공급된다. 이때, 제 11트랜지스터(M11)와 전류 미리 형태로 접속된 제 12트랜지스터(M12)는 화소전류(itft)의 i배에 해당하는 제 2전류(iM12)가 흐르게 된다. 제 2전류(iM12)는 기준전류(iref)보다 크게 설정되기 때문에 오차 보상부(190)로부터 제 3전류(iout)가 공급된다.

[0057] 여기서, 기준전류(iref)는 특정 데이터신호에 대응하여 낮은 전류값을 갖도록 미리 설정된다. 그러면, 제 3전류(iout)는 제 1전류(itft)보다 높은 전류값으로 설정된다. 즉, 증폭부(180)는 미세 전류인 제 1전류(itft)를 이용하여 높은 전류값인 제 3전류(iout)를 생성한다.

[0058] 도 6은 도 5에 도시된 전류 공급부의 실시예를 나타내는 도면이다.

[0059] 도 6을 참조하면, 본원 발명의 실시예에 의한 전류 공급부(182)는 복수의 전류원(Is)과, 전류원(Is)들 각각과 제 3전원(VDD) 사이에 접속되는 스위치(SW)를 구비한다.

[0060] 전류원(Is)은 소정의 전류를 공급한다. 스위치(SW)는 제 3전원(VDD)과 전류원들(Is) 각각의 사이에 접속되어 전류원(Is)으로부터의 전류 공급여부를 제어한다. 실제로, 스위치(SW)는 패널의 특성 등을 고려하여 원하는 기준전류(iref)가 공급될 수 있도록 턴-온 및 턴-오프가 제어된다.

[0061] 도 7은 본원 발명의 실시예에 의한 오차 보상부를 나타내는 도면이다.

[0062] 도 7을 참조하면, 본원 발명의 오차 보상부(190)는 제 1오피 앰프(OP-AMP)(192), 제 2오피 앰프(194), 제 1스위치(SW1), 제 2스위치(SW2), 제 3스위치(SW3), 제 4스위치(SW4), 제 1커패시터(C1), 제 1저장부(196) 및 제 2저장부(198)를 구비한다.

[0063] 제 1오피 앰프(192)의 제 1입력단자(부입력단자 : -)는 제 3스위치(SW3)를 경유하여 증폭부(180)에 접속되고, 제 2입력단자(정입력단자 : +)는 제 1기준전압(Vref1)을 공급받는다. 그리고, 제 1오피 앰프(192)의 제 1 출력단자는 제 1저장부(196)에 접속된다. 이와 같은 제 1오피 앰프(192)는 버퍼 또는 적분기로 동작되면서 증폭부(180)로부터 입력되는 전압을 제 1저장부(196)로 전달한다.

[0064] 제 1스위치(SW1)는 제 1오피 앰프(192)의 제 1입력단자(-)와 제 1 출력단자 사이에 접속된다. 여기서, 제 1스위치(SW1)가 턴-온되는 경우 제 1오피 앰프(192)는 버퍼로 구동되고, 제 1스위치(SW1)가 턴-오프되는 경우 제 1오피 앰프(192)는 적분기로 구동된다. 이를 위하여, 제 1커패시터(C1)는 제 1오피 앰프(192)의 제 1입력단자(-)와 출력단자 사이에 제 1스위치(SW1)와 병렬로 접속된다.

[0065] 제 3스위치(SW3)는 제 1오피 앰프(192)의 제 1입력단자(-)와 증폭부(180) 사이에 접속된다. 이와 같은 제 3스위치(SW3)는 턴-온 및 턴-오프되면서 제 1오피 앰프(192)와 증폭부(180) 사이의 전기적 접속을 제어한다.

[0066] 한편, 제 3스위치(SW3)가 턴-온될 때 상술한 제 3전류(iout)가 증폭부(180)로 공급된다. 여기서, 제 3전류(iout)는 가상 전류원(또는 전압원)으로부터 공급되며, 제 1오피 앰프(192)는 제 3전류(iout)에 대응하는 전압을 반전 증폭하여 제 1저장부(196)로 전달한다.

[0067] 제 2오피 앰프(194)의 제 1입력단자(-)는 제 1저장부(196)에 접속되고, 제 2입력단자(+)는 제 2기준전압(Vref2)을 공급받는다. 그리고, 제 2오피 앰프(194)의 제 2 출력단자는 제 4스위치(SW4)를 경유하여 ADC(200)에 접속된다. 이와 같은 제 2오피 앰프(194)는 버퍼 또는 적분기로 동작되면서 제 1저장부(196)로부터 전달된 전압을 ADC(200)로 공급한다.

[0068] 제 2스위치(SW2)는 제 2오피 앰프(194)의 제 1입력단자(-)와 제 2 출력단자 사이에 접속된다. 여기서, 제 2스위치(SW2)가 턴-온되는 경우 제 2오피 앰프(194)는 버퍼 구동되고, 제 2스위치(SW2)가 턴-오프되는 경우 제 2오피 앰프(194)는 적분기로 구동된다. 한편, 본원 발명에서 제 1기준전압(Vref1) 및 제 2기준전압(Vref2)은 반전 증폭을 하기 위한 기준전압으로서 패널의 특성 등을 고려하여 실험적으로 결정된다.

[0069] 제 4스위치(SW4)는 제 2 출력단자와 ADC(200) 사이에 접속된다. 이와 같은 제 4스위치(SW4)는 턴-온 및 턴-오프되면서 제 2오피 앰프(194)와 ADC(200)의 접속을 제어한다.

- [0070] 제 1저장부(196)는 제 1출력단자와 제 1오피 앰프(194)이 제 1입력단자(-) 사이에 접속된다. 이와 같은 제 1저장부(196)에는 제 3스위치(SW3)와 ADC(200) 사이에 존재하는 오차성분, 일례로 제 1오피 앰프(192) 및 제 2오피 앰프(194)의 오프셋, 배선저항, 노이즈, 소자 특성 등이 저장된다. 이를 위하여, 제 1저장부(196)는 제 1출력단자와 제 1오피 앰프(194)의 제 1입력단자(-) 사이에 직렬로 접속되는 제 5스위치(SW5), 제 3커패시터(C3) 및 제 6스위치(SW6)와, 제 1출력단자와 제 1오피 앰프(194)의 제 1입력단자(-) 사이에서 제 5스위치(SW5), 제 3커패시터(C3) 및 제 6스위치(SW6)와 병렬로 접속되는 제 7스위치(SW7), 제 4커패시터(C4) 및 제 8스위치(SW8)를 구비한다.
- [0071] 제 5스위치(SW5) 및 제 6스위치(SW6)는 동시에 턠-온되면서 제 3커패시터(C3)에 오차성분을 저장한다. 제 7스위치(SW7) 및 제 8스위치(SW8)는 제 5스위치(SW5)와 서로 다른 시점에 턠-온되면서 제 4커패시터(C4)에 오차성분을 저장한다.
- [0072] 제 2저장부(198)는 제 1저장부(196)에 저장된 오차 성분, 증폭부(180)의 오차 성분(회로 특성 및 증폭에 대한 오차 성분)을 제외한 제 3전류(iout)에 대응한 전압을 저장한다. 이를 위하여, 제 1저장부(196)는 제 2커패시터(C2), 제 9스위치(SW9) 내지 제 12스위치(SW12)를 구비한다.
- [0073] 제 2커패시터(C2)는 제 10노드(N10) 및 제 11노드(N11) 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 오차 성분을 제외한 특정 전압을 저장한다.
- [0074] 제 11스위치(SW11)는 제 10노드(N10)와 제 2오피 앰프(194)의 제 1입력단자(-) 사이에 접속된다. 제 12스위치(SW12)는 제 11노드(N11)와 제 2출력단자 사이에 접속된다. 이와 같은 제 11스위치(SW11) 및 제 12스위치(SW12)는 동시에 턠-온 및 턠-오프되면서 제 2커패시터(C2)에 소정의 전압을 저장한다.
- [0075] 제 9스위치(SW9)는 제 11노드(N11)와 제 2오피 앰프(194)의 제 1입력단자(-) 사이에 접속된다. 제 10스위치(SW10)는 제 10노드(N10)와 제 2출력단자 사이에 접속된다. 이와 같은 제 9스위치(SW9) 및 제 10스위치(SW10)는 동시에 턠-온 및 턠-오프되면서 제 2커패시터(C2)에 소정의 전압을 저장한다. 여기서, 제 9스위치(SW9) 및 제 11스위치(SW11)는 턠-온 기간이 중첩되지 않는다.
- [0076] 도 8은 도 7에 도시된 오차 보상부의 동작과정을 나타내는 과정도이다.
- [0077] 도 8을 참조하면, 제 1기간(T1) 동안 제 1스위치(SW1), 제 2스위치(SW2), 제 4스위치(SW4), 제 5스위치(SW5) 및 제 6스위치(SW6)가 턠-온된다.
- [0078] 제 4스위치(SW4)가 턠-온되면 ADC(200)와 제 2출력단자(194)가 전기적으로 접속된다.
- [0079] 제 1스위치(SW1)가 턠-온되면 제 1오피 앰프(192)가 버퍼 형태로 접속된다. 그러면, 오피 앰프의 가상 접지(Virtual Ground) 특성에 의하여 제 1출력단자로 제 1기준전압(Vref1)이 인가된다.
- [0080] 제 2스위치(SW2)가 턠-온되면 제 2오피 앰프(194)가 버퍼 형태로 접속된다. 그러면, 오피 앰프의 가상 접지 특성에 의하여 제 2출력단자로 제 2기준전압이 인가된다.
- [0081] 제 5스위치(SW5)가 턠-온되면 제 1출력단자와 제 3커패시터(C3)의 일측단자가 전기적으로 접속된다. 제 6스위치(SW6)가 턠-온되면 제 2출력단자와 제 3커패시터(C3)의 다른측단자가 전기적으로 접속된다. 이 경우, 제 3커패시터(C3)는 이상적으로 제 1기준전압(Vref1)과 제 2기준전압(Vref2)의 차에 대응하는 전압을 저장한다. 하지만, 실제로, 제 3커패시터(C3)에는 오차 성분(예를 들면, 오피 앰프들의 오프셋, 배선저항, 노이즈, 소자 특성 등)을 포함한 소정 전압이 저장된다. 실제로, 제 1기간(T1) 동안 제 3커패시터(C3)에는 제 3스위치(SW3)로부터 ADC(200)까지의 오차성분이 전압 형태로 저장된다.
- [0082] 제 2기간(T2) 동안 제 1스위치(SW1), 제 2스위치(SW2), 제 4스위치(SW4), 제 7스위치(SW7) 및 제 8스위치(SW8)가 턠-온된다.
- [0083] 제 1스위치(SW1)가 턠-온되면 제 1출력단자로 제 1기준전압(Vref1)이 인가되고, 제 2스위치(SW2)가 턠-온되면 제 2출력단자로 제 2기준전압(Vref2)이 인가된다.
- [0084] 제 7스위치(SW7)가 턠-온되면 제 1출력단자와 제 4커패시터(C4)의 일측단자가 전기적으로 접속되고, 제 8스위치(SW8)가 턠-온되면 제 4커패시터(C4)의 다른측단자와 제 2출력단자가 전기적으로 접속된다. 이 경우, 제 4커패시터(C4)에는 오차 보상부(190)의 오차 성분을 포함한 소정의 전압이 충전된다. 일례로, 제 4커패시터(C4)에는

제 3커패시터(C3)와 동일 전압이 저장된다. 이후, 설명의 편의성을 위하여 제 3커패시터(C3) 및 제 4커패시터(C4)에는 동일 전압이 저장되는 것으로 가정하기로 한다.

[0085] 제 3기간(T3) 동안에는 제 3스위치(SW3), 제 5스위치(SW5), 제 6스위치(SW6), 제 9스위치(SW9) 및 제 10스위치(SW10)가 턴-온된다. 제 3기간(T3)은 증폭부(180)의 오차 성분만이 오차 보상부(190)로 공급될 수 있도록 짧은 시간으로 설정된다. 다시 말하여, 제 3기간 동안 제 3전류(iout)에 대응한 전압이 제 1오피 앰프(192)의 제 1입력단자(-)로 인가되지 않도록, 제 3스위치(SW3)는 순간적으로 턴-온되었다가 턴-오프된다.

[0086] 그러면, 제 3기간(T3) 동안 제 1오피 앰프(192)의 제 1입력단자(-)로 증폭부(180)의 오차 성분을 포함한 소정의 전압이 인가된다. 제 1오피 앰프(192)는 제 3기간(T3) 동안 적분기로 구동되면서 소정의 전압을 반전 증폭하여 제 1출력단자로 제 1전압을 공급한다.

[0087] 제 1출력단자로 출력된 제 1전압은 제 3커패시터(C3)의 커플링에 의하여 제 2오피 앰프(194)의 제 1입력단자로 공급된다. 이 경우, 제 3커패시터(C3)에 저장된 전압에 대응하여 제 1전압은 제 2전압으로 변경된다. 여기서, 제 2전압에는 오차 보상부(190)의 오차 성분이 추가로 포함된다. 한편, 제 9스위치(SW9) 및 제 10스위치(SW10)가 턴-온되었기 때문에 제 2전압은 제 2커패시터(C2)에 저장된다. 이후, 설명의 편의성을 위하여 제 11노드(N11)가 제 2오피 앰프(194)의 제 1입력단자에 접속되는 경우 제 2커패시터(C2)에 역방향 형태로 전압이 저장되는 것으로 가정하고, 제 10노드(N10)가 제 2오피 앰프(194)의 제 1입력단자에 접속되는 경우 제 2커패시터(C2)에 순방향 형태로 전압이 저장되는 것으로 가정하기로 한다. 이 경우, 제 3기간 동안 제 2커패시터(C2)에는 역방향의 형태로 제 2전압이 저장된다.

[0088] 이후, 제 4기간(T4) 동안 제 3스위치(SW3), 제 7스위치(SW7), 제 8스위치(SW8) 제 11스위치(SW11) 및 제 12스위치(SW12)가 턴-온된다. 여기서, 제 4기간(T4)은 제 3기간(T3) 보다 넓은 기간으로 설정된다.

[0089] 제 4기간(T4) 동안 제 3스위치(SW3)가 턴-온되면 제 1오피 앰프(192)의 제 1입력단자(-)로는 제 3전류(iout)에 대응하는 제 3전압이 인가된다. 여기서, 제 4기간(T4)은 제 3전압이 안정적으로 인가될 수 있도록 충분히 넓은 시간으로 설정된다. 제 4기간(T4) 동안 제 1오피 앰프(192)는 적분기로 구동되면서 제 3전압을 반전 증폭하여 제 1출력단자로 공급한다. 제 1출력단자로 공급된 전압은 제 4커패시터(C4)의 커플링에 의하여 제 4전압으로 변경되어 제 2오피 앰프(192)의 제 1입력단자로 공급된다. 이때, 제 11스위치(SW11) 및 제 12스위치(SW12)가 턴-온되었기 때문에 제 2커패시터(C2)에는 순방향의 형태로 제 4전압이 저장된다.

[0090] 한편, 제 3기간(T3) 동안 역방향 형태로 제 2커패시터(C2)에 저장된 제 2전압과, 제 4기간(T4) 동안 순방향 형태로 저장된 제 2커패시터(C2)에 저장된 제 4전압에 의하여 오차 성분이 상쇄된다. 다시 말하여, 제 4기간 동안 제 2커패시터(C2)에는 증폭부(180) 및 오차 보상부(190)의 오차와 무관하게 제 3전류(iout)에 대응한 소정의 전압이 충전된다.

[0091] 이후, 제 5기간(T5) 동안 제 4스위치(SW4), 제 11스위치(SW11) 및 제 12스위치(SW12)가 턴-온된다. 제 4스위치(SW4)가 턴-온되면 ADC(200)와 제 2출력단자가 전기적으로 접속된다. 제 11스위치(SW11)가 턴-온되면 제 10노드(N10)가 제 2오피 앰프(194)의 제 1입력단자(-)에 접속되고, 제 12스위치(SW12)가 턴-온되면 제 11노드(N11)가 제 2출력단자에 접속된다. 그러면, 제 2오피 앰프(194)는 제 2커패시터(C2)에 저장된 소정의 전압에 대응한 소정의 전압을 ADC(200)로 공급한다. ADC(200)는 자신에게 공급되는 소정의 전압을 디지털값으로 변환하고, 변환된 디지털 값을 메모리(210)에 저장한다.

[0092] 실제로, 본원 발명은 센싱기간 동안 상술한 과정을 반복하면서 화소들(140) 각각에 포함된 구동 트랜지스터의 문턱전압 및 이동도 정보를 추출한다. 또한 상술한 바와 같이 본원 발명에서는 증폭부(180) 및 오차 보상부(190)의 오차 성분을 제거한 순수한 정보만을 추출할 수 있고, 이에 따라 보상의 정확성을 향상시킬 수 있다. 추가적으로, 본원 발명의 실시예에 의한 오차 보상부(190)는 오차 성분을 제거하여 원하는 전압만을 추출하기 위한 것으로, 소정의 전류 및/또는 전압을 증폭하기 위한 다양한 회로에 적용 가능하다.

[0093] 도 9는 본원 발명의 다른 실시예에 의한 증폭부를 나타내는 도면이다. 도 9를 설명할 때 도 5와 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.

[0094] 도 9를 참조하면, 본원 발명의 다른 실시예에 의한 증폭부(180)는 전류 공급부(182), 제 11트랜지스터(M11'), 제 12트랜지스터(M12'), 제 20스위치(SW20), 제 21스위치(SW21) 및 제 22스위치(SW22)를 구비한다.

[0095] 제 11트랜지스터(M11')는 화소(140)와 기저전원(GND) 사이에 접속된다. 그리고, 화소(140)와 제 11트랜지스터

(M11')의 게이트전극 사이에는 제 20스위치(SW20)가 형성된다. 이와 같은 제 11트랜지스터(M11')는 제 20스위치(SW20)가 턴-온될 때 화소(140)로부터 기저전원(GND)으로 전류가 흐를 수 있도록 다이오드 형태로 접속된다.

[0096] 제 12트랜지스터(M12')는 전류 공급부(182)와 기저전원(GND) 사이에 접속된다. 그리고, 제 12트랜지스터(M12')의 게이트전극은 제 11트랜지스터(M11')의 게이트전극에 접속된다. 즉, 제 12트랜지스터(M12')는 제 11트랜지스터(M11')와 전류 미러 형태로 접속된다.

[0097] 제 21스위치(SW21)는 제 11트랜지스터(M11')의 게이트전극과 기저전원(GND) 사이에 접속된다. 이 경우, 제 21스위치(SW21)가 턴-온되면 제 11트랜지스터(M11') 및 제 12트랜지스터(M12')의 게이트전극으로 기저전원(GND)이 공급되고, 이에 따라 제 11트랜지스터(M11') 및 제 12트랜지스터(M12')가 턴-오프된다.

[0098] 제 22스위치(SW22)는 전류 공급부(182) 및 오차 보상부(190)의 공통단자와 화소(140) 사이에 형성된다. 제 22스위치(SW22)가 턴-온되면 화소(140), 전류 공급부(182) 및 오차 보상부(190)가 전기적으로 접속된다.

[0099] 도 10은 도 9에 도시된 증폭부의 동작과정의 실시예를 나타내는 과정도이다.

[0100] 도 10을 참조하면, 먼저 센싱기간 동안 화소(140)에 포함된 제 3트랜지스터(M3)가 턴-온되는 것으로 가정하기로 한다.

[0101] 센싱기간 중 제 1트랜지스터(M1)의 문턱전압 정보 추출기간 동안 제 20스위치(SW20)가 턴-온된다. 제 20스위치(SW20)가 턴-온되면 제 11트랜지스터(M11')가 다이오드 형태로 접속된다. 이 경우, 도 4에 도시된 증폭부(180)와 동일하게 구동되므로 상세한 설명은 생략하기로 한다.

[0102] 센싱기간 중 유기 발광 다이오드(OLED)의 열화정보 추출기간 동안 제 21스위치(SW21) 및 제 22스위치(SW22)가 턴-온된다. 제 21스위치(SW21)가 턴-온되면 제 11트랜지스터(M11') 및 제 12트랜지스터(M12')가 턴-오프된다.

[0103] 제 22스위치(SW22)가 턴-온되면 전류 공급부(182)로부터의 기준전류(iref)가 유기 발광 다이오드(OLED)의 애노드전극을 경유하여 제 2전원(ELVSS)으로 공급된다. 이때, 유기 발광 다이오드(OLED)에는 기준전류(iref)에 대응하여 소정의 전압이 인가된다.

[0104] 유기 발광 다이오드(OLED)는 열화 정도에 대응하여 저항이 변화되고, 이에 따라 기준전류(iref)에 대응하여 유기 발광 다이오드(OLED)에 인가된 소정의 전압에는 열화 정보가 포함된다. 유기 발광 다이오드(OLED)에 인가된 소정의 전압은 오차 보상부(190)로 공급된다.

[0105] 즉, 본원 발명의 다른 실시예에 의한 증폭부(180)는 전류 소스원 또는 전류 싱크원으로 구동되면서 화소(140)로부터 유기 발광 다이오드(OLED)의 열화정보 및 제 1트랜지스터(M1)의 문턱전압 정보를 추출할 수 있다. 이 외의 오차 보상부(190)의 동작과정은 상술한 바와 동일하므로 상세한 설명은 생략하기로 한다.

[0106] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

부호의 설명

[0107] 2,142 : 화소회로 4,140 : 화소

110 : 주사 구동부 120 : 데이터 구동부

130 : 화소부 150 : 타이밍 제어부

160 : 제어선 구동부 170 : 센싱부

180 : 증폭부 182 : 전류 공급부

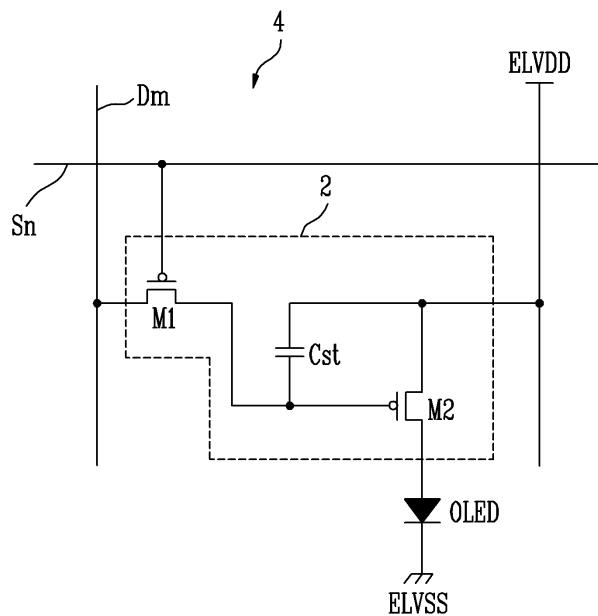
190 : 오차 보상부 192,194 : 오피 앰프

196,198 : 저장부 200 : ADC

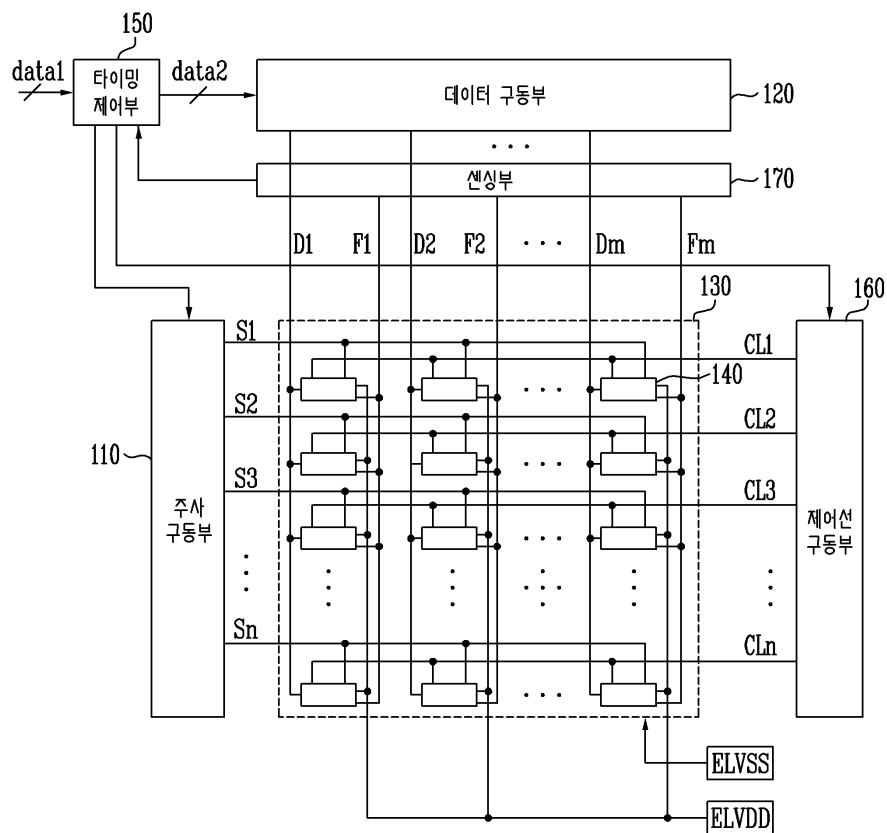
210 : 메모리

도면

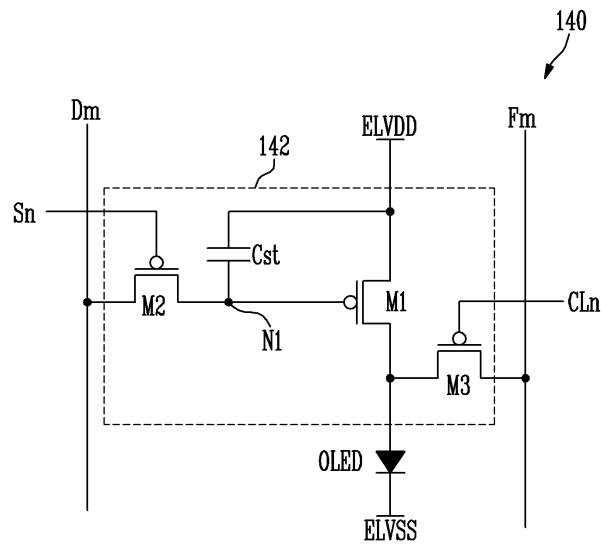
도면1



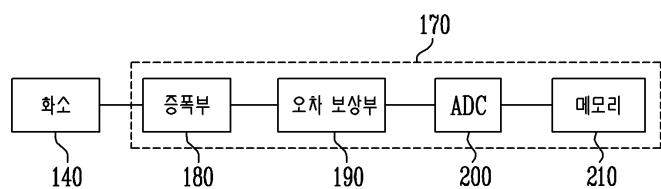
도면2



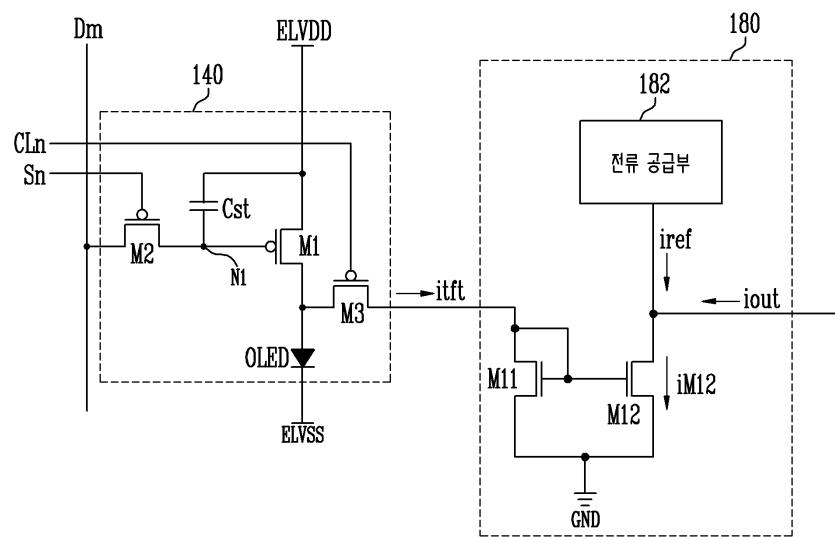
도면3



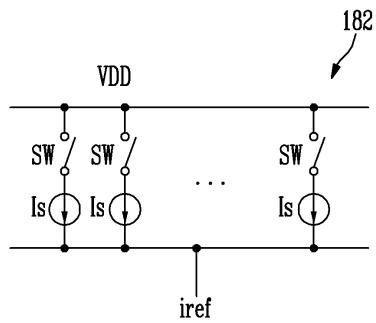
도면4



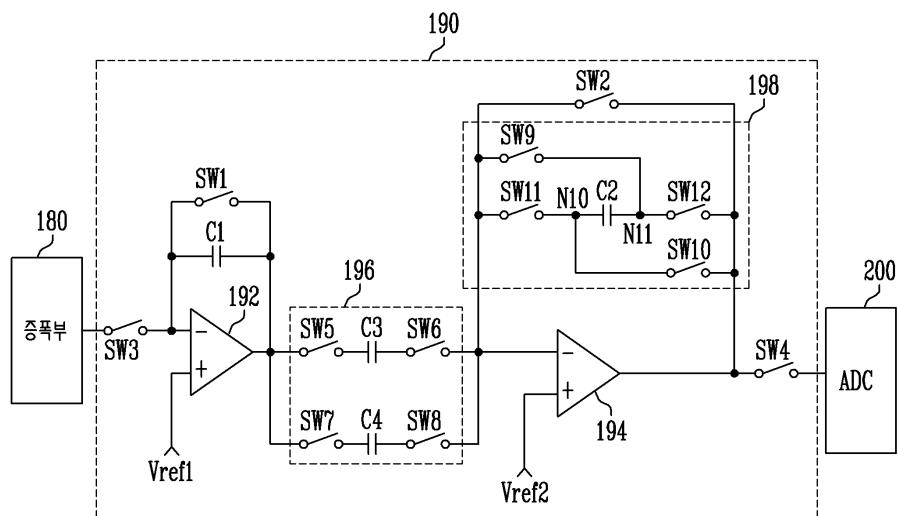
도면5



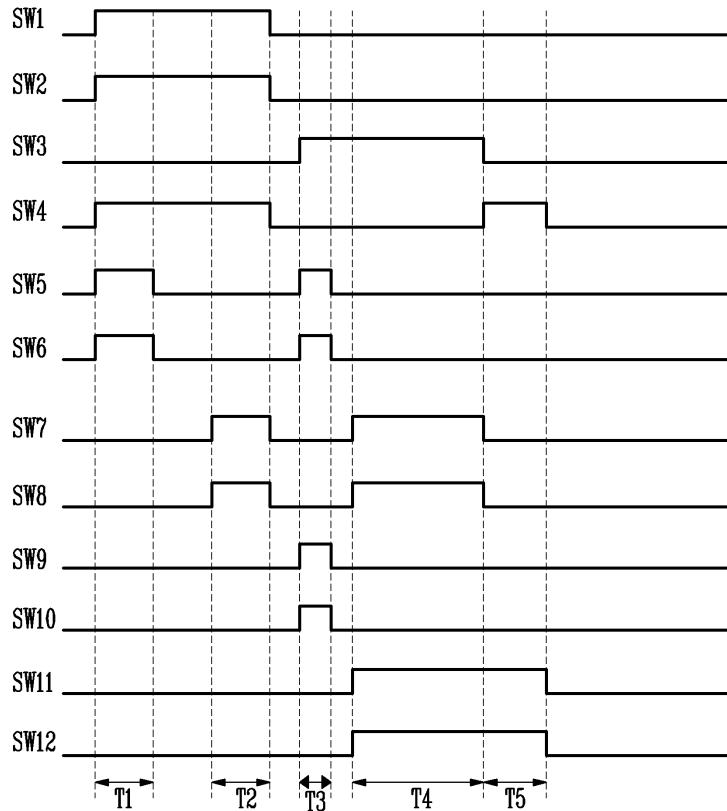
도면6



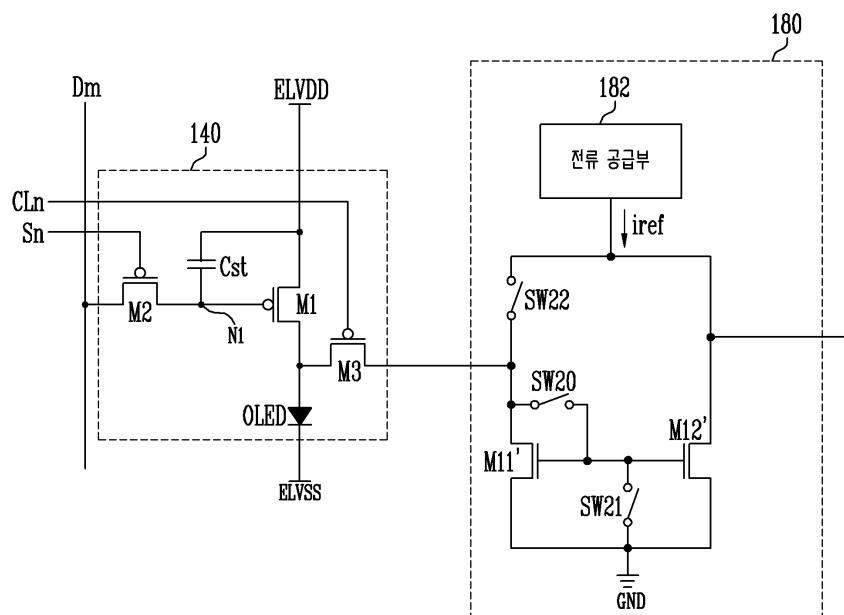
도면7



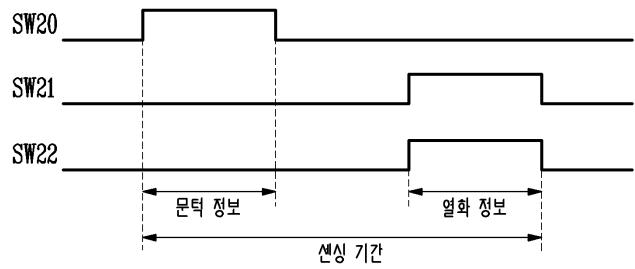
도면8



도면9



도면10



专利名称(译)	误差补偿器和使用其的有机发光显示装置		
公开(公告)号	KR102005052B1	公开(公告)日	2019-07-31
申请号	KR1020120139059	申请日	2012-12-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김보연 권오조 안희선		
发明人	김보연 권오조 안희선		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3208 G09G3/3233 G09G3/3291 G09G2300/0842 G09G2320/0295 G09G2320/043 G09G2320/045 H03K17/30		
代理人(译)	Gimdusik Ohjonghan Munyongho		
审查员(译)	李升 - 最小		
其他公开文献	KR1020140071097A		
外部链接	Espacenet		

摘要(译)

误差补偿器和使用该误差补偿器的有机发光显示装置。有机发光显示装置包括各自具有驱动晶体管和有机发光二极管的像素；感测单元从像素的像素中提取包括驱动晶体管的阈值电压的第一信息或包括有机发光二极管的劣化的第二信息中的至少一个。在有机发光显示装置中，感测单元包括放大器，该放大器放大与第一信息或第二信息中的至少一个相对应的电压。误差补偿器补偿放大器和误差补偿器中包括的元件的误差分量。

