



공개특허 10-2020-0081053

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(11) 공개번호 10-2020-0081053  
(43) 공개일자 2020년07월07일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/3233* (2016.01)  
(52) CPC특허분류  
*G09G 3/3233* (2013.01)  
*G09G 2310/0262* (2013.01)  
(21) 출원번호 10-2018-0171145  
(22) 출원일자 2018년12월27일  
심사청구일자 없음

- (71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김창인  
경기도 파주시 월롱면 엘지로 245  
전원식  
경기도 파주시 월롱면 엘지로 245  
이기정  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인(유한)유일하이스트

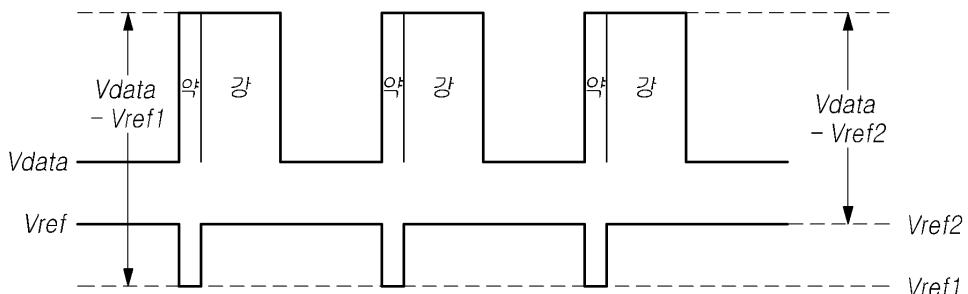
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기 발광 디스플레이 장치 및 구동 방법

### (57) 요 약

본 발명의 실시예는 유기 발광 디스플레이 장치 및 구동 방법에 관한 것이다. 본 발명의 실시예에 의하면, 디스플레이 패널의 서브픽셀에 대한 충전율을 개선함으로써, 휙도의 불균일을 해소할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공할 수 있다. 본 발명의 실시예에 의하면, 데이터 전압의 충전율이 저하되는 구간에 반대 방향의 기준 전압을 인가함으로써, 유기 발광 다이오드에 흐르는 전류를 순간적으로 증가시켜서 충전율을 보상할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공할 수 있다.

대 표 도 - 도10



(52) CPC특허분류

G09G 2320/0233 (2013.01)

G09G 2330/028 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널;

상기 다수의 게이트 라인을 구동하며, N개 행의 서브픽셀을 서브픽셀 그룹으로 해서 스캔 신호를 순차적으로 인가하는 게이트 구동 회로;

상기 다수의 데이터 라인을 구동하는 데이터 구동 회로; 및

상기 게이트 구동 회로 및 상기 데이터 구동 회로에 인가되는 구동 전압을 제어하되, 상기 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하고, 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가하도록 기준 전압 발생 회로를 제어하는 타이밍 컨트롤러를 포함하는 유기 발광 디스플레이 장치.

#### 청구항 2

제1항에 있어서,

상기 서브픽셀은

유기 발광 다이오드;

상기 유기 발광 다이오드를 구동하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트 노드와 상기 데이터 라인 사이에 전기적으로 연결된 스위칭 트랜지스터;

상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 기준 전압 라인 사이에 전기적으로 연결된 센싱 트랜지스터; 및

상기 스위칭 트랜지스터의 게이트 노드, 및 소스 노드 또는 드레인 노드 사이에 전기적으로 연결되는 스토리지 커패시터를 포함하는 유기 발광 디스플레이 장치.

#### 청구항 3

제1항에 있어서,

상기 N은 임의의 자연수인 유기 발광 디스플레이 장치.

#### 청구항 4

제1항에 있어서,

상기 제 1 기준 전압은 음의 값을 가지는 유기 발광 디스플레이 장치.

#### 청구항 5

제1항에 있어서,

상기 기준 전압 발생 회로는

게이트 노드를 통해 상기 타이밍 컨트롤러로부터 제어 신호를 공급받으며, 소스 노드에는 제 1 기준 전압이 인

가되는 제 1 트랜지스터; 및

상기 제 1 트랜지스터의 게이트 노드와 게이트 노드가 연결되고, 소스 노드에는 제 2 기준 전압이 인가되며, 상기 제 1 트랜지스터와 드레인 노드가 서로 연결되어 상기 제 1 기준 전압 또는 제 2 기준 전압을 상기 데이터 구동 회로에 전달하는 제 2 트랜지스터를 포함하는 유기 발광 디스플레이 장치.

## 청구항 6

제5항에 있어서,

상기 기준 전압 발생 회로는 파워 관리 집적 회로 내에 배치되는 유기 발광 디스플레이 장치.

## 청구항 7

제1항에 있어서,

상기 데이터 라인은

인접한 두 개의 서브픽셀 사이에 하나의 데이터 라인이 배치되고, 하나의 데이터 라인에 의해 양쪽에 배치된 두 개의 서브픽셀을 구동하는 DRD 방식으로 동작하는 유기 발광 디스플레이 장치.

## 청구항 8

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널과, 상기 다수의 게이트 라인을 구동하며, N개 행의 서브픽셀을 서브픽셀 그룹으로 해서 스캔 신호를 순차적으로 인가하는 게이트 구동 회로와, 상기 다수의 데이터 라인을 구동하는 데이터 구동 회로와, 상기 게이트 구동 회로 및 상기 데이터 구동 회로에 인가되는 구동 전압을 제어하는 타이밍 컨트롤러를 포함하되,

상기 타이밍 컨트롤러의 제어에 따라,

상기 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하고, 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가하는 파워 관리 집적 회로.

## 청구항 9

제8항에 있어서,

게이트 노드를 통해 상기 타이밍 컨트롤러로부터 제어 신호를 공급받으며, 소스 노드에는 제 1 기준 전압이 인가되는 제 1 트랜지스터; 및

상기 제 1 트랜지스터의 게이트 노드와 게이트 노드가 연결되고, 소스 노드에는 제 2 기준 전압이 인가되며, 상기 제 1 트랜지스터와 드레인 노드가 서로 연결되어 상기 제 1 기준 전압 또는 제 2 기준 전압을 상기 데이터 구동 회로에 전달하는 제 2 트랜지스터를 포함하는 파워 관리 집적 회로.

## 청구항 10

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 상기 다수의 데이터 라인 및 상기 게이트 라인이 교차 되는 영역에 배열되는 다수의 서브픽셀과, 다수의 서브픽셀로 이루어진 디스플레이 패널과, 상기 다수의 데이터 라인을 구동하는 데이터 구동회로와, 상기 다수의 게이트 라인을 구동하는 게이트 구동회로와, 상기 게이트 구동 회로 및 상기 데이터 구동 회로에 인가되는 구동 신호를 제어하는 타이밍 컨트롤러를 포함하는 유기 발광 디스플레이 장치를 구동하는 방법에 있어서,

N개 행의 서브픽셀을 서브픽셀 그룹으로 해서, 상기 게이트 구동 회로를 통해 스캔 신호를 순차적으로 인가하는

단계;

상기 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하는 단계; 및  
상기 서브픽셀 그룹 중 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가하는 단계를 포함하는 유기 발광 디스플레이 장치의 구동 방법.

### 청구항 11

제10항에 있어서,

상기 N은 임의의 자연수인 유기 발광 디스플레이 장치의 구동 방법.

### 청구항 12

제10항에 있어서,

상기 제 1 기준 전압은 음의 값을 가지는 유기 발광 디스플레이 장치의 구동 방법.

### 청구항 13

제10항에 있어서,

상기 데이터 라인은

인접한 두 개의 서브픽셀 사이에 하나의 데이터 라인이 배치되고, 하나의 데이터 라인에 의해 양쪽에 배치된 두 개의 서브픽셀을 구동하는 DRD 방식으로 동작하는 유기 발광 디스플레이 장치의 구동 방법.

## 발명의 설명

### 기술 분야

[0001]

본 발명의 실시예는 유기 발광 디스플레이 장치 및 구동 방법에 관한 것이다.

### 배경 기술

[0003]

정보화 사회가 발전함에 따라 화상을 표시하는 디스플레이 장치에 대한 다양한 요구가 증가하고 있으며, 액정 디스플레이 장치(Liquid Crystal Display; LCD), 유기 발광 디스플레이 장치(Organic Light Emitting Diode Display; OLED Display) 등과 같은 다양한 유형의 디스플레이 장치가 활용되고 있다.

[0004]

이러한 디스플레이 장치 중 유기 발광 디스플레이 장치는, 스스로 발광하는 유기 발광 다이오드를 이용함으로써, 응답 속도가 빠르고 명암비, 발광 효율, 휘도 및 시야각 등에서 장점이 존재한다.

[0005]

이러한 유기 발광 디스플레이 장치는, 디스플레이 패널에 배열된 다수의 서브픽셀(Sub-pixel, SP) 각각에 배치된 유기 발광 다이오드를 포함하고, 유기 발광 다이오드에 흐르는 전류 제어를 통해 유기 발광 다이오드를 발광 시킴으로써 각각의 서브픽셀(SP)이 나타내는 휘도를 제어하며 이미지를 표시할 수 있다.

[0006]

이러한 서브픽셀(SP)은 게이트 라인(GL)을 통해 인가되는 스캔 신호(SCAN)에 의해 구동되며, 스캔 신호(SCAN)가 인가되는 타이밍에 맞춰 데이터 라인(DL)을 통해 인가되는 데이터 전압(Vdata)에 따른 계조를 표현하여 화상을 표시한다. 이 때, 데이터 전압(Vdata)이 인가되는 데이터 라인(DL)은 서브픽셀(SP)의 열(column)마다 하나씩 배치될 수 있다.

[0007]

한편, 최근에는 데이터 라인(DL)을 구동하는 소스 드라이버 집적회로(Source Driver Integrated Circuit; SDIC)의 수를 감소시킬 수 있도록, 인접한 두 개의 서브픽셀(SP) 사이에 하나의 데이터 라인(DL)을 배치하고 하나의 데이터 라인(DL)이 양쪽에 배치된 두 개의 서브픽셀(SP)을 구동하는 DRD(Double Rate Driving) 방식의 구

조가 적용되고 있다.

[0008] DRD 방식의 서브픽셀(SP) 구조에서는 하나의 수평 주기 동안 두 개의 서브픽셀(SP)을 구동하기 위한 데이터 전압(Vdata)이 데이터 라인(DL)을 통해 인가된다. 이 때, DRD 방식으로 구동되는 디스플레이 장치는 플리커(flicker)를 최소화하고 소비전력을 감소시키기 위해서, 서브픽셀(SP)의 행마다 극성이 반전된 데이터 전압(Vdata)을 인가하기도 한다. 따라서, 서브픽셀(SP)에 인가되는 데이터 전압(Vdata)은 이전 서브픽셀(SP)에 인가되는 데이터 전압(Vdata)과 동일한 극성을 가지는 신호가 인가될 수도 있고, 극성이 반전된 신호가 인가될 수도 있다.

[0009] 예를 들어, 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치의 경우에는 2,160 개의 게이트 라인(GL)과 3,840 개의 데이터 라인(DL)이 구비될 수 있으며, 이들 게이트 라인(GL)과 데이터 라인(DL)이 교차되는 지점에 각각 서브픽셀(SP)이 배치될 것이다.

[0010] 이 때, 유기 발광 디스플레이 장치는 2,160 개의 게이트 라인(GL)에 대하여 제 1 게이트 라인(GL1)으로부터 제 2,160 게이트 라인(GL2,160)까지 순차적으로 스캔 신호(SCAN)을 출력할 수도 있고, 특정 서브픽셀(SP)에 대해서 제 1 게이트 라인(GL1)으로부터 제 4 게이트 라인(GL4)까지 순차적으로 스캔 신호(SCAN)를 출력한 다음, 일정한 시간이 지난 후에 제 5 게이트 라인(GL5)으로부터 제 8 게이트 라인(GL8)까지 다시 스캔 신호(SCAN)를 순차적으로 출력하는 경우와 같이, 4개의 게이트 라인(GL)을 단위로 순차적으로 스캔 신호(SCAN)를 출력할 수도 있다.

[0011] 위의 경우에서, 제 1 게이트 라인(GL1)으로부터 제 2,160 게이트 라인(GL2,160)을 하나의 그룹으로 해서 순차적으로 스캔 신호(SCAN)을 출력하는 경우를 2,160상(2,160 phase) 구동이라 하고, 제 1 게이트 라인(GL1)으로부터 제 4 게이트 라인(GL4)을 하나의 그룹으로 해서 순차적으로 스캔 신호(SCAN)를 출력하는 경우를 4상 구동이라고 한다. 물론, 순차적으로 스캔 신호(SCAN)를 출력하는 게이트 라인(GL)의 그룹을 4개, 8개, 또는 256개 등 다양하게 변경이 가능하다. 즉, N개의 게이트 라인(GL) 마다 순차적으로 스캔 신호(SCAN)를 출력하는 경우를 N상 구동이라고 할 수 있다.

[0012] 이러한 N상 구동은 디스플레이 장치의 크기나 성능에 따라, 디스플레이 패널에 영상을 표시하는 프레임 시간이 달라지고 사용자의 시야에 나타나는 잔상 또는 회로 소자의 열화 등을 고려하여 다양하게 변경될 수 있다.

[0013] 이 때, 스캔 신호(SCAN)을 연속적으로 출력하는 서브픽셀(SP)을 N개 단위로 이루어진 서브픽셀 그룹으로 분할하여 구동하는 N상 구동에 있어서, 동일한 그룹 내에서 서브픽셀(SP)을 충전하는 경우와 새로운 그룹의 서브픽셀(SP)을 충전하는 경우는 서브픽셀(SP)에 데이터 전압(Vdata)이 인가되는 시간이 달라서 충전율이 달라지게 된다. 그 결과, N개의 서브픽셀(SP)로 구성되는 서브픽셀 그룹과 서브픽셀 그룹 사이에는 휘도가 불균일하게 되는 문제가 발생할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0015] 본 발명의 실시예의 목적은 디스플레이 패널의 서브픽셀에 대한 충전율을 개선함으로써, 휘도의 불균일을 해소할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공하는 데 있다.

[0016] 본 발명의 실시예의 목적은 데이터 전압의 충전율이 저하되는 구간에 반대 방향의 기준 전압을 인가함으로써, 유기 발광 다이오드에 흐르는 전류를 순간적으로 증가시켜서 충전율을 보상할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공하는데 있다.

### 과제의 해결 수단

[0018] 일 측면에서, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널과, 다수의 게이트 라인을 구동하며, N개 행의 서브픽셀을 서브픽셀 그룹으로 해서 스캔 신호를 순차적으로 인가하는 게이트 구동 회로와, 다수의 데이터 라인을 구동하는 데이터 구동 회로와, 게이트 구동 회로 및 데이터 구동 회로에 인가되는 구동 전압을 제어하되, 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하고, 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가하도록 기준 전압 발생 회로를 제어하는 타이밍 컨트롤러를 포함할 수 있

다.

[0019] 서브픽셀은 유기 발광 다이오드와, 유기 발광 다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 게이트 노드와 데이터 라인 사이에 전기적으로 연결된 스위칭 트랜지스터와, 구동 트랜지스터의 소스 노드 또는 드레인 노드와 기준 전압 라인 사이에 전기적으로 연결된 센싱 트랜지스터와, 스위칭 트랜지스터의 게이트 노드, 및 소스 노드 또는 드레인 노드 사이에 전기적으로 연결되는 스토리지 커패시터를 포함할 수 있다.

[0020] N은 임의의 자연수일 수 있다.

[0021] 제 1 기준 전압은 음의 값을 가질 수 있다.

[0022] 기준 전압 발생 회로는 게이트 노드를 통해 타이밍 컨트롤러로부터 제어 신호를 공급받으며, 소스 노드에는 제 1 기준 전압이 인가되는 제 1 트랜지스터와, 제 1 트랜지스터의 게이트 노드와 게이트 노드가 연결되고, 소스 노드에는 제 2 기준 전압이 인가되며, 제 1 트랜지스터와 드레인 노드가 서로 연결되어 제 1 기준 전압 또는 제 2 기준 전압을 데이터 구동 회로에 전달하는 제 2 트랜지스터를 포함할 수 있다.

[0023] 기준 전압 발생 회로는 파워 관리 집적 회로 내에 배치될 수 있다.

[0024] 데이터 라인은 인접한 두 개의 서브픽셀 사이에 하나의 데이터 라인이 배치되고, 하나의 데이터 라인에 의해 양 쪽에 배치된 두 개의 서브픽셀을 구동하는 DRD(Double Rate Driving) 방식으로 동작할 수 있다.

[0025] 본 발명의 파워 관리 집적 회로는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 디스플레이 패널과, 다수의 게이트 라인을 구동하며, N개 행의 서브픽셀을 서브픽셀 그룹으로 해서 스캔 신호를 순차적으로 인가하는 게이트 구동 회로와, 다수의 데이터 라인을 구동하는 데이터 구동 회로와, 게이트 구동 회로 및 데이터 구동 회로에 인가되는 구동 전압을 제어하는 타이밍 컨트롤러를 포함하되, 타이밍 컨트롤러의 제어에 따라, 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하고, 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가할 수 있다.

[0026] 상기 파워 관리 집적 회로는 게이트 노드를 통해 타이밍 컨트롤러로부터 제어 신호를 공급받으며, 소스 노드에는 제 1 기준 전압이 인가되는 제 1 트랜지스터와, 제 1 트랜지스터의 게이트 노드와 게이트 노드가 연결되고, 소스 노드에는 제 2 기준 전압(Vref2)이 인가되며, 제 1 트랜지스터와 드레인 노드가 서로 연결되어 제 1 기준 전압 또는 제 2 기준 전압을 데이터 구동 회로에 전달하는 제 2 트랜지스터를 포함할 수 있다.

[0027] 본 발명의 유기 발광 디스플레이 장치의 구동 방법은 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 데이터 라인 및 게이트 라인이 교차되는 영역에 배열되는 다수의 서브픽셀과, 다수의 서브픽셀로 이루어진 디스플레이 패널과, 다수의 데이터 라인을 구동하는 데이터 구동회로와, 다수의 게이트 라인을 구동하는 게이트 구동회로와, 게이트 구동 회로 및 데이터 구동 회로에 인가되는 구동 신호를 제어하는 타이밍 컨트롤러를 포함하는 유기 발광 디스플레이 장치를 구동하는 방법에 있어서, N개 행의 서브픽셀을 서브픽셀 그룹으로 해서, 게이트 구동 회로를 통해 스캔 신호를 순차적으로 인가하는 단계와, 서브픽셀 그룹 중 최초의 서브픽셀에 데이터 전압이 인가되는 동안 제 1 기준 전압을 인가하는 단계와, 서브픽셀 그룹 중 나머지 서브픽셀에 데이터 전압이 인가되는 동안 제 2 기준 전압을 인가하는 단계를 포함할 수 있다.

### 발명의 효과

[0029] 본 발명의 실시예에 의하면, 디스플레이 패널의 서브픽셀에 대한 충전율을 개선함으로써, 휙도의 불균일을 해소 할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공할 수 있다.

[0030] 본 발명의 실시예에 의하면, 데이터 전압의 충전율이 저하되는 구간에 반대 방향의 기준 전압을 인가함으로써, 유기 발광 다이오드에 흐르는 전류를 순간적으로 증가시켜서 충전율을 보상할 수 있는 유기 발광 디스플레이 장치 및 구동 방법을 제공할 수 있다.

### 도면의 간단한 설명

[0032] 도 1은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 개략적인 구성을 나타낸 도면이다.

도 2는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 시스템 예시도이다.

도 3은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에 배열된 서브픽셀(SP)의 회로 구조도의 예시이다.

도 4는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서 구동 트랜지스터의 특성 값을 센싱해서 보상해주는 예시적인 보상 회로를 나타낸 도면이다.

도 5는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서 DRD 방식으로 구동되는 경우의 서브픽셀 구조를 예시로 나타낸 도면이다.

도 6은 유기 발광 디스플레이 장치에서, 4개 행의 서브픽셀(SP)을 하나의 그룹으로 해서 연속적으로 스캔 신호(SCAN)를 인가하는 4상 DRD 구동 방법과 그에 따른 서브픽셀(SP)의 충전 상태를 나타낸 도면이다.

도 7은 유기 발광 디스플레이 장치에서, 4개 행의 서브픽셀(SP)을 하나의 그룹으로 해서 연속적으로 스캔 신호(SCAN)를 인가하는 4상 DRD 구동 방법의 스캔 신호(SCAN) 및 데이터 전압(Vdata)의 파형도를 나타낸 도면이다.

도 8은 유기 발광 디스플레이 장치에서, 4개 행의 서브픽셀(SP)을 하나의 그룹으로 해서 연속적으로 스캔 신호(SCAN)를 인가하는 4상 DRD 구동 방법에 따라 첫 번째 서브픽셀(SP)이 약충전되는 경우를 나타낸 회로도이다.

도 9는 DRD 구동을 하는 유기 발광 디스플레이 장치에서, 4상 구동을 하는 경우에 제 1 게이트 라인부터 4번째 게이트 라인마다 흐림 현상(Dim)이 발생하는 경우의 화면 예시도를 나타낸 도면이다.

도 10은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 약충전이 이루어지는 서브픽셀의 충전율을 확보하기 위해서 인가되는 데이터 전압과 기준 전압의 신호 파형도를 나타낸 도면이다.

도 11은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 약충전이 이루어지는 서브픽셀을 대상으로 제 1 기준 전압(Vref1)의 크기를 결정하는 과정을 나타낸 도면이다.

도 12는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 회도 편차의 개선하기 위한 회로의 구성도를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0033]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034]

또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.

[0035]

또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.

[0036]

또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0037]

또한, 본 발명의 실시예들에서의 구성 요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.

- [0038] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0039] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0041] 도 1은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 개략적인 구성을 나타낸 도면이다.
- [0042] 도 1을 참조하면, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)는, 다수의 서브픽셀(SP)이 횡렬로 배열된 디스플레이 패널(110), 디스플레이 패널(110)을 구동하기 위한 게이트 구동 회로(120)와 데이터 구동 회로(130), 및 게이트 구동 회로(120)와 데이터 구동 회로(130)를 제어하기 위한 타이밍 컨트롤러(140)를 포함할 수 있다.
- [0043] 디스플레이 패널(110)에는, 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)이 배치되고, 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 영역에 서브픽셀(SP)이 배치된다. 예를 들어, 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치의 경우에는, 2,160 개의 게이트 라인(GL)과 3,840 개의 데이터 라인(DL)이 구비될 수 있으며, 이를 게이트 라인(GL)과 데이터 라인(DL)이 교차되는 지점에 각각 서브픽셀(SP)이 배치될 것이다.
- [0044] 게이트 구동 회로(120)는 타이밍 컨트롤러(140)에 의해 제어되는데, 디스플레이 패널(110)에 배치된 다수의 게이트 라인(GL)으로 스캔 신호(SCAN)를 순차적으로 출력함으로써 다수의 서브픽셀(SP)에 대한 구동 타이밍을 제어한다. 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치(100)에서, 2,160 개의 게이트 라인(GL)에 대하여 제 1 게이트 라인(GL1)으로부터 제 2,160 게이트 라인(GL2,160)까지 순차적으로 스캔 신호(SCAN)를 출력하는 경우를 2,160상(2,160 phase) 구동이라 할 수 있다. 또는, 제 1 게이트 라인(GL1)으로부터 제 4 게이트 라인(GL4)까지 순차적으로 스캔 신호(SCAN)를 출력한 다음, 제 5 게이트 라인(GL5)으로부터 제 8 게이트 라인(GL8)까지 스캔 신호(SCAN)를 순차적으로 출력하는 경우와 같이, 4개의 게이트 라인을 단위로 순차적으로 스캔 신호(SCAN)를 출력하는 경우를 4상 구동이라고 한다. 즉, N개의 게이트 라인마다 순차적으로 스캔 신호(SCAN)를 출력하는 경우를 N상 구동이라고 할 수 있다.
- [0045] 이 때, 게이트 구동 회로(120)는 하나 이상의 게이트 드라이버 집적 회로(Gate Driver Integrated Circuit; GDIC)를 포함할 수 있는데, 구동 방식에 따라 디스플레이 패널(110)의 일 측에만 위치할 수도 있고 양 측에 위치할 수도 있다. 또는, 게이트 구동 회로(120)가 디스플레이 패널(110)의 베젤(Bezel) 영역에 내장되어 GIP(Gate In Panel) 형태로 구현될 수도 있다.
- [0046] 한편, 데이터 구동 회로(130)는 타이밍 컨트롤러(140)로부터 영상 데이터를 수신하고, 수신된 영상 데이터를 아날로그 형태의 데이터 전압(Vdata)으로 변환한다. 그런 다음, 게이트 라인(GL)을 통해 스캔 신호(SCAN)가 인가되는 타이밍에 맞춰 데이터 전압(Vdata)을 각각의 데이터 라인(DL)으로 출력함으로써, 데이터 라인(DL)에 연결된 각각의 서브픽셀(SP)은 데이터 전압(Vdata)에 따라 해당하는 밝기의 발광 신호를 디스플레이 한다.
- [0047] 마찬가지로, 데이터 구동 회로(130)는 하나 이상의 소스 드라이버 집적 회로(Source Driver Integrated Circuit; SDIC)를 포함할 수 있는데, 소스 드라이버 집적 회로(SDIC)는, TAB (Tape Automated Bonding) 방식 또는 COG (Chip On Glass) 방식으로 디스플레이 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나 디스플레이 패널(110) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적 회로(SDIC)는 디스플레이 패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적 회로(SDIC)는 COF (Chip On Film) 방식으로 구현될 수 있는데, 이 경우에, 각 소스 드라이버 집적 회로(SDIC)는 회로 필름 상에 실장 되어, 회로 필름을 통해 디스플레이 패널(110)의 데이터 라인(DL)과 전기적으로 연결될 수 있다.
- [0048] 타이밍 컨트롤러(140)는 게이트 구동 회로(120)와 데이터 구동 회로(130)에 여러 가지 제어 신호를 공급하며, 게이트 구동 회로(120)와 데이터 구동 회로(130)의 동작을 제어한다. 즉, 타이밍 컨트롤러(140)는 각 프레임에서 구현하는 타이밍에 따라 게이트 구동 회로(120)가 스캔 신호(SCAN)를 출력하도록 제어하고, 다른 한편으로는 외부에서 수신한 영상 데이터를 데이터 구동 회로(130)에서 사용하는 데이터 신호 형식에 맞게 변환하여 변환된 영상 데이터를 데이터 구동 회로(130)로 전달한다.
- [0049] 이 때, 타이밍 컨트롤러(140)는 영상 데이터와 함께 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 데이터 인 에이블 신호(Data Enable; DE), 클럭 신호(CLK) 등을 포함하는 여러 가지 타이밍 신호를 외부(예, 호스트 시스템)로부터 수신한다. 이에 따라, 타이밍 컨트롤러(140)는 외부로부터 수신한 여러 가지 타이밍 신호를 이용하여

제어 신호를 생성하고, 이를 게이트 구동 회로(120) 및 데이터 구동 회로(130)로 전달한다.

[0050] 예를 들어, 타이밍 컨트롤러(140)는 게이트 구동 회로(120)를 제어하기 위하여, 게이트 스타트 펄스(Gate Start Pulse; GSP), 게이트 시프트 클럭(Gate Shift Clock; GSC), 게이트 출력 인에이블 신호(Gate Output Enable; GOE) 등을 포함하는 여러 가지 게이트 제어 신호를 출력한다. 여기에서, 게이트 스타트 펄스(GSP)는 게이트 구동 회로(120)를 구성하는 하나 이상의 게이트 드라이버 집적 회로(GDIC)가 동작을 시작하는 타이밍을 제어한다. 또한, 게이트 시프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적 회로(GDIC)에 공통으로 입력되는 클럭 신호로서, 스캔 신호(SCAN)의 시프트 타이밍을 제어한다. 또한, 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적 회로(GDIC)의 타이밍 정보를 지정하고 있다.

[0051] 또한, 타이밍 컨트롤러(140)는 데이터 구동 회로(130)를 제어하기 위하여, 소스 스타트 펄스(Source Start Pulse; SSP), 소스 샘플링 클럭(Source Sampling Clock; SSC), 소스 출력 인에이블 신호(Source Output Enable; SOE) 등을 포함하는 각종 데이터 제어 신호를 출력한다. 여기에서, 소스 스타트 펄스(SSP)는 데이터 구동 회로(130)를 구성하는 하나 이상의 소스 드라이버 집적 회로(SDIC)가 데이터 샘플링을 시작하는 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적 회로(SDIC)에서 데이터를 샘플링하는 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동 회로(130)의 출력 타이밍을 제어한다.

[0052] 이러한 유기 발광 디스플레이 장치(100)는 디스플레이 패널(110), 게이트 구동 회로(120), 데이터 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나, 공급할 각종 전압 또는 전류를 제어하는 전원 관리 집적 회로를 더 포함할 수 있다.

[0053] 한편, 서브픽셀(SP)은 게이트 라인(GL)과 데이터 라인(DL)이 교차되는 지점에 위치하며, 각각의 서브픽셀(SP)에는 발광 소자가 배치될 수 있다. 예를 들어, 유기 발광 디스플레이 장치(100)는 각각의 서브픽셀(SP)에 발광 다이오드(LED) 또는 유기 발광 다이오드(OLED)와 같은 발광 소자를 포함하며, 데이터 전압(Vdata)에 따라 발광 소자에 흐르는 전류를 제어함으로써 영상을 표시할 수 있다.

[0055] 도 2는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 시스템 예시도이다.

[0056] 도 2의 유기 발광 디스플레이 장치(100)는 데이터 구동 회로(130)에 포함된 소스 드라이버 집적 회로(SDIC)가 다양한 방식들(TAB, COG, COF 등) 중에서 COF (Chip On Film) 방식으로 구현되고, 게이트 구동 회로(120)가 다양한 방식들(TAB, COG, COF, GIP 등) 중에서 GIP (Gate In Panel) 형태로 구현된 경우를 나타낸 것이다.

[0057] 데이터 구동 회로(130)에 포함된 다수의 소스 드라이버 집적 회로(SDIC)는 각각 소스 측 회로 필름(SF) 상에 설치될 수 있으며, 소스 측 회로 필름(SF)의 일측은 디스플레이 패널(110)과 전기적으로 연결될 수 있다. 또한, 소스 측 회로 필름(SF)의 상부에는 소스 드라이버 집적 회로(SDIC)와 디스플레이 패널(110)을 전기적으로 연결하기 위한 배선들이 배치될 수 있다.

[0058] 이러한 유기 발광 디스플레이 장치(100)는 다수의 소스 드라이버 집적 회로(SDIC)와 다른 장치들 간의 회로적인 연결을 위해서, 적어도 하나의 소스 인쇄 회로 기판(Source Printed Circuit Board; SPCB)과, 제어 부품들 및 각종 전기 장치들을 실장하기 위한 컨트롤 인쇄 회로 기판(Control Printed Circuit Board; CPCB)을 포함할 수 있다.

[0059] 이 때, 적어도 하나의 소스 인쇄 회로 기판(SPCB)에는 소스 드라이버 집적 회로(SDIC)가 실장된 소스 측 회로 필름(SF)의 타측이 연결될 수 있다. 즉, 소스 드라이버 집적 회로(SDIC)가 실장된 소스 측 회로 필름(SF)은 일측이 디스플레이 패널(110)과 전기적으로 연결되고, 타측이 소스 인쇄 회로 기판(SPCB)과 전기적으로 연결될 수 있다.

[0060] 컨트롤 인쇄 회로 기판(CPCB)에는 타이밍 컨트롤러(140)와 파워 관리 집적 회로(Power Management IC; PMIC, 210)가 실장될 수 있다. 타이밍 컨트롤러(140)는 데이터 구동 회로(130)와 게이트 구동 회로(120)의 동작을 제어할 수 있다. 파워 관리 집적 회로(210)는 디스플레이 패널(110), 데이터 구동 회로(130) 및 게이트 구동 회로(120) 등으로 구동 전압을 포함하여, 각종 전압이나 전류를 공급하거나 공급되는 전압이나 전류를 제어할 수 있다.

[0061] 적어도 하나의 소스 인쇄 회로 기판(SPCB)과 컨트롤 인쇄 회로 기판(CPCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있으며, 연결 부재는 예를 들어, 플렉서블 인쇄 회로(Flexible Printed Circuit; FPC), 플렉서블 플랫 케이블(Flexible Flat Cable; FFC) 등으로 이루어질 수 있다. 또한, 적어도 하나의 소스 인쇄 회

로 기판(SPCB)과 컨트롤 인쇄 회로 기판(CPCB)은 하나의 인쇄 회로 기판으로 통합되어 구현될 수도 있다.

[0062] 유기 발광 디스플레이 장치(100)는 컨트롤 인쇄 회로 기판(CPCB)과 전기적으로 연결된 세트 보드(Set Board, 230)를 더 포함할 수 있다. 이 때, 세트 보드(230)는 파워 보드(Power Board)라고 할 수도 있다. 이러한 세트 보드(230)에는 유기 발광 디스플레이 장치(100)의 전체 파워를 관리하는 메인 파워 관리 회로(Main Power Management Circuit; M-PMC, 220)가 존재할 수 있다. 메인 파워 관리 회로(220)는 파워 관리 접속 회로(210)와 연동될 수 있다.

[0063] 위와 같은 구성으로 이루어진 유기 발광 디스플레이 장치(100)의 경우, 구동 전압(EVDD)은 세트 보드(230)에서 발생되어 컨트롤 인쇄 회로 기판(CPCB) 내의 파워 관리 접속 회로(210)로 전달된다. 파워 관리 접속 회로(210)는 영상 구동 구간 또는 센싱 구간에 필요한 구동 전압(EVDD)을 플렉서블 인쇄 회로(FPC), 또는 플렉서블 플랫 케이블(FFC)을 통해 소스 인쇄 회로 기판(SPCB)으로 전달한다. 소스 인쇄 회로 기판(SPCB)으로 전달된 구동 전압(EVDD)은 소스 드라이버 접속 회로(SDIC)를 통해 디스플레이 패널(110) 내의 특정 서브픽셀(SP)을 발광하거나 센싱하기 위해 공급된다.

[0064] 이 때, 유기 발광 디스플레이 장치(100) 내의 디스플레이 패널(110)에 배열된 각 서브픽셀(SP)은 발광 소자인 유기 발광 다이오드(Organic Light Emitting Diode; OLED)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성될 수 있다.

[0065] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.

[0067] 도 3은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에 배열된 서브픽셀(SP)의 회로 구조도의 예시이다.

[0068] 도 3을 참조하면, 본 발명의 유기 발광 디스플레이 장치(100)에 배치된 서브픽셀(SP)은 하나 이상의 트랜지스터와 커패시터를 포함할 수 있으며, 발광 소자로서 유기 발광 다이오드(OLED)가 배치될 수 있다. 예를 들어, 서브픽셀(SP)은 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SENT), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함할 수 있다.

[0069] 이 때, 스위칭 트랜지스터(SWT)는 해당 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 온-오프가 제어되며, 센싱 트랜지스터(SENT)는 해당 게이트 라인을 통해 스캔 신호(SCAN)와 다른 센스 신호(SENSE)를 게이트 노드로 인가 받아 온-오프가 제어될 수 있다.

[0070] 구동 트랜지스터(DRT)는 제 1 노드(N1), 제 2 노드(N2), 및 제 3 노드(N3)를 가진다. 구동 트랜지스터(DRT)의 제 1 노드(N1)는 스위칭 트랜지스터(SWT)가 턴-온 되면 데이터 라인(DL)을 통해 데이터 전압(Vdata)이 인가되는 게이트 노드일 수 있다. 구동 트랜지스터(DRT)의 제 2 노드(N2)는 유기 발광 다이오드(OLED)의 애노드(Anode) 전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 구동 트랜지스터(DRT)의 제 3 노드(N3)는 구동 전압(EVDD)이 인가되는 구동 전압 라인(DVL)과 전기적으로 연결되며, 드레인 노드 또는 소스 노드일 수 있다.

[0071] 여기에서, 영상 구동 구간에는 구동 전압 라인(DVL)으로 영상 구동에 필요한 구동 전압(EVDD)이 공급될 수 있는데, 예를 들어, 영상 구동에 필요한 구동 전압(EVDD)은 27V일 수 있다.

[0072] 스위칭 트랜지스터(SWT)는 구동 트랜지스터(DRT)의 제 1 노드(N1)와 데이터 라인(DL) 사이에 전기적으로 연결되며, 게이트 라인(GL)이 게이트 노드에 연결되어 게이트 라인(GL)을 통해 공급되는 스캔 신호(SCAN)에 따라 동작한다. 또한, 스위칭 트랜지스터(SWT)가 턴-온되는 경우에는 데이터 라인(DL)을 통해 공급되는 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 게이트 노드에 전달함으로써, 구동 트랜지스터(DRT)의 동작을 제어하게 된다.

[0073] 센싱 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제 2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결되며, 게이트 라인(GL)이 게이트 노드에 연결되어 게이트 라인(GL)을 통해 공급되는 센스 신호(SENSE)에 따라 동작한다. 센싱 트랜지스터(SENT)가 턴-온되는 경우에는 기준 전압 라인(RVL)을 통해 공급되는 센싱용 기준 전압(VpreS)이 구동 트랜지스터(DRT)의 제 2 노드(N2)에 전달된다. 즉, 스위칭 트랜지스터(SWT)와 센싱 트랜지스터(SENT)를 제어함으로써, 구동 트랜지스터(DRT)의 제 1 노드(N1)의 전압과 제 2 노드(N2)의 전압을 제어하게 되고, 이로 인해 유기 발광 다이오드(OLED)를 구동하기 위한 전류가 공급될 수 있도록 한다.

- [0074] 데이터 전압(Vdata)가 인가되는 영상 구동 구간에서, 유기 발광 다이오드(OLED)에 흐르는 전류(Id)는 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)에 비례하게 된다. 이 때, 스위칭 트랜지스터(SWT)와 센싱 트랜지스터(SENT)가 턴-온된 상태에서, 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)는 데이터 전압(Vdata)과 기준 전압(Vref)의 차이 값(Vdata - Vref)을 가지게 될 것이다.
- [0075] 이러한 스위칭 트랜지스터(SWT)와 센싱 트랜지스터(SENT)는 동일한 하나의 게이트 라인(GL)에 연결될 수도 있고, 서로 다른 신호 라인에 연결될 수도 있다. 여기에서는 스위칭 트랜지스터(SWT)와 센싱 트랜지스터(SENT)가 서로 다른 게이트 라인(GL)에 연결된 구조를 예시로 나타낸 것이며, 이 경우에는 게이트 라인(GL)을 통해 전달되는 스캔 신호(SCAN)에 의해 스위칭 트랜지스터(SWT)가 제어되고, 센스 신호(SENSE)에 의해 센싱 트랜지스터(SENT)가 제어된다.
- [0076] 한편, 서브픽셀(SP)에 배치된 트랜지스터는 n-타입 트랜지스터뿐만 아니라 p-타입 트랜지스터로 이루어질 수 있는데, 여기에서는 n-타입 트랜지스터로 구성된 경우를 예시로 나타내고 있다.
- [0077] 스토리지 커패시터(Cst)는 구동 트랜지스터(DRT)의 제 1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되며, 한 프레임 동안 데이터 전압(Vdata)을 유지시켜준다.
- [0078] 이러한 스토리지 커패시터(Cst)는 구동 트랜지스터(DRT)의 유형에 따라 구동 트랜지스터(DRT)의 제 1 노드(N1)와 제 3 노드(N3) 사이에 연결될 수도 있다. 유기 발광 다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DRT)의 제 2 노드(N2)와 전기적으로 연결될 수 있으며, 유기 발광 다이오드(OLED)의 캐소드(Cathode) 전극으로 기저 전압(EVSS)이 인가될 수 있다. 여기에서, 기저 전압(EVSS)은 그라운드 전압이거나 그라운드 전압보다 높거나 낮은 전압일 수 있다. 또한, 기전 전압(EVSS)은 구동 상태에 따라 가변될 수 있다. 예를 들어, 영상 구동 시점의 기저 전압(EVSS)과 센싱 구동 시점의 기저 전압(EVSS)은 서로 다르게 설정될 수 있다.
- [0079] 위에서 예를 들어 설명한 서브픽셀(SP)의 구조는 3T(Transistor) 1C(Capacitor) 구조로서, 설명을 위한 예시일 뿐, 1개 이상의 트랜지스터를 더 포함하거나, 경우에 따라서는, 1개 이상의 커패시터를 더 포함할 수도 있다. 또는, 다수의 서브픽셀(SP) 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀(SP) 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0080] 이러한 서브픽셀(SP)을 발광시키는 영상 구동은 영상 데이터 기록 단계, 부스팅 단계 및 발광 단계로 진행될 수 있다.
- [0081] 영상 데이터 기록 단계에서는 구동 트랜지스터(DRT)의 제 1 노드(N1)에 영상 신호에 해당하는 영상 구동용 데이터 전압(Vdata)이 인가되고, 구동 트랜지스터(DRT)의 제 2 노드(N2)에는 영상 구동용 기준 전압(VpreR)이 기준 전압(Vref)으로서 인가될 수 있다. 여기서, 구동 트랜지스터(DRT)의 제 2 노드(N2)와 기준 전압 라인(RVL) 사이의 저항 성분 등으로 인해, 구동 트랜지스터(DRT)의 제 2 노드(N2)에는 영상 구동용 기준 전압(VpreR)과 유사한 전압이 인가될 수도 있다. 영상 데이터 기록 단계에서 스토리지 커패시터(Cst)에는 양단 전위차 (Vdata - Vref)에 대응되는 전하가 충전될 수 있다.
- [0082] 구동 트랜지스터(DRT)의 제 1 노드(N1)에 영상 구동용 데이터 전압(Vdata)이 인가되는 것을 영상 데이터 기록 (Data Writing)이라고 한다. 영상 데이터 기록 단계 이후의 부스팅 단계에서, 구동 트랜지스터(DRT)의 제 1 노드(N1) 및 제 2 노드(N2)는 전기적으로 플로팅(Floating) 될 수 있다. 이를 위해, 턴-오프 레벨의 스캔 신호(SCAN)에 의해 스위칭 트랜지스터(SWT)가 턴-오프 될 수 있다. 또한, 턴-오프 레벨의 센스 신호(SENSE)에 의해 센싱 트랜지스터(SENT)가 턴-오프 될 수 있다.
- [0083] 부스팅 단계에서 구동 트랜지스터(DRT)의 제 1 노드(N1) 및 제 2 노드(N2) 사이의 전압 차이가 유지되면서, 구동 트랜지스터(DRT)의 제 1 노드(N1) 및 제 2 노드(N2) 각각의 전압이 부스팅(Boosting) 될 수 있다. 부스팅 단계를 통해 구동 트랜지스터(DRT)의 제 1 노드(N1) 및 제 2 노드(N2)의 전압이 부스팅 되다가, 구동 트랜지스터(DRT)의 제 2 노드(N2) 전압이 일정 전압, 즉, 유기 발광 다이오드(OLED)를 턴-온 시킬 수 있는 전압 이상이 되면, 발광 단계로 진입된다.
- [0084] 발광 단계에서는 유기 발광 다이오드(OLED)로 구동 전류가 흐르게 되어, 유기 발광 다이오드(OLED)가 발광할 수 있다.
- [0085] 이 때, 다수의 서브픽셀(SP)에 배치된 구동 트랜지스터(DRT)는 문턱 전압(threshold voltage), 및 이동도 (mobility\_) 등의 고유한 특성 값을 갖는다. 그러나, 구동 트랜지스터(DRT)는 구동 시간에 따라 열화가 발생할 수 있으므로, 구동 트랜지스터(DRT)의 고유한 특성 값을 구동 시간에 따라 변할 수 있다.

- [0086] 구동 트랜지스터(DRT)의 특성 값이 변하는 경우, 온-오프 타이밍이 달라지거나 유기 발광 디스플레이(OLED)의 구동 능력이 달라질 수 있다. 즉, 구동 트랜지스터(DRT)의 특성 값이 변함에 따라 유기 발광 디스플레이(OLED)로 전류를 공급하는 타이밍과, 유기 발광 디스플레이(OLED)로 공급되는 전류량이 달라질 수 있다. 그 결과, 구동 트랜지스터(DRT)의 특성 값이 변하게 되고, 해당 서브픽셀(SP)의 실제 휘도가 달라질 수 있다. 또한, 디스플레이 패널(110)에 배열된 다수의 서브픽셀(SP)은 각각 구동 시간이 서로 다를 수 있기 때문에, 각 서브픽셀(SP) 내 구동 트랜지스터(DRT) 사이의 특성 값 편차 (문턱전압 편차, 및 이동도 편차)가 발생할 수 있다.
- [0087] 이러한 구동 트랜지스터(DRT) 사이의 특성 값 편차는 서브픽셀(SP) 사이의 휘도 편차를 발생시킬 수 있으며, 디스플레이 패널(110)의 휘도 균일도가 악화되어 영상 품질의 저하로 이어질 수 있다.
- [0089] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)는 구동 트랜지스터(DRT)의 특성 값, 예를 들어, 문턱 전압이나 이동도를 효과적으로 센싱하기 위해서, 구동 트랜지스터(DRT)의 센싱 구간에 스토리지 커패시터(Cst)에 충전된 전압을 측정하는 방법을 사용할 수 있다. 따라서, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)는 구동 트랜지스터(DRT)의 특성 값 편차를 보상해줄 수 있는 보상 회로를 포함하고, 이를 이용한 보상 방법을 제공할 수 있다.
- [0090] 즉, 구동 트랜지스터(DRT)의 센싱 구간에 스토리지 커패시터(Cst)에 충전된 전압을 측정함으로써, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성 값이나 특성 값의 변화를 알아낼 수 있다. 이 때, 기준 전압 라인(RVL)은 기준 전압(Vref)을 전달해주는 역할뿐만 아니라, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성 값을 센싱하기 위한 센싱 라인의 역할도 하기 때문에, 기준 전압 라인(RVL)을 센싱 라인이라고 할 수 있다.
- [0091] 예를 들어, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)에서, 구동 트랜지스터(DRT)의 특성 값 또는 특성 값의 변화는 구동 트랜지스터(DRT)의 제 1 노드(N1)의 전압과 제 2 노드(N2)의 전압의 차이(예: Vdata - Vref)에 대응될 수 있다.
- [0093] 도 4는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서 구동 트랜지스터의 특성 값을 센싱해서 보상해주는 예시적인 보상 회로를 나타낸 도면이다.
- [0094] 도 4를 참조하면, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)는 구동 트랜지스터(DRT)의 특성 값 편차를 보상하기 위해서 각 구동 트랜지스터(DRT)의 특성 값 또는 특성 값의 변화를 센싱할 필요가 있다. 이를 위해서, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 보상 회로는 3T1C 구조 또는 이에 기반하여 변형된 구조를 갖는 서브픽셀(SP)에 대하여 센싱 구간에 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성 값 또는 특성 값의 변화를 센싱하기 위한 구성들을 포함할 수 있다.
- [0095] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)는 센싱 구간에서 기준 전압 라인(RVL)의 전압을 센싱하고, 센싱된 전압으로부터 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성 값 또는 특성 값의 변화를 알아낼 수 있는데, 기준 전압 라인(RVL)은 기준 전압(Vref)을 전달해주는 역할뿐만 아니라, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성 값을 센싱하기 위한 센싱 라인의 역할을 할 수 있다. 따라서, 기준 전압 라인(RVL)을 센싱 라인이라고 할 수도 있다.
- [0096] 구체적으로, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 센싱 구간에서 구동 트랜지스터(DRT)의 특성 값 또는 특성 값의 변화는 구동 트랜지스터(DRT)의 제 2 노드(N2)의 전압(예: Vdata - Vth)으로 반영될 수 있다. 구동 트랜지스터(DRT)의 제 2 노드(N2)의 전압은 센싱 트랜지스터(SENT)가 턴-온 상태인 경우, 기준 전압 라인(RVL)의 전압에 대응될 수 있다. 또한, 구동 트랜지스터(DRT)의 제 2 노드(N2)의 전압에 의해, 기준 전압 라인(RVL) 상의 라인 커파시터(Cline)가 충전될 수 있으며, 충전된 라인 커파시터(Cline)에 의해 기준 전압 라인(RVL)은 구동 트랜지스터(DRT)의 제 2 노드(N2)의 전압에 대응되는 전압을 가질 수 있다.
- [0097] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 보상 회로는 센싱 대상이 되는 서브픽셀(SP) 내의 스위칭 트랜지스터(SWT) 및 센싱 트랜지스터(SENT)에 대한 온-오프를 제어하고, 데이터 전압(Vdata) 및 기준 전압(Vref)의 공급을 제어함으로써, 구동 트랜지스터(DRT)의 제 2 노드(N2)가 구동 트랜지스터(DRT)의 특성 값(문턱전압, 또는 이동도) 또는 특성 값의 변화를 반영하는 전압 상태가 되도록 구동할 수 있다.
- [0098] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 보상 회로는 구동 트랜지스터(DRT)의 제 2 노드(N2)의 전압과 대응되는 기준 전압 라인(RVL)의 전압을 측정하여 디지털 값으로 변환하는 아날로그 디지털 컨버

터(ADC)와, 특성 값 센싱을 위한 스위치 회로(SAM, SPRE)를 포함할 수 있다.

[0099] 센싱 구동을 제어하는 스위치 회로(SAM, SPRE)는 각 기준 전압(RVL)과 기준 전압(Vref)이 공급되는 센싱용 기준 전압 공급 노드(Npres) 사이의 연결을 제어하는 센싱용 기준 스위치(SPRE)와, 각 기준 전압(RVL)과 아날로그 디지털 컨버터(ADC) 간의 연결을 제어하는 샘플링 스위치(SAM)를 포함할 수 있다. 여기에서, 센싱용 기준 스위치(SPRE)는 센싱 구동을 제어하는 스위치이며, 센싱용 기준 스위치(SPRE)에 의해 기준 전압 라인(RVL)으로 공급되는 기준 전압(Vref)은 센싱용 기준 전압(VpreS)이 된다.

[0100] 또한, 구동 트랜지스터(DRT)의 특성 값 센싱을 위한 스위치 회로는 영상 구동을 제어하는 영상 구동용 기준 스위치(RPRE)를 포함할 수 있다. 영상 구동용 기준 스위치(RPRE)는 각 기준 전압 라인(RVL)과 기준 전압(Vref)이 공급되는 영상 구동용 기준 전압 공급 노드(Nprer) 사이의 연결을 제어할 수 있다. 영상 구동용 기준 스위치(RPRE)는 영상 구동에 이용되는 스위치로서, 영상 구동용 기준 스위치(RPRE)에 의해 기준 전압 라인(RVL)에 공급되는 기준 전압(Vref)은 영상 구동용 기준 전압(VpreR)에 해당한다.

[0101] 이 때, 센싱용 기준 스위치(SPRE)와 영상 구동용 기준 스위치(RPRE)는 별도로 구비될 수도 있고, 하나로 통합되어 구현될 수도 있을 것이다. 센싱용 기준 전압(VpreS)과 영상 구동용 기준 전압(VpreR)은 동일한 전압 값일 수도 있고, 다른 전압 값일 수도 있다.

[0102] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 보상 회로는 아날로그 디지털 컨버터(ADC)에서 출력되는 센싱 값을 저장하거나 기준 센싱 값을 미리 저장하고 있는 메모리(MEM), 및 센싱 값과 메모리(MEM)에 저장된 기준 센싱 값을 비교하여 특성 값의 편차를 보상해주는 보상 값을 산출하는 보상기(COMP)가 타이밍 컨트롤러(140)에 포함될 수 있다. 이 때, 보상기(COMP)에 의해 산출된 보상 값은 메모리(MEM)에 저장될 수 있다.

[0103] 타이밍 컨트롤러(140)는 보상기(COMP)에서 산출된 보상 값을 이용하여 데이터 구동 회로(130)에 공급할 디지털 신호 형태의 데이터 전압(Data)을 변경하고, 변경된 데이터 전압(Data\_comp)을 데이터 구동 회로(130)로 출력할 수 있다. 이에 따라, 데이터 구동 회로(130)는 디지털 아날로그 컨버터(DAC)를 통해 변경된 데이터 전압(Data\_comp)을 아날로그 신호 형태의 데이터 전압(Vdata\_comp)으로 변환하고, 변환된 데이터 전압(Vdata\_com p)을 출력 버퍼(BUF)를 통해 해당 데이터 라인(DL)으로 출력할 수 있다. 그 결과, 해당 서브픽셀(SP) 내의 구동 트랜지스터(DRT)에 대한 특성 값 편차(문턱전압 편차, 또는 이동도 편차)가 보상될 수 있다.

[0104] 한편, 데이터 구동 회로(130)는 래치 회로, 디지털 아날로그 컨버터(DAC), 및 출력 버퍼(BUF) 등을 포함하는 데이터 전압 출력 회로(400)를 포함할 수 있으며, 경우에 따라서는, 아날로그 디지털 컨버터(ADC) 및 각종 스위치들(SAM, SPRE, RPRE)을 더 포함할 수 있다. 반면, 아날로그 디지털 컨버터(ADC) 및 각종 스위치들(SAM, SPRE, RPRE)은 데이터 구동 회로(130)의 외부에 위치할 수도 있을 것이다.

[0105] 또한, 보상기(COMP)는 타이밍 컨트롤러(140)의 외부에 존재할 수도 있지만, 타이밍 컨트롤러(140)의 내부에 포함될 수도 있으며, 메모리(MEM)는 타이밍 컨트롤러(140)의 외부에 위치할 수도 있고, 타이밍 컨트롤러(140)의 내부에 레지스터 형태로 구현될 수도 있을 것이다.

[0107] 도 5는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서 DRD 방식으로 구동되는 경우의 서브픽셀 구조를 예시로 나타낸 도면이다.

[0108] 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치(100)의 서브픽셀(SP)이 레드 서브픽셀(R), 그린 서브픽셀(G), 블루 서브픽셀(B), 및 화이트 서브픽셀(W)로 구성된 경우를 나타낸 것이다.

[0109] DRD 방식으로 구동하는 유기 발광 디스플레이 장치(100)에서 디스플레이 패널(110)은 두 개의 서브픽셀(SP) 열마다 하나의 데이터 라인(DL)이 배치되고, 각 행의 서브픽셀(SP) 상하로 두 개의 게이트 라인(GL)이 배치될 수 있다. 여기에서는 레드 서브픽셀(G)과 그린 서브픽셀(G)이 하나의 데이터 라인(DL11)을 공유하고, 블루 서브픽셀(B)과 화이트 서브픽셀(W)이 하나의 데이터 라인(DL12)을 공유하고 있는 경우를 나타낸 것이다. 또한, 레드 서브픽셀(R)과 블루 서브픽셀(B)이 동일한 게이트 라인(GL11, GL21, GL31, GL41, GL51, …)을 공유하고 있으며, 그린 서브픽셀(G)과 화이트 서브픽셀(W)이 동일한 게이트 라인(GL12, GL22, GL32, GL42, GL52, …)을 공유하고 있다.

[0110] 데이터 라인(DL)과 게이트 라인(GL)을 공유하는 서브픽셀(SP) 구조는 다양하게 변경할 수 있으며, 화이트 서브픽셀(W)과 레드 서브픽셀(R), 또는 그린 서브픽셀(G)과 블루 서브픽셀(B)이 각각 데이터 라인(DL)을

공유하거나, 화이트 서브픽셀(W)과 그린 서브픽셀(G)이 하나의 게이트 라인(GL)을 공유할 수도 있을 것이다.

[0111] 이러한 DRD 구동 방식의 경우에, 하나의 수평 주기(Horizontal Time) 동안 하나의 데이터 라인(DL)을 통해 두 개의 서브픽셀(SP)로 데이터 전압(Vdata)이 공급되며, 게이트 라인(GL)은 일반 구동에 비하여 두 배의 주파수로 구동되어 각각의 서브픽셀(SP)로 스캔 신호(SCAN)를 인가할 수 있다.

[0112] 또한, 플리커의 발생을 최소화하고 소비전력을 저감시키기 위해서, 하나의 데이터 라인(DL)의 양측에 배치된 서브픽셀(SP)에 교대로 데이터 전압(Vdata)이 인가되도록 스캔 신호(SCAN)을 제어할 수도 있을 것이다.

[0114] 도 6은 유기 발광 디스플레이 장치에서, 4개 행의 서브픽셀(SP)을 하나의 그룹으로 해서 연속적으로 스캔 신호(SCAN)를 인가하는 4상 DRD 구동 방법과 그에 따른 서브픽셀(SP)의 충전 상태를 나타낸 도면이고, 도 7은 이 때의 스캔 신호(SCAN) 및 데이터 전압(Vdata)의 파형도를 나타낸 도면이다.

[0115] 도 6 및 도 7을 참조하면, 4상 구동을 위해서 제 1 행의 레드 서브픽셀(R1)과 제 2 행의 레드 서브픽셀(R2)에 순차적으로 스캔 신호(SCAN,GL11, SCAN,GL21)가 인가된 후, 인접한 제 1 행의 그린 서브픽셀(G1)로부터 제 4 행의 그린 서브픽셀(G4)까지 순차적으로 스캔 신호(SCAN,GL12, SCAN,GL22, SCAN,GL32, SCAN,GL42)가 인가될 수 있다. 이 때, 스캔 신호(SCAN,GL11, SCAN,GL21, SCAN,GL31, SCAN,GL41, SCAN,GL12, SCAN,GL22, SCAN,GL32, SCAN,GL42)의 타이밍 간격은 1 수평 주기(1H)로 설정될 수 있다. 그런 다음, 다시 제 3 행의 레드 서브픽셀(R3)부터 제 6 행의 레드 서브픽셀(R6)에 순차적으로 스캔 신호(SCAN,GL31, SCAN,GL41, SCAN,GL51, SCAN,GL61)가 인가될 수 있다.

[0116] 제 1 행 및 제 2 행의 레드 서브픽셀(R1, R2) 또는 제 1 행 내지 제 4 행의 그린 서브픽셀(G1, G2, G3, G4)에 스캔 신호(SCAN)가 인가되는 시점에 제 1 데이터 라인(DL11)을 통해 데이터 전압(Vdata\_DL11)이 전달되면, 스캔 신호(SCAN,GL11, SCAN,GL21, SCAN,GL12, SCAN,GL22, SCAN,GL32, SCAN,GL42)와 데이터 전압(Vdata\_DL11)이 중첩되는 구간에 해당하는 서브픽셀(SP)이 데이터 전압(Vdata\_DL11)에 해당하는 색상을 표시하게 될 것이다.

[0117] 예를 들어, 디스플레이 패널(110)에서 제 1 행의 그린 서브픽셀(G1)에서부터 제 4 행의 그린 서브픽셀(G4)을 발광시키는 경우를 고려해 보자. 이 때, 제 1 행의 레드 서브픽셀(R1)과 제 2 행의 레드 서브픽셀(R2)에 스캔 신호(SCAN,GL11, SCAN,GL21)가 하이 레벨로 인가되는 구간에서는 데이터 전압(Vdata\_DL11)이 공급되지 않지만, 제 1 행의 그린 서브픽셀(G1)에서부터 제 4 행의 그린 서브픽셀(G4)까지 스캔 신호(SCAN,GL12, SCAN,GL22, SCAN,GL32, SCAN,GL42)가 인가되는 구간에서는 데이터 전압(Vdata\_DL11)이 하이 레벨로 공급될 것이다.

[0118] 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치(100)의 경우에는 2,160 개 행의 서브픽셀(SP)이 존재하게 되고, 하나의 데이터 라인(DL)을 통해 두 열의 서브픽셀(SP)에 데이터 전압(Vdata)을 공급하게 되므로, 디스플레이 패널(110)의 전체 프레임을 한 번 구동하기 위해서는 2,160 개 + 2,160 개의 서브픽셀(SP)에 스캔 신호(SCAN)를 인가하여야 한다. 이 때, 유기 발광 디스플레이 장치(100)가 120 Hz의 주파수로 구동된다면, 스캔 신호(SCAN)의 1 수평 주기(1H)는  $1/[120*(2,160+2,160)] = 1.8 \mu s$  의 시간을 가지게 될 것이다.

[0119] 즉, 제 2 행의 레드 서브픽셀(R24)에 스캔 신호(SCAN,GL21)가 인가된 이후에 제 1 행의 그린 서브픽셀(G1)에 스캔 신호(SCAN,GL12)가 인가되는 구간에서는 1 수평 주기(1H) 동안 데이터 전압(Vdata\_DL11)이 공급되고, 제 2 행의 그린 서브픽셀(G2)에 스캔 신호(SCAN,GL22)가 인가되는 구간에서는 2 수평 주기(2H) 동안 데이터 전압(Vdata\_DL11)이 공급될 것이다. 또한, 제 3 행의 그린 서브픽셀(G3)에 스캔 신호(SCAN,GL32)가 인가되는 구간에서는 3 수평 주기(3H) 동안 데이터 전압(Vdata\_DL11)이 공급되고, 제 4 행의 그린 서브픽셀(G4)에 스캔 신호(SCAN,GL42)가 인가되는 구간에서는 4 수평 주기(4H) 동안 데이터 전압(Vdata\_DL11)이 공급될 것이다.

[0120] 120 Hz의 주파수로 구동되며 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치(100)의 경우에는 1 수평 주기(1H)가  $1.8 \mu s$  이므로, 제 1 행의 그린 서브픽셀(G1)은 1 수평 주기(1H) 동안 스토리지 커패시터(Cst)를 충전하게 될 것이다. 즉, 제 1 행의 그린 서브픽셀(G1)은 제 2 행의 그린 서브픽셀(G2) 내지 제 4 행의 그린 서브픽셀(G4) 보다 스토리지 커패시터(Cst)를 충전하는 시간이 짧기 때문에, 스토리지 커패시터(Cst)가 상대적으로 약하게 충전되는 약충전 구간이 된다. 그 결과, 제 1 행의 그린 서브픽셀(G1)을 구동하는 구간에서 스토리지 커패시터(Cst)의 충전율이 상대적으로 낮기 때문에, 해당하는 게이트 라인(GL)에 흐림 현상(Dim)이 발생하게 된다.

[0122] 예를 들어, 도 8에 도시된 바와 같이, 데이터 전압(Vdata)이 10V로 인가되는 경우에 스위칭 트랜지스터(SWT)가

턴-온 상태로 유지되는 시간이 1 수평 주기(1H)로 짧은 경우에는 구동 트랜지스터(DRT)의 게이트 노드(N1)를 통해 스토리지 커패시터(Cst)에 충분히 전류가 공급되지 못해서, 스토리지 커패시터(Cst)에 충전되는 전압이 데이터 전압(Vdata)인 10V 보다 낮은, 예컨대 9.8V 까지만 충전되는 현상이 발생하게 된다.

[0123] 그 결과, 디스플레이 패널(110)에서 제 1 게이트 라인(GL1)에 연결되는 서브픽셀, 제 5 게이트 라인(GL5)에 연결되는 서브픽셀, 및 제 9 게이트 라인(GL9)에 연결되는 서브픽셀과 같이, 4 개의 서브픽셀로 이루어진 임의의 서브픽셀 그룹과 이로부터 구분되는 다른 서브픽셀 그룹 사이에서 스캔 신호(SCAN)의 전환이 있는 경우에, 4 번째 게이트 라인(GL4N+1)마다 스토리지 커패시터(Cst)의 충전율이 낮음으로 인해 흐림 현상(Dim)이 발생하게 된다.

[0125] 도 9는 DRD 구동을 하는 유기 발광 디스플레이 장치에서, 4상 구동을 하는 경우에 제 1 게이트 라인부터 4번째 게이트 라인마다 흐림 현상(Dim)이 발생하는 경우의 화면 예시도를 나타낸 도면이다.

[0126] 도 9의 경우는 4상 구동에 의해서, 제 1 게이트 라인(GL1), 제 5 게이트 라인(GL5), 제 9 게이트 라인(GL9) 내지 제 4N+1 게이트 라인(GL4N+1)에서 화상 품질이 저하되는 현상을 나타내고 있다.

[0127] 이러한 흐림 현상(Dim)은 DRD 방식의 N상 구동에서 발생하는 품질 저하 현상으로서, 8상 구동의 경우에는 제 9 게이트 라인(GL9), 제 17 게이트 라인(GL17) 내지 제 8N+1 게이트 라인(GL8N+1)에서 이러한 흐림 현상(Dim)이 발생할 수 있다. N상 구동의 경우, N은 임의의 자연수가 될 수 있다.

[0128] 위에서 설명한 바와 같이, 이러한 현상은 N개 행의 서브픽셀(SP)을 하나의 서브픽셀 그룹으로 하여 스캔 신호(SCAN)를 순차적으로 인가하는 N상 구동에서 다른 색상의 서브픽셀(SP)로 스캔 신호(SCAN)를 전환하는 과정에서, 스캔 신호(SCAN)가 최초로 인가되는 서브픽셀 그룹 중에서 최초의 서브픽셀(SP)을 구성하는 스토리지 커패시터(Cst)를 충분히 충전하지 못함으로 인해 발생하는 현상으로 볼 수 있다.

[0129] 이러한 문제를 해결하기 위해서, 임의의 서브픽셀 그룹에 데이터 전압(Vdata)을 인가할 때, 상승 시간(Rising Time)을 단축시켜서 충전율을 확보하는 오버 드라이빙(Over-Driving) 방법을 사용하기도 한다. 그러나, 이러한 오버 드라이빙 방법은 데이터 구동 회로(130)의 크기를 증가시켜야 하는 단점이 있고, 각 데이터 라인(DL)마다 휘도를 측정하고 오버 드라이빙 전압을 설정하는 과정이 요구되기 때문에, 서브픽셀(SP)에 대한 보상 시간이 장시간 소요되는 문제가 발생한다.

[0130] 또한, 하나의 데이터 라인(DL)에 연결되는 서브픽셀(SP)을 하나씩 번갈아 가며 구동함으로써 서브픽셀(SP)에 대한 충전율을 고르게 설정할 수도 있으나, 이러한 구동 방법은 서브픽셀(SP) 사이에서 스캔 신호(SCAN)의 전환이 너무 빈번하게 발생하기 때문에, 디스플레이 패널(DP)에 과도한 열이 발생하게 되는 문제가 있다.

[0132] 본 발명은 N개 행의 서브픽셀(SP)을 서브픽셀 그룹으로 해서 스캔 신호(SCAN)를 순차적으로 인가하는 N상 구동의 DRD 구동 방식에서, 데이터 전압(Vdata)이 인가되는 구간 중에 N개 행의 서브픽셀 그룹 중에서 약충전이 이루어지는 최초의 서브픽셀(SP)에 대해 데이터 전압(Vdata)과 반대되는 방향으로 기준 전압(Vref)을 인가함으로써 해당 구간의 서브픽셀(SP)에 대한 충전율을 확보하고자 한다.

[0133] 도 10은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 약충전이 이루어지는 서브픽셀의 충전율을 확보하기 위해서 인가되는 데이터 전압과 기준 전압의 신호 파형도를 나타낸 도면이다.

[0134] 도 10을 참조하면, 본 발명의 유기 발광 디스플레이 장치(100)는 DRD 구동을 통해 서브픽셀(SP)에 데이터 전압(Vdata)이 인가되는 구간 중에서 약충전이 발생하는 구간 동안 데이터 전압(Vdata)의 반대 방향으로 기준 전압(Vref)을 인가하도록 제어한다. 기준 전압(Vref)은 타이밍 컨트롤러(140)의 제어에 의해 파워 관리 접적 회로(210)에서 출력되기 때문에, 파워 관리 접적 회로(210) 내부에 데이터 전압(Vdata)의 타이밍에 따라 기준 전압(Vref)이 스윙되도록 회로를 구성할 수 있을 것이다.

[0135] 따라서, 본 발명의 유기 발광 디스플레이 장치(100)는 데이터 전압(Vdata)이 인가되는 시점을 기준으로, 약충전 구간에서 인가되는 제 1 기준 전압(Vref1)과 강충전 구간에서 인가되는 제 2 기준 전압(Vref2) 사이에서 스윙하게 될 것이다.

[0136] 데이터 전압(Vdata)은 서브픽셀(SP)에서 표시하는 밝기에 따라 양의 값을 가지므로, 서브픽셀(SP)이 약하게 충전되는 약충전 구간에서 인가되는 제 1 기준 전압(Vref1)은 음의 값을 가질 수 있다.

- [0137] 여기에서, 유기 발광 다이오드(OLED)에 흐르는 전류(Id)는 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)에 비례하게 된다. 이 때, 약충전 구간에서 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)는 데이터 전압(Vdata)의 절대값과 제 1 기준 전압(Vref1)의 절대값을 합한 값이 되므로, 결국 유기 발광 다이오드(OLED)에 흐르는 전류(Id)가 증가하게 되어 N상 구동에서 약충전이 이루어지는 서브픽셀(SP)에 대한 충전율을 개선할 수 있게 된다.
- [0138] 또한, N상 DRD 구동에서 순차적으로 스캔 신호(SCAN)가 인가되는 N개의 서브픽셀(SP) 중에서 약충전이 이루어지는 첫 번째 서브픽셀(SP)에 데이터 전압(Vdata)이 인가되는 시간은 1 수평 주기(1H)에 해당하므로, 120 Hz의 주파수로 구동되고 2,160 X 3,840 의 해상도를 가지는 유기 발광 디스플레이 장치(100)에서 제 1 기준 전압(Vref1)이 인가되는 구간은 1 수평 주기(1H)인 1.8  $\mu$ s의 시간 간격을 가질 수 있을 것이다.
- [0139] 한편, 서브픽셀(SP)이 강하게 충전되는 강충전 구간에서 인가되는 제 2 기준 전압(Vref2)은 그라운드 전압이거나, 그라운드 전압보다 높거나 낮은 전압일 수 있다.
- [0140] 이 때, 약충전이 이루어지는 첫 번째 서브픽셀(SP)에 인가되는 제 1 기준 전압(Vref1)의 크기를 약충전 구간에서 발광되는 첫 번째 서브픽셀(SP)의 휘도가 나머지 서브픽셀(SP)의 휘도와 가장 유사하도록 설정함으로써, N개의 서브픽셀 그룹 사이에 충전율 편차를 최소화할 수 있을 것이다.
- [0142] 도 11은 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 약충전이 이루어지는 서브픽셀을 대상으로 제 1 기준 전압(Vref1)의 크기를 결정하는 과정을 나타낸 도면이다.
- [0143] 도 11을 참조할 때, 4개 행의 서브픽셀(SP)을 서브픽셀 그룹으로 해서 스캔 신호(SCAN)를 순차적으로 인가하는 4상 구동의 DRD 구동 방식에서, 데이터 전압(Vdata)이 인가되는 구간 중에 약충전이 이루어지는 서브픽셀(SP)은 제 1 서브픽셀(SP1)이 될 수 있다. 나머지 제 2 서브픽셀(SP2) 내지 제 4 서브픽셀(SP4)는 제 1 서브픽셀(SP1) 보다 상대적으로 충전율이 높을 것이다.
- [0144] 예를 들어, 약충전이 이루어지는 제 1 서브픽셀(SP1)의 휘도가 22.4 nit이고, 강충전이 이루어지는 제 2 서브픽셀(SP2) 내지 제 4 서브픽셀(SP)의 휘도가 30.4 nit인 경우, 제 1 서브픽셀(SP1)과 나머지 서브픽셀(SP2, SP3, SP4)의 휘도 차이(8 nit)로 인해 제 1 서브픽셀(SP1)이 위치하는 게이트 라인(GL1)에 흐림 현상(Dim)이 나타나게 된다.
- [0145] 따라서, 이러한 흐림 현상(Dim)을 해소하기 위해서는 제 1 서브픽셀(SP1)의 휘도가 나머지 서브픽셀(SP2, SP3, SP4)의 휘도인 30.4 nit와 동일한 수준으로 나타나도록 제 1 기준 전압(Vref1)의 값을 결정하면 될 것이다. 이를 위해서, 제 1 기준 전압(Vref1)을 일정한 값, 예를 들어, -1V로 인가한 후에 제 1 서브픽셀(SP1)의 휘도를 측정하고, 나머지 서브픽셀(SP2, SP3, SP4)의 휘도와 비교한다. -1V의 제 1 기준 전압(Vref1)을 인가한 상태에서 제 1 서브픽셀(SP1)의 휘도가 나머지 서브픽셀(SP2, SP3, SP4)의 휘도보다 낮은 경우에는 제 1 기준 전압(Vref1)의 값을 음의 방향으로 증가시키고, 반대로 제 1 서브픽셀(SP1)의 휘도가 나머지 서브픽셀(SP2, SP3, SP4)의 휘도보다 높은 경우에는 제 1 기준 전압(Vref1)의 값을 양의 방향으로 증가시키면서, 제 1 서브픽셀(SP1)의 휘도와 나머지 서브픽셀(SP2, SP3, SP4)의 휘도가 동일한 수준이 될 때까지, 제 1 기준 전압(Vref1)을 결정할 수 있을 것이다.
- [0146] 이렇게 결정된 제 1 기준 전압(Vref1)을 약충전 구간에 인가함으로써, 제 1 서브픽셀(SP1)과 나머지 서브픽셀(SP2, SP3, SP4)의 휘도를 30.4 nit로 통일함으로써, 휘도 편차에 의한 흐림 현상(Dim)을 해소할 수 있을 것이다.
- [0148] 도 12는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치에서, 휘도 편차의 개선하기 위한 회로의 구성도를 나타낸 도면이다.
- [0149] 도 12를 참조하면, 본 발명의 유기 발광 디스플레이 장치는 영상 구동 구간에서 특정 서브픽셀에 대해 서로 다른 기준 전압을 인가하기 위한 기준 전압 발생 회로는 파워 관리 접속 회로(210) 내에 배치될 수 있다.
- [0150] 이를 위해, 파워 관리 접속 회로(210)는 게이트 노드가 연결되어 이를 통해 타이밍 컨트롤러(140)로부터 제어 신호를 인가받는 제 1 트랜지스터 및 제 2 트랜지스터로 이루어질 수 있다. 제 1 트랜지스터와 제 2 트랜지스터의 드레인 노드 또는 소스 노드가 서로 전기적으로 연결될 수 있으며, 이를 통해 데이터 구동 회로(130)의 기준

전압 공급 노드(Nprer)에 기준 전압(Vref)을 공급할 수 있다. 제 1 트랜지스터의 소스 노드 또는 드레인 노드에는 제 1 기준 전압(Vref1)이 인가되고, 제 2 트랜지스터의 소스 노드 또는 드레인 노드에는 제 2 기준 전압(Vref2)이 인가될 수 있다. 한편, 제 1 트랜지스터는 n-타입 트랜지스터이고, 제 2 트랜지스터는 p-타입 트랜지스터일 수 있다.

[0151] 한편, 이러한 기준 전압 발생 회로는 파워 관리 집적 회로(210) 내부에 구현될 수도 있지만, 파워 관리 집적 회로(210)의 외부, 예를 들어 데이터 구동 회로(130)의 내부에 모듈 형태로 구성될 수도 있을 것이다.

[0152] 따라서, 타이밍 컨트롤러(140)에서 인가되는 제어 신호에 따라 파워 관리 집적 회로(210)는 제 1 기준 전압(Vref1) 또는 제 2 기준 전압(Vref2)을 기준 전압 공급 노드(Nprer)으로 공급할 수 있으며, N상 DRD 구동의 유기 발광 디스플레이 장치에서 N개의 서브픽셀 그룹 중 약충전이 이루어지는 첫 번째 서브픽셀에 데이터 전압(Vdata)이 인가되는 구간에 제 1 기준 전압(Vref1)을 공급하고, 나머지 서브픽셀에 데이터 전압(Vdata)이 인가되는 구간에 제 2 기준 전압(Vref2)을 공급할 수 있다. 따라서, 본 발명의 유기 발광 디스플레이 장치는 영상 구동 구간에 서브픽셀의 위치에 따라 서로 다른 기준 전압(Vref)이 인가되기 때문에, 기준 전압(Vref)이 AC 전압에 해당한다고 볼 수 있다.

[0153] 앞에서 설명한 바와 같이, 유기 발광 다이오드(OLED)에 흐르는 전류(Id)는 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)에 비례하게 되는데, 약충전 구간에서 양의 값을 가지는 데이터 전압(Vdata)과 반대 방향(음의 값)의 제 1 기준 전압(Vref1)을 인가하기 때문에, 구동 트랜지스터(DRT)의 게이트 노드(N1)와 소스 노드(N2)의 전압 차이(Vgs)가 증가하게 되고, 결국 유기 발광 다이오드(OLED)에 흐르는 전류(Id)가 증가하게 되어 약충전이 이루어지는 서브픽셀(SP)에 대한 충전율을 개선할 수 있게 된다.

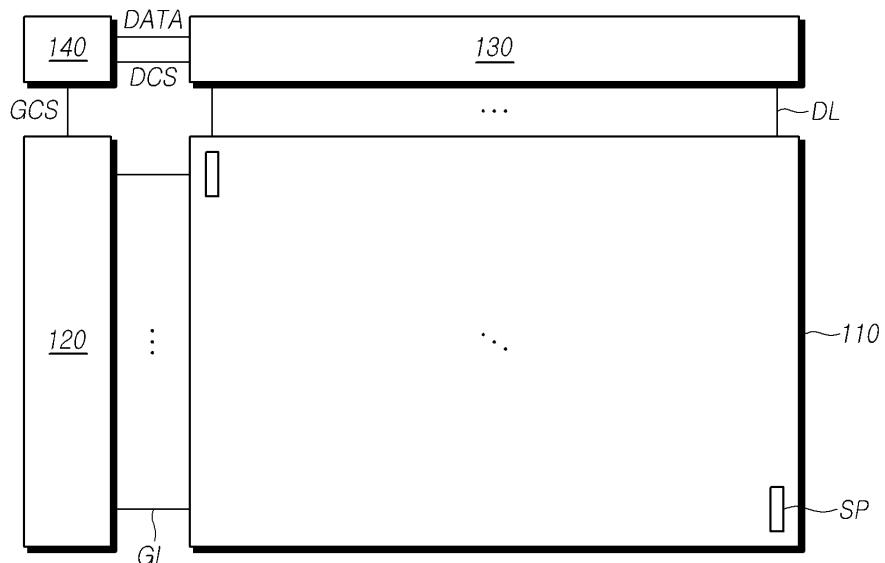
[0155] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

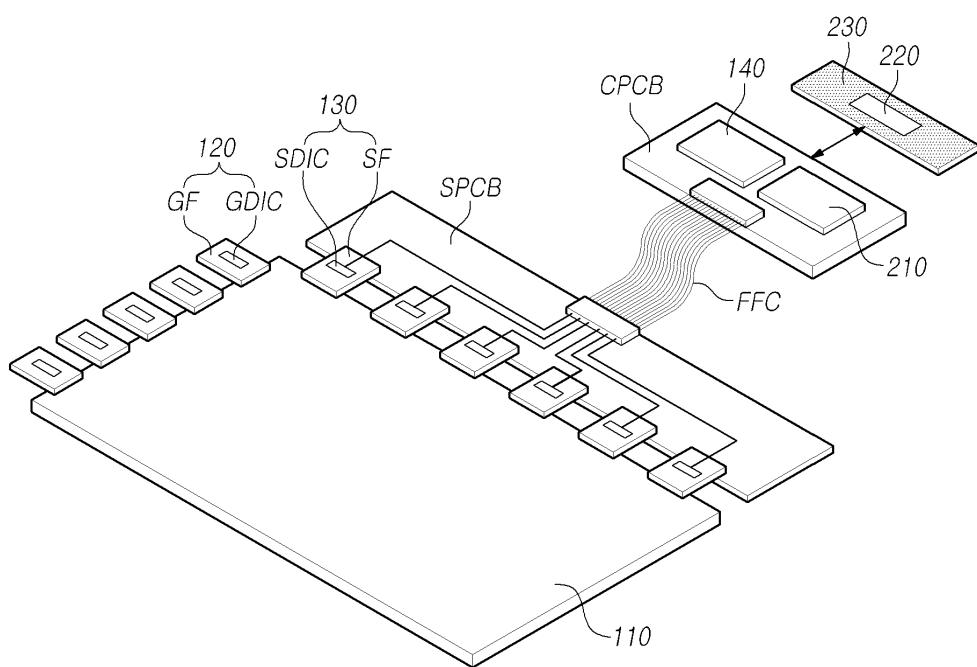
- [0157] 100: 유기 발광 디스플레이 장치 110: 디스플레이 패널
- 120: 게이트 구동 회로 130: 데이터 구동 회로
- 140: 타이밍 컨트롤러 210: 파워 관리 집적 회로
- 220: 메인 파워 관리 회로 230: 세트 보드
- 400: 데이터 전압 출력 회로

## 도면

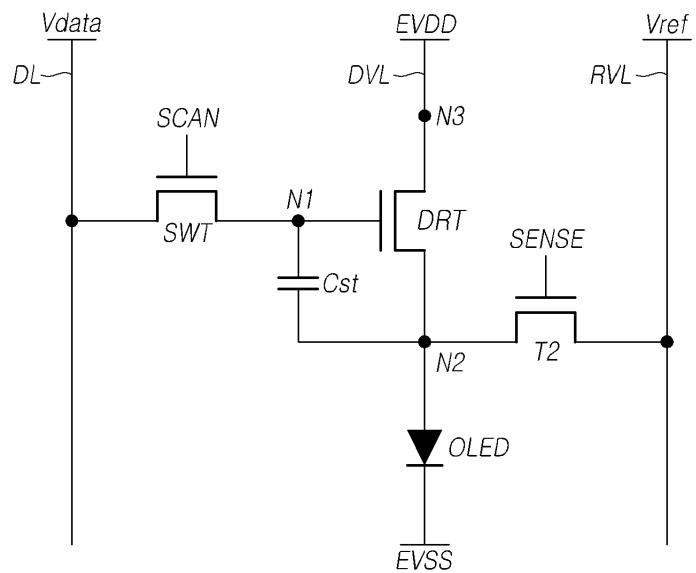
## 도면1

100

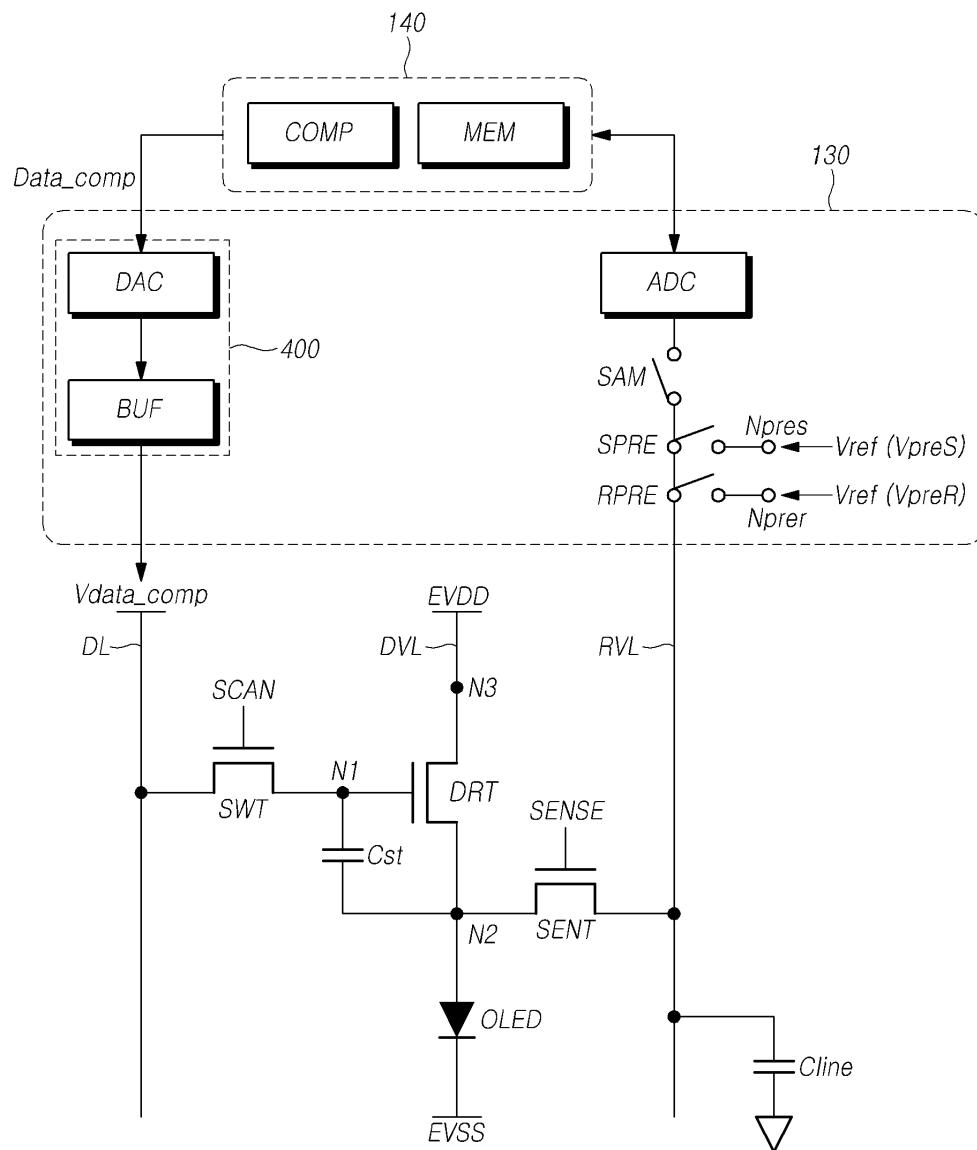
## 도면2

100

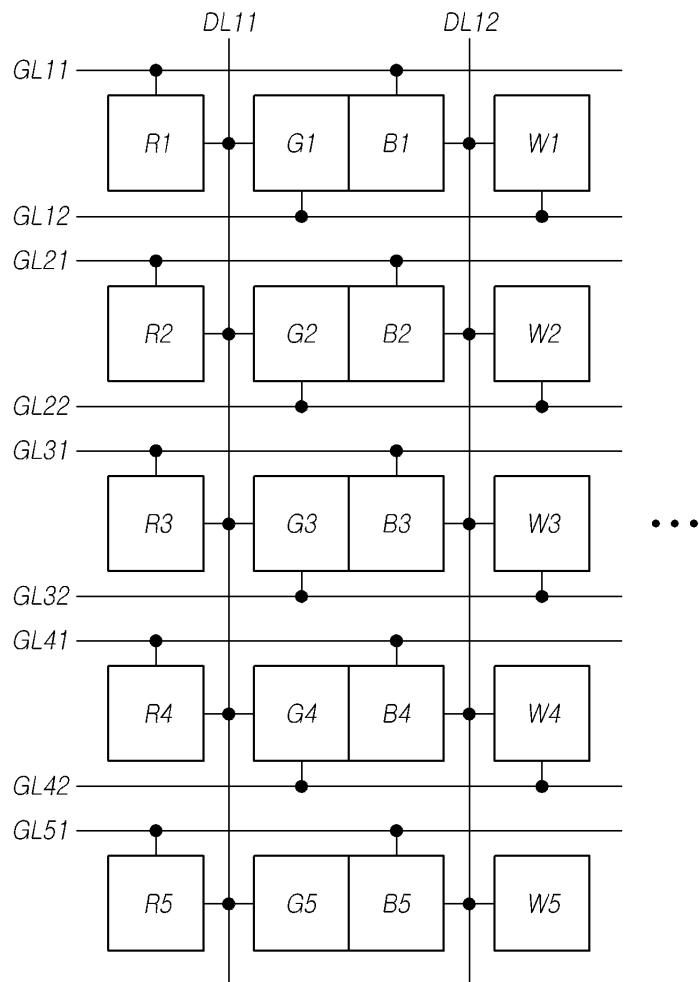
## 도면3



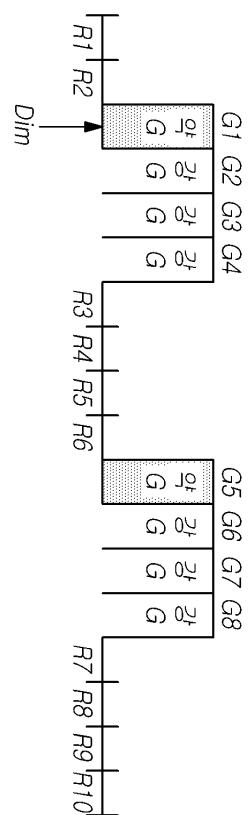
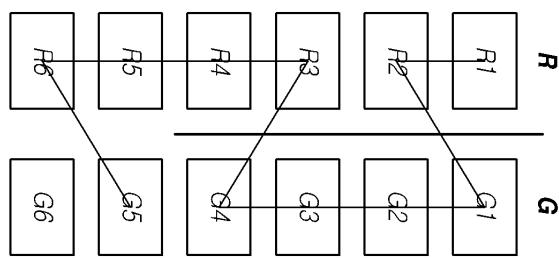
## 도면4



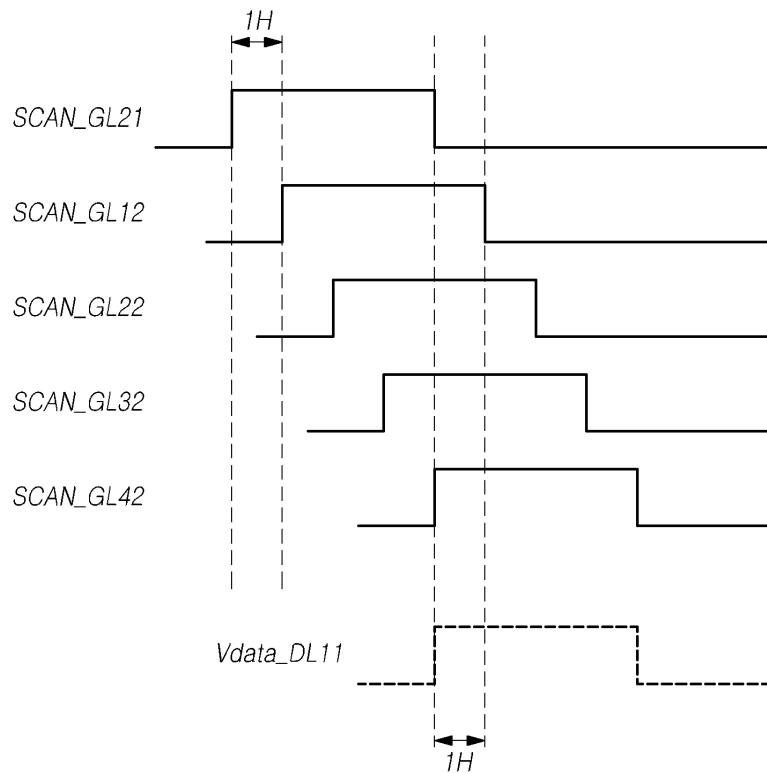
## 도면5



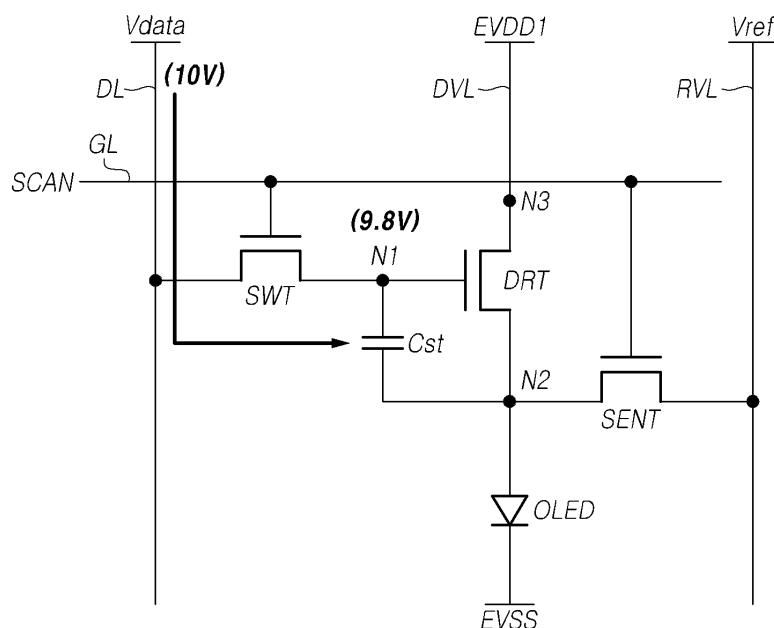
도면6



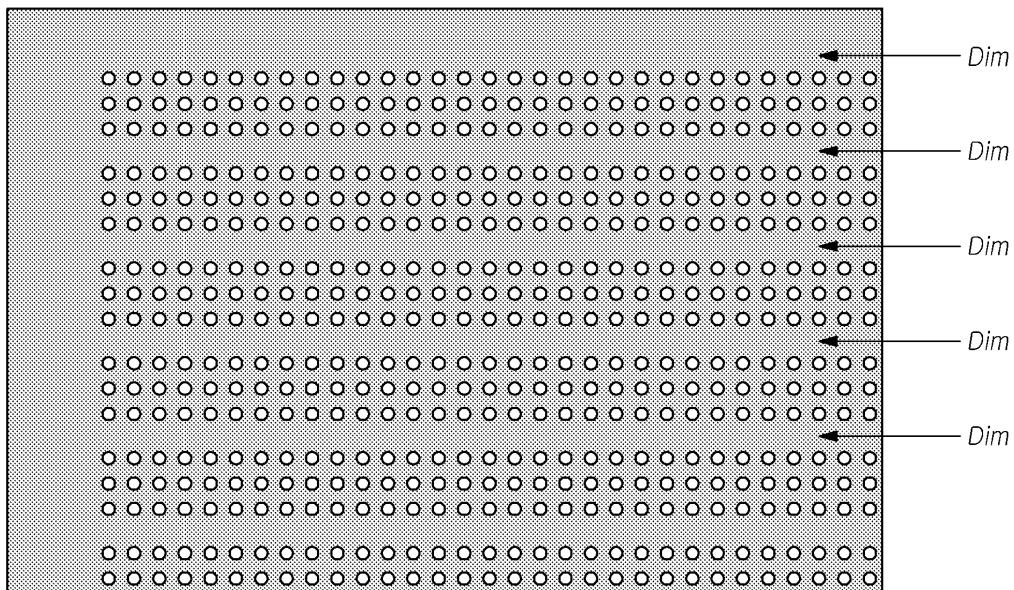
도면7



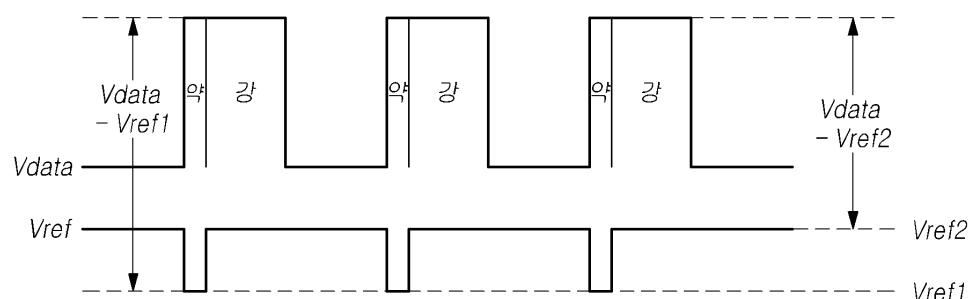
도면8



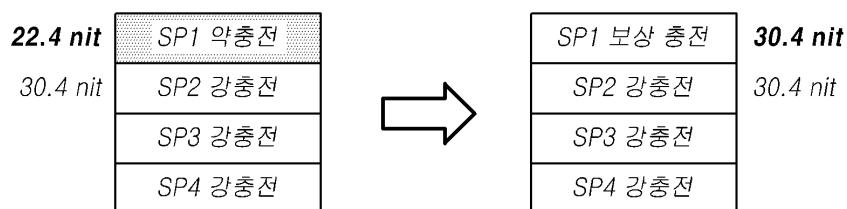
도면9



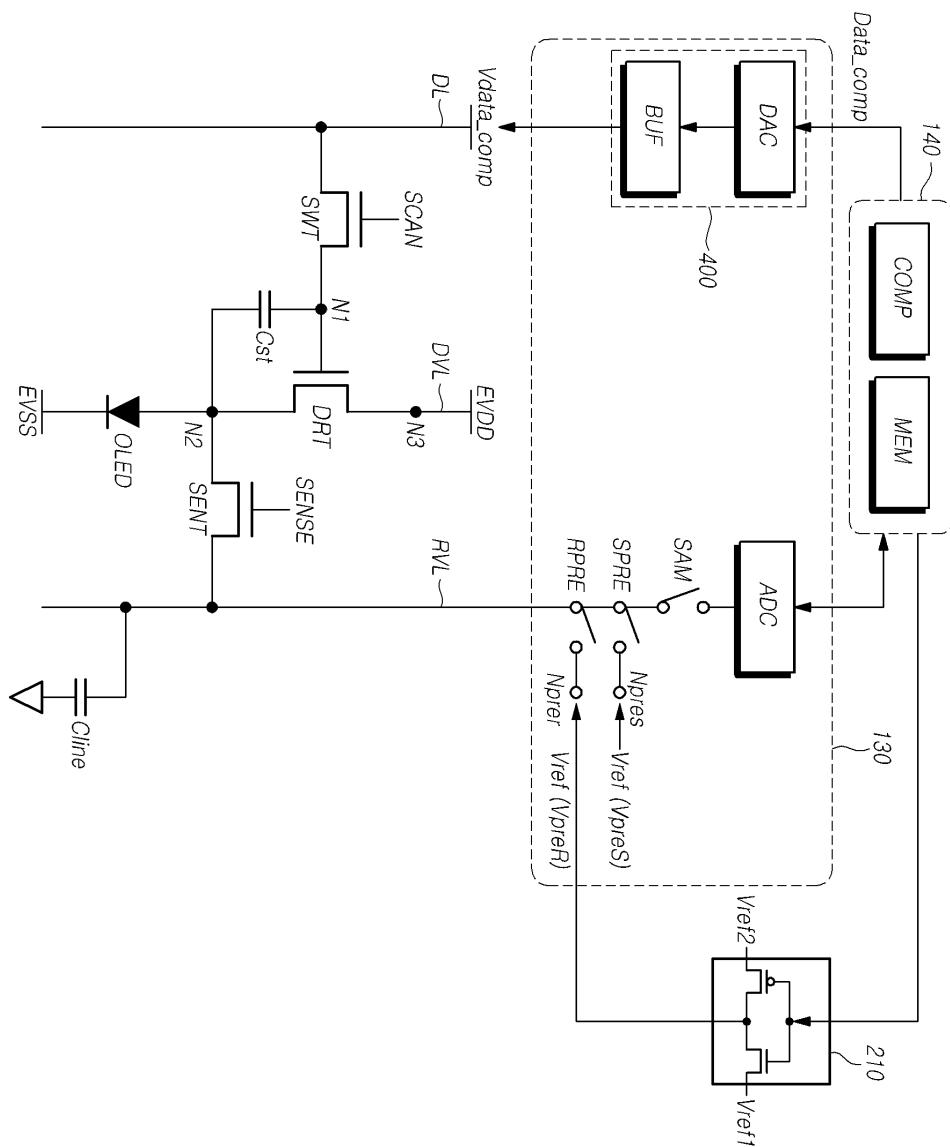
도면10



도면11



도면12



专利名称(译)	有机发光显示装置及其驱动方法		
公开(公告)号	KR1020200081053A	公开(公告)日	2020-07-07
申请号	KR1020180171145	申请日	2018-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김창인 전원식 이기정		
发明人	김창인 전원식 이기정		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/0262 G09G2320/0233 G09G2330/028		

**摘要(译)**

本发明的实施方式涉及有机发光显示装置和驱动方法。根据本发明的实施例,通过改善显示面板的子像素的填充率,可以提供能够解决亮度不均匀的有机发光显示装置和驱动方法。根据本发明的实施例,通过在相反方向上向数据电压的充电率降低的部分施加参考电压,有机发光显示装置和驱动方法能够通过瞬时增加流过有机发光二极管的电流来补偿充电率。可以提供

