



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0009171
(43) 공개일자 2020년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2018-0082990
(22) 출원일자 2018년07월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조영진
서울특별시 노원구 공릉로 126 (공릉동, 두산힐스빌아파트) 103동 701호
김현웅
경기도 광명시 성채로 36 (소하동, 광명역세권휴먼시아3단지아파트) 307동 304호
(뒷면에 계속)
(74) 대리인
특허법인 고려

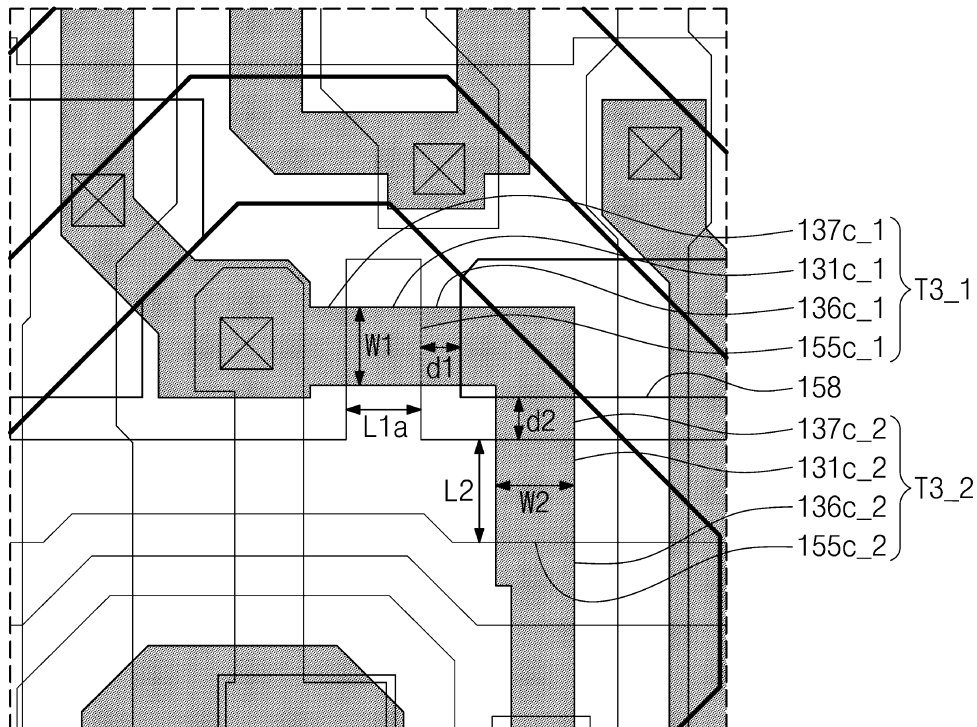
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 및 그것을 포함하는 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치의 화소는, 애노드 및 캐소드를 포함하는 발광 다이오드, 상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터
(뒷면에 계속)

대표도 - 도10



스터, 제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터, 제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터 및 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴을 포함하며, 상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 크다.

(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 51/5203 (2013.01)

(72) 발명자

문중수

경기도 화성시 동탄청계로 303-14 (청계동, KCC스위첸아파트) 1124동 1903호

이승규

충청남도 아산시 탕정면 탕정면로 37 304동 2805호 (명암리, 탕정삼성트라펠리스아파트)

김양완

경기도 화성시 동탄시범한빛길 10 234동 2202호 (반송동, 시범한빛마을한화꿈에그린아파트)

명세서

청구범위

청구항 1

애노드 및 캐소드를 포함하는 발광 다이오드;

상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터;

제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터;

제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터; 및

상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴을 포함하되,

상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 큰 것을 특징으로 하는 화소.

청구항 2

제 1 항에 있어서,

상기 차폐 패턴은 구동 전압을 인가받는 것을 특징으로 하는 화소.

청구항 3

제 2 항에 있어서,

상기 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 보조 커패시터를 형성하는 것을 특징으로 하는 화소.

청구항 4

제 1 항에 있어서,

상기 차폐 패턴은 상기 제2 서브 채널 영역과 평면상에서 중첩하지 않는 것을 특징으로 하는 화소.

청구항 5

제 1 항에 있어서,

상기 제1 게이트 전극과 단면상 다른 층에 위치하는 확장부를 더 포함하고,

상기 확장부는 상기 제1 게이트 전극과 중첩하여 커패시터를 형성하는 것을 특징으로 하는 화소.

청구항 6

제 5 항에 있어서,

상기 차폐 패턴은 상기 확장부와 단면상 동일한 층에 위치하는 것을 특징으로 하는 화소.

청구항 7

제 1 항에 있어서,

상기 제1 서브 채널 영역의 길이는 상기 제2 서브 채널 영역의 길이보다 짧은 것을 특징으로 하는 화소.

청구항 8

제 1 항에 있어서,

상기 제1 트랜지스터의 상기 제1 드레인 영역과 연결되는 제6 소스 영역, 상기 발광 다이오드의 상기 애노드와 연결되는 제6 드레인 영역, 그리고 상기 제6 소스 영역 및 상기 제6 드레인 영역 사이에 위치하는 제6 채널 영역을 포함하는 제6 트랜지스터를 더 포함하는 것을 특징으로 하는 화소.

청구항 9

제 1 항에 있어서,

상기 제1 게이트 전극과 연결되어 있으며, 상기 제1 게이트 전극과 단면상 다른 층에 위치하는 제1 연결 부재를 더 포함하고,

상기 제1 서브 드레인 영역은 상기 제1 연결 부재와 연결되는 것을 특징으로 하는 화소.

청구항 10

제 9 항에 있어서,

상기 제1 연결 부재와 단면상 동일한 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하는 상부 차폐 패턴을 더 포함하는 것을 특징으로 하는 화소.

청구항 11

제 9 항에 있어서,

제4 게이트 전극, 상기 제4 게이트 전극과 평면상 중첩하는 제4 채널 영역, 상기 제1 게이트 전극과 연결되어 있는 제4 드레인 영역, 그리고 상기 제4 채널 영역을 사이에 두고 상기 제4 드레인 영역과 마주하는 제4 소스 영역을 포함하는 제4 트랜지스터를 더 포함하는 것을 특징으로 하는 화소.

청구항 12

제 9 항에 있어서,

제4 게이트 전극, 상기 제4 게이트 전극과 평면상 중첩하는 제4 채널 영역, 상기 제1 게이트 전극과 연결되어 있는 제4 드레인 영역, 그리고 상기 제4 채널 영역을 사이에 두고 상기 제4 드레인 영역과 마주하는 제4 소스 영역을 포함하는 제4 트랜지스터를 더 포함하는 것을 특징으로 하는 화소.

청구항 13

애노드 및 캐소드를 포함하는 발광 다이오드;

상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터;

제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터;

제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터;

상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴; 및

상기 차폐 패턴과 다른 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩

하는 상부 차폐 패턴을 포함하며,

상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 큰 것을 특징으로 하는 화소.

청구항 14

제 13 항에 있어서,

상기 차폐 패턴 및 상기 상부 차폐 패턴 각각은 구동 전압을 인가받는 것을 특징으로 하는 화소.

청구항 15

제 14 항에 있어서,

상기 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 보조 커패시터를 형성하고,

상기 상부 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 제2 보조 커패시터를 형성하는 것을 특징으로 하는 화소.

청구항 16

제 13 항에 있어서,

상기 제1 게이트 전극과 단면상 다른 층에 위치하는 확장부를 더 포함하고,

상기 확장부는 상기 제1 게이트 전극과 중첩하여 커패시터를 형성하는 것을 특징으로 하는 화소.

청구항 17

제 16 항에 있어서,

상기 차폐 패턴은 상기 확장부와 단면상 동일한 층에 위치하는 것을 특징으로 하는 화소.

청구항 18

제1 방향으로 연장되고 상기 제1 방향에 직교하는 제2 방향으로 나열된 스캔 라인들에 순차적으로 스캔 신호들을 제공하는 주사 구동 회로;

상기 스캔 라인들에 절연 교차하는 데이터 라인들에 데이터 신호들을 제공하는 데이터 구동 회로; 및

애노드 및 캐소드를 포함하는 발광 다이오드 및 상기 발광 다이오드의 발광을 제어하는 회로부를 포함하는 화소들을 포함하되,

상기 회로부는,

상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터;

제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터;

제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터; 및

상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴을 포함하되,

상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 큰 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서,

상기 차폐 패턴은 구동 전압을 인가받는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 18 항에 있어서,

상기 회로부는,

상기 차폐 패턴과 다른 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하는 상부 차폐 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 화소 및 그것을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기 발광 다이오드 및 유기 발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 스위칭 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.

[0003] 유기발광 다이오드는 양극, 음극, 및 양극과 음극 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 양극과 음극 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시 품질을 향상시킬 수 있는 화소 및 이를 갖는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 화소는: 애노드 및 캐소드를 포함하는 발광 다이오드, 상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터, 제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터, 제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터 및 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴을 포함하되, 상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 크다.

[0006] 일 실시예에서, 상기 차폐 패턴은 구동 전압을 인가받을 수 있다.

[0007] 일 실시예에서, 상기 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 보조 커패시터를 형성할 수 있다.

[0008] 일 실시예에서, 상기 차폐 패턴은 상기 제2 서브 채널 영역과 평면상에서 중첩하지 않을 수 있다.

[0009] 일 실시예에서, 상기 제1 게이트 전극과 단면상 다른 층에 위치하는 확장부를 더 포함하고, 상기 확장부는 상기 제1 게이트 전극과 중첩하여 커패시터를 형성할 수 있다.

[0010] 일 실시예에서, 상기 차폐 패턴은 상기 확장부와 단면상 동일한 층에 위치할 수 있다.

- [0011] 일 실시예에서, 상기 제1 서브 채널 영역의 길이는 상기 제2 서브 채널 영역의 길이보다 짧다.
- [0012] 일 실시예에서, 상기 화소는 상기 제1 트랜지스터의 상기 제1 드레인 영역과 연결되는 제6 소스 영역, 상기 발광 다이오드의 상기 애노드와 연결되는 제6 드레인 영역, 그리고 상기 제6 소스 영역 및 상기 제6 드레인 영역 사이에 위치하는 제6 채널 영역을 포함하는 제6 트랜지스터를 더 포함할 수 있다.
- [0013] 일 실시예에서, 상기 화소는 상기 제1 게이트 전극과 연결되어 있으며, 상기 제1 게이트 전극과 단면상 다른 층에 위치하는 제1 연결 부재를 더 포함할 수 있다. 상기 제1 서브 드레인 영역은 상기 제1 연결 부재와 연결될 수 있다.
- [0014] 일 실시예에서, 상기 화소는 상기 제1 연결 부재와 단면상 동일한 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하는 상부 차폐 패턴을 더 포함할 수 있다.
- [0015] 일 실시예에서, 상기 화소는 제4 게이트 전극, 상기 제4 게이트 전극과 평면상 중첩하는 제4 채널 영역, 상기 제1 게이트 전극과 연결되어 있는 제4 드레인 영역, 그리고 상기 제4 채널 영역을 사이에 두고 상기 제4 드레인 영역과 마주하는 제4 소스 영역을 포함하는 제4 트랜지스터를 더 포함할 수 있다.
- [0016] 일 실시예에서, 제4 게이트 전극, 상기 제4 게이트 전극과 평면상 중첩하는 제4 채널 영역, 상기 제1 게이트 전극과 연결되어 있는 제4 드레인 영역, 그리고 상기 제4 채널 영역을 사이에 두고 상기 제4 드레인 영역과 마주하는 제4 소스 영역을 포함하는 제4 트랜지스터를 더 포함할 수 있다.
- [0017] 본 발명의 다른 특징에 따른 화소는, 애노드 및 캐소드를 포함하는 발광 다이오드, 상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터, 제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터, 제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터. 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴 및 상기 차폐 패턴과 다른 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하는 상부 차폐 패턴을 포함한다. 상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 크다.
- [0018] 일 실시예에서, 상기 차폐 패턴 및 상기 상부 차폐 패턴 각각은 구동 전압을 인가받는다.
- [0019] 일 실시예에서, 상기 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 보조 커패시터를 형성하고, 상기 상부 차폐 패턴은 상기 제1 서브 소스 영역 및 제2 서브 드레인 영역과 중첩하여 제2 보조 커패시터를 형성할 수 있다.
- [0020] 일 실시예에서, 상기 화소는 상기 제1 게이트 전극과 단면상 다른 층에 위치하는 확장부를 더 포함하고, 상기 확장부는 상기 제1 게이트 전극과 중첩하여 커패시터를 형성한다.
- [0021] 일 실시예에서, 상기 차폐 패턴은 상기 확장부와 단면상 동일한 층에 위치한다.
- [0022] 본 발명의 다른 특징에 따른 유기 발광 표시 장치는, 제1 방향으로 연장되고 상기 제1 방향에 직교하는 제2 방향으로 나열된 스캔 라인들에 순차적으로 스캔 신호들을 제공하는 주사 구동 회로, 상기 스캔 라인들에 절연 교차하는 데이터 라인들에 데이터 신호들을 제공하는 데이터 구동 회로 및 애노드 및 캐소드를 포함하는 발광 다이오드 및 상기 발광 다이오드의 발광을 제어하는 회로부를 포함하는 화소들을 포함한다. 상기 회로부는, 상기 발광 다이오드의 상기 애노드와 전기적으로 연결되는 제1 소스 영역, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 영역, 상기 제1 채널 영역을 사이에 두고 상기 제1 소스 영역과 마주하는 제2 드레인 영역을 포함하는 제1 트랜지스터, 제1 서브 게이트 전극, 상기 제1 서브 게이트 전극과 평면상 중첩하는 제1 서브 채널 영역, 상기 제1 게이트 전극과 연결된 제1 서브 드레인 영역 그리고 상기 제1 서브 채널 영역을 사이에 두고 상기 제1 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제1 서브 트랜지스터, 제2 서브 게이트 전극, 상기 제2 서브 게이트 전극과 평면상 중첩하는 제2 서브 채널 영역, 상기 제1 서브 소스 영역과 연결된 제2 서브 드레인 영역 그리고 상기 제2 서브 채널 영역을 사이에 두고 상기 제2 서브 드레인 영역과 마주하는 제1 서브 소스 영역을 포함하는 제2 서브 트랜지스터; 및

[0023] 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하고, 상기 제1 서브 채널 영역과 중첩하지 않는 차폐 패턴을 포함한다. 상기 제1 서브 채널 영역의 폭은 상기 제2 서브 채널 영역의 폭보다 크다.

[0024] 일 실시예에서, 상기 차폐 패턴은 구동 전압을 인가받을 수 있다.

[0025] 일 실시예에 있어서, 상기 회로부는, 상기 차폐 패턴과 다른 층에 형성되고, 상기 제1 서브 소스 영역 및 상기 제2 서브 드레인 영역과 평면상 중첩하는 상부 차폐 패턴을 더 포함할 수 있다.

발명의 효과

[0026] 이와 같은 구성을 갖는 유기 발광 표시 장치는 듀얼 게이트 전극을 갖는 스위칭 트랜지스터의 연결 노드와 전원 전압 배선 사이의 커패시턴스를 증가시켜서 제3 트랜지스터를 통한 누설 전류를 감소시킬 수 있다. 따라서, 유기 발광 표시 장치의 표시 품질이 향상될 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블럭도이다.
- 도 2는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 3은 도 2에 도시된 화소를 구동하기 위한 구동신호들을 도시한 파형도이다.
- 도 4는 일 실시예에 따른 표시 장치의 하나의 화소에 대한 평면도이다.
- 도 5는 도 4에 도시한 표시 장치를 VI-VI'선을 따라 잘라 도시한 단면도이다.
- 도 6은 도 2에 도시된 제1 서브 트랜지스터 및 제2 서브 트랜지스터에 의해 형성되는 서브 커패시터 및 기생 커패시턴스를 설명하기 위한 등가 회로도이다.
- 도 7은 스캔 신호의 변화에 따른 제3 노드 및 구동 게이트 노드의 전압 레벨 변화를 예시적으로 보여주는 파형도이다.
- 도 8 내지 도 10은 도 4에 도시된 화소의 제1 서브 트랜지스터 및 제2 서브 트랜지스터를 확대한 평면도이다.
- 도 10은 제1 서브 트랜지스터의 제1 서브 채널 영역의 길이가 제2 서브 트랜지스터의 제2 서브 채널 영역의 길이보다 긴 큰 예를 도시한다.
- 도 11은 본 발명이 일 실시예에 따른 화소 중 일부에 대한 평면도이다.
- 도 12는 도 11에 도시한 표시 장치를 VII-VII'선을 따라 잘라 도시한 단면도이다.
- 도 13은 본 발명이 일 실시예에 따른 화소 중 일부에 대한 평면도이다.
- 도 14는 도 13에 도시한 표시 장치를 VII-VIII'선을 따라 잘라 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결된다", 또는 "결합된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0030] "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0032] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해

사용된다. 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.

- [0033] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의된다.
- [0034] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- [0037] 도 1을 참조하면, 유기발광 표시장치는 타이밍 제어부(TC), 주사 구동 회로(SDC), 데이터 구동 회로(DDC) 및 표시 패널(DP)을 포함한다.
- [0038] 타이밍 제어부(TC)는 입력 영상 신호들(미도시)을 수신하고, 데이터 구동 회로(DDC)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(RGB)을 생성한다. 타이밍 제어부(TC)는 주사 제어 신호(SCS), 영상 데이터들(RGB) 및 데이터 제어 신호(DCS)를 출력한다.
- [0039] 주사 구동 회로(SDC)는 타이밍 제어부(TC)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동 회로(SDC)의 동작을 개시하는 수직 개시 신호, 신호들의 출력 타이밍을 결정하는 클럭 신호 등을 포함할 수 있다. 주사 구동 회로(SDC)는 복수 개의 스캔 신호들을 생성하고, 복수 개의 스캔 신호들을 후술하는 복수 개의 스캔 라인들(SL1-SL_n)에 순차적으로 출력한다. 또한, 주사 구동 회로(SDC)는 주사 제어 신호(SCS)에 응답하여 복수 개의 발광 제어 신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1-EL_n)에 복수 개의 발광 제어신호들을 출력한다.
- [0040] 도 1은 복수 개의 스캔 신호들과 복수 개의 발광 제어 신호들이 하나의 주사 구동 회로(SDC)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되지 않는다. 본 발명의 다른 실시예에서, 복수 개의 주사 구동 회로들이 복수 개의 스캔 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 다른 실시예에서, 복수 개의 스캔 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.
- [0041] 데이터 구동 회로(DDC)는 타이밍 제어부(TC)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(RGB)을 수신한다. 데이터 구동 회로(DDC)는 영상 데이터들(RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1-DL_m)에 출력한다. 데이터 신호들은 영상 데이터들(RGB)의 계조값에 대응하는 아날로그 전압들이다.
- [0042] 표시 패널(DP)은 스캔 라인들(SL1-SL_n), 발광 라인들(EL1-EL_n), 데이터 라인들(DL1-DL_m), 및 화소들(PX)을 포함한다. 스캔 라인들(SL1-SL_n)은 제1 방향(DR1)으로 연장되고, 제1 방향(DR1)에 직교하는 제2 방향(DR2)으로 나열된다.
- [0043] 복수의 발광 라인들(EL1-EL_n) 각각은 스캔 라인들(SL1-SL_n) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다. 데이터 라인들(DL1-DL_m)은 스캔 라인들(SL1-SL_n)과 절연되게 교차한다.
- [0044] 복수의 화소들(PX) 각각은 스캔 라인들(SL1-SL_n) 중 대응하는 스캔 라인, 발광 라인들(EL1-EL_n) 중 대응하는 발광 라인, 및 데이터 라인들(DL1-DL_m) 중 대응하는 데이터 라인들에 접속된다.
- [0045] 화소들(PX) 각각은 제1 구동 전압(ELVDD) 및 제1 구동 전압(ELVDD)보다 낮은 레벨의 제2 구동 전압(ELVSS)을 수신한다. 화소들(PX) 각각은 제1 구동 전압(ELVDD)이 인가되는 구동 전압 라인(172)에 접속된다. 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.
- [0046] 복수의 화소들(PX) 각각은 2개의 스캔 라인들에 전기적으로 연결될 수 있다. 도 1에 도시된 바와 같이, 제2 번째 화소 행의 화소들은 제1 번째 및 제2 번째 스캔 라인들(SL1, SL2)에 연결될 수 있다.
- [0047] 미 도시되었으나, 표시 패널(DP)은 복수의 더미 스캔 라인들을 더 포함할 수 있다. 표시 패널(DP)은 제1 번째 화소행의 화소들(PX)에 연결된 더미 스캔 라인 및 제n 번째 화소 행의 화소들(PX)에 연결된 더미 스캔 라인을

더 포함할 수 있다. 또한, 데이터 라인들(DL1-DLm) 중 어느 하나의 데이터 라인에 연결된 화소들(이하, 화소 열의 화소들)은 서로 연결될 수 있다. 또한 화소 열의 화소들 중 인접하는 2개의 화소들이 전기적으로 연결될 수 있다.

- [0048] 복수의 화소들(PX) 각각은 유기발광 다이오드(미 도시) 및 유기발광 다이오드의 발광을 제어하는 화소의 회로부(미 도시)를 포함한다. 화소 회로부는 복수의 박막 트랜지스터들 및 커패시터를 포함할 수 있다. 주사 구동 회로(SDC)와 데이터 구동 회로(DDC) 중 적어도 어느 하나는 화소 회로부와 동일한 공정을 통해 형성된 박막 트랜지스터들을 포함할 수 있다.
- [0049] 복수 회기의 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 스캔 라인들(SL1-SLn), 발광 라인들(EL1-ELn), 데이터 라인들(DL1-DLm), 구동 전압 라인(172), 초기화 라인(RL), 화소들(PX), 주사 구동 회로(SDC), 및 데이터 구동회로(DDC)을 형성할 수 있다. 복수 회기의 증착공정 또는 코팅공정을 통해 베이스 기판(미 도시) 상에 절연층들을 형성할 수 있다. 절연층들 각각은 표시패널(DP) 전체를 커버하는 박막이거나, 표시패널(DP)의 특정 구성에만 중첩하는 적어도 하나의 절연 패턴을 포함할 수 있다. 절연층들은 유기층 및/또는 무기층을 포함한다. 그밖에 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기판 상에 더 형성할 수 있다.
- [0050] 표시 패널(DP)은 제1 구동 전압(ELVDD) 및 제2 구동 전압(ELVSS)을 수신한다. 제1 구동 전압(ELVDD)은 구동 전압 라인(172)을 통해 상기 복수의 화소들(PX)에 제공될 수 있다. 상기 제2 구동 전압(ELVSS)은 표시 패널(DP)에 형성된 전극들(미도시) 또는 전원 라인(미도시)을 통해서 복수의 화소들(PX)에 제공될 수 있다.
- [0051] 표시 패널(DP)은 초기화 전압(Vint)을 수신한다. 초기화 전압(Vint)은 초기화 전압 라인(RL)을 통해 복수의 화소들(PX)에 제공될 수 있다.
- [0052] 도 2는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 3은 도 2의 유기 발광 표시 장치의 화소의 동작을 설명하기 위한 타이밍도이다.
- [0053] 도 2에는 도 1에 도시된 복수 개의 데이터 라인들(DL1-DLm) 중 i번째 데이터 라인(171), 복수 개의 스캔 라인들(SL1-SLn) 중 j번째 스캔 라인(151), 복수 개의 발광 라인들(EL1-ELn) 중 j번째 발광 라인(153)에 접속된 화소(PXij)의 등가 회로도를 예시적으로 도시하였다. 도 1에 도시된 복수의 화소들(PX) 각각은 도 2에 도시된 화소(PXij)의 등가 회로도와 동일한 회로 구성을 가질 수 있다. 이 실시예에서 화소(PXij)의 회로부는 7개의 트랜지스터들(T1-T7) 및 하나의 커패시터(Cst)를 포함한다. 또한, 제1 내지 제7 트랜지스터들(T1-T7)은 PMOS 등의 P형 채널 트랜지스터일 수 있으나, 이에 한정되는 것은 아니고, 제1 내지 제7 트랜지스터들(T1-T7) 중 적어도 하나가 N형 채널 트랜지스터일 수도 있다. 또한 본 발명에 따른 화소의 회로 구성은 도 2에 제한되지 않는다. 도 2에 도시된 회로부는 하나의 예시에 불과하고 회로부의 구성은 변형되어 실시될 수 있다.
- [0054] 도 2를 참조하면, 일 실시예에 따른 표시 장치의 화소(PXij)는 신호 라인들(151, 152, 153, 154, 171, 172)을 포함한다. 화소(PXij)는 복수의 신호 라인들(151, 152, 153, 154, 171, 172)에 연결되어 있는 제1 내지 제7 트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 커패시터(Cst), 그리고 적어도 하나의 발광 다이오드(light emitting diode)(ED)를 포함할 수 있다. 이 실시예에서는 하나의 화소(PXij)가 하나의 발광 다이오드(ED)를 포함하는 예를 설명한다.
- [0055] 신호 라인들(151, 152, 153, 154, 171, 172)은 스캔 라인들(151, 152, 154), 제어 라인(153), 데이터 라인(171), 그리고 구동 전압 라인(172)을 포함할 수 있다.
- [0056] 스캔 라인들(151, 152, 154)은 각각 스캔 신호(GWj, GIj, GBj))를 전달할 수 있다. 스캔 신호(GWj, GIj, GBj)는 화소(PXij)가 포함하는 트랜지스터(T2, T3, T4, T7)를 턴 온/턴 오프 할 수 있는 게이트 온 전압 및 게이트 오프 전압을 전달할 수 있다.
- [0057] 화소(PXij)에 연결되어 있는 스캔 라인들(151, 152, 154)은 스캔 신호(GWj)를 전달할 수 있는 제1 스캔 라인(151), 제1 스캔 라인(151)과 다른 타이밍에 게이트 온 전압을 가지는 스캔 신호(GIj)를 전달할 수 있는 제2 스캔 라인(152), 그리고 스캔 신호(GBj)를 전달할 수 있는 제3 스캔 라인(154)을 포함할 수 있다. 이 실시예에서는 제2 스캔 라인(152)이 제1 스캔 라인(151)보다 이전 타이밍에 게이트 온 전압을 전달하는 예에 대해 주로 설명한다. 예를 들어, 스캔 신호(GWj)가 한 프레임 동안 인가되는 스캔 신호들 중 j번째 스캔 신호(Sj)(j은 1 이상의 자연수)인 경우, 스캔 신호(GIj)는 (j-1)번째 스캔 신호(S(j-1))와 같은 이전 스캔 신호일 수 있고, 스캔 신호(GBj)도 (j-1)번째 스캔 신호(S(j-1))일 수 있다. 그러나 본 발명은 이에 한정되는 것은 아니고, 스캔 신호(GBj)는 (j-1)번째 스캔 신호(S(j-1)) 외의 스캔 신호일 수도 있다.

- [0058] 제어 라인(153)은 제어 신호를 전달할 수 있으며, 특히 화소(PXij)가 포함하는 발광 다이오드(ED)의 발광을 제어할 수 있는 발광 제어 신호를 전달할 수 있다. 제어 라인(153)이 전달하는 발광 제어 신호는 스캔 라인들(151, 152, 154)이 전달하는 스캔 신호와 다른 파형을 가질 수 있다. 데이터 라인(171)은 데이터 신호(Di)를 전달하고, 구동 전압 라인(172)은 제1 구동 전압(ELVDD)을 전달할 수 있다. 데이터 신호(Di)는 표시 장치에 입력되는 영상 신호에 따라 다른 전압 레벨을 가질 수 있고, 제1 구동 전압(ELVDD)은 실질적으로 일정한 레벨을 가질 수 있다.
- [0059] 제1 스캔 라인(151)은 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 스캔 신호(GWj)를 전달할 수 있고, 제2 스캔 라인(152)은 제4 트랜지스터(T4)에 스캔 신호(GIj)를 전달할 수 있고, 제3 스캔 라인(154)은 제7 트랜지스터(T7)에 스캔 신호(GBj)를 전달할 수 있으며, 제어 라인(153)은 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 발광 제어 신호(EMj)를 전달할 수 있다.
- [0060] 제1 트랜지스터(T1)의 게이트 전극(G1)은 구동 게이트 노드(GN)를 통해 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 제1 트랜지스터(T1)의 소스 전극(S1)은 제5 트랜지스터(T5)를 경유하여 구동 전압 라인(172)과 연결되어 있고, 제1 트랜지스터(T1)의 드레인 전극(D1)은 제6 트랜지스터(T6)를 경유하여 발광 다이오드(ED)의 애노드(anode)와 전기적으로 연결되어 있다. 제1 트랜지스터(T1)는 제2 트랜지스터(T2)의 스위칭 동작에 따라 데이터 라인(171)이 전달하는 데이터 신호(Di)를 전달받아 발광 다이오드(ED)에 구동 전류(Id)를 공급할 수 있다.
- [0061] 제2 트랜지스터(T2)의 게이트 전극(G2)은 제1 스캔 라인(151)과 연결되어 있고, 제2 트랜지스터(T2)의 소스 전극(S2)은 데이터 라인(171)과 연결되어 있으며, 제2 트랜지스터(T2)의 드레인 전극(D2)은 제1 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제5 트랜지스터(T5)를 경유하여 구동 전압 라인(172)과 연결되어 있다. 제2 트랜지스터(T2)는 제1 스캔 라인(151)을 통해 전달받은 스캔 신호(GWj)에 따라 턴 온되어 데이터 라인(171)으로부터 전달된 데이터 신호(Di)를 제1 트랜지스터(T1)의 소스 전극(S1)으로 전달할 수 있다.
- [0062] 제3 트랜지스터(T3)는 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)가 구동 게이트 노드(GN)와 제1 트랜지스터(T1)의 드레인 전극(D1) 사이에 직렬로 연결된 듀얼 게이트 구조를 가질 수 있다. 제1 서브 트랜지스터(T3_1)의 제1 서브 게이트 전극(G3_1) 및 제2 서브 트랜지스터(T3_2)의 제2 서브 게이트 전극(G3_2)은 제1 스캔 라인(151)에 연결된다. 제1 서브 트랜지스터(T3_1)의 제1 서브 드레인 전극(D3_1)은 제4 트랜지스터(T4)의 드레인 전극(D4), 커패시터(Cst)의 일단(Cst1) 및 제1 트랜지스터(T1)의 게이트 전극(G1)에 공통으로 연결된다. 제2 서브 트랜지스터(T3_2)의 제2 서브 소스 전극(S3_2)은 제1 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제6 트랜지스터(T6)를 경유하여 발광 다이오드(ED)의 애노드와 연결된다. 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 전극(S3_1) 및 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 전극(D3_2)은 서로 연결된다. 예를 들어, 제3 트랜지스터(T3)는 직렬 연결된 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)의 제1 및 제2 서브 게이트 전극들(G3_1, G3_2)이 게이트 절연층 상에서 서로 배선으로 연결되고, 높은 도전성을 갖는 고농도 영역이 게이트 공통 영역으로서 게이트들 사이에 마련되는 구조를 가질 수 있다. 또한, 다른 실시예에서, 제3 트랜지스터(T3)는 하나의 트랜지스터로 구현되거나, 세 개 이상의 트랜지스터들로 구현될 수 있다.
- [0063] 제3 트랜지스터(T3)는 제1 스캔 라인(151)을 통해 전달받은 스캔 신호(GWj)에 따라 턴 온 되어 제1 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 제1 트랜지스터(T1)를 다이오드 연결시킬 수 있다.
- [0064] 제4 트랜지스터(T4)의 게이트 전극(G4)은 제2 스캔 라인(152)과 연결되어 있고, 제4 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압(Vint) 단자와 연결되어 있으며, 제4 트랜지스터(T4)의 드레인 전극(D4)은 제3 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 커패시터(Cst)의 일단(Cst1) 및 제1 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)는 제2 스캔 라인(152)을 통해 전달받은 스캔 신호(GIj)에 따라 턴 온되어 초기화 전압(Vint)을 제1 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 제1 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다. 제4 트랜지스터(T4)는 제3 트랜지스터(T3)와 마찬가지로 듀얼 게이트 구조를 가질 수 있다.
- [0065] 제5 트랜지스터(T5)의 게이트 전극(G5)은 제어 라인(153)과 연결되어 있으며, 제5 트랜지스터(T5)의 소스 전극(S5)은 구동 전압 라인(172)과 연결되어 있고, 제5 트랜지스터(T5)의 드레인 전극(D5)은 제1 트랜지스터(T1)의 소스 전극(S1) 및 제2 트랜지스터(T2)의 드레인 전극(D2)에 연결되어 있다.
- [0066] 제6 트랜지스터(T6)의 게이트 전극(G6)은 제어 라인(153)과 연결되어 있으며, 제6 트랜지스터(T6)의 소스 전극(S6)은 제1 트랜지스터(T1)의 드레인 전극(D1) 및 제3 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 제6

트랜지스터(T6)의 드레인 전극(D6)은 발광 다이오드(ED)의 애노드와 전기적으로 연결되어 있다. 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 제어 라인(153)을 통해 전달받은 발광 제어 신호(EM_j)에 따라 동시에 턴 온되고 이를 통해 제1 구동 전압(ELVDD)이 다이오드 연결된 제1 트랜지스터(T1)를 통해 보상되어 발광 다이오드(ED)에 전달될 수 있다.

[0067] 제7 트랜지스터(T7)의 게이트 전극(G7)은 제3 스캔 라인(154)과 연결되어 있고, 제7 트랜지스터(T7)의 소스 전극(S7)은 제6 트랜지스터(T6)의 드레인 전극(D6) 및 발광 다이오드(ED)의 애노드에 연결되어 있고, 제7 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압(V_{int}) 단자 및 제4 트랜지스터(T4)의 소스 전극(S4)에 연결되어 있다. 이와 달리 제7 트랜지스터(T7)의 게이트 전극(G7)은 별도의 제어 라인(도시하지 않음)에 연결되어 있을 수도 있다.

[0068] 커패시터(Cst)의 일단(Cst1)은 앞에서 설명한 바와 같이 제1 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있고, 타단(Cst2)은 구동 전압 라인(172)과 연결되어 있다. 발광 다이오드(ED)의 캐소드(cathode)는 제2 구동 전압(ELVSS)을 전달하는 단자와 연결될 수 있다. 한 실시예에 따른 화소(PX_{ij})의 구조는 도 2에 도시한 구조에 한정되는 것은 아니고 한 화소(PX_{ij})가 포함하는 트랜지스터의 수와 커패시터의 수 및 연결 관계는 다양하게 변형 가능하다.

[0069] 앞에서 설명한 도 2와 함께 도 3을 참조하여 일 실시예에 따른 표시 장치의 동작에 대하여 설명한다. 이하 설명에서 제1 내지 제7 트랜지스터들(T1-T7)이 P형 채널 트랜지스터인 예에 대해 설명하며, 한 프레임의 동작에 대해 설명한다.

[0070] 도 2 및 도 3을 참조하면, 한 프레임 내에서 화소(PX_{ij})와 연결된 제1 스캔 라인(151)에는 로우 레벨(low level)의 스캔 신호들(S_{j-1}, S_j, S_{j+1})이 순차적으로 스캔 신호(GW_j)로서 인가될 수 있다.

[0071] 초기화 기간 동안 제2 스캔 라인(152)을 통해 로우 레벨의 스캔 신호(GI_j)가 공급된다. 스캔 신호(GI_j)는 예를 들어 (j-1)번째 스캔 신호(S_{j-1})일 수 있다. 로우 레벨의 스캔 신호(GI_j)에 대응하여 제4 트랜지스터(T4)가 턴 온 되며, 제4 트랜지스터(T4)를 통해 초기화 전압(V_{int})이 제1 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(V_{int})에 의해 제1 트랜지스터(T1)가 초기화된다.

[0072] 다음, 데이터 프로그래밍 및 보상 기간 동안 제1 스캔 라인(151)을 통해 로우 레벨의 스캔 신호(GW_j)가 공급되면 로우 레벨의 스캔 신호(GW_j)에 대응하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴 온 된다. 스캔 신호(GW_j)는 예를 들어 j번째 스캔 신호(S_j)일 수 있다. 이때, 제1 트랜지스터(T1)는 턴 온된 제3 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스된다. 그러면, 데이터 라인(171)으로부터 공급된 데이터 신호(D_i)에서 제1 트랜지스터(T1)의 문턱 전압(V_{th})만큼 감소한 보상 전압(D_i-V_{th})이 제1 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 즉, 제1 트랜지스터(T1)의 게이트 전극(G1)에 인가된 게이트 전압은 보상 전압(D_i-V_{th})이 될 수 있다.

[0073] 커패시터(Cst)의 양단에는 제1 구동 전압(ELVDD)과 보상 전압(D_i-V_{th})이 인가되고, 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장될 수 있다.

[0074] 바이패스 기간 동안 제7 트랜지스터(T7)는 제3 스캔 라인(154)을 통해 로우 레벨의 스캔 신호(GB_j)를 공급받아 턴 온된다. 스캔 신호(GB_j)는 j-1번째 스캔 신호(S_{j-1})일 수 있다. 턴 온된 제7 트랜지스터(T7)에 의해 구동 전류(I_d)의 일부는 바이패스 전류(I_{bp})로서 제7 트랜지스터(T7)를 통해 빠져나갈 수 있다.

[0075] 블랙 영상을 표시하는 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 발광 다이오드(ED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(I_{bp})로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 트랜지스터(T1)의 최소 전류란 구동 트랜지스터(T1)의 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 작아서 구동 트랜지스터(T1)가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 트랜지스터(T1)를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 발광 다이오드(ED)에 전달되어 블랙 휘도의 영상으로 표현된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(I_{bp})의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(I_{bp})의 영향이 거의 없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(I_d)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(I_{bp})의 전류량만큼 감소된 유기 발광 다이오드(OLED)의 발광 전류(I_{ed})는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여

정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다. 이 실시예에서, 바이패스 신호인 (스캔 신호(GBj)는 이전 스캔 신호(Sj-1)와 동일하나, 반드시 이에 한정되는 것은 아니다.

- [0076] 다음, 발광 기간 동안 제어 라인(153)으로부터 공급되는 발광 제어 신호(EMj)가 하이 레벨에서 로우 레벨로 변경된다. 발광 기간 동안 로우 레벨의 발광 제어 신호(EMj)에 의해 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 된다. 그러면, 제1 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압과 제1 구동 전압(ELVDD) 간의 전압 차에 따르는 구동 전류(Id)가 발생하고, 제6 트랜지스터(T6)를 통해 구동 전류(Id)가 발광 다이오드(ED)에 공급되어 발광 다이오드(ED)에 전류(Ied)가 흐른다. 발광 기간 동안 커패시터(Cst)에 의해 제1 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Di-Vth)-ELVDD'으로 유지되고, 제1 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 구동 게이트-소스 전압에서 문턱 전압을 차감한 값의 제곱 '(Di-ELVDD)²'에 비례할 수 있다. 이에 따라, 구동 전류(Id)는 제1 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정될 수 있다.
- [0077] 도 4 및 도 5를 참조하여 일 실시예에 따른 화소의 구체적인 구조에 대하여 설명한다. 이해의 편의를 위해, 먼저 일 실시예에 따른 화소의 평면상 구조에 대해 주로 설명한 후 단면상 구조에 대해 구체적으로 설명하도록 한다.
- [0078] 도 4는 일 실시예에 따른 표시 장치의 하나의 화소에 대한 평면도이다. 도 5는 도 4에 도시한 표시 장치를 VI-VI'선을 따라 잘라 도시한 단면도이다.
- [0079] 일 실시예에 따른 화소(PXij)는 스캔 신호(GWj)를 전달하는 제1 스캔 라인(151), 스캔 신호(GIj)를 전달하는 제2 스캔 라인(152), 스캔 신호(GBj)를 전달하는 제3 스캔 라인(154), 그리고 발광 제어 신호(EMj)를 전달하는 제어 라인(153) 등을 포함하는 제1 도전층을 포함할 수 있다. 제1 도전층은 단면상 기관(110)의 일면 위에 위치하고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다. 기관(110)은 유리, 플라스틱 등의 무기 또는 유기 절연 물질을 포함할 수 있으며, 다양한 정도의 유연성(flexibility)을 가질 수 있다.
- [0080] 스캔 라인들(151, 152, 154) 및 제어 라인(153)은 평면상 대체로 동일한 방향(예를 들어, 제1 방향(DR1))으로 연장될 수 있다. 제1 스캔 라인(151)은 평면상 제2 스캔 라인(152)과 제어 라인(153) 사이에 위치할 수 있다.
- [0081] 일 실시예에 따른 표시 장치의 화소(PXij)는 스토리지 라인(156) 및 초기화 전압 라인(159) 등을 포함하는 제2 도전층을 더 포함할 수 있다. 제2 도전층은 단면상 제1 도전층과 다른 층에 위치한다. 예를 들어, 제2 도전층은 단면상 제1 도전층 위에 위치할 수 있고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다.
- [0082] 스토리지 라인(156) 및 초기화 전압 라인(159)은 평면상 대체로 동일한 방향(예를 들면, 제1 방향(DR1))로 연장된다.
- [0083] 스토리지 라인(156)은 평면상 제1 스캔 라인(151)과 제어 라인(153) 사이에 위치할 수 있고 확장부(157)를 포함할 수 있다. 확장부(157)는 접촉 구멍(68)을 통해 구동 전압 라인(172)과 연결되어 제1 구동 전압(ELVDD)을 인가받을 수 있다.
- [0084] 초기화 전압 라인(159)은 초기화 전압(Vint)을 전달하고, 평면상 제3 스캔 라인(154)과 제어 라인(153) 사이에 위치할 수 있으나 위치가 이에 한정되는 것은 아니다.
- [0085] 일 실시예에 따른 화소(PXij)는 데이터 신호(Di)를 전달하는 데이터 라인(171) 및 제1 구동 전압(ELVDD)을 전달하는 구동 전압 라인(172) 등을 포함하는 제3 도전층을 더 포함할 수 있다. 제3 도전층은 단면상 제1 도전층 및 제2 도전층과 다른 층에 위치한다. 예를 들어, 제3 도전층은 단면상 제2 도전층 위에 위치할 수 있고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다.
- [0086] 데이터 라인(171) 및 구동 전압 라인(172)은 평면상 대체로 동일한 방향(예를 들면, 제2 방향(DR2))으로 연장되며, 스캔 라인들(151, 152, 154), 제어 라인(153), 초기화 전압 라인(159) 및 스토리지 라인(156)과 교차할 수 있다.
- [0087] 화소(PXij)는 스캔 라인(151, 152, 154), 제어 라인(153), 데이터 라인(171) 및 구동 전압 라인(172)과 연결되어 있는 제1 내지 제7 트랜지스터들(T1-T7) 및 커패시터(Cst), 그리고 발광 다이오드(ED)를 포함할 수 있다.
- [0088] 화소(PXij)의 제1 내지 제7 트랜지스터들(T1-T7) 각각의 채널(channel)은 하나의 액티브 패턴(130)의 내부에 형성될 수 있으며, 액티브 패턴(130)은 다양한 형상으로 굴곡되어 있을 수 있다. 액티브 패턴(130)은 다결정 규소, 산화물 반도체 등의 반도체 물질을 포함할 수 있다. 액티브 패턴(130)은 단면상 기관(110)과 제1 도전층 사이에 위치할 수 있다.

- [0089] 액티브 패턴(130)은 제1 내지 제7 트랜지스터들(T1-T7) 각각의 채널을 형성하는 채널 영역(channel region)(131a, 131b, 131c_1, 131c_2, 131d_1, 131d_2, 131e, 131f, 131g) 및 도전 영역(conductive region)을 포함한다. 특히, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 듀얼 게이트 구조를 가질 수 있다. 이 경우, 제3 트랜지스터(T3)는 두 개의 채널 영역(131c_1, 131c_2)을 포함하고, 제4 트랜지스터(T4)도 두 개의 채널 영역(131d_1, 131d_2)을 포함할 수 있다.
- [0090] 액티브 패턴(130)의 도전 영역은 각 채널 영역(131a, 131b, 131c_1, 131c_2, 131d_1, 131d_2, 131e, 131f, 131g)의 양쪽에 위치하며 채널 영역(131a, 131b, 131c_1, 131c_2, 131d_1, 131d_2, 131e, 131f, 131g)의 캐리어 농도보다 높은 캐리어 농도를 가진다. 액티브 패턴(130)에서 채널 영역(131a, 131b, 131c_1, 131c_2, 131d_1, 131d_2, 131e, 131f, 131g)을 제외한 나머지 부분은 대부분 도전 영역일 수 있다. 제1 내지 제7 트랜지스터들(T1-T7)의 채널 영역(131a, 131b, 131c_1, 131c_2, 131d_1, 131d_2, 131e, 131f, 131g) 각각의 양쪽에 위치하는 한 쌍의 도전 영역은 제1 내지 제7 트랜지스터들(T1-T7) 각각의 소스 영역 및 드레인 영역으로서 각각 소스 전극 및 드레인 전극으로 기능할 수 있다.
- [0091] 제1 트랜지스터(T1)는 채널 영역(131a), 채널 영역(131a)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136a) 및 드레인 영역(137a), 그리고 채널 영역(131a)과 평면상 중첩하는 구동 게이트 전극(155a)을 포함한다.
- [0092] 제1 트랜지스터(T1)의 채널 영역(131a)은 적어도 한 번 굴곡되어 있을 수 있다. 예를 들어 채널 영역(131a)은 사행 형상(meandering shape) 또는 지그재그 형상(zigzag shape)을 가질 수 있다. 도 4는 채널 영역(131a)이 대략 상하로 반전된 U자 형태를 포함하는 예를 도시한다.
- [0093] 소스 영역(136a) 및 드레인 영역(137a)은 평면상 채널 영역(131a)의 양 옆에 연결되어 있다.
- [0094] 구동 게이트 전극(155a)은 제1 도전층에 포함될 수 있고, 접촉 구멍(61)을 통해 연결 부재(174)와 연결될 수 있다. 연결 부재(174)는 단면상 제3 도전층에 포함될 수 있다. 연결 부재(174)는 대체로 데이터 라인(171)이 연장되는 방향에 나란한 방향으로 길게 연장되어 있을 수 있다. 연결 부재(174)는 구동 게이트 전극(155a)과 함게 도 2에 도시한 회로도에 도시한 구동 게이트 노드(GN)에 해당한다.
- [0095] 제2 트랜지스터(T2)는 채널 영역(131b), 채널 영역(131b)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136b) 및 드레인 영역(137b), 그리고 채널 영역(131b)과 평면상 중첩하는 게이트 전극(155b)을 포함한다. 게이트 전극(155b)은 제1 스캔 라인(151)의 일부이다. 소스 영역(136b)은 제1 스캔 라인(151)을 기준으로 평면상 위쪽에 위치하며 채널 영역(131b)에 연결되어 있고, 접촉 구멍(62)을 통해 데이터 라인(171)과 연결되어 있다. 드레인 영역(137b)은 제1 스캔 라인(151)을 기준으로 평면상 아래쪽에 위치하며 채널 영역(131b)에 연결되어 있고, 제1 트랜지스터(T1)의 소스 영역(136a)과 연결되어 있다.
- [0096] 제3 트랜지스터(T3)는 누설 전류 방지를 위해 두 부분으로 형성될 수 있다. 즉, 제3 트랜지스터(T3)는 서로 인접하며 서로 연결되어 있는 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)를 포함할 수 있다.
- [0097] 제1 서브 트랜지스터(T3_1)는 제1 스캔 라인(151)과 평면상 중첩하는 제1 서브 채널 영역(131c_1), 제1 서브 채널 영역(131c_1)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 제1 서브 소스 영역(136c_1) 및 제1 서브 드레인 영역(137c_1), 그리고 제1 서브 채널 영역(131c_1)과 중첩하는 제1 서브 게이트 전극(155c_1)을 포함한다. 제1 서브 게이트 전극(155c_1)은 제1 스캔 라인(151)의 돌출부의 일부일 수 있다. 제1 서브 드레인 영역(137c_1)은 제1 스캔 라인(151)을 기준으로 평면상 위쪽에 위치하고, 접촉 구멍(63)을 통해 연결 부재(174)와 연결되어 있다.
- [0098] 제2 서브 트랜지스터(T3_2)는 제1 스캔 라인(151)과 평면상 중첩하는 제2 서브 채널 영역(131c_2), 제2 서브 채널 영역(131c_2)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 제2 서브 소스 영역(136c_2) 및 제2 서브 드레인 영역(137c_2), 그리고 제2 서브 채널 영역(131c_2)과 중첩하는 제2 서브 게이트 전극(155c_2)을 포함한다. 제2 서브 게이트 전극(155c_2)은 제1 스캔 라인(151)의 일부이다.
- [0099] 제2 서브 트랜지스터(T3_2)의 제2 서브 소스 영역(136c_2)은 제1 트랜지스터(T1)의 드레인 영역(137a)과 연결되어 있고, 제2 서브 드레인 영역(137c_2)은 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 영역(136c_1)과 연결되어 있다. 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 영역(136c_1)과 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 영역(137c_2)의 연결 노드를 제3 노드(N3)라 칭한다.
- [0100] 제4 트랜지스터(T4)도 누설 전류 방지를 위해 두 부분으로 형성될 수 있다. 즉, 제4 트랜지스터(T4)는 서로 인

접하며 서로 연결되어 있는 좌측 제4 트랜지스터(T4_1) 및 우측 제4 트랜지스터(T4_2)를 포함할 수 있다.

- [0101] 좌측 제4 트랜지스터(T4_1)는 제2 스캔 라인(152)과 평면상 중첩하는 채널 영역(131d_1), 채널 영역(131d_1)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136d_1) 및 드레인 영역(137d_1), 그리고 채널 영역(131d_1)과 중첩하는 게이트 전극(155d_1)을 포함한다. 게이트 전극(155d_1)은 제2 스캔 라인(152)의 일부이다. 드레인 영역(137d_1)은 제2 스캔 라인(152)을 기준으로 평면상 아래쪽에 위치하고, 제1 서브 트랜지스터(T3_1)의 드레인 영역(137c_1)과 연결되어 있으며 접촉 구멍(63)을 통해 연결 부재(174)와 연결되어 있다.
- [0102] 우측 제4 트랜지스터(T4_2)는 제2 스캔 라인(152)과 평면상 중첩하는 채널 영역(131d_2), 채널 영역(131d_2)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136d_2) 및 드레인 영역(137d_2), 그리고 채널 영역(131d_2)과 중첩하는 게이트 전극(155d_2)을 포함한다. 게이트 전극(155d_2)은 제2 스캔 라인(152)의 일부이다. 드레인 영역(137d_2)은 좌측 제4 트랜지스터(T4_1)의 소스 영역(136d_1)과 연결되어 있고, 소스 영역(136d_2)은 접촉 구멍(65)을 통해 연결 부재(175)와 연결되어 있다.
- [0103] 연결 부재(175)는 단면상 제2 도전층 또는 제3 도전층에 포함될 수 있다. 연결 부재(175)가 제3 도전층에 포함되는 경우 연결 부재(175)는 접촉 구멍(64)을 통해 초기화 전압 라인(159)과 전기적으로 연결될 수 있다. 연결 부재(175)가 제2 도전층에 포함되는 경우 연결 부재(175)는 초기화 전압 라인(159)과 단면상 동일한 층에 위치하며 초기화 전압 라인(159)과 연결될 수 있다.
- [0104] 구동 게이트 전극(155a)의 전압을 전달하는 연결 부재(174)에 직접 연결되어 있는 좌측 제4 트랜지스터(T4_1)의 채널 영역(131d_1)과 소스 영역(136d_1) 사이의 경계, 그리고 채널 영역(131d_1)과 드레인 영역(137d_1) 사이의 경계는 모두 채널 영역(131d_1)과 함께 평면상 구동 전압 라인(172)에 의해 덮여 있을 수 있다. 채널 영역(131d_1), 채널 영역(131d_1)과 소스 영역(136d_1) 사이의 경계, 그리고 채널 영역(131d_1)과 드레인 영역(137d_1) 사이의 경계는 모두 평면상 구동 전압 라인(172)과 완전히 중첩하여 구동 전압 라인(172)의 평면상 영역 안에 위치할 수 있다. 평면상, 좌측 제4 트랜지스터(T4_1)의 채널 영역(131d_1), 소스 영역(136d_1) 및 드레인 영역(137d_1) 각각의 가로 방향의 폭은 구동 전압 라인(172)의 가로 방향의 폭보다 좁고, 채널 영역(131d_1), 소스 영역(136d_1) 및 드레인 영역(137d_1)은 모두 구동 전압 라인(172)의 영역 내에 위치할 수 있다.
- [0105] 구동 게이트 전극(155a)의 전압을 전달하는 연결 부재(174)에 직접 연결되어 있는 또 하나의 트랜지스터로서 제1 서브 트랜지스터(T3_1)가 있다.
- [0106] 제5 트랜지스터(T5)는 채널 영역(131e), 채널 영역(131e)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136e) 및 드레인 영역(137e), 그리고 채널 영역(131e)과 중첩하는 게이트 전극(155e)을 포함한다.
- [0107] 게이트 전극(155e)은 제어 라인(153)의 일부이다. 소스 영역(136e)은 제어 라인(153)을 기준으로 평면상 아래쪽에 위치하며 채널 영역(131e)에 연결되어 있고, 접촉 구멍(67)을 통해 구동 전압 라인(172)과 연결되어 있다. 드레인 영역(137e)은 제어 라인(153)을 기준으로 평면상 위쪽에 위치하며 채널 영역(131e)에 연결되어 있고, 제1 트랜지스터(T1)의 소스 영역(136a)과 연결되어 있다.
- [0108] 제6 트랜지스터(T6)는 채널 영역(131f), 채널 영역(131f)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136f) 및 드레인 영역(137f), 그리고 채널 영역(131f)과 중첩하는 게이트 전극(155f)을 포함한다.
- [0109] 게이트 전극(155f)은 제어 라인(153)의 일부이다. 소스 영역(136f)은 제어 라인(153)을 기준으로 평면상 위쪽에 위치하며 채널 영역(131f)에 연결되어 있고, 제1 트랜지스터(T1)의 드레인 영역(137a)과 연결되어 있다. 드레인 영역(137f)은 제어 라인(153)을 기준으로 평면상 아래쪽에 위치하며 채널 영역(131f)에 연결되어 있고, 접촉 구멍(69)을 통해 연결 부재(179)와 연결되어 있다. 연결 부재(179)는 단면상 제3 도전층에 포함될 수 있다.
- [0110] 제7 트랜지스터(T7)는 채널 영역(131g), 채널 영역(131g)의 양쪽에 위치하는 액티브 패턴(130)의 도전 영역인 소스 영역(136g) 및 드레인 영역(137g), 그리고 채널 영역(131g)과 중첩하는 게이트 전극(155g)을 포함한다.
- [0111] 게이트 전극(155g)은 제3 스캔 라인(154)의 일부이다. 소스 영역(136g)은 제3 스캔 라인(154)을 기준으로 평면상 위쪽에 위치하며 채널 영역(131g)에 연결되어 있고, 제6 트랜지스터(T6)의 드레인 영역(137f)과 연결되어 있다.
- [0112] 드레인 영역(137g)은 제3 스캔 라인(154)을 기준으로 평면상 아래쪽에 위치하며 접촉 구멍(65)을 통해 연결 부재(175)와 연결되어 초기화 전압(Vint)을 인가받을 수 있다.

- [0113] 커패시터(Cst)는 평면상 서로 중첩하는 구동 게이트 전극(155a)과 스토리지 라인(156)의 확장부(157)를 두 단자로 포함할 수 있다. 커패시터(Cst)는 제1 구동 전압(ELVDD)을 인가받는 스토리지 라인(156)의 확장부(157)와 구동 게이트 전극(155a)의 전압 간의 차에 대응하는 전압 차를 유지할 수 있다. 스토리지 라인(156)의 확장부(157)는 구동 게이트 전극(155a)보다 평면상 넓은 면적을 가질 수 있고, 해당 구동 게이트 전극(155a)의 전체 면적을 전부 덮을 수 있다. 확장부(157)는 제2 도전층에 포함될 수 있다.
- [0114] 제2 도전층은 데이터 라인(171)과 중첩하는 차폐 패턴(158)을 더 포함할 수 있다. 차폐 패턴(158)은 접촉 구멍(66)을 통해 구동 전압 라인(172)과 연결되어 제1 구동 전압(ELVDD)을 인가받을 수 있다. 차폐 패턴(158)은 구동 게이트 노드(GN)와 데이터 라인(171) 사이를 차폐하여 데이터 신호(Di)의 변화에 의한 구동 게이트 노드(GN)의 전압 변화를 막을 수 있다. 평면상, 제1 서브 트랜지스터(T3_1)의 채널 영역(131c_1)과 소스 영역(136c_1) 사이의 경계부터 차폐 패턴(158)의 좌측의 한 가장자리까지의 거리인 폭(d1)은 소정 거리(예를 들면, 3 마이크로미터) 이상일 수 있다.
- [0115] 일 실시예에 따른 화소(PXij)는 화소 전극(191a)과 화소 도전 패턴(192) 등을 포함하는 제4도전층을 더 포함할 수 있다. 제4 도전층은 단면상 제1 도전층, 제2 도전층 및 제3 도전층과 다른 층에 위치한다. 예를 들어, 제4 도전층은 단면상 제3 도전층 위에 위치할 수 있고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다. 화소 전극(191a)은 펜타일 매트릭스(pentile matrix) 구조로 배열되어 있을 수 있다.
- [0116] 화소 전극(191a)은 접촉 구멍(89)을 통해 연결 부재(179)와 연결되어 전압을 인가받을 수 있다. 화소 도전 패턴(192)은 초기화 전압(Vint)을 전달할 수 있다.
- [0117] 제1 서브 트랜지스터(T3_1)의 채널 영역(131c_1), 채널 영역(131c_1)과 소스 영역(136c_1) 사이의 경계, 그리고 채널 영역(131c_1)과 드레인 영역(137c_1) 사이의 경계는 모두 평면상 제4 도전층에 의해 덮여 있다.
- [0118] 도 5를 참조하여 일 실시예에 따른 표시 장치의 단면 구조에 대해 더 구체적으로 설명한다.
- [0119] 기관(110) 위에 버퍼층(120)이 위치할 수 있다. 버퍼층(120)은 기관(110)으로부터 버퍼층(120)의 상부층, 특히 액티브 패턴(130)으로 불순물이 전달되는 것을 차단하여 액티브 패턴(130)의 특성을 향상시키고 스트레스를 완화시킬 수 있다. 버퍼층(120)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 버퍼층(120)의 적어도 일부는 생략될 수도 있다.
- [0120] 버퍼층(120) 위에는 앞에서 설명한 바와 같은 액티브 패턴(130)이 위치하고, 액티브 패턴(130) 위에 제1 절연층(141)이 위치한다.
- [0121] 제1 절연층(141) 위에는 앞에서 설명한 제1 도전층이 위치할 수 있다. 제1 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 이들의 합금 등 금속을 포함할 수 있다.
- [0122] 제1 도전층 및 제1 절연층(141) 위에는 제2 절연층(142)이 위치할 수 있다.
- [0123] 제2 절연층(142) 위에는 앞에서 설명한 제2 도전층이 위치할 수 있다. 제2 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 이들의 합금 등 금속을 포함할 수 있다.
- [0124] 제2 도전층 및 제2 절연층(142) 위에는 제3 절연층(160)이 위치할 수 있다.
- [0125] 제1 절연층(141), 제2 절연층(142), 그리고 제3 절연층(160) 중 적어도 하나는 질화 규소(SiNx), 산화 규소(SiOx) 등의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다.
- [0126] 제1 절연층(141), 제2 절연층(142) 및 제3 절연층(160)은 구동 게이트 전극(155a) 위에 위치하는 접촉 구멍(61), 제2 트랜지스터(T2)의 소스 영역(136b) 위에 위치하는 접촉 구멍(62), 제1 서브 트랜지스터(T3_1)의 드레인 영역(137c_1) 또는 좌측 제4 트랜지스터(T4_1)의 드레인 영역(137d_1) 위에 위치하는 접촉 구멍(63), 초기화 전압 라인(159) 위에 위치하는 접촉 구멍(64), 우측 제4 트랜지스터(T4_2)의 소스 영역(136d_2) 또는 제7 트랜지스터(T7)의 드레인 영역(137g) 위에 위치하는 접촉 구멍(65), 차폐 패턴(158) 위에 위치하는 접촉 구멍(66), 제5 트랜지스터(T5)의 소스 영역(136e) 위에 위치하는 접촉 구멍(67), 스토리지 라인(156)의 확장부(157) 위에 위치하는 접촉 구멍(68), 그리고 제6 트랜지스터(T6)의 드레인 영역(137f) 위에 위치하는 접촉 구멍(69)을 포함할 수 있다.
- [0127] 제3 절연층(160) 위에는 앞에서 설명한 제3 도전층이 위치할 수 있다. 제3 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 이들의 합금 등 금속을 포함할 수 있다.

- [0128] 스토리지 라인(156)의 확장부(157)는 제2 절연층(142)을 사이에 두고 구동 게이트 전극(155a)과 중첩하여 커패시터(Cst)를 형성할 수 있다.
- [0129] 제3 도전층과 제3 절연층(160) 위에는 보호막(180)이 위치한다. 보호막(180)은 폴리아크릴계 수지(polyacrylic resin), 폴리이미드계 수지(polyimides resin) 등의 유기 절연 물질을 포함할 수 있으며, 보호막(180)의 윗면은 실질적으로 평탄할 수 있다. 보호막(180)은 연결 부재(179) 위에 위치하는 접촉 구멍(89)을 포함할 수 있다.
- [0130] 보호막(180) 위에는 앞에서 설명한 제4 도전층이 위치할 수 있다.
- [0131] 보호막(180)과 제4 도전층 위에는 화소 정의막(pixel defining layer, PDL)(350)이 위치할 수 있다. 화소 정의막(350)은 화소 전극(191a, 191b, 191c) 위에 위치하는 개구부(351)를 가진다.
- [0132] 화소 전극(191a) 위에는 발광층(370)이 위치한다. 발광층(370)은 개구부(351) 안에 위치할 수 있다. 발광층(370)은 유기 발광 물질 또는 무기 발광 물질을 포함할 수 있다.
- [0133] 발광층(370) 위에는 공통 전극(270)이 위치한다. 공통 전극(270)은 화소 정의막(350) 위에도 형성되어 복수의 화소에 걸쳐 연장되어 있을 수 있다.
- [0134] 화소 전극(191a), 발광층(370) 및 공통 전극(270)은 함께 발광 다이오드(LED)를 이룬다.
- [0135] 공통 전극(270) 위에는 발광 다이오드(LED)를 보호하는 밀봉층(도시하지 않음)이 더 위치할 수 있다. 밀봉층은 교대로 적층된 무기막과 유기막을 포함할 수 있다.
- [0136] 도 6은 도 2에 도시된 제1 서브 트랜지스터 및 제2 서브 트랜지스터에 의해 형성되는 서브 커패시터 및 기생 커패시터를 설명하기 위한 등가 회로도 이다. 도 7은 스캔 신호의 변화에 따른 제3 노드 및 구동 게이트 노드의 전압 레벨 변화를 예시적으로 보여주는 파형도이다.
- [0137] 도 6 및 도 7을 참조하면, 데이터 프로그래밍 및 보상 기간 동안 제1 스캔 라인(151)을 통해 로우 레벨(VGL)의 스캔 신호(GWj)가 공급되면 로우 레벨의 스캔 신호(GWj)에 대응하여 제2 트랜지스터(T2), 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)가 턴 온 된다. 이때, 제1 트랜지스터(T1)는 턴 온된 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)에 의해 다이오드 연결되고, 순방향으로 바이어스된다. 그러면, 데이터 라인(171)으로부터 공급된 데이터 신호(Di)에서 제1 트랜지스터(T1)의 문턱 전압(Vth)만큼 감소한 보상 전압(Di-Vth)이 제1 트랜지스터(T1, 도 2에 도시됨)의 게이트 전극(G1)에 인가된다. 즉, 구동 게이트 노드(GN)는 전압(Di-Vth) 레벨로 상승한다. 마찬가지로 제3 노드(N3)도 전압(Di-Vth) 레벨로 상승한다.
- [0138] 스캔 신호(GWj)가 로우 레벨(VGL)에서 하이 레벨(VGH)로 천이하면, 제1 서브 트랜지스터(T3_1) 및 제2 서브 트랜지스터(T3_2)가 턴 오프되어서 제3 노드(N3) 및 구동 게이트 노드(GN)는 소정 레벨 즉, 전압(Di-Vth) 레벨로 유지되어야 한다. 그러나, 보조 커패시터(Cdd) 및 기생 커패시터(Cgd)에 의해 제3 노드(N3) 및 구동 게이트 노드(GN)의 전압 레벨이 변경된다.
- [0139] 구동 게이트 노드(GN)의 전압 레벨은 Δa 만큼 높아지고, 제3 노드(N3)의 전압 레벨은 ΔV 만큼 상승했다가 Δa 만큼 낮아진다.
- [0140] ΔV 는 수학식 1과 같고, Δa 는 수학식 2와 같다.

수학식 1

$$\Delta V = \frac{C_{gs}}{C_{gs} + C_{dd}} \times (V_{GH} - V_{GL})$$

[0141]

수학식 2

$$\Delta a = \frac{1}{C_{gs} + C_{dd}} \times i_{leakage} \times \Delta t$$

[0142]

[0143] 수학식 1 및 수학식 2에서 알 수 있는 바와 같이, 보조 커패시터(Cdd)의 커패시턴스를 증가시키면, ΔV 및 Δa

는 감소할 수 있다.

- [0144] 구동 트랜지스터(T1, 도 2에 도시됨)는 이전 프레임에서의 동작 상태에 따라 현재 프레임에서의 응답 특성이 달라지는 히스테리시스(hysteresis) 특성을 갖는다. 즉, 구동 트랜지스터(T1)가 동일한 전압 레벨의 데이터 신호(Di)를 수신하더라도, 이전 프레임에서의 동작 상태에 따라 현재 프레임에서 서로 다른 레벨의 구동 전류를 생성할 수 있다. 이에 따라, 유기 발광 표시 장치에서, 이전 프레임에서 검정색을 표현한 화소와 백색을 표현한 화소에 동일한 데이터 전압이 인가되더라도, 화소들은 현재 프레임에서 서로 다른 휘도를 가질 수 있다. 이러한 구동 트랜지스터의 히스테리시스에 의한 휘도 불균일을 방지하도록, 유기 발광 표시 장치는 화소가 발광하기 전에 구동 트랜지스터(T1)을 온-바이어스 상태로 초기화된다. 이에 따라, 유기 발광 표시 장치에 포함된 모든 구동 트랜지스터들이 동일한 응답 특성을 가짐으로써, 히스테리시스에 의한 휘도 불균일이 감소될 수 있다. 그러나, 앞서 설명한 바와 같이, 제3 노드(N3) 및 구동 게이트 노드(GN)의 전압 레벨이 ΔV 및 Δa 만큼 변화하여 제1 서브 트랜지스터(T3_1)의 Vgs 및 Vds는 감소하게 된다. 제1 서브 트랜지스터(T3_1)의 Vgs 및 Vds 감소는 제1 서브 트랜지스터(T3_1)의 소스-드레인 단자를 통한 누설 전류를 유발하여 구동 게이트 노드(GN)의 전압 레벨 변화를 초래하고, 구동 트랜지스터(T1)의 히스테리시스 특성을 열화시키는 요인이 될 수 있다.
- [0145] 본 발명의 실시예에서, 보조 커패시터(Cdd)의 용량을 증가시키는 것에 의해 수학적 식 1의 ΔV 및 수학적 식 2의 Δa 가 감소할 수 있다. 구동 게이트 노드(GN)의 전압 레벨을 전압(Di-Vth) 레벨로 안정적으로 유지함으로써 구동 트랜지스터(T1)의 히스테리시스 특성을 열화를 방지할 수 있다.
- [0146] 도 8 및 도 9는 도 4에 도시된 화소의 제1 서브 트랜지스터 및 제2 서브 트랜지스터를 확대한 평면도이다.
- [0147] 도 8은 제1 서브 트랜지스터의 제1 서브 채널 영역의 폭과 길이가 제2 서브 트랜지스터의 제2 서브 채널 영역의 폭과 길이와 동일한 예를 도시한다.
- [0148] 먼저 8을 참조하면, 평면상, 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)과 소스 영역(136c_1) 사이의 경계부터 차폐 패턴(158)의 좌측의 한 가장자리까지의 거리(d1)는 소정 거리 이상 유지되어야 한다. 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)과 소스 영역(136c_2) 사이의 경계부터 차폐 패턴(158)의 하측의 한 가장자리까지의 거리(d2)는 소정 거리 이상 유지되어야 한다.
- [0149] 일 실시예에서, 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 폭(W1)(즉, 제2 방향(DR2)의 길이)은 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)의 폭(W2)과 실질적으로 동일하다(W1=W2). 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 길이(L1)(즉, 제1 방향(DR1)의 길이)는 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)의 길이(L2)와 실질적으로 동일하다(L1=L2).
- [0150] 평면상, 차폐 패턴(158)은 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 영역(136c_1) 및 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 영역(137c_2)과 중첩하여 보조 커패시터(Cdd, 도 5에 도시됨)를 형성한다.
- [0151] 앞서 도 6 및 도 7에서 설명한 바와 같이, 보조 커패시터(Cdd)의 커패시턴스는 충분히 커야 하며, 보조 커패시터(Cdd)의 커패시턴스를 증가시키기 위한 방법 가운데 하나는 제1 서브 소스 영역(136c_1) 및 제2 서브 드레인 영역(137c_2)과 중첩하는 차폐 패턴(158)의 면적을 증가시키는 것이다. 그러나, 제한된 화소 면적 내에서 차폐 패턴(158)의 면적을 증가시키는 것은 용이하지 않다.
- [0152] 도 9는 제1 서브 트랜지스터의 제1 서브 채널 영역의 폭이 제2 서브 트랜지스터의 제2 서브 채널 영역의 폭보다 큰 예를 도시한다.
- [0153] 도 9를 참조하면, 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 폭(W1a)(즉, 제2 방향(DR2)의 길이)은 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)의 폭(W2)보다 크다(W1a>W2). 예를 들어, 제1 서브 채널 영역(131c_1)의 폭(W1a)은 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)의 폭(W2)보다 0.5 μ m 클 수 있다. 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 폭(W1a)이 증가함에 따라 제1 서브 채널 영역(131c_1)과 차폐 패턴(158) 사이의 중첩 면적이 증가하므로 보조 커패시터(Cdd)의 커패시턴스가 증가한다.
- [0154] 도 9에 도시된 예에서는 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 폭(W1a)을 증가시켰으나, 다른 실시예에서 제2 서브 트랜지스터(T3_2)의 제2 서브 채널 영역(131c_2)의 폭(W2)을 증가시킬 수 있다. 또 다른 예에서, 제1 서브 트랜지스터(T3_1)의 제1 서브 채널 영역(131c_1)의 폭(W1a) 및 제2 서브 채널 영역(131c_2)의 폭(W2)을 동시에 증가시킬 수 있다.
- [0155] 도 10은 제1 서브 트랜지스터의 제1 서브 채널 영역의 길이가 제2 서브 트랜지스터의 제2 서브 채널 영역의 길

이보다 킨 큰 예를 도시한다.

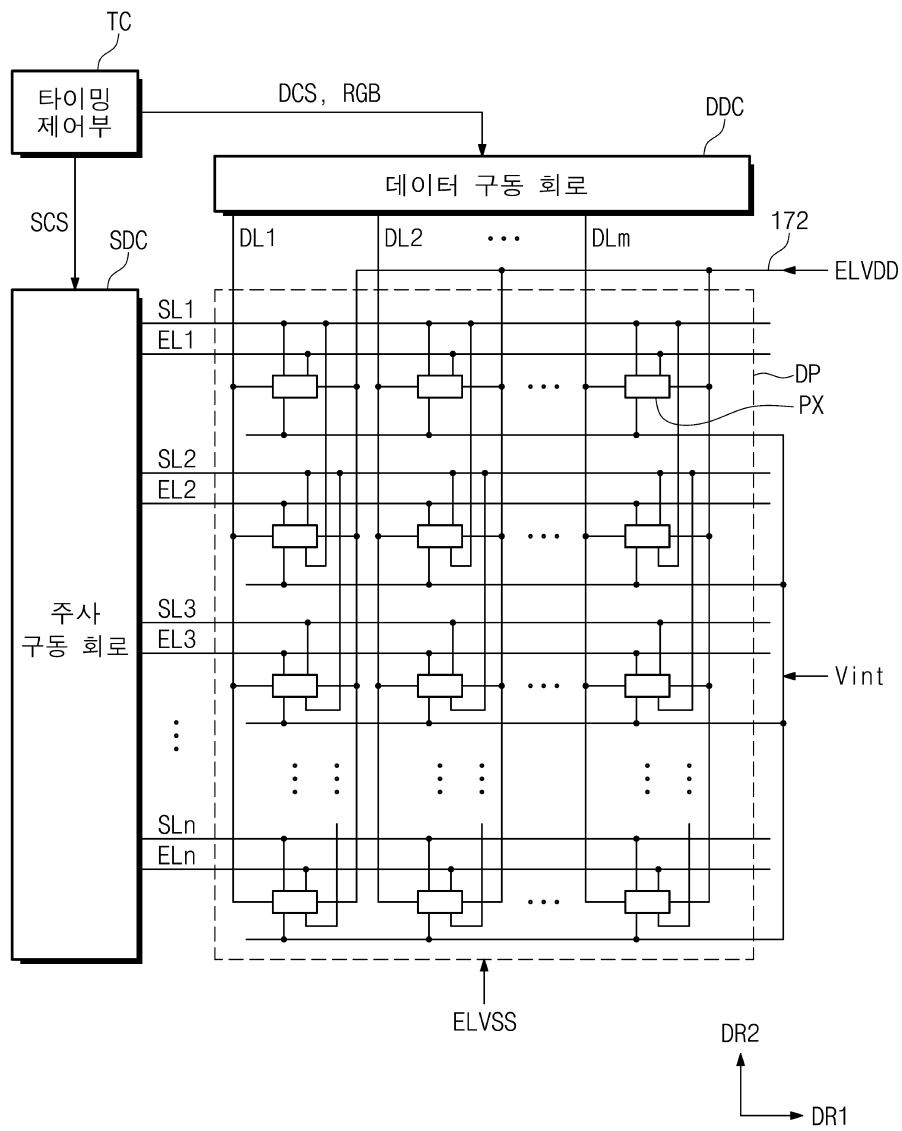
- [0156] 도 10을 참조하면, 제1 서브 트랜지스터(T3_1)의 채널 영역(131c_1)의 길이(L1a)(즉, 제1 방향(DR2)의 길이)는 제2 서브 트랜지스터(T3_2)의 채널 영역(131c_2)의 길이(L2)보다 짧다(L1a<L2). 채널 영역(131c_1)의 길이(L1a)가 짧아짐에 따라서 차폐 패턴(158)을 제1 방향(DR1)으로 더 길게 확장할 수 있다. 즉, 차폐 패턴(158)의 면적이 증가함에 따라 제1 서브 채널 영역(131c_1)과 차폐 패턴(158) 사이의 중첩 면적이 증가하므로 보조 커패시터(Cdd)의 커패시턴스가 증가한다.
- [0157] 도 9 및 도 10에 도시된 실시예들에 따르면, 공간 활용 효율을 높이고 충분한 용량의 보조 커패시터(Cdd)를 형성할 수 있다.
- [0158] 앞에서 설명한 도면들과 함께 도 11 내지 도 12를 참조하여 여러 실시예에 따른 표시 장치에 대하여 설명한다. 앞에서 설명한 실시예와 동일한 구성 요소에 대한 동일한 설명은 생략한다.
- [0159] 도 11은 본 발명이 일 실시예에 따른 화소 중 일부에 대한 평면도이다. 도 12는 도 11에 도시한 표시 장치를 VII-VII'선을 따라 잘라 도시한 단면도이다.
- [0160] 도 11 및 도 12에 도시된 화소는 상부 차폐 패턴(210)을 더 포함한다. 상부 차폐 패턴(210)은 제3 절연층(160) 상에 배열될 수 있다. 도면에 도시되지 않았으나, 상부 차폐 패턴(210)은 접촉 구멍을 통해 도 3에 도시된 구동 전압 라인(172)과 연결될 수 있다. 상부 차폐 패턴(210)은 제3 절연층(160)을 사이에 두고 차폐 패턴(158)과 다른 층에 위치할 수 있다. 상부 차폐 패턴(210)은 연결 부재(174)와 같은 층 즉, 제3 도전층에 위치할 수 있다.
- [0161] 상부 차폐 패턴(210)은 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 영역(136c_1) 및 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 영역(137c_2)과 중첩하여 제2 보조 커패시터(Cdd2)를 형성한다.
- [0162] 차폐 패턴(158)과 제1 서브 소스 영역(136c_1) 및 제2 서브 드레인 영역(137c_2) 사이의 제1 보조 커패시터(Cdd1) 및 상부 차폐 패턴(210)과 제1 서브 소스 영역(136c_1) 및 제2 서브 드레인 영역(137c_2) 사이의 제2 보조 커패시터(Cdd2)의 병렬 연결 구조에 의해서 전체 커패시턴스는 증가할 수 있다.
- [0163] 도 13은 본 발명이 일 실시예에 따른 화소 중 일부에 대한 평면도이다. 도 14는 도 13에 도시한 표시 장치를 VII-VIII'선을 따라 잘라 도시한 단면도이다.
- [0164] 도 13 및 도 14에 도시된 화소는 상부 차폐 패턴(310)을 포함한다. 상부 차폐 패턴(310)은 제4 절연층(165) 상에 배열될 수 있다. 제4 절연층(165)은 제3 절연층(160) 상에 형성될 수 있다. 도면에 도시되지 않았으나, 상부 차폐 패턴(310)은 접촉 구멍을 통해 도 3에 도시된 구동 전압 라인(172)과 연결될 수 있다. 상부 차폐 패턴(310)은 제3 절연층(160) 및 제4 절연층(165)을 사이에 두고 차폐 패턴(158)과 다른 층에 위치할 수 있다. 제4 절연층(165)은 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 영역(137c_2)과 중첩하는 개구부(166)를 갖는다.
- [0165] 상부 차폐 패턴(310)은 제1 서브 트랜지스터(T3_1)의 제1 서브 소스 영역(136c_1) 및 제2 서브 트랜지스터(T3_2)의 제2 서브 드레인 영역(137c_2)과 중첩하여 제3 보조 커패시터(Cdd3)를 형성한다. 이 실시예에서, 상부 차폐 패턴(310)의 개구부(166)에 의해서 상부 차폐 패턴(310)과 제2 서브 드레인 영역(137c_2)의 거리를 감소시켜 제3 보조 커패시터(Cdd3)의 용량을 증가시킬 수 있다.
- [0166] 차폐 패턴(158)과 제1 서브 소스 영역(136c_1) 및 제2 서브 드레인 영역(137c_2) 사이의 제1 보조 커패시터(Cdd1) 및 상부 차폐 패턴(310)과 제1 서브 소스 영역(136c_1) 및 제2 서브 드레인 영역(137c_2) 사이의 제3 보조 커패시터(Cdd3)의 병렬 연결 구조에 의해서 전체 커패시턴스는 증가할 수 있다.
- [0167] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

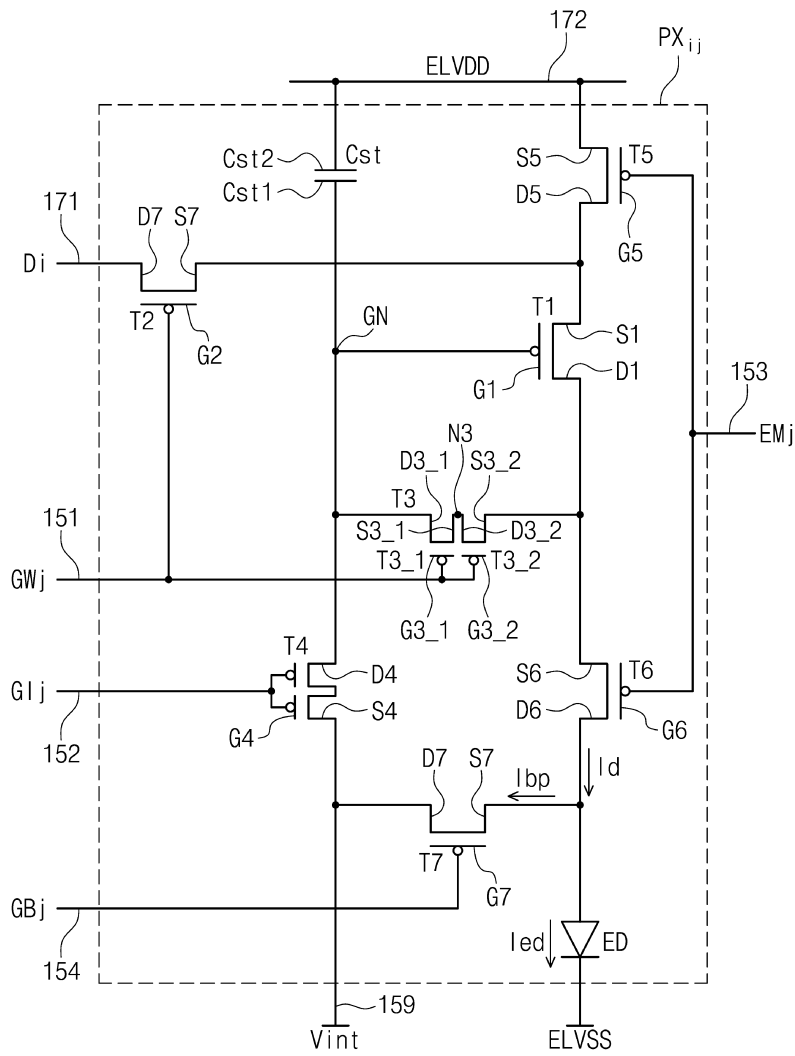
- [0168] TC: 타이밍 제어부 SDC: 주사 구동 회로
- DDC: 데이터 구동 회로 DP: 표시 패널

도면

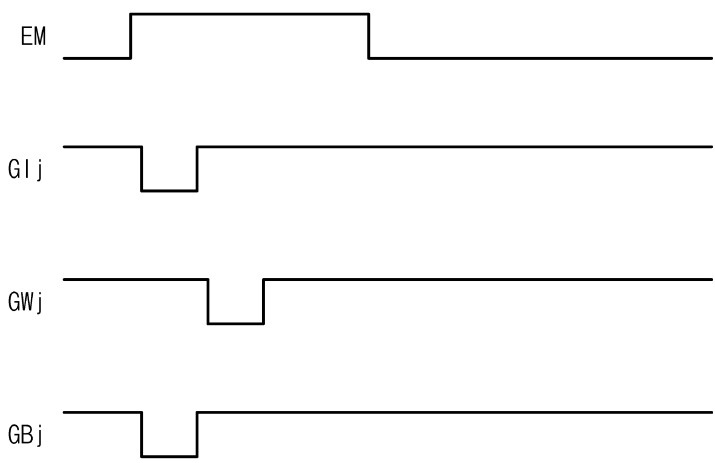
도면1



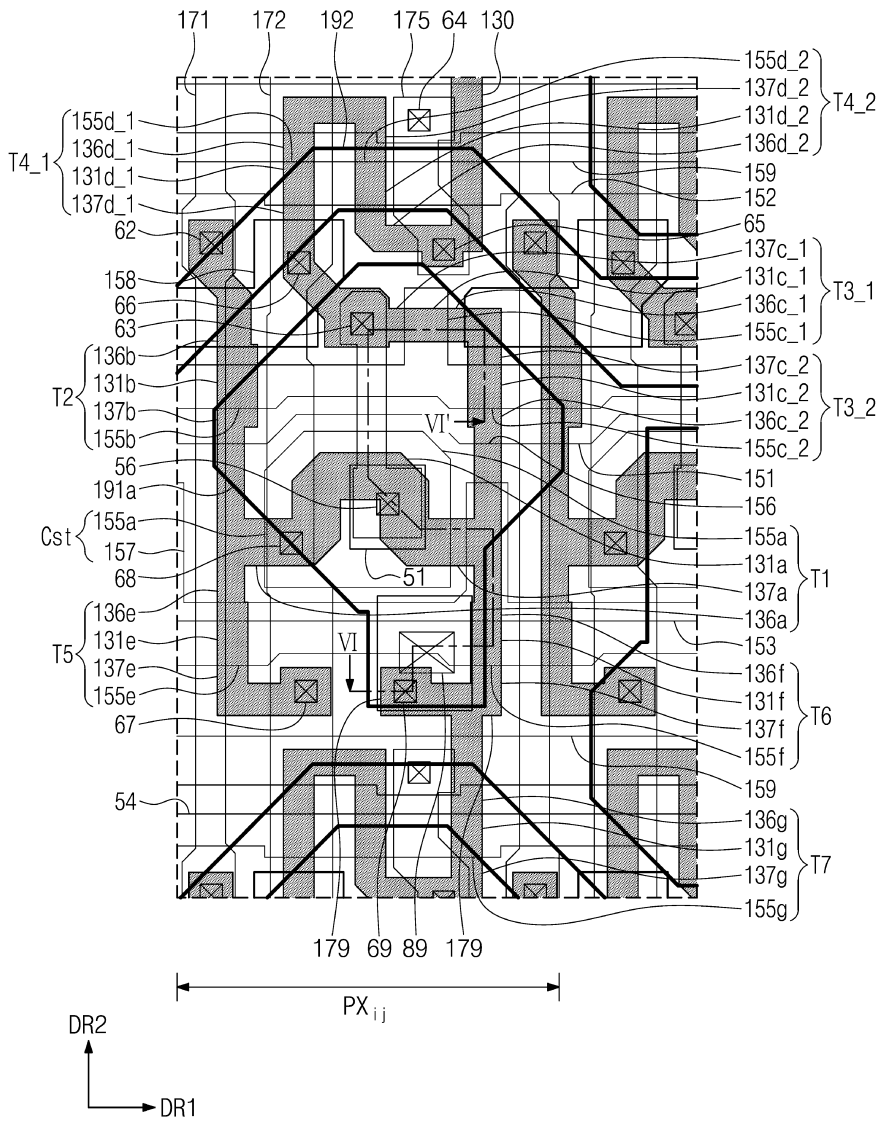
도면2



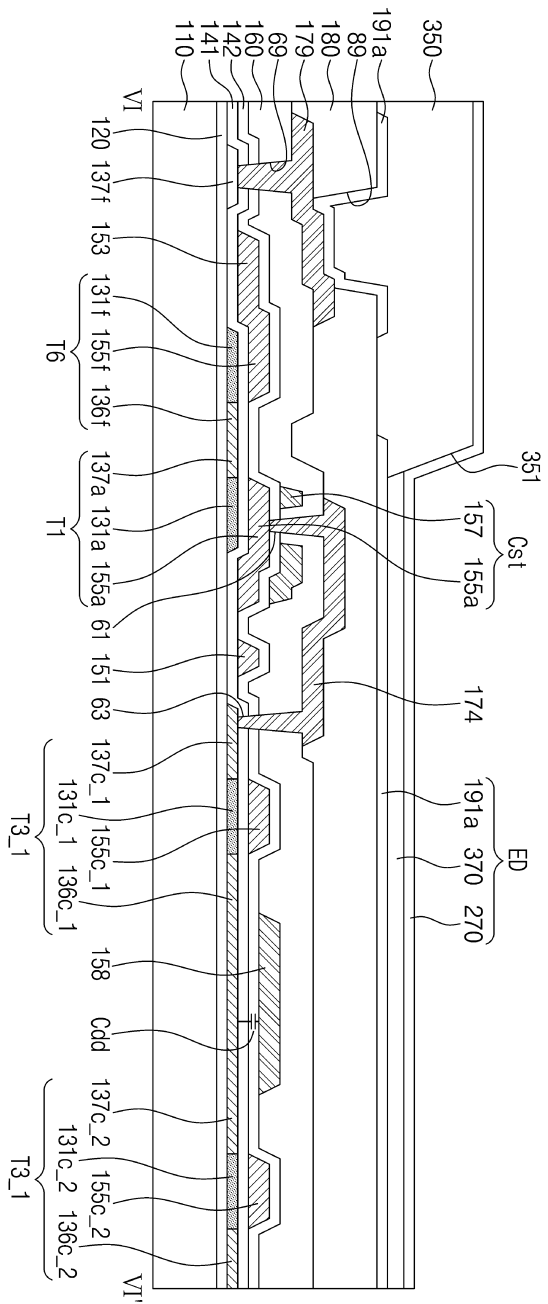
도면3



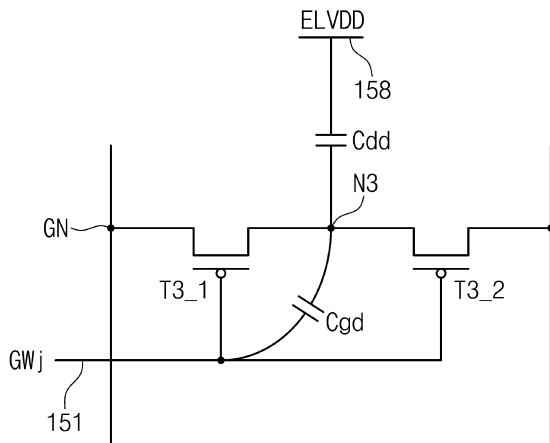
도면4



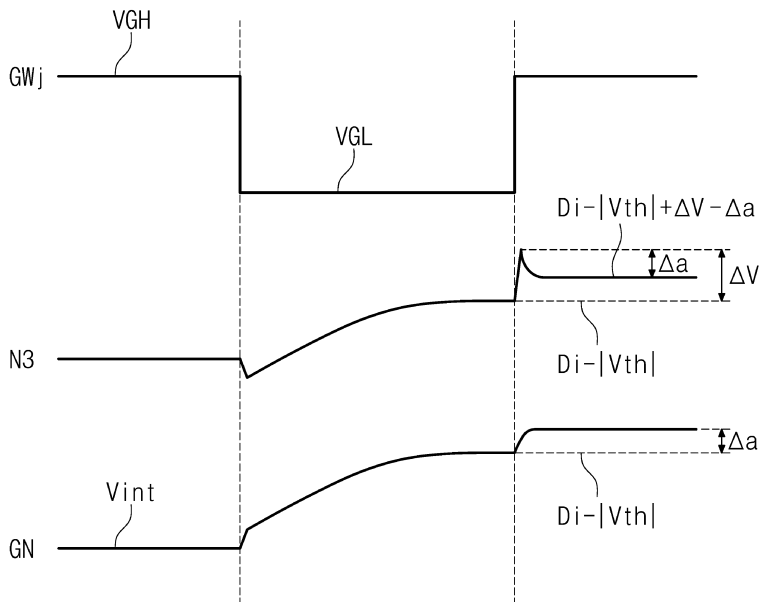
도면5



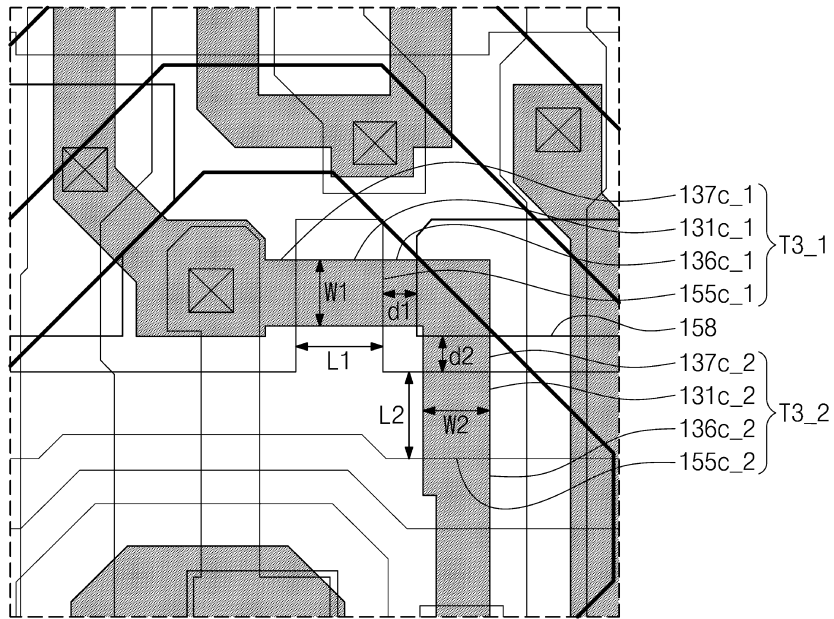
도면6



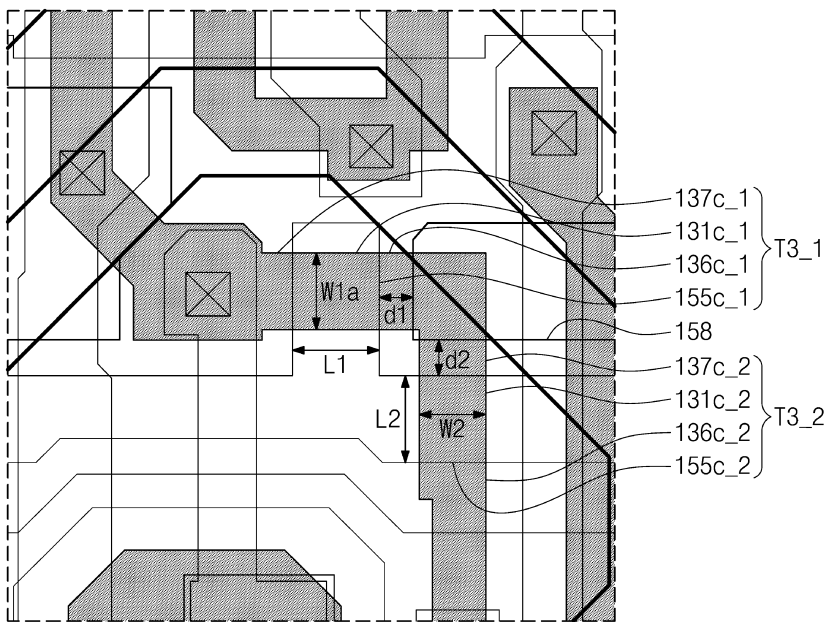
도면7



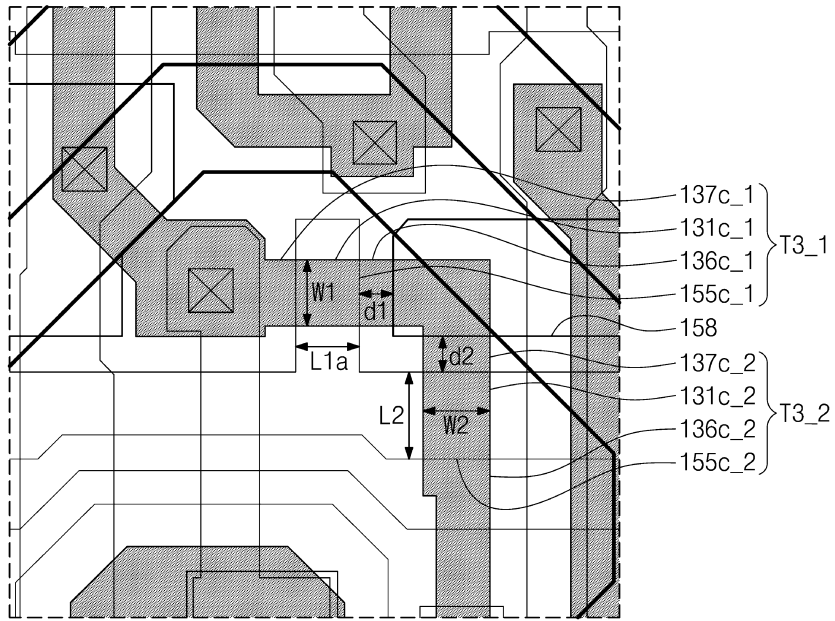
도면8



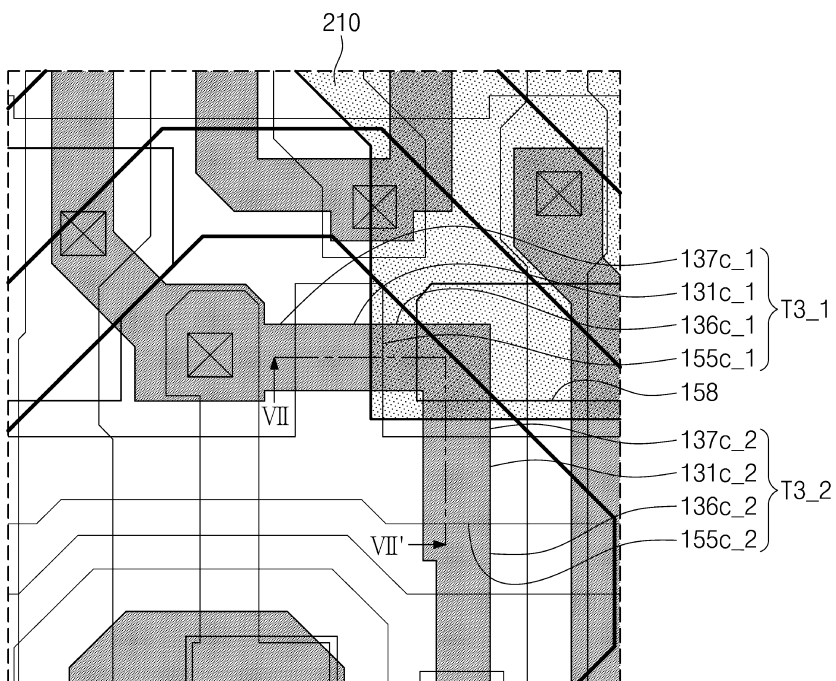
도면9



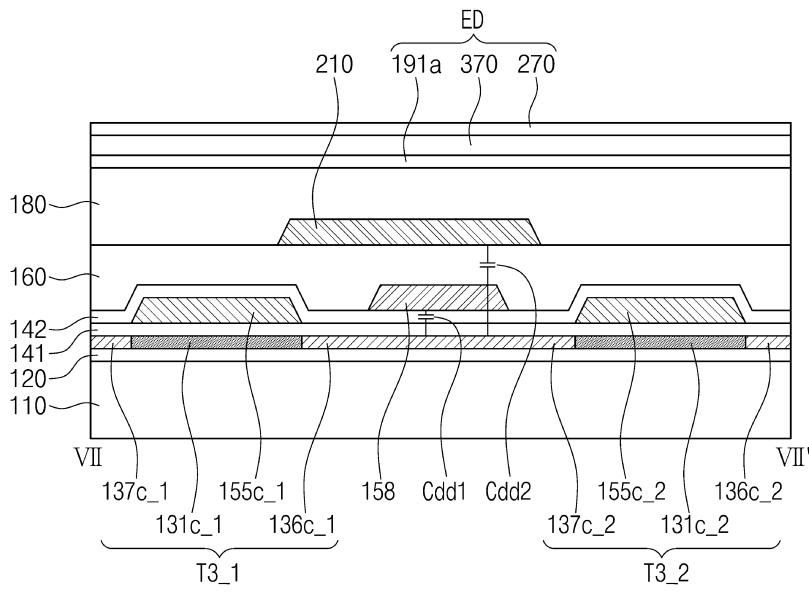
도면10



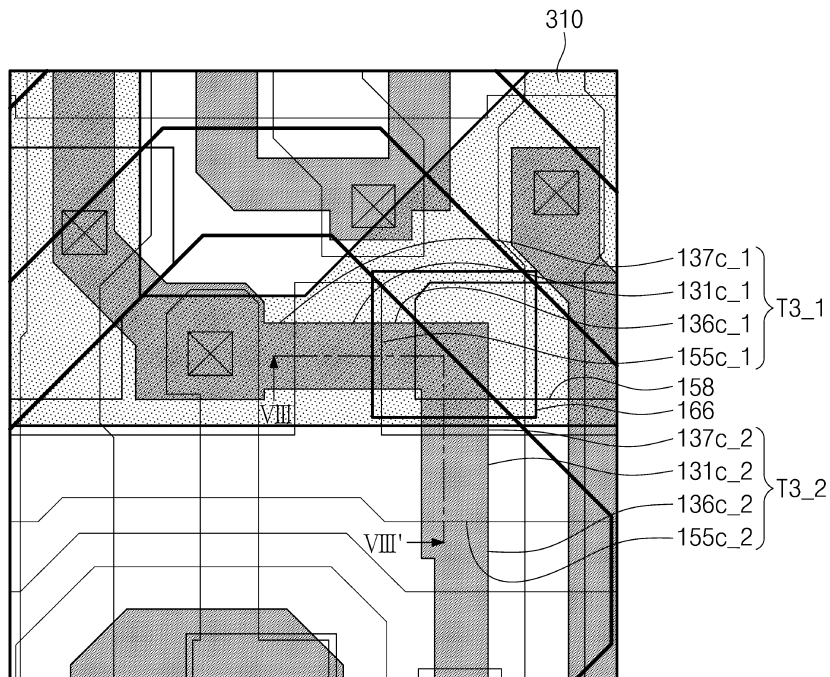
도면11



도면12



도면13



专利名称(译)	像素和具有该像素的有机发光显示装置		
公开(公告)号	KR1020200009171A	公开(公告)日	2020-01-30
申请号	KR1020180082990	申请日	2018-07-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	조영진 김현웅 문중수 이승규 김양완		
发明人	조영진 김현웅 문중수 이승규 김양완		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3262 H01L27/3265 H01L51/5203 G09G3/3266 G09G3/3275 G09G3/3225 G09G2230/00 G09G2300/0819 G09G2300/0847 G09G2310/0216 G09G2320/0238 H01L27/3272		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置的像素，该像素包括：包括阳极和阴极的发光二极管；以及包括发光二极管的发光二极管。第一晶体管，其包括电连接至发光二极管的阳极的第一源极区，第一栅电极，在平面图中与第一栅电极重叠的第一沟道区，以及面向第一源极区的第二漏极区，其中在它们之间的第一通道区域；第一子晶体管，包括第一子栅电极，在平面图中与第一子栅电极重叠的第一子沟道区，连接到第一栅电极的第一子漏区和第一子源极面对第一子漏区的区域，第一子沟道区在它们之间；第二子晶体管，包括第二子栅电极，在平面图中与第二子栅电极重叠的第二子沟道区，连接到第一子源极区的第二子漏区以及第一子晶体管源极区面向第二子漏极区，第二子沟道区位于它们之间；屏蔽图案在平面图中与第一子源极区和第二子漏极区重叠，并且不与第一子沟道区重叠，其中，第一子沟道区的宽度大于第二子沟道区的宽度。子频道区域。因此，可以提高显示质量。

