



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0128801
(43) 공개일자 2019년11월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3276 (2013.01)
(21) 출원번호 10-2018-0052936
(22) 출원일자 2018년05월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김영호
경기도 파주시 월롱면 엘지로 245
정일기
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

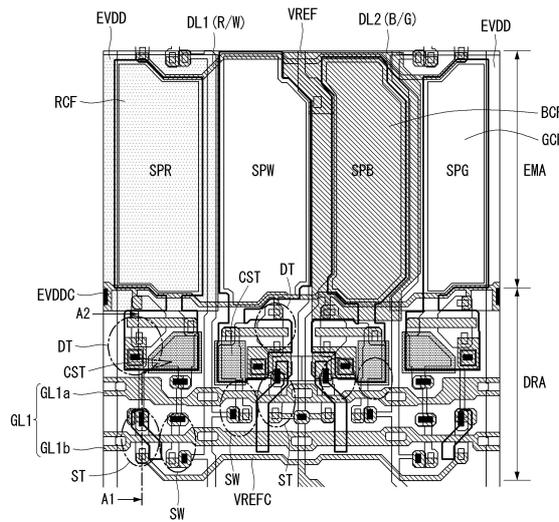
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전계발광표시장치

(57) 요약

본 발명은 기관 및 기관 상에 위치하는 픽셀을 포함하는 전계발광표시장치를 제공한다. 픽셀은 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함한다. 제1 및 제4서브 픽셀에 포함된 커패시터의 용량과 제2 및 제3서브 픽셀에 포함된 커패시터의 용량이 다르다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3297 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

기관; 및

상기 기관 상에 위치하는 픽셀을 포함하고 상기 픽셀은 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함하고,

상기 제1 및 제4서브 픽셀에 포함된 커패시터의 용량과 상기 제2 및 제3서브 픽셀에 포함된 커패시터의 용량이 다른 전계발광표시장치.

청구항 2

기관; 및

상기 기관 상에 위치하는 픽셀을 포함하고 상기 픽셀은 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함하고,

상기 제1 및 제4서브 픽셀에 포함된 커패시터를 구성하는 전극들의 크기와 상기 제2 및 제3서브 픽셀에 포함된 커패시터를 구성하는 전극들의 크기가 다른 전계발광표시장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 상기 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 상기 제2 및 제3서브 픽셀은 홀수 스캔라인을 공유하고, 상기 제1 및 제4서브 픽셀은 짝수 스캔라인을 공유하는 전계발광표시장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 상기 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 상기 제2 및 제3서브 픽셀은 짝수 스캔라인을 공유하고, 상기 제1 및 제4서브 픽셀은 홀수 스캔라인을 공유하는 전계발광표시장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 제1 및 제4서브 픽셀은 적색 및 녹색 서브 픽셀이고 상기 제2 및 제3서브 픽셀은 백색 및 청색 서브 픽셀인 전계발광표시장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 커패시터는

상기 기관 상의 제1금속층과,

상기 제1금속층 상의 버퍼층과,

상기 버퍼층 상의 반도체층과,

상기 반도체층 상의 절연층과,

상기 절연층 상의 픽셀전극층으로 이루어진 전계발광표시장치.

청구항 7

제1항 또는 제2항에 있어서,
 상기 제1서브 픽셀의 좌측과 상기 제4서브 픽셀의 우측에 수직방향으로 배치된 제1전원라인과,
 상기 제1 내지 제4서브 픽셀들의 상단에 수평방향으로 배치되고 상기 제1전원라인에 연결된 제1전원연결라인과,
 상기 제2서브 픽셀과 상기 제3서브 픽셀 사이에 수직방향으로 배치된 센싱라인과,
 상기 제1 내지 제4서브 픽셀들의 하단에 수평방향으로 배치되고 상기 센싱라인에 연결된 센싱연결라인을 더 포함하는 전계발광표시장치.

청구항 8

제7항에 있어서,
 상기 제1서브 픽셀과 상기 제2서브 픽셀 사이에 수직방향으로 배치된 제1데이터라인과,
 상기 제3서브 픽셀과 상기 제4서브 픽셀 사이에 수직방향으로 배치된 제2데이터라인과,
 상기 제1 내지 제4서브 픽셀들의 하단에 수평방향으로 배치된 홀수 스캔라인과,
 상기 홀수 스캔라인의 하단에 인접하여 수평방향으로 배치된 짝수 스캔라인을 더 포함하고,
 상기 센싱연결라인은 상기 짝수 스캔라인의 하단에 인접하여 배치된 전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 전계발광표시장치는 구동 시간이 지남에 따라 소자의 특성이 열화 된다. 그러므로 소자의 특성이나 열화를 보상하기 위한 보상 회로를 추가하기도 한다. 보상 회로를 추가할 경우 개구율은 물론이고 소비전력 등을 고려한 표시 패널의 설계가 필요하므로 이와 관련된 연구가 필요하다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 적층 구조 단순화 및 레이아웃 복잡도를 완화하여 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감하고, 또한 커패시터의 용량 변화에 따른 휘도 저하 문제를 해소하고 표시품질을 향상하는 것이다.

과제의 해결 수단

- [0007] 상술한 과제 해결 수단으로 본 발명은 기관 및 기관 상에 위치하는 픽셀을 포함하는 전계발광표시장치를 제공한다. 픽셀은 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함한다. 제1 및 제4서브 픽셀에 포함된 커패시터의 용량과 제2 및 제3서브 픽셀에 포함된 커패시터의 용량이 다르다.
- [0008] 본 발명은 기관 및 기관 상에 위치하는 픽셀을 포함하는 전계발광표시장치를 제공한다. 픽셀은 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함한다. 제1 및 제4서브 픽셀에 포함된 커패시터를 구성하는 전극들의 크기와 제2 및 제3서브 픽셀에 포함된 커패시터를 구성하는 전극들의 크기가 다르다.
- [0009] 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 제2 및 제3서브 픽셀은 홀수 스캔라인을 공유하고, 제1 및 제4서브 픽셀은 짝수 스캔라인을 공유할 수 있다.
- [0010] 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 제2 및 제3서브 픽셀은 짝수 스캔라인을 공유하고, 제1 및 제4서브 픽셀은 홀수 스캔라인을 공유할 수 있다.
- [0011] 제1 및 제4서브 픽셀은 적색 및 녹색 서브 픽셀이고 제2 및 제3서브 픽셀은 백색 및 청색 서브 픽셀일 수 있다.
- [0012] 커패시터는 기관 상의 제1금속층과, 제1금속층 상의 버퍼층과, 버퍼층 상의 반도체층과, 반도체층 상의 절연층과, 절연층 상의 픽셀전극층으로 이루어질 수 있다.
- [0013] 제1서브 픽셀의 좌측과 제4서브 픽셀의 우측에 수직방향으로 배치된 제1전원라인과, 제1 내지 제4서브 픽셀들의 상단에 수평방향으로 배치되고 제1전원라인에 연결된 제1전원연결라인과, 제2서브 픽셀과 제3서브 픽셀 사이에 수직방향으로 배치된 센싱라인과, 제1 내지 제4서브 픽셀들의 하단에 수평방향으로 배치되고 센싱라인에 연결된 센싱연결라인을 더 포함할 수 있다.
- [0014] 제1서브 픽셀과 제2서브 픽셀 사이에 수직방향으로 배치된 제1데이터라인과, 제3서브 픽셀과 제4서브 픽셀 사이에 수직방향으로 배치된 제2데이터라인과, 제1 내지 제4서브 픽셀들의 하단에 수평방향으로 배치된 홀수 스캔라인과, 홀수 스캔라인의 하단에 인접하여 수평방향으로 배치된 짝수 스캔라인을 더 포함하고, 센싱연결라인은 짝수 스캔라인의 하단에 인접하여 배치될 수 있다.

발명의 효과

- [0015] 본 발명은 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감할 수 있는 효과가 있다. 또한, 본 발명은 보상 회로 추가 시, 특정 지점에서 발생할 수 있는 커패시터의 용량 변화에 따른 휘도 저하 문제를 해소하고 표시품질을 향상할 수 있는 효과가 있다. 또한, 본 발명은 두 개의 금속층을 기반으로 소자를 형성하므로 보상 회로를 추가하더라도 적층 구조를 단순화할 수 있고 또한 레이아웃 복잡도를 완화할 수 있는 효과가 있다.

도면의 간단한 설명

- [0016] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도.
- 도 3은 제1예시에 따른 픽셀의 구성도.
- 도 4는 제2예시에 따른 픽셀의 구성도.
- 도 5는 제1 및 제2예시에 따른 픽셀의 구동을 위한 스캔 파형도.
- 도 6은 도 3의 제1예시를 기반으로 한 픽셀의 평면 레이아웃 예시도.
- 도 7은 도 6의 A1-A2 영역의 단면도.
- 도 8 내지 도 10은 본 발명에 따른 픽셀의 동작과 레이아웃 상의 특이점을 설명하기 위한 도면들.
- 도 11 및 도 12는 본 발명에 따라 보상된 커패시터의 구조를 상세히 나타낸 예시도들.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0018] 이하에서 설명되는 전계발광표시장치는 유기 발광다이오드를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)는 물론이고, 무기 발광다이오드를 기반으로 구현된 무기전계발광표시장치(Inorganic Light Emitting Display Device)에도 적용 가능하다. 그러나 이하에서는 유기전계발광표시장치를 일례로 설명한다.
- [0019] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도이다.
- [0020] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(151), 데이터 구동부(155), 스캔 구동부(157), 표시 패널(110) 및 전원 공급부(153)를 포함한다.
- [0021] 타이밍 제어부(151)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호 및 클럭 신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(151)는 구동신호에 기초하여 스캔 구동부(157)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(155)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(151)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0022] 데이터 구동부(155)는 타이밍 제어부(151)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(151)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(이하 데이터전압)로 변환하여 출력한다. 데이터 구동부(155)는 데이터라인들(DL1 ~ DLn)을 통해 데이터전압을 출력한다. 데이터 구동부(155)는 IC 형태로 형성될 수 있다.
- [0023] 스캔 구동부(157)는 타이밍 제어부(151)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(157)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(157)는 IC 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0024] 전원 공급부(153)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(153)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다. 전원 공급부(153)는 IC 형태로 형성될 수 있다.
- [0025] 표시 패널(110)은 데이터 구동부(155)로부터 공급된 데이터신호(DATA), 스캔 구동부(157)로부터 공급된 스캔신호 그리고 전원 공급부(153)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0026] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 서브 픽셀들(SP)은 컬러필터층을 기반으로 유기 발광다이오드로부터 생성된 백색의 빛을 적색, 녹색 및 청색 등의 빛으로 변환할 수 있으나 이에 한정되지 않는다.
- [0027] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(CST), 및 유기 발광다이오드(OLED)를 포함한다.
- [0028] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 구동 트랜지스터(DT)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DT)는 커패시터(CST)에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(CST)는 구동 트랜지스터(DT)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 제1스캔라인(GL1)에 게이트전극이 연결되고 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0029] 센싱 트랜지스터(ST)는 구동 트랜지스터(DT)와 유기 발광다이오드(OLED)의 열화나 문턱전압 등을 보상하기 위해 추가된 보상 회로이다. 센싱 트랜지스터(ST)는 보상을 위한 센싱값을 취득한다. 센싱 트랜지스터(ST)로부터 취

득된 센싱값은 센싱라인(VREF)을 통해 서브 픽셀의 외부에 마련된 외부 보상 회로로 전달된다.

- [0030] 센싱 트랜지스터(ST)와 스위칭 트랜지스터(SW)의 게이트전극은 제1스캔라인(GL1)에 공통으로 연결되어 있어 동시에 턴온 및 턴오프된다. 즉, 센싱 트랜지스터(ST)와 스위칭 트랜지스터(SW)는 게이트전극 공통 접속 구조를 갖는다. 게이트전극 공통 접속 구조는 스캔라인의 개수를 줄일 수 있고 그 결과 보상 회로의 추가에 따른 개구율을 감소를 방지할 수 있다.
- [0031] 도 3은 제1예시에 따른 픽셀의 구성도이고, 도 4는 제2예시에 따른 픽셀의 구성도이며, 도 5는 제1 및 제2예시에 따른 픽셀의 구동을 위한 스캔 파형도이다.
- [0032] 본 발명의 픽셀은 일측 방향(예: 수평방향)으로 배치된 4개의 서브 픽셀을 포함한다. 4개의 서브 픽셀은 적색, 백색, 청색 및 녹색을 발광할 수 있다. 본 발명의 픽셀은 두 개의 서브 픽셀이 하나의 데이터라인을 공유하도록 설계된다. 또한, 본 발명의 픽셀은 두 개의 서브 픽셀이 하나의 스캔라인을 공유하도록 설계된다. 그러나 데이터라인을 공유하는 서브 픽셀들은 동일한 스캔라인을 공유하지 않고 구분된다. 그 이유는 데이터라인을 공유하지만 각기 다른 구동 시간에 각기 다른 데이터전압을 전달받기 위함이다.
- [0033] 이처럼, 두 개의 서브 픽셀씩 하나의 데이터라인과 하나의 스캔라인을 공유하도록 설계하면 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄일 수 있다. 그리고 그 결과로, 장치의 소비전력을 절감(기존 대비 데이터 구동부의 출력채널의 개수를 절반으로 줄일 수 있음, 즉 앰프 등에서 사용되는 전류/전압이 절반으로 감소되므로 소비전력이 절감하게 됨)할 수 있는데, 이의 예시를 설명하면 다음의 도 3 및 도 4와 같다.
- [0034] 도 3의 제1예시와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 제1데이터라인(DL1)이 그리고 제3서브 픽셀(SP3)과 제4서브 픽셀(SP4) 사이에는 제2데이터라인(DL2)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 하단에는 제1A스캔라인(GL1a)(또는 홀수 스캔라인)과 제1B스캔라인(GL1b)(또는 짝수 스캔라인)이 상호 인접하여 수평방향으로 배치된다.
- [0035] 제1서브 픽셀(SP1)의 좌측과 제4서브 픽셀(SP4)의 우측에는 제1전원라인(EVDD)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 상단에는 제1전원연결라인(EVDDC)이 수평방향으로 배치된다. 제1전원연결라인(EVDDC)은 제1전원라인(EVDD)으로부터 멀리 떨어진 서브 픽셀들(예: SP2, SP3)까지 고전위전압을 전달하기 위해 배치된다.
- [0036] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 센싱라인(VREF)이 수직방향으로 배치된다. 제1B스캔라인(GL1b)의 하단에는 센싱연결라인(VREF)이 수평방향으로 배치된다. 센싱연결라인(VREF)은 센싱라인(VREF)으로부터 멀리 떨어진 서브 픽셀들(예: SP1, SP4)까지 센싱하기 위해 배치된다.
- [0037] 제1예시에 따른 픽셀은 동일한 제1데이터라인(DL1)에 제1 및 제2서브 픽셀(SP1, SP2)이 연결되지만 제1B스캔라인(GL1b)과 제1A스캔라인(GL1a)과 같이 각기 다른 스캔라인에 연결된다. 또한, 동일한 제2데이터라인(DL2)에 제3 및 제4서브 픽셀(SP3, SP4)이 연결되지만 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)과 같이 각기 다른 스캔라인에 연결된다.
- [0038] 도 4의 제2예시와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 제1데이터라인(DL1)이 그리고 제3서브 픽셀(SP3)과 제4서브 픽셀(SP4) 사이에는 제2데이터라인(DL2)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 하단에는 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)이 수평방향으로 인접 배치된다.
- [0039] 제1서브 픽셀(SP1)의 좌측과 제4서브 픽셀(SP4)의 우측에는 제1전원라인(EVDD)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 상단에는 제1전원연결라인(EVDDC)이 수평방향으로 배치된다. 제1전원연결라인(EVDDC)은 제1전원라인(EVDD)으로부터 멀리 떨어진 서브 픽셀들(예: SP2, SP3)에 고전위전압을 전달하기 위해 배치된다.
- [0040] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 센싱라인(VREF)이 수직방향으로 배치된다. 제1B스캔라인(GL1b)의 하단에는 센싱연결라인(VREF)이 수평방향으로 배치된다. 센싱연결라인(VREF)은 센싱라인(VREF)으로부터 멀리 떨어진 서브 픽셀들(예: SP1, SP4)을 센싱하기 위해 배치된다.
- [0041] 제2예시에 따른 픽셀은 동일한 제1데이터라인(DL1)에 제1 및 제2서브 픽셀(SP1, SP2)이 연결되지만 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)과 같이 각기 다른 스캔라인에 연결된다. 또한, 동일한 제2데이터라인(DL2)에 제3 및 제4서브 픽셀(SP3, SP4)이 연결되지만 제1B스캔라인(GL1b)과 제1A스캔라인(GL1a)과 같이 각기 다른 스캔라인에 연결된다.

- [0042] 도 3 내지 도 5를 함께 참고하면, 제1A스캔라인(GL1a)에는 제1A스캔신호(Scan/Sense1a)가 전달되고 제1B스캔라인(GL1b)에는 제1B스캔신호(Scan/Sense1b)가 전달된다. 제1A스캔신호(Scan/Sense1a)는 제1B스캔신호(Scan/Sense1b) 보다 앞서 로직하이의 파형을 이루는 것을 일례로 하였으나 이와 반대가 될 수도 있다. 또한, 제1A스캔신호(Scan/Sense1a)와 제1B스캔신호(Scan/Sense1b)는 로직하이를 이루는 구간이 일부 중첩(OVR)할 수 있으나 이에 한정되지 않는다.
- [0043] 그러므로 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)은 제1데이터라인(DL1)을 공유하고 제3서브 픽셀(SP3)과 제4서브 픽셀(SP4)은 제2데이터라인(DL2)을 공유하지만, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 그리고 제1서브 픽셀(SP1)과 제4서브 픽셀(SP4)로 구분되어 프로그래밍(데이터전압 인가)기간 & 센싱(센싱값 취득)기간이 달라진다. 이와 같은 구동방식은 컬러별 충전율 차이의 발생 가능성을 방지 또는 개선할 수 있는 이점이 있다.
- [0044] 이하, 도 3의 제1예시를 기반으로 표시 패널 제작을 위한 픽셀 레이아웃 등을 설명한다.
- [0045] 도 6은 도 3의 제1예시를 기반으로 한 픽셀의 평면 레이아웃 예시도이고, 도 7은 도 6의 A1-A2 영역의 단면도이다.
- [0046] 도 6에 도시된 바와 같이, 픽셀은 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)의 순으로 배치된다. 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)은 빛을 발광하는 발광영역(EMA)과 빛을 비발광하는 회로영역(DRA)을 포함한다.
- [0047] 발광영역(EMA)에는 유기 발광다이오드와 더불어 컬러필터층(RCF, BCF, GCF)이 배치되고, 회로영역(DRA)에는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST), 구동 트랜지스터(DT) 및 커패시터(CST)가 배치된다.
- [0048] 적색 서브 픽셀(SPR)과 백색 서브 픽셀(SPW) 사이에는 제1데이터라인(DL1)이 그리고 청색 서브 픽셀(SPB)과 녹색 서브 픽셀(SPG) 사이에는 제2데이터라인(DL2)이 수직방향으로 배치된다. 적색, 백색, 청색 및 녹색 서브 픽셀들(SPR, SPW, SPB, SPG)의 하단에는 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)이 수평방향으로 인접 배치된다.
- [0049] 적색 서브 픽셀(SPR)의 좌측과 녹색 서브 픽셀(SPG)의 우측에는 제1전원라인(EVDD)이 수직방향으로 배치된다. 적색, 백색, 청색 및 녹색 서브 픽셀들(SPR, SPW, SPB, SPG)의 상단에는 제1전원연결라인(EVDDC)이 수평방향으로 배치된다.
- [0050] 백색 서브 픽셀(SPW)과 청색 서브 픽셀(SPB) 사이에는 센싱라인(VREF)이 수직방향으로 배치된다. 제1B스캔라인(GL1b)의 하단에는 센싱연결라인(VREF)이 수평방향으로 배치된다. 제1A스캔라인(GL1a), 제1B스캔라인(GL1b), 센싱연결라인(VREF)은 모두 수평방향에서 인접 배치된다.
- [0051] 발광영역(EMA)을 제외한 모든 영역은 빛을 발광하지 않는 비발광영역으로 정의될 수 있다. 그러므로 제1데이터라인(DL1), 제2데이터라인(DL2), 제1A스캔라인(GL1a), 제1B스캔라인(GL1b), 제1전원라인(EVDD), 제1전원연결라인(EVDDC), 센싱라인(VREF) 및 센싱연결라인(VREF)이 배치된 영역은 비발광영역이다.
- [0052] 도 6 및 도 7에 도시된 바와 같이, 제1금속층(111)은 기판(110a) 상에 위치한다. 도시된 제1금속층(111)은 커패시터(CST)의 하부전극 부분이다. 제1금속층(111)은 기판(110a) 상에 형성되고 커패시터(CST)의 하부전극뿐만 아니라 수직방향으로 배치된 제1전원라인(EVDD), 제1데이터라인(DL1), 제2데이터라인(DL2) 및 일부 점핑전극들을 구성하기 위해 패턴되어 분리된다. 커패시터(CST)의 하부전극 부분이 되는 제1금속층(111)은 구동 트랜지스터(DT)의 채널영역과 중첩하는 영역을 갖는다. 이 구조로 인하여, 외부광에 의한 구동 트랜지스터(DT)의 전류누설 발생 문제는 해소된다. 즉, 도시된 제1금속층(111)은 커패시터(CST)의 하부전극과 더불어 광차단전극 역할 등을 겸한다.
- [0053] 버퍼층(112)은 기판(110a) 상에 위치한다. 버퍼층(112)은 제1금속층(111)을 덮고 또한 일부 영역을 노출한다. 반도체층(113a ~ 113c)은 버퍼층(112) 상에 위치한다. 반도체층(113a ~ 113c)은 산화물(Oxide)이나 실리콘(Si) 등으로 선택될 수 있다. 반도체층(113a ~ 113c)이 산화물(Oxide)로 선택된 경우, 외부로 노출되지 않은 영역은 반도체 특성을 갖지만 노출된 영역은 도체화된다. 반도체층(113a ~ 113c)은 버퍼층(112) 상에 형성되고 센싱 트랜지스터(ST)의 액티브 부분(113a), 커패시터(CST)의 중간전극 부분(113b) 및 구동 트랜지스터(DT)의 액티브 부분(113c) 등을 구성하기 위해 패턴되어 분리된다.
- [0054] 제1절연층(114)은 버퍼층(112) 상에 위치한다. 제1절연층(114)은 무기재료로 선택될 수 있다. 제1절연층(114)은 반도체층(113a ~ 113c)을 덮고 또한 일부 영역을 노출한다. 제2금속층(115a ~ 115g)은 제1절연층(114) 상에 위치한다. 제2금속층(115a ~ 115g)은 제1절연층(114) 상에 형성되고 센싱 트랜지스터(ST)의 전극 부분(115a,

115b, 115c)(예: 드레인, 게이트, 소스), 제1A스캔라인(GL1a)의 라인 부분(115d) 및 구동 트랜지스터(DT)의 전극 부분(115e, 115f, 115g)(예: 소스, 게이트, 드레인) 등을 구성하기 위해 패턴되어 분리된다. 이 밖에, 제2금속층(115a ~ 115g)은 수평방향으로 배치된 제1전원연결라인(EVDDC) 및 센싱연결라인(VREFC) 등을 구성한다.

- [0055] 제2절연층(116)은 제2금속층(115a ~ 115g) 상에 위치한다. 제2절연층(116)은 무기재료로 선택될 수 있다. 제2절연층(116)은 제2금속층(115a ~ 115g)을 덮고 또한 일부 영역을 노출한다. 제3절연층(117)은 제2절연층(116) 상에 위치한다. 제3절연층(117)은 유기재료로 선택될 수 있다. 제3절연층(117)은 제2절연층(116)을 덮고 또한 일부 영역을 노출한다. 제3절연층(117)의 노출 영역은 제1 내지 제3콘택홀(H01 ~ H03)을 포함한다. 제1콘택홀(H01)은 구동 트랜지스터(DT)의 일측 전극(115e)을 노출한다. 제2콘택홀(H02)은 커패시터(CST)가 위치하는 영역의 제2절연층(116)을 노출한다. 제3콘택홀(H03)은 센싱 트랜지스터(ST)의 일측 전극(115c)을 노출한다. 도시되어 있지 않지만, 컬러필터층(RCF, BCF, GCF)은 발광영역(EMA)에 위치하되 제2절연층(116)과 제3절연층(117) 사이에 배치된다.
- [0056] 픽셀전극층(118a ~ 118c)은 제3절연층(117) 상에 위치한다. 픽셀전극층(118a ~ 118c)은 투명전극 재료로 선택될 수 있다. 픽셀전극층(118a ~ 118c)은 제3절연층(117) 상에 형성되고 더미라인(DMY)의 일측 부분(118a), 커패시터(CST)의 상부전극 부분(118c) 및 픽셀전극 부분(118b) 등을 구성하기 위해 패턴되어 분리된다. 한편, 더미라인(DMY)은 서브 픽셀의 결함 발생 시 현재의 서브 픽셀의 다음 단에 위치하는 서브 픽셀과의 전기적 연결을 통한 결함 보수(리페어)에 사용된다. 따라서, 더미라인(DMY)의 일측 부분(118a)과 제3콘택홀(H03)은 생략될 수도 있다.
- [0057] 제4절연층(119)은 제3절연층(117) 상에 위치한다. 제4절연층(119)은 유기재료로 선택될 수 있다. 제4절연층(119)은 제3절연층(117) 상에 형성되고 픽셀전극층(118a, 118b, 118c)을 덮고 일부 영역을 노출한다. 도시되어 있지 않지만, 제4절연층(119)은 बैं크층 역할을 하므로 발광영역(EMA)에 위치하는 픽셀전극 부분(118b)만 노출할 수 있다. 픽셀전극 부분(118b)은 애노드전극으로 선택될 수 있다.
- [0058] 유기 발광층(120)은 제4절연층(119) 상에 위치한다. 유기 발광층(120)은 백색을 발광하는 재료 등으로 선택될 수 있다. 유기 발광층(120)은 제4절연층(119)의 전면에 형성되거나 노출된 픽셀전극 부분(118b)에만 형성될 수도 있다. 도면에서는 유기 발광층(120)이 제4절연층(119)의 전면에 형성된 것을 일례로 한 것이다. 공통전극(121)은 유기 발광층(120) 상에 위치한다. 공통전극(121)은 캐소드전극으로 선택될 수 있다.
- [0059] 이상 제1금속층(111)과 제2금속층(115a ~ 115g)을 기반으로 구현된 픽셀 구조(또는 2 Metal 픽셀 구조)는 종래 3개의 금속층을 사용하는 방식 대비 공정을 단순화할 수 있다. 그 결과, 전극들 간의 연결을 위한 콘택홀의 개수를 줄일 수 있고 그 결과 개구율을 확보(또는 증가)할 수 있다. 또한, 소스 드레인 형성시 사용되던 층간 절연층을 제거할 수 있어 적층 구조를 단순화할 수 있고 레이아웃 복잡도 또한 완화할 수 있다.
- [0060] 한편, 본 발명에 따르면 적색 서브 픽셀(SPR)과 녹색 서브 픽셀(SPG)에 포함된 커패시터의 용량이 백색 서브 픽셀(SPW)과 청색 서브 픽셀(SPB)에 포함된 커패시터의 용량보다 더 큰 값을 갖는데 이와 관련된 설명은 이하에서 더욱 자세히 다룬다.
- [0061] 도 8 내지 도 10은 본 발명에 따른 픽셀의 동작과 레이아웃 상의 특이점을 설명하기 위한 도면들이고, 도 11 및 도 12는 본 발명에 따라 보상된 커패시터의 구조를 상세히 나타낸 예시도들이다.
- [0062] 도 8 내지 도 10에 도시된 바와 같이, 본 발명에 따른 픽셀은 모두 3T(Transistor)1C(Capacitor)로 이루어진 서브 픽셀을 기반으로 한다. 3T1C 구조의 서브 픽셀은 다음과 같이 동작한다.
- [0063] 구동 트랜지스터(DT)의 게이트 노드 전압(Vg)과 소스 노드 전압(Vs)을 형성하기 위한 데이터전압과 레퍼런스전압이 인가된다. 데이터전압은 제1데이터라인(DL1)을 통해 인가되고 레퍼런스전압은 센싱라인(VREF)을 통해 인가된다. 이를 위해, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동시에 턴온된다.
- [0064] 커패시터(CST)의 충전시간 동안 구동 트랜지스터(DT)의 드레인소스 전류(Ids)에 의해 구동 트랜지스터(DT)의 소스 노드 전압(Vs) 또한 상승하게 된다. 구동 트랜지스터(DT)의 소스 노드 전압(Vs)이 상승하면 커패시터(CST)에 의해 구동 트랜지스터(DT)의 게이트 노드 전압(Vg) 또한 상승하게 된다.
- [0065] 그런데 구동 트랜지스터(DT)의 게이트 노드에 다른 커패시터가 생성되거나 커패시터의 용량 변화(용량 증가)가 발생하면, 그 영향(커패시터 커플링; Capacitor Coupling, 이하 커패시터 커플링)으로 구동 트랜지스터(DT)의 게이트 노드 전압(Vg)이 감소하게 된다.
- [0066] 실험에 따르면, 커패시터 커플링 문제는 도 9에 표시된 "Gate Node Cap Increase" 영역과 같이 점핑전극과 스캔

라인의 교차부를 갖는 서브 픽셀들에 나타나는 것으로 확인되었다. 점핑전극은 스위칭 트랜지스터(SW)의 일측 전극과 커패시터(CST)의 일측 전극 간의 전기적 연결을 위해 제1금속층으로 마련된 부분이다.

- [0067] 그리고 커패시터 커플링 문제로 인하여, 구동 트랜지스터(DT)의 게이트 노드 전압(Vg)이 감소하면 휘도 저하가 발생(구동전류 Ids는 Vgs의 영향을 받기 때문에 Ids = Vgs 관계가 성립되고 커플링 영향이 발생하면 결국 휘도가 저하됨)하는 것으로 나타났다.
- [0068] 통상, 전극이나 라인 간의 중첩으로 인한 커패시터 커플링 문제 해결을 위해 "PT"에서 보는 바와 같이 스캔라인을 분기시키는 방식이 활용된 바 있다. 그러나 "Gate Node Cap Increase" 영역과 같이 좁은 영역 내에서는 스캔라인을 분기하는 방식을 활용할 수 없다.
- [0069] 커패시터 커플링 문제를 해소하기 위한 연구를 거듭한 결과, 구동 트랜지스터(DT)의 게이트 노드 전압(Vg)은 커패시터 커플링(기생 커패시터의 증가)에 의해 도 10(a)의 수식처럼 변하게 됨을 알아냈다. 그리고 이 문제를 해결(휘도와 관계하는 Vg를 기존 수준으로 유지하기 위해)하기 위해서는 도 10(b)의 수식처럼 커패시터(CST)의 용량 증가가 필요함을 알아냈다.
- [0070] 도 10의 수식에서, ΔV_g 는 구동 트랜지스터의 게이트 노드 전압, ΔV_s 는 구동 트랜지스터의 소스 노드 전압, CST는 커패시터, A는 스위칭 트랜지스터의 오프 커패시터, B는 구동 트랜지스터의 온 커패시터, C는 구동 트랜지스터의 게이트 노드에 존재하는 기생 커패시터를 의미한다.
- [0071] 그러므로 본 발명은 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄이기 위한 표시 패널 설계 시 발생할 수 있는 커패시터 커플링 문제를 해소하거나 최소화하기 위해 다음과 같은 구조를 제안한다.
- [0072] 본 발명의 제1예시에 따르면 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)에 각각 포함된 커패시터(CST_R, CST_W, CST_B, CST_G)의 용량을 도 11과 같이 " $CST_R \approx CST_G > CST_W \approx CST_B$ " 관계를 갖도록 한다.
- [0073] 제1예시와 같은 조건으로 커패시터(CST)를 형성하기 위해, $CST_W \approx CST_B$ 를 구성하는 전극들의 면적보다 CST_R 와 CST_G 를 구성하는 전극들의 면적을 더 넓게 한다. 단, 제1예시는 적색 서브 픽셀(SPR)과 녹색 서브 픽셀(SPG)에 한하여 커패시터 커플링에 따라 기생 용량이 증가하였을 경우를 가정한 것이다.
- [0074] 본 발명의 제2예시에 따르면 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)에 각각 포함된 커패시터(CST_R, CST_W, CST_B, CST_G)의 용량을 도 12와 같이 " $CST_W \approx CST_B > CST_R \approx CST_G$ " 관계를 갖도록 한다.
- [0075] 제2예시와 같은 조건으로 커패시터(CST)를 형성하기 위해, $CST_R \approx CST_G$ 를 구성하는 전극들의 면적보다 $CST_W \approx CST_B$ 를 구성하는 전극들의 면적을 더 넓게 한다. 단, 제2예시는 백색 서브 픽셀(SPW)과 청색 서브 픽셀(SPB)에 한하여 커패시터 커플링에 따라 기생 용량이 증가하였을 경우를 가정한 것이다.
- [0076] 이상 본 발명은 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감할 수 있는 효과가 있다. 또한, 본 발명은 보상 회로 추가 시, 특정 지점에서 발생할 수 있는 커패시터의 용량 변화에 따른 휘도 저하 문제를 해소하고 표시품질을 향상할 수 있는 효과가 있다. 또한, 본 발명은 두 개의 금속층을 기반으로 소자를 형성하므로 보상 회로를 추가하더라도 적층 구조를 단순화할 수 있고 또한 레이아웃 복잡도를 완화할 수 있는 효과가 있다.
- [0077] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

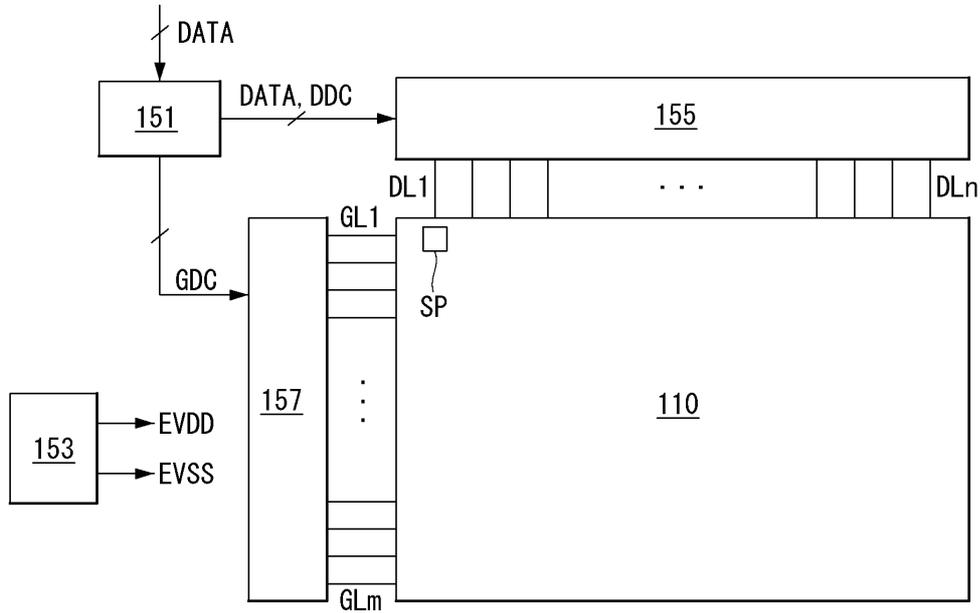
부호의 설명

- [0078] SW: 스위칭 트랜지스터 ST: 센싱 트랜지스터
- DT: 구동 트랜지스터 CST: 커패시터
- OLED: 유기 발광다이오드 GL1a: 제1A스캔라인

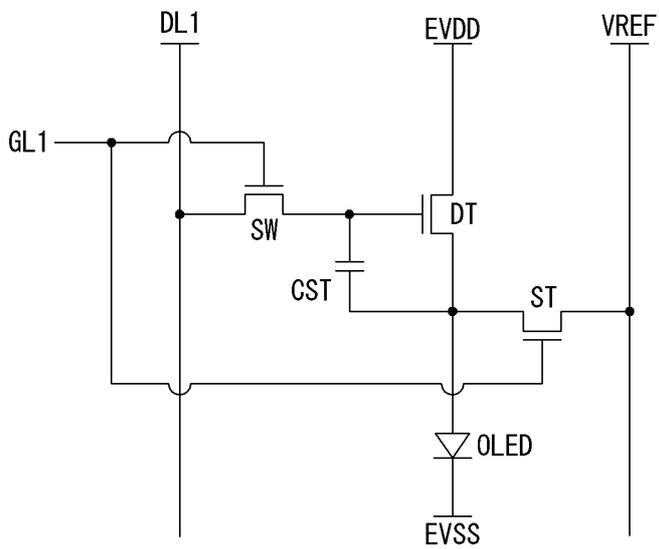
GL1b: 제1B스캔라인 110a: 기판

도면

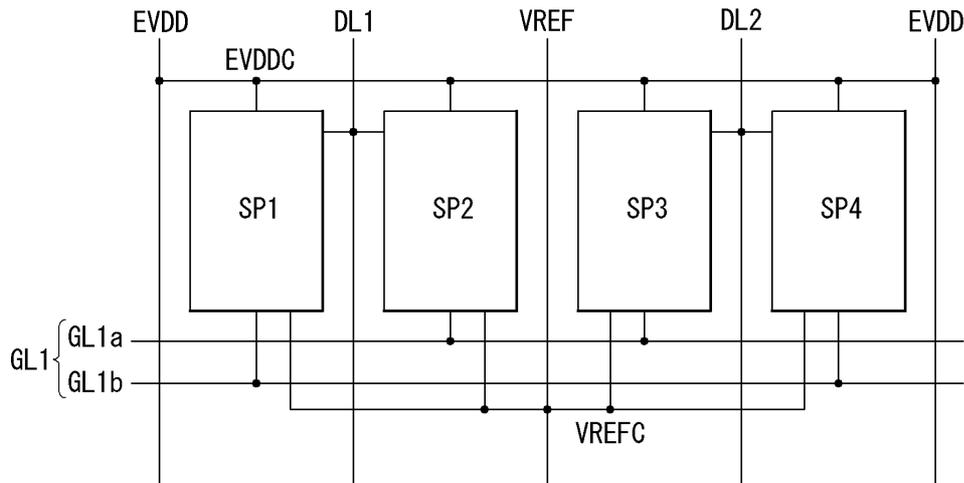
도면1



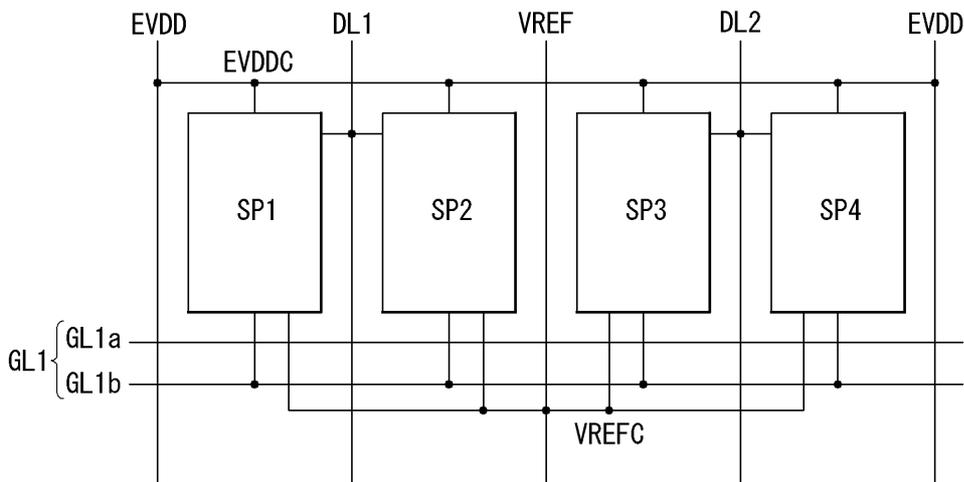
도면2



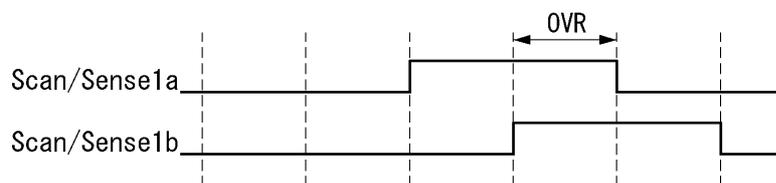
도면3



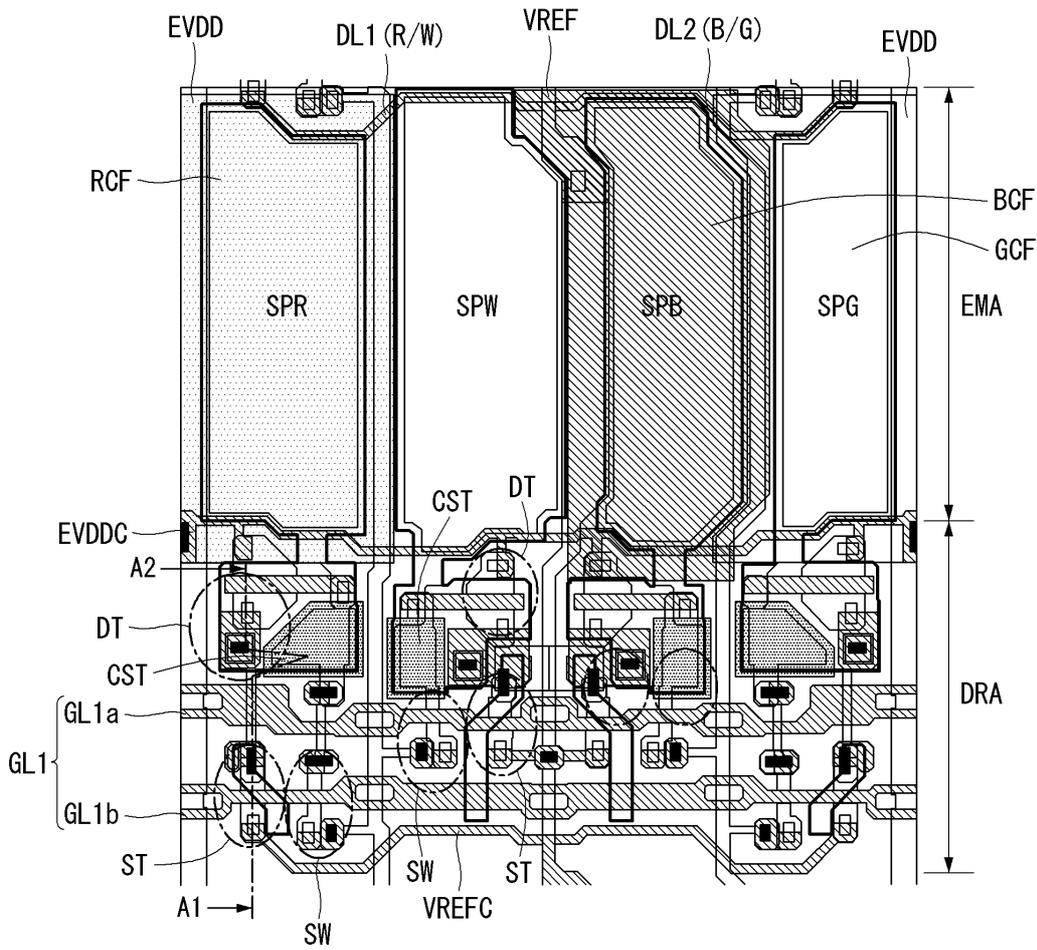
도면4



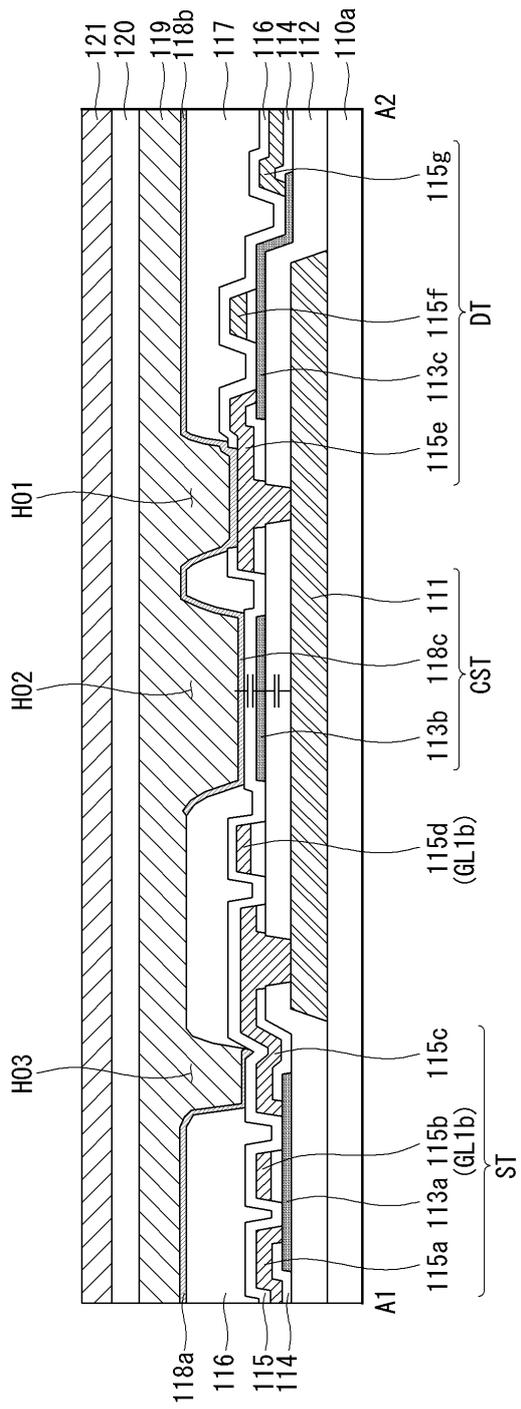
도면5



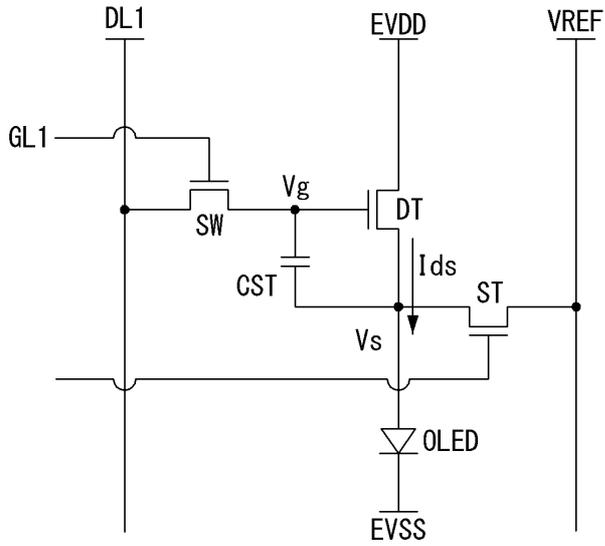
도면6



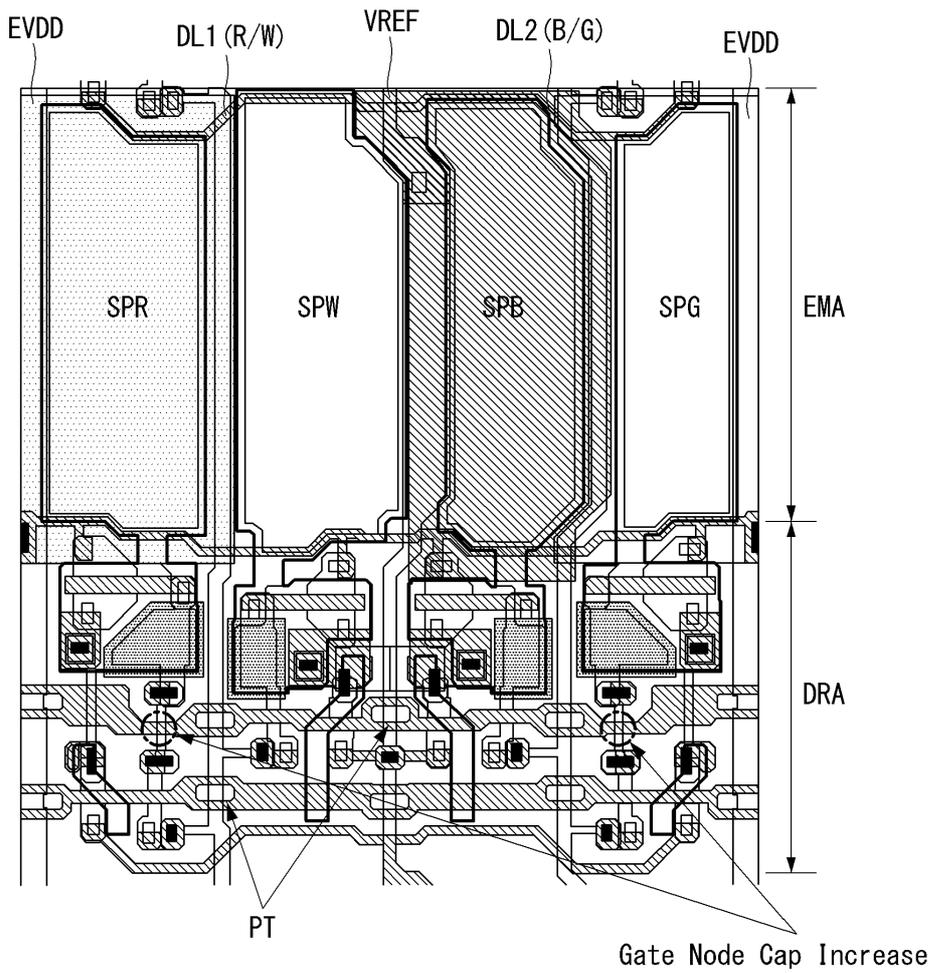
도면7



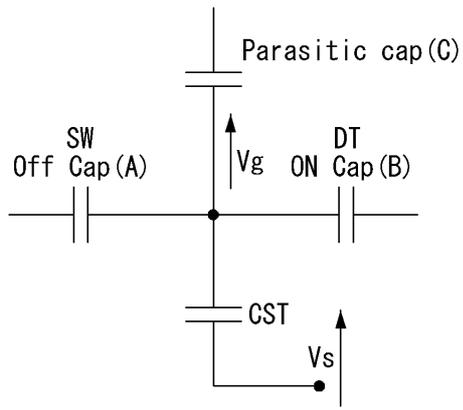
도면8



도면9



도면10

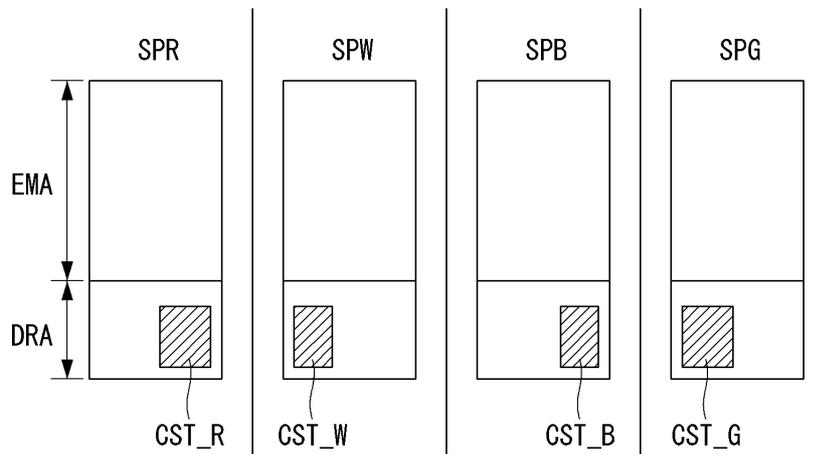


$$\Delta Vg \downarrow = \Delta Vs \times \frac{Cst}{A + B + C \uparrow + Cst}$$



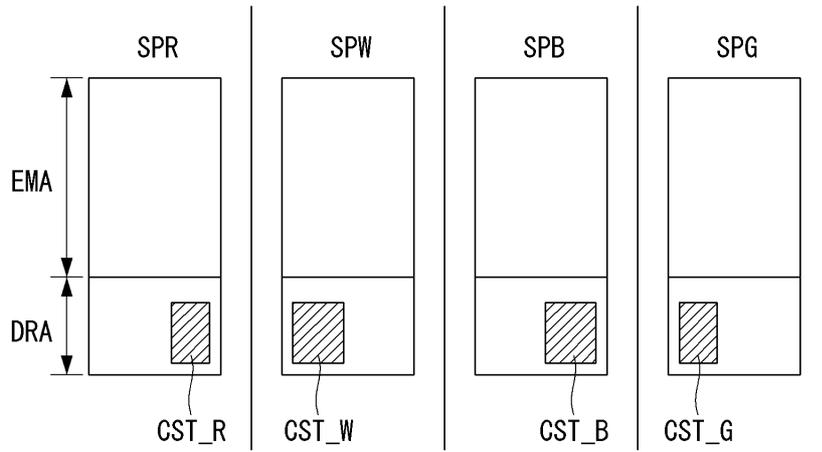
$$\Delta Vg = \Delta Vs \times \frac{Cst \uparrow}{A + B + C \uparrow + Cst \uparrow}$$

도면11



$$CST \Leftrightarrow CST_R \approx CST_G > CST_W \approx CST_B$$

도면12



$$CST \Rightarrow CST_W \cong CST_B > CST_R \cong CST_G$$

专利名称(译)	发光显示装置		
公开(公告)号	KR1020190128801A	公开(公告)日	2019-11-19
申请号	KR1020180052936	申请日	2018-05-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOUNGHO KIM 김영호 ILGI JEONG 정일기		
发明人	김영호 정일기		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3276 H01L27/3265 H01L51/50 H01L27/3297		
外部链接	Espacenet		

摘要(译)

本发明提供了一种电致发光显示装置，其包括基板和位于该基板上的像素。像素包括第一至第四子像素，第一至第四子像素被布置为共享一个数据线乘以两个子像素，并且共享一条扫描线乘以两个子像素。第一子像素和第四子像素中包括的电容器的电容与第二子像素和第三子像素中包括的电容器的电容不同。

