



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0100554
(43) 공개일자 2019년08월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0019566
(22) 출원일자 2018년02월19일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
전주희
경기도 화성시 동탄대로12길 17, 1807동 702호
김건희
경기도 화성시 동탄대로시범길 122, 1462동 404호
(뒷면에 계속)
(74) 대리인
박영우

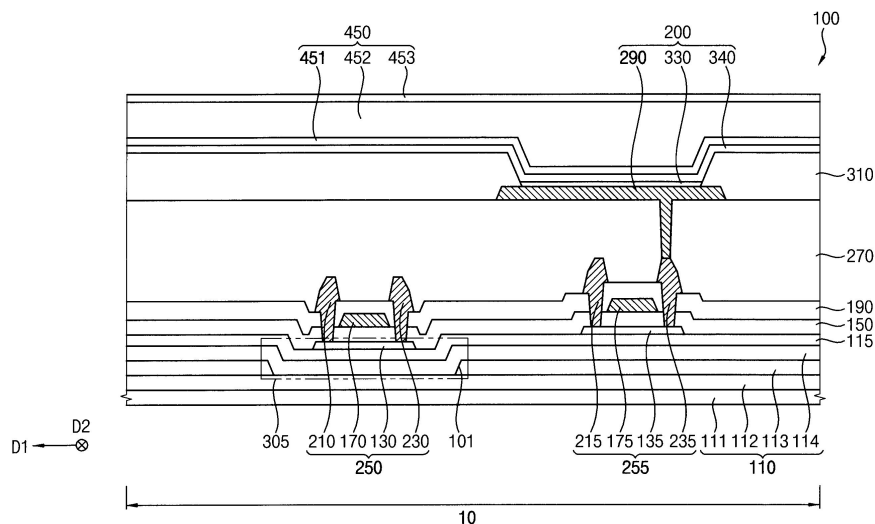
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 제1 트랜치를 포함하는 기판, 기판의 제1 트랜치의 내부에 배치되는 구동 트랜지스터 및 구동 트랜지스터 상에 배치되는 서브 화소 구조물을 포함할 수 있다. 여기서, 기판은 제1 유기 필름층, 제1 유기 필름층 상에 배치되는 제1 베리어층, 제1 베리어층 상에 배치되고, 구동 트랜지스터가 위치하는 부분에서 제1 개구를 포함하는 제2 유기 필름층 및 제2 유기 필름층 상에 배치되는 제2 베리어층을 포함할 수 있다. 유기 발광 표시 장치는 구동 트랜지스터 아래에 위치하는 제2 유기 필름층의 제1 개구를 포함함으로써, 구동 트랜지스터는 불균일하게 분포된 전하에 대한 영향을 상대적으로 적게 받을 수 있다. 이에 따라, 유기 발광 표시 장치에 포함된 구동 트랜지스터의 신뢰성 및 수명이 개선될 수 있다.

대표도



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/0097 (2013.01)

H01L 51/5237 (2013.01)

(72) 발명자

김도형

경기도 용인시 기흥구 한보라1로64번길 22, 103동
1002호

김현식

경기도 용인시 수지구 신수로683번길 19, 104동
702호

박상호

경기도 화성시 동탄순환대로26길 55, 411동 1802호

명세서

청구범위

청구항 1

제1 트랜치를 포함하는 기관;

상기 기관의 제1 트랜치의 내부에 배치되는 구동 트랜지스터; 및

상기 구동 트랜지스터 상에 배치되는 서브 화소 구조물을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제1 트랜치의 폭은 상기 구동 트랜지스터의 폭보다 큰 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 구동 트랜지스터가 위치하는 부분 아래에서 상기 기관의 내부에 매립되는 제1 하부 차단 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 기관 상에 배치되는 제1 스위칭 트랜지스터를 더 포함하고,

상기 구동 트랜지스터는 상기 제1 스위칭 트랜지스터보다 낮은 레벨에 위치하는 것을 특징으로 하는 것을 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 기관은,

제1 유기 필름층;

상기 제1 유기 필름층 상에 배치되는 제1 베리어층;

상기 제1 베리어층 상에 배치되고, 상기 구동 트랜지스터가 위치하는 부분에서 제1 개구를 포함하는 제2 유기 필름층; 및

상기 제2 유기 필름층 상에 배치되는 제2 베리어층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서, 상기 제2 유기 필름층의 제1 개구에 의해 상기 기관의 제1 트랜치가 정의되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서, 상기 제2 유기 필름층의 제1 개구에 상기 제2 베리어층이 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 5 항에 있어서,

상기 기관 상에 배치되는 제1 스위칭 트랜지스터를 더 포함하고,

상기 구동 트랜지스터는 상기 제1 스위칭 트랜지스터보다 낮은 레벨에 위치하며, 상기 구동 트랜지스터가 위치

하는 부분 아래에는 상기 기관의 제1 및 제2 유기 필름층들 중 상기 제1 유기 필름층만 위치하고, 상기 제1 스위칭 트랜지스터가 위치하는 부분 아래에는 상기 기관의 제1 및 제2 유기 필름층들 중 제1 및 제2 유기 필름층들 모두 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제1 트랜치의 내부에서 상기 구동 트랜지스터와 이격되어 배치되는 제2 스위칭 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 구동 트랜지스터가 위치하는 부분 아래에서 상기 제1 트랜치의 내부에 배치되고, 제1 베리어층과 상기 제2 베리어층 사이에 개재되는 제1 하부 차단 패턴; 및

상기 제2 트랜지스터가 위치하는 부분 아래에서 상기 제1 트랜치의 내부에 배치되고, 제1 베리어층과 상기 제2 베리어층 사이에 개재되는 제2 하부 차단 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 5 항에 있어서, 상기 제1 유기 필름층은,

상기 구동 트랜지스터가 배치되는 부분에 위치하는 제1 그루브를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서, 상기 제1 그루브에 상기 제1 베리어층이 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 11 항에 있어서, 상기 제1 유기 필름층의 제1 그루브 및 상기 제2 유기 필름층의 제1 개구에 의해 상기 기관의 제1 트랜치가 정의되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 11 항에 있어서,

상기 기관 상에 배치되고, 상기 구동 트랜지스터보다 높은 레벨에 위치하는 제1 스위칭 트랜지스터; 및

상기 구동 트랜지스터가 위치하는 부분 아래에서 제1 베리어층과 상기 제2 베리어층 사이에 배치되는 제1 하부 차단 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 11 항에 있어서, 상기 제1 유기 필름층은,

상기 제1 그루브로부터 제1 방향으로 이격되어 배치되는 제2 그루브; 및

상기 제1 그루브로부터 제1 방향과 다른 제2 방향으로 이격되어 배치되는 제3 그루브를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 제2 유기 필름층은.

상기 제2 그루브가 위치하는 부분에서 제2 개구 및 상기 제3 그루브가 위치하는 부분에서 제3 개구를 더 포함하고,

상기 제2 및 제3 그루브들에 상기 제1 베리어층이 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서, 상기 제1 유기 필름층의 제2 그루브 및 상기 제2 유기 필름층의 제2 개구에 의해 상기 기관의 제2 트랜치가 정의되고, 상기 제1 유기 필름층의 제3 그루브 및 상기 제2 유기 필름층의 제3 개구에 의해 상기 기관의 제3 트랜치가 정의되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제2 트랜치 상에 배치되는 제1 신호 배선; 및

상기 제3 트랜치 상에 배치되는 제2 신호 배선을 더 포함하고,

상기 제1 신호 배선의 전압 레벨은 상기 제2 신호 배선의 전압 레벨보다 낮은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 구동 트랜지스터, 상기 제1 신호 배선 및 상기 제2 신호 배선이 위치하는 부분 아래에는 제1 및 제2 유기 필름층들 중 상기 제1, 제2 및 제3 그루브들을 포함하는 제1 유기 필름층만 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 1 항에 있어서,

상기 서브 화소 구조물 상에 배치되는 박막 봉지 구조물을 더 포함하고,

상기 기관과 상기 박막 봉지 구조물은 가요성을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 플렉서블 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로써 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다.

[0003] 유기 발광 표시 장치는 복수의 트랜지스터들(예를 들어, 구동 트랜지스터들 및 스위칭 트랜지스터들), 복수의 커패시터들, 복수의 배선들(스캔 신호 배선들, 데이터 신호 배선들, 발광 제어 신호 배선들, 초기화 신호 배선들, 전원 전압 배선들 등), 복수의 서브 화소 구조물 등을 포함할 수 있고, 유기 발광 표시 장치에 포함된 하부 기관과 상부 기관을 플렉서블한 재료로 구성하여, 유기 발광 표시 장치의 일부가 벤딩 또는 폴딩될 수 있는 플렉서블 유기 발광 표시 장치가 개발되고 있다. 이러한 유기 발광 표시 장치의 하부 기관이 폴리이미드 기관으로 구성되는 경우, 상기 폴리이미드 기관은 유리 기관보다 상대적으로 많은 전하들을 포함하기 때문에 상기 전하들이 상기 트랜지스터들의 구동을 방해하는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 유기 발광 표시 장치를 제공하는 것이다.

[0005] 그러나, 본 발명이 상술한 목적에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는

범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 트랜치를 포함하는 기판, 상기 기판의 제1 트랜치의 내부에 배치되는 구동 트랜지스터 및 상기 구동 트랜지스터 상에 배치되는 서브 화소 구조물을 포함할 수 있다.
- [0007] 예시적인 실시예들에 있어서, 상기 제1 트랜치의 폭은 상기 구동 트랜지스터의 폭보다 큰 것을 특징으로 하는 유기 발광 표시 장치.
- [0008] 예시적인 실시예들에 있어서, 상기 구동 트랜지스터가 위치하는 부분 아래에서 상기 기판의 내부에 매립되는 제1 하부 차단 패턴을 더 포함할 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 기판 상에 배치되는 제1 스위칭 트랜지스터를 더 포함하고, 상기 구동 트랜지스터는 상기 제1 스위칭 트랜지스터보다 낮은 레벨에 위치할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 기판은 제1 유기 필름층, 상기 제1 유기 필름층 상에 배치되는 제1 베리어층, 상기 제1 베리어층 상에 배치되고, 상기 구동 트랜지스터가 위치하는 부분에서 제1 개구를 포함하는 제2 유기 필름층 및 상기 제2 유기 필름층을 포함할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 제2 유기 필름층의 제1 개구에 의해 상기 기판의 제1 트랜치가 정의될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 제2 유기 필름층의 제1 개구에 상기 제2 베리어층이 배치될 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 기판 상에 배치되는 제1 스위칭 트랜지스터를 더 포함하고, 상기 구동 트랜지스터는 상기 제1 스위칭 트랜지스터보다 낮은 레벨에 위치하며, 상기 구동 트랜지스터가 위치하는 부분 아래에는 상기 기판의 제1 및 제2 유기 필름층들 중 상기 제1 유기 필름층만 위치하고, 상기 제1 스위칭 트랜지스터가 위치하는 부분 아래에는 상기 기판의 제1 및 제2 유기 필름층들 중 제1 및 제2 유기 필름층들 모두 위치할 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 제1 트랜치의 내부에서 상기 구동 트랜지스터와 이격되어 배치되는 제2 스위칭 트랜지스터를 더 포함할 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 구동 트랜지스터가 위치하는 부분 아래에서 상기 제1 트랜치의 내부에 배치되고, 제1 베리어층과 상기 제2 베리어층 사이에 개재되는 제1 하부 차단 패턴 및 상기 제2 트랜지스터가 위치하는 부분 아래에서 상기 제1 트랜치의 내부에 배치되고, 제1 베리어층과 상기 제2 베리어층 사이에 개재되는 제2 하부 차단 패턴을 더 포함할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 제1 유기 필름층은 상기 구동 트랜지스터가 배치되는 부분에 위치하는 제1 그루브를 더 포함할 수 있다.
- [0017] 예시적인 실시예들에 있어서, 상기 제1 그루브에 상기 제1 베리어층이 배치될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 제1 유기 필름층의 제1 그루브 및 상기 제2 유기 필름층의 제1 개구에 의해 상기 기판의 제1 트랜치가 정의될 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 기판 상에 배치되고, 상기 구동 트랜지스터보다 높은 레벨에 위치하는 제1 스위칭 트랜지스터 및 상기 구동 트랜지스터가 위치하는 부분 아래에서 제1 베리어층과 상기 제2 베리어층 사이에 배치되는 제1 하부 차단 패턴을 더 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 제1 유기 필름층은 상기 제1 그루브로부터 제1 방향으로 이격되어 배치되는 제2 그루브 및 상기 제1 그루브로부터 제1 방향과 다른 제2 방향으로 이격되어 배치되는 제3 그루브를 더 포함할 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 제2 유기 필름층은 상기 제2 그루브가 위치하는 부분에서 제2 개구 및 상기 제3 그루브가 위치하는 부분에서 제3 개구를 더 포함하고, 상기 제2 및 제3 그루브들에 상기 제1 베리어층이 배치될 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 제1 유기 필름층의 제2 그루브 및 상기 제2 유기 필름층의 제2 개구에 의해

상기 기관의 제2 트렌치가 정의되고, 상기 제1 유기 필름층의 제3 그루브 및 상기 제2 유기 필름층의 제3 개구에 의해 상기 기관의 제3 트렌치가 정의될 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 제2 트렌치 상에 배치되는 제1 신호 배선 및 상기 제3 트렌치 상에 배치되는 제2 신호 배선을 더 포함하고, 상기 제1 신호 배선의 전압 레벨은 상기 제2 신호 배선의 전압 레벨보다 낮을 수 있다.

[0024] 예시적인 실시예들에 있어서, 상기 구동 트랜지스터, 상기 제1 신호 배선 및 상기 제2 신호 배선이 위치하는 부분 아래에는 제1 및 제2 유기 필름층들 중 상기 제1, 제2 및 제3 그루브들을 포함하는 제1 유기 필름층만 위치할 수 있다.

[0025] 예시적인 실시예들에 있어서, 상기 서브 화소 구조물 상에 배치되는 박막 봉지 구조물을 더 포함하고, 상기 기관과 상기 박막 봉지 구조물은 가요성을 가질 수 있다.

발명의 효과

[0026] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 구동 트랜지스터 아래에 위치하는 제2 유기 필름층의 제1 개구를 포함함으로써, 구동 트랜지스터는 상기 불균일하게 분포된 전하에 대한 영향을 상대적으로 적게 받을 수 있다. 이에 따라, 유기 발광 표시 장치에 포함된 구동 트랜지스터의 신뢰성 및 수명이 개선될 수 있다.

[0027] 다만, 본 발명의 효과가 상술한 효과로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1의 유기 발광 표시 장치에 포함된 트렌치를 설명하기 위한 평면도이다.

도 3은 도 1의 I-I' 라인을 따라 절단한 단면도이다.

도 4는 도 3의 유기 발광 표시 장치에 포함된 유기 발광 다이오드 및 트랜지스터들을 설명하기 위한 회로도이다.

도 5 내지 도 10은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

도 11은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 12는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 13은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 14는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 15는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 17은 도 16의 유기 발광 표시 장치에 포함된 유기 발광 다이오드 및 트랜지스터들을 설명하기 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.

[0030] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이고, 도 2는 도 1의 유기 발광 표시 장치에 포함된 트렌치를 설명하기 위한 평면도이다.

[0031] 도 1 및 도 2를 참조하면, 유기 발광 표시 장치(100)는 복수의 서브 화소 영역들(10)을 포함하는 표시 영역(50)을 가질 수 있다. 여기서, 서브 화소 영역들(10)은 유기 발광 표시 장치(100)의 상면에 평행한 제1 방향(D1)

및 제1 방향(D1)과 직교하는 제2 방향(D2)을 따라 표시 영역(50)에서 전체적으로 배열될 수 있다.

[0032] 서브 화소 영역들(10)에는 서브 화소 구조물들(예를 들어, 도 3의 서브 화소 구조물(200))이 각기 배치될 수 있다. 한편, 표시 영역(50) 중 서브 화소 영역들(10)을 제외한 나머지 부분에는 배선들이 배치될 수 있다. 예를 들면, 상기 배선들은 데이터 신호 배선들, 스캔 신호 배선들, 발광 제어 신호 배선들, 초기화 신호 배선들, 전원 전압 배선들 등을 포함할 수 있다.

[0033] 또한, 복수의 서브 화소 영역들(10) 각각에는 적어도 하나의 구동 트랜지스터(250) 및 적어도 하나의 제1 스위칭 트랜지스터(255)가 배치될 수 있다. 예시적인 실시예들에 있어서, 서브 화소 영역들(10) 각각에는 제1 트랜치(305)가 형성될 수 있고, 구동 트랜지스터(250)가 제1 트랜치(305)의 내부에 배치될 수 있다. 예를 들면, 도 2에 도시된 바와 같이 서브 화소 영역(10)에서 제1 트랜치(305)의 내부에 구동 트랜지스터(250)가 배치될 수 있고, 제1 트랜치(305)의 형상은 구동 트랜지스터(250)의 외곽의 프로파일을 따라 형성될 수 있다.

[0034] 다만, 본 발명의 서브 화소 영역들(10), 표시 영역(50), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255) 및 제1 트랜치(305) 각각의 형상이 사각형의 평면 형상을 갖는 것으로 설명하였지만, 상기 형상이 이에 한정되는 것은 아니다. 예를 들면, 서브 화소 영역들(10), 표시 영역(50), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255) 및 제1 트랜치(305) 각각의 형상은 삼각형의 평면 형상, 마름모의 평면 형상, 다각형의 평면 형상, 원형의 평면 형상, 트랙형의 평면 형상 또는 타원형의 평면 형상을 가질 수도 있다.

[0035] 서브 화소 영역(10)에 위치하는 제1 트랜치(305)는 아래에서 설명될 기관의 제2 유기 필름층을 제거하여 형성될 수 있고, 구동 트랜지스터(250) 아래에 위치하는 상기 제2 유기 필름층을 제거함으로써 상기 제2 유기 필름층들에 포함된 전하(charge)들이 구동 트랜지스터의 구동을 방해하는 것을 상대적으로 줄일 수 있다. 예시적인 실시예들에 있어서, 유기 발광 표시 장치(100)가 구동 트랜지스터(250)가 내부에 배치되는 제1 트랜치(305)를 포함함으로써 상기 전하들에 의해 구동 트랜지스터(250)의 문턱 전압이 변경되지 않을 수 있고, 이에 따라, 구동 트랜지스터(250)의 신뢰성이 개선될 수 있고, 상기 문턱 전압의 변경 때문에 상대적으로 빠르게 열화되는 것을 방지할 수 있다.

[0036] 도 3은 도 1의 I-I'라인을 따라 절단한 단면도이다.

[0037] 도 3을 참조하면, 유기 발광 표시 장치(100)는 기관(110), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제1 트랜치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 구동 트랜지스터(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 제1 스위칭 트랜지스터(255)는 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 또한, 서브 화소 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있고, 박막 봉지 구조물(450)은 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함할 수 있다. 더욱이, 기관(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있고, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 유기 필름층(113)의 제1 개구(101)에 의해 기관(110)의 제1 트랜치(305)가 정의될 수 있다.

[0038] 투명한 또는 불투명한 재료를 포함하는 기관(110)이 제공될 수 있다. 기관(110)은 연성을 갖는 투명 수지 기관으로 이루어질 수 있다. 전술한 바와 같이, 기관(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)이 순서대로 적층되는 구성을 가질 수 있고, 제2 유기 필름층(113)은 제1 베리어층(112)의 상면을 노출시키는 제1 개구(101)를 포함할 수 있다. 예를 들면, 제1 유기 필름층(111) 상에 제1 베리어층(112)이 전체적으로 배치될 수 있고, 제1 개구(101)를 포함하는 제2 유기 필름층(113)이 제1 베리어층(112) 상에 배치될 수 있다. 또한, 제2 베리어층(114)은 제2 유기 필름층(113)의 제1 개구(101)를 채우며 제2 유기 필름층(113) 상에 전체적으로 배치될 수 있다.

[0039] 제1 베리어층(112) 및 제2 베리어층(114) 각각은 실리콘 화합물, 금속 산화물 등과 같은 무기 물질을 포함할 수 있다. 예를 들면, 제1 베리어층(112) 및 제2 베리어층(114) 각각은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 산탄화물(SiO_xCy), 실리콘 탄질화물(SiC_xNy), 실리콘 산탄화물(SiO_xCy), 알루미늄 산화물(AlO_x), 알루미늄 질화물(AlN_x), 탄탈륨 산화물(TaO_x), 하프늄 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x) 등으로 구성될 수 있다. 또한, 제1 유기 필름층(111) 및 제2 유기 필름층(113) 각각은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실록산계 수지, 아크릴계

수지, 에폭시계 수지 등과 같은 유기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 및 제2 베리어층들(112, 114) 각각은 실리콘 산화물을 포함할 수 있고, 제1 및 제2 베리어층들(112, 114) 각각은 제1 및 제2 유기층들(112, 114)을 통해 침투하는 수분을 차단할 수 있다. 더욱이, 제1 및 제2 유기층들(112, 114) 각각은 유기 발광 표시 장치(100)가 가요성을 갖도록 폴리이미드계 수지를 포함할 수 있고, 상기 폴리이미드계 수지는 랜덤 공중합체(random copolymer) 또는 블록 공중합체(block copolymer)일 수 있다. 상기 폴리이미드계 수지는 고투명성, 낮은 열팽창 계수(Coefficient of thermal expansion) 및 높은 유리 전이 온도를 가질 수 있다. 상기 폴리이미드계 수지는 이미드기(imide)를 함유하기 때문에, 내열성, 내화학적, 내마모성 및 전기적 특성이 우수할 수 있다.

[0040] 기판(110)이 얇고 연성을 갖기 때문에, 기판(110)은 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255) 및 서브 화소 구조물(200)의 형성을 지원하기 위해 단단한 유리 상에 형성될 수 있다. 예를 들면, 제2 베리어층(114) 상에 버퍼층(115)을 배치한 후, 버퍼층(115) 상에 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 서브 화소 구조물(200) 및 박막 봉지 구조물(450)을 형성할 수 있다. 이러한 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 서브 화소 구조물(200) 및 박막 봉지 구조물(450)의 형성 후, 상기 유리 기판은 제거될 수 있다. 다시 말하면, 기판(110)의 플렉서블한 물성 때문에, 기판(110) 상에 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 서브 화소 구조물(200) 및 박막 봉지 구조물(450)을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 경질의 유리 기판을 이용하여 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 서브 화소 구조물(200) 및 박막 봉지 구조물(450)을 형성한 다음, 상기 유리 기판을 제거함으로써, 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)이 기판(110)으로 이용될 수 있다. 선택적으로, 기판(110)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘(calcium fluoride) 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수도 있다.

[0041] 다만, 기판(110)이 4개의 층들을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 다른 예시적인 실시예들에 있어서, 기판(110)은 단일층 또는 복수의 층들로 구성될 수도 있다.

[0042] 기판(110) 상에 버퍼층(115)이 배치될 수 있다. 예시적인 실시예들에 있어서, 버퍼층(115)은 기판(110)의 제1 트랜치(305)를 채우며 제2 베리어층(114) 상에 전체적으로 배치될 수 있다. 다시 말하면, 버퍼층(115)은 제2 베리어층(114) 상에서 균일한 두께로 제2 베리어층(114)의 프로파일을 따라 배치될 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255) 및 서브 화소 구조물(200)로 확산되는 현상을 방지할 수 있으며, 제1 액티브층(130) 및 제2 액티브층(135)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 제1 및 제2 액티브층들(130, 135)을 수득하게 할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 버퍼층(130)은 무기 물질을 포함할 수 있다.

[0043] 제1 액티브층(130) 및 제2 액티브층(135)이 버퍼층(115) 상에 배치될 수 있다. 제1 및 제2 액티브층들(130, 135)은 서로 이격하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 제1 트랜치(305)의 내부에 위치할 수 있고, 제2 액티브층(135)은 제1 트랜치(305)의 외부에 배치될 수 있다. 제1 및 제2 액티브층들(130, 135) 각각은 산화물 반도체, 무기물 반도체(예를 들면, 아몰퍼스 실리콘(amorphous silicon), 폴리 실리콘(poly silicon)) 또는 유기물 반도체 등을 포함할 수 있다. 예를 들면, 제1 액티브층(130) 및 제2 액티브층(135)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 제1 액티브층(130)과 제2 액티브층(135)이 동일한 층에 위치(예를 들어, 버퍼층(115) 상에 위치)하지만, 제1 액티브층(130)은 제1 트랜치(305)때문에 제2 액티브층(135)보다 상대적으로 낮은 레벨에 배치될 수 있다.

[0044] 제1 및 제2 액티브층들(130, 135) 및 버퍼층(115) 상에는 게이트 절연층(150)이 배치될 수 있다. 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 덮을 수 있으며, 버퍼층(115) 상에 전체적으로 배치될 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 덮으며, 균일한 두께로 제1 및 제2 액티브층들(130, 135)의 프로파일을 따라 배치될 수 있다. 선택적으로, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 충분히 덮을 수 있으며, 제1 및 제2 액티브층들(130, 135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

- [0045] 제1 게이트 전극(170) 및 제2 게이트 전극(175)은 게이트 절연층(150) 상에서 서로 이격되어 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(170)은 제1 트렌치(305)의 내부에 위치할 수 있고, 제2 게이트 전극(175)은 제1 트렌치(305)의 외부에 배치될 수 있다. 다시 말하면, 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 배치될 수 있고, 제2 게이트 전극(175)은 게이트 절연층(150) 중에서 제2 액티브층(135)이 위치하는 부분 상에 배치될 수 있다. 제1 및 제2 게이트 전극들(170, 175) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 및 제2 게이트 전극들(170, 175) 각각은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물(TiN_x), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물(SrRuO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등으로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 및 제2 게이트 전극들(170, 175)은 복수의 층들을 포함하는 다층 구조를 포함할 수도 있다. 예를 들면, 제1 게이트 전극(170) 및 제2 게이트 전극(175)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 제1 게이트 전극(170)과 제2 게이트 전극(175)이 동일한 층에 위치(예를 들어, 게이트 절연층(150) 상에 위치)하지만, 제1 게이트 전극(170)은 제1 트렌치(305)때문에 제2 게이트 전극(175)보다 상대적으로 낮은 레벨에 배치될 수 있다.
- [0046] 제1 및 제2 게이트 전극들(170, 175) 및 게이트 절연층(150) 상에는 층간 절연층(190)이 배치될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극(170, 175)을 덮을 수 있으며, 게이트 절연층(150) 상에서 전체적으로 배치될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극들(170, 175)을 덮으며, 균일한 두께로 제1 및 제2 게이트 전극들(170, 175)의 프로파일을 따라 배치될 수 있다. 선택적으로, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 및 제2 게이트 전극들(170, 175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.
- [0047] 층간 절연층(190) 상에는 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215) 및 제2 드레인 전극(235)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230)은 제1 트렌치(305)의 내부에 위치할 수 있고, 제2 소스 전극(215) 및 제2 드레인 전극(235)은 제1 트렌치(305)의 외부에 위치할 수 있다. 제1 소스 전극(210)은 게이트 절연층(150) 및 층간 절연층(190)의 제1 부분을 제거하여 형성된 콘택홀을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 게이트 절연층(150) 및 층간 절연층(190)의 제2 부분을 제거하여 형성된 콘택홀을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 또한, 제2 소스 전극(215)은 게이트 절연층(150) 및 층간 절연층(190)의 제3 부분을 제거하여 형성된 콘택홀을 통해 제2 액티브층(135)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(235)은 게이트 절연층(150) 및 층간 절연층(190)의 제4 부분을 제거하여 형성된 콘택홀을 통해 제2 액티브층(135)의 드레인 영역에 접속될 수 있다. 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극(230, 235)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 예를 들면, 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들은 동일한 물질을 사용하여 동시에 형성될 수 있다. 제1 소스 전극(210) 및 제1 드레인 전극(230)과 제2 소스 전극(215) 및 제2 드레인 전극(235)이 동일한 층에 위치(예를 들어, 층간 절연층(190) 상에 위치)하지만, 제1 소스 전극(210) 및 제1 드레인 전극(230)은 제1 트렌치(305)때문에 제2 소스 전극(215) 및 제2 드레인 전극(235)보다 상대적으로 낮은 레벨에 배치될 수 있다.
- [0048] 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 구동 트랜지스터(250)가 구성될 수 있고, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제1 스위칭 트랜지스터(255)가 구성될 수 있다.
- [0049] 예시적인 실시예들에 있어서, 구동 트랜지스터(250)는 제1 트렌치(305)의 내부에 배치될 수 있고, 제1 트렌치(305)의 폭은 구동 트랜지스터(250)의 폭보다 클 수 있다. 다시 말하면, 구동 트랜지스터(250)는 제1 트렌치(305)와 중첩하여 위치할 수 있다. 또한, 구동 트랜지스터(250)는 제1 스위칭 트랜지스터(255)보다 낮은 레벨에 위치할 수 있다. 예를 들면, 기판(110)의 상면으로부터 구동 트랜지스터(250)의 상면(예를 들어, 제1 소스 전극(210)의 상면 또는 제1 드레인 전극(230)의 상면)까지의 높이는 기판(110)의 상면으로부터 제1 스위칭 트랜지스

터(255)의 상면(예를 들어, 제2 소스 전극(215)의 상면 또는 제2 드레인 전극(235)의 상면)까지의 높이보다 작을 수 있다. 더욱이, 구동 트랜지스터(250)가 위치하는 부분 아래에는 기판(110)의 제1 및 제2 유기 필름층들(111, 113) 중 제1 유기 필름층(111)만 위치하고, 제1 스위칭 트랜지스터(255)가 위치하는 부분 아래에는 기판(110)의 제1 및 제2 유기 필름층들(111, 113) 중 제1 및 제2 유기 필름층들(111, 113) 모두 위치할 수 있다.

[0050] 예를 들면, 유기 발광 표시 장치(100)의 기판(110)이 폴리이미드계 수지를 포함하는 플렉서블 기판인 경우, 상기 플렉서블 기판은 유리 기판보다 상대적으로 많은 전하들을 포함할 수 있다. 유기 발광 표시 장치(100)가 구동시 유기 발광 표시 장치(100)에 포함된 배선들 사이에 전기장이 생성(예를 들어, 스캔 신호 배선에 인가되는 전압 레벨과 발광 제어 신호 배선에 인가되는 전압 레벨 차이에 의해 전기장이 생성)될 수 있고, 상기 전기장에 의해 상기 전하들이 트랜지스터를 아래에서 불균일하게 분포됨으로써 상기 트랜지스터들의 구동을 방해할 수 있다. 다시 말하면, 상기 전하들의 불균일한 분포 때문에 상기 트랜지스터들의 문턱 전압이 변경될 수 있고, 변화된 전류량 때문에 서브 화소 구조물(200)의 휘도가 변경될 수 있다. 즉, 트랜지스터들의 신뢰성 및 수명이 감소될 수 있다. 예를 들면, 상기 변화된 전류량 때문에 상기 트랜지스터에 상대적으로 많은 양의 전류가 지속적으로 인가되는 경우, 상기 트랜지스터의 수명은 상대적으로 감소될 수 있다.

[0051] 상기 트랜지스터들 중 구동 트랜지스터(250)는 데이터 신호에 따라 구동 전류를 제어할 수 있고, 상기 구동 전류에 따라 서브 화소 구조물(200)이 발광될 수 있다. 다시 말하면, 구동 트랜지스터(250)는 제1 스위칭 트랜지스터(255)보다 서브 화소 구조물(200)의 발광에 대해 상대적으로 더 많은 영향을 줄 수 있다. 즉, 상기 불균일하게 분포된 전하들 때문에 구동 트랜지스터(250)의 문턱 전압이 변경되는 경우, 상기 불균일하게 분포된 전하들 때문에 제1 스위칭 트랜지스터(255)의 문턱 전압이 변경되는 경우보다 유기 발광 표시 장치(100)의 휘도 변화가 상대적으로 더 클 수 있다.

[0052] 예시적인 실시예들에 있어서, 구동 트랜지스터(250) 아래에서 제2 유기 필름층(113)이 제거되는 경우(또는, 구동 트랜지스터(250) 아래에 제2 유기 필름층(113)의 제1 개구(101)가 형성되는 경우), 구동 트랜지스터(250)는 상기 불균일하게 분포된 전하에 대한 영향을 상대적으로 적게 받을 수 있다.

[0053] 다만, 유기 발광 표시 장치(100)가 2개의 트랜지스터(예를 들어, 구동 트랜지스터(250) 및 제1 스위칭 트랜지스터(255))를 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 유기 발광 표시 장치(100)는 적어도 3개의 트랜지스터들 및 적어도 하나의 커패시터를 포함하는 구성을 가질 수도 있다.

[0054] 또한, 구동 트랜지스터(250) 및 제1 스위칭 트랜지스터(255) 각각이 상부 게이트 구조를 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 구동 트랜지스터(250) 및 제1 스위칭 트랜지스터(255) 각각은 하부 게이트 구조 및/또는 더블 게이트 구조를 가질 수도 있다.

[0055] 더욱이, 구동 트랜지스터(250) 아래에 제1 베리어층(112) 및 제2 베리어층(114)이 배치되는 것을 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 구동 트랜지스터(250) 아래에 제1 베리어층(112) 또는 제2 베리어층(114)이 배치되거나, 제1 베리어층(112) 및 제2 베리어층(114) 둘 다 배치되지 않을 수도 있다.

[0056] 층간 절연층(190), 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235) 상에 평탄화층(270)이 배치될 수 있고, 평탄화층(270)에는 제1 스위칭 트랜지스터(255)의 제2 드레인 전극(235)의 일부를 노출시키는 콘택홀이 형성될 수 있다. 평탄화층(270)은 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 포함할 수 있다.

[0057] 하부 전극(290)은 평탄화층(270) 상에 배치될 수 있다. 하부 전극(290)은 평탄화층(270)의 콘택홀을 통해 제2 드레인 전극(235)과 직접적으로 접촉할 수 있고, 하부 전극(290)은 제1 스위칭 트랜지스터(255)와 전기적으로 연결될 수 있다. 하부 전극(290)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0058] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시키는 개구를 가질 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)

은 유기 물질을 포함할 수 있다.

- [0059] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 배치될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 박막 봉지 구조물(450)의 상면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지로 구성될 수도 있다.
- [0060] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮으며 기판(110) 상에 전체적으로 배치될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 구성될 수 있다.
- [0061] 상부 전극(340) 상에 제1 박막 봉지층(451)이 배치될 수 있다. 제1 박막 봉지층(451)은 상부 전극(340)을 덮으며, 균일한 두께로 상부 전극(340)의 프로 파일을 따라 배치될 수 있다. 제1 박막 봉지층(451)은 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제1 박막 봉지층(451)은 외부의 충격으로부터 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제1 박막 봉지층(451)은 가요성을 갖는 무기 물질들을 포함할 수 있다.
- [0062] 제1 박막 봉지층(451) 상에 제2 박막 봉지층(452)이 배치될 수 있다. 제2 박막 봉지층(452)은 유기 발광 표시 장치(100)의 평탄도를 향상시킬 수 있으며, 서브 화소 구조물(200)을 보호할 수 있다. 제2 박막 봉지층(452) 가요성을 갖는 유기 물질들을 포함할 수 있다.
- [0063] 제2 박막 봉지층(452) 상에 제3 박막 봉지층(453)이 배치될 수 있다. 제3 박막 봉지층(453)은 제2 박막 봉지층(452)을 덮으며, 균일한 두께로 제2 박막 봉지층(452)의 프로 파일을 따라 배치될 수 있다. 제3 박막 봉지층(453)은 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제3 박막 봉지층(453)은 외부의 충격으로부터 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제3 박막 봉지층(453)은 상기 가요성을 갖는 무기 물질들을 포함할 수 있다. 이에 따라, 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함하는 박막 봉지 구조물(450)이 구성될 수 있다. 선택적으로, 박막 봉지 구조물(450)은 제1 내지 제5 박막 봉지층들로 적층된 5층 구조 또는 제1 내지 제7 박막 봉지층들로 적층된 7층 구조로 구성될 수도 있다.
- [0064] 다른 예시적인 실시예들에 있어서, 박막 봉지 구조물(450)을 대신하여 상부 전극(340) 상에 봉지 기판이 배치될 수도 있다. 상기 봉지 기판은 은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다라임 유리 기판, 무알칼리 유리 기판 등을 포함할 수 있다.
- [0065] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 구동 트랜지스터(250) 아래에 위치하는 제2 유기 필름층(113)의 제1 개구(101)를 포함함으로써, 구동 트랜지스터(250)는 상기 불균일하게 분포된 전하에 대한 영향을 상대적으로 적게 받을 수 있다. 이에 따라, 유기 발광 표시 장치(100)에 포함된 구동 트랜지스터(250)의 신뢰성 및 수명이 개선될 수 있다.
- [0066] 도 4는 도 3의 유기 발광 표시 장치에 포함된 유기 발광 다이오드 및 트랜지스터들을 설명하기 위한 회로도이다. 예를 들면, 유기 발광 표시 장치(100)는 복수의 서브 화소들을 포함할 수 있고, 복수의 서브 화소들 각각은 도 4에 도시된 회로에 대응될 수 있다.
- [0067] 도 4를 참조하면, 유기 발광 표시 장치(100)는 유기 발광 다이오드(예를 들어, 도 3의 서브 화소 구조물(200)), 트랜지스터들(예를 들어, 도 3의 구동 트랜지스터(250) 및 제1 스위칭 트랜지스터(255)), 커패시터들 등을 포함할 수 있다.
- [0068] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 제2 단자는 제1 전원 전압(ELVSS)을 공급받을 수 있다. 예를 들면, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고,

유기 발광 다이오드(OLED)의 제2 단자는 캐소드 단자일 수 있다. 선택적으로, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 애노드 단자일 수도 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 애노드 단자는 도 3의 하부 전극(290)에 해당될 수 있고, 유기 발광 다이오드(OLED)의 캐소드 단자는 도 3의 상부 전극(340)에 해당될 수 있다.

[0069] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)의 제1 단자는 소스 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 트랜지스터(TR1)의 제1 단자는 드레인 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 소스 단자일 수 있다.

[0070] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이러한 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압 차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 선택적으로, 제1 트랜지스터(TR1)는 선형 영역에서 동작할 수도 있다. 이러한 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다. 예시적인 실시예들에 있어서, 도 3에 도시된 구동 트랜지스터(250)는 제1 트랜지스터(TR1)에 해당될 수 있고, 제1 트랜지스터(TR1)는 도 3의 제1 트랜치(305)의 내부에 배치될 수 있다.

[0071] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 제2 트랜지스터(TR2)의 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0072] 제2 트랜지스터(TR2)는 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이러한 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.

[0073] 제3 트랜지스터(TR3_1, TR3_2)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제3 트랜지스터(TR3_1) 및 제3 트랜지스터(TR3_2)는 직렬로 연결될 수 있고, 듀얼 트랜지스터(dual transistor)로 동작할 수 있다. 예를 들면, 상기 듀얼 트랜지스터가 턴-오프될 경우, 누설 전류(leakage current)를 감소시킬 수 있다. 제3 트랜지스터(TR3_1, TR3_2)의 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제3 트랜지스터(TR3_1, TR3_2)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 제3 트랜지스터(TR3_1, TR3_2)의 제2 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제3 트랜지스터(TR3_1, TR3_2)의 제1 단자는 소스 단자이고, 제3 트랜지스터(TR3_1, TR3_2)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제3 트랜지스터(TR3_1, TR3_2)의 제1 단자는 드레인 단자이고, 제3 트랜지스터(TR3)의 제2 단자는 소스 단자일 수 있다.

[0074] 제3 트랜지스터(TR3_1, TR3_2)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이러한 경우, 제3 트랜지스터(TR3_1, TR3_2)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3_1, TR3_2)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0075] 제3 트랜지스터(TR3_1)와 제3 트랜지스터(TR3_2) 사이에 제1 노드(N1)가 위치할 수 있다. 제1 노드(N1)와 제2 전원 전압(ELVDD) 배선이 연결되는 커패시터(CL)를 포함할 수 있다. 이러한 경우, 데이터 신호(DATA)의 전압 레벨이 변화함에 따라 데이터 신호(DATA) 배선과 인접한 제1 노드(N1)에서 발생하는 크로스 토크 현상이 감소될 수 있다.

[0076] 초기화 전압(VINT)의 입력단은 제4 트랜지스터(TR4_1, TR4_2)의 제1 단자 및 제7 트랜지스터(TR7)의 제1 단자와 연결될 수 있고, 초기화 전압(VINT)의 출력단은 제4 트랜지스터(TR4_1, TR4_2)의 제2 단자 및 스토리지 커패시

터(CST)의 제1 단자와 연결될 수 있다.

- [0077] 제4 트랜지스터(TR4_1, TR4_2)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제4 트랜지스터(TR4_1) 및 제4 트랜지스터(TR4_2)는 직렬로 연결될 수 있고, 듀얼 트랜지스터로 동작할 수 있다. 예를 들면, 상기 듀얼 트랜지스터가 턴-오프될 경우, 누설 전류(leakage current)를 감소시킬 수 있다. 제4 트랜지스터(TR4_1, TR4_2)의 게이트 단자는 데이터 초기화 신호(GI)를 공급받을 수 있다. 제4 트랜지스터(TR4_1, TR4_2)의 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제4 트랜지스터(TR4_1, TR4_2)의 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제4 트랜지스터(TR4_1, TR4_2)의 제1 단자는 소스 단자이고, 제4 트랜지스터(TR4_1, TR4_2)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제4 트랜지스터(TR4_1, TR4_2)의 제1 단자는 드레인 단자이고, 제4 트랜지스터(TR4_1, TR4_2)의 제2 단자는 소스 단자일 수 있다.
- [0078] 제4 트랜지스터(TR4_1, TR4_2)는 데이터 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이러한 경우, 제4 트랜지스터(TR4_1, TR4_2)는 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4_1, TR4_2)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 예시적인 실시예들에 있어서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.
- [0079] 예시적인 실시예들에 있어서, 데이터 초기화 신호(GI)는 일 수평 시간 전의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들면, 유기 발광 표시 장치(100)가 포함하는 복수의 서브 화소들 중 제 n (단, n 은 2이상의 정수)행의 서브 화소에 공급되는 데이터 초기화 신호(GI)는 상기 서브 화소들 중 ($n-1$)행의 서브 화소에 공급되는 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 서브 화소들 중 ($n-1$)행의 서브 화소에 활성화화된 스캔 신호(GW)를 공급함으로써, 서브 화소들 중 n 행의 서브 화소에 활성화된 데이터 초기화 신호(GI)를 공급할 수 있다. 그 결과, 서브 화소들 중 ($n-1$)행의 서브 화소에 데이터 신호(DATA)를 공급함과 동시에 서브 화소들 중 n 행의 서브 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0080] 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제2 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 비활성화 구간 동안 제2 전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이러한 경우, 제5 트랜지스터(TR5)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제2 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 비활성화 구간 동안 제2 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0081] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0082] 제6 트랜지스터(TR6)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이러한 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0083] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신

호(GB)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0084] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이러한 경우, 제7 트랜지스터(TR7)는 선행 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 도 3에 도시된 제1 스위칭 트랜지스터(255)는 제7 트랜지스터(TR7)에 해당될 수 있다.

[0085] 선택적으로, 데이터 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 이에 따라, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0086] 스토리지 커패시터(CST)는 제1 단자 및 제2 단자를 포함할 수 있다. 스토리지 커패시터(CST)는 제2 전원 전압(ELVDD) 배선과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 예를 들면, 스토리지 커패시터(CST)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있고, 스토리지 커패시터(CST)의 제2 단자는 제2 전원 전압(ELVDD) 배선에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 제어 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.

[0087] 즉, 도 1의 다른 절단면에서, 제1 및 제7 트랜지스터들뿐만 아니라 제2 내지 제6 트랜지스터들 및 커패시터들도 도 3에 도시될 수도 있다.

[0088] 도 5 내지 도 10은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

[0089] 도 5를 참조하면, 경질의 유리 기판(105)이 제공될 수 있다. 유리 기판(105) 상에 제1 유기 필름층(111)이 전체적으로 형성될 수 있고, 제1 유기 필름층(111) 상에 제1 베리어층(112)이 전체적으로 형성될 수 있다. 제1 베리어층(112)이 형성된 후, 제1 베리어층(112) 상에 예비 유기 필름층이 형성될 수 있다. 상기 예비 유기 필름층이 형성된 후, 상기 예비 유기 필름층을 선택적으로 식각하여 제1 개구(101)를 형성할 수 있다. 제1 개구(101)를 갖는 상기 예비 유기 필름층이 제2 유기 필름층(113)으로 정의될 수 있다.

[0090] 도 6을 참조하면, 제2 베리어층(114)은 제2 유기 필름층(113)의 제1 개구(101)를 채우며 제2 유기 필름층(113) 상에 전체적으로 형성될 수 있다. 유리 기판(105) 상에 제1 유기 필름층(111), 제1 베리어층(112), 제1 개구(101)를 갖는 제2 유기 필름층(113) 및 제2 베리어층(114)이 순서대로 적층됨으로써 기판(110)이 형성될 수 있다. 제2 유기 필름층(113)이 제1 개구(101)를 포함함에 따라 기판(110)에는 제1 트랜치(305)가 형성될 수 있다.

[0091] 제1 베리어층(112) 및 제2 베리어층(114) 각각은 실리콘 화합물, 금속 산화물 등과 같은 무기 물질을 사용하여 형성될 수 있다. 예를 들면, 제1 베리어층(112) 및 제2 베리어층(114) 각각은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 실리콘 산탄화물, 알루미늄 산화물, 알루미늄 질화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 또한, 제1 유기 필름층(111) 및 제2 유기 필름층(113) 각각은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등과 같은 유기 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 및 제2 베리어층들(112, 114) 각각은 실리콘 산화물을 포함할 수 있고, 제1 및 제2 베리어층들(112, 114) 각각은 제1 및 제2 유기층들(112, 114)을 통해 침투하는 수분을 차단할 수 있다. 더욱이, 제1 및 제2 유기층들(112, 114) 각각은 유기 발광 표시 장치가 가요성을 갖도록 폴리이미드계 수지를 포함할 수 있고, 상기 폴리이미드계 수지는 랜덤 공중합체 또는 블록 공중합체일 수 있다. 상기 폴리이미드계 수지는 고무 명성, 낮은 열팽창 계수 및 높은 유리 전이 온도를 가질 수 있다. 상기 폴리이미드계 수지는 이미드기를 함유하기 때문에, 내열성, 내화학적, 내마모성 및 전기적 특성이 우수할 수 있다.

- [0092] 선택적으로, 기판(110)은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다라임 유리 기판, 무알칼리 유리 기판 등을 사용하여 형성될 수도 있다.
- [0093] 도 7을 참조하면, 기판(110) 상에 버퍼층(115)이 형성될 수 있다. 예시적인 실시예들에 있어서, 버퍼층(115)은 기판(110)의 제1 트렌치(305)를 채우며 제2 베리어층(114) 상에 전체적으로 형성될 수 있다. 다시 말하면, 버퍼층(115)은 제2 베리어층(114) 상에서 균일한 두께로 제2 베리어층(114)의 프로파일을 따라 형성될 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있으며, 액티브층을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층을 수득하게 할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 형성되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 버퍼층(130)은 무기 물질을 사용하여 형성될 수 있다.
- [0094] 제1 액티브층(130) 및 제2 액티브층(135)이 버퍼층(115) 상에 형성될 수 있다. 제1 및 제2 액티브층들(130, 135)은 서로 이격하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 제1 트렌치(305)의 내부에 형성될 수 있고, 제2 액티브층(135)은 제1 트렌치(305)의 외부에 형성될 수 있다. 제1 및 제2 액티브층들(130, 135) 각각은 산화물 반도체, 무기물 반도체 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130) 및 제2 액티브층(135)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 버퍼층(115) 상에 예비 액티브층이 전체적으로 형성된 후, 상기 예비 액티브층을 선택적으로 식각하여 제1 액티브층(130) 및 제2 액티브층(135)이 동시에 형성될 수 있다.
- [0095] 제1 및 제2 액티브층들(130, 135) 및 버퍼층(115) 상에는 게이트 절연층(150)이 형성될 수 있다. 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 덮을 수 있으며, 버퍼층(115) 상에 전체적으로 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 덮으며, 균일한 두께로 제1 및 제2 액티브층들(130, 135)의 프로파일을 따라 형성될 수 있다. 선택적으로, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 및 제2 액티브층들(130, 135)을 충분히 덮을 수 있으며, 제1 및 제2 액티브층들(130, 135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.
- [0096] 제1 게이트 전극(170) 및 제2 게이트 전극(175)은 게이트 절연층(150) 상에서 서로 이격되어 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(170)은 제1 트렌치(305)의 내부에 형성될 수 있고, 제2 게이트 전극(175)은 제1 트렌치(305)의 외부에 형성될 수 있다. 다시 말하면, 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 형성될 수 있고, 제2 게이트 전극(175)은 게이트 절연층(150) 중에서 제2 액티브층(135)이 위치하는 부분 상에 형성될 수 있다. 제1 및 제2 게이트 전극들(170, 175) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예를 들면, 제1 및 제2 게이트 전극들(170, 175) 각각은 금, 은, 알루미늄, 백금, 니켈, 티타늄, 팔라듐, 마그네슘, 칼슘, 리튬, 크롬, 탄탈륨, 몰리브덴, 스칸듐, 네오디뮴, 이리듐, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 및 제2 게이트 전극들(170, 175)은 복수의 층들을 포함하는 다층 구조를 포함할 수도 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(170) 및 제2 게이트 전극(175)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 게이트 절연층(150) 상에 예비 제1 전극층이 전체적으로 형성된 후, 상기 예비 제1 전극층을 선택적으로 식각하여 제1 게이트 전극(170) 및 제2 게이트 전극(175)이 동시에 형성될 수 있다.
- [0097] 도 8을 참조하면, 제1 및 제2 게이트 전극들(170, 175) 및 게이트 절연층(150) 상에는 층간 절연층(190)이 형성될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극(170, 175)을 덮을 수 있으며, 게이트 절연층(150) 상에서 전체적으로 형성될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극들(170, 175)을 덮으며, 균일한 두께로 제1 및 제2 게이트 전극들(170, 175)의 프로파일을 따라 형성될 수 있다. 선택적으로, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 및 제2 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 및 제2 게이트 전극들(170, 175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 사용

하여 형성될 수 있다.

- [0098] 층간 절연층(190) 상에는 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215) 및 제2 드레인 전극(235)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230)은 제1 트렌치(305)의 내부에 형성될 수 있고, 제2 소스 전극(215) 및 제2 드레인 전극(235)은 제1 트렌치(305)의 외부에 형성될 수 있다. 제1 소스 전극(210)은 게이트 절연층(150) 및 층간 절연층(190)의 제1 부분을 제거하여 형성된 콘택홀을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 게이트 절연층(150) 및 층간 절연층(190)의 제2 부분을 제거하여 형성된 콘택홀을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 또한, 제2 소스 전극(215)은 게이트 절연층(150) 및 층간 절연층(190)의 제3 부분을 제거하여 형성된 콘택홀을 통해 제2 액티브층(135)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(235)은 게이트 절연층(150) 및 층간 절연층(190)의 제4 부분을 제거하여 형성된 콘택홀을 통해 제2 액티브층(135)의 드레인 영역에 접속될 수 있다. 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들은 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 층간 절연층(190) 상에 예비 제2 전극층이 전체적으로 형성된 후, 상기 예비 제2 전극층을 선택적으로 식각하여 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들이 동시에 형성될 수 있다.
- [0099] 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 구동 트랜지스터(250)가 형성될 수 있고, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제1 스위칭 트랜지스터(255)가 형성될 수 있다.
- [0100] 도 9를 참조하면, 층간 절연층(190), 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235) 상에 평탄화층(270)이 형성될 수 있고, 평탄화층(270)에는 제1 스위칭 트랜지스터(255)의 제2 드레인 전극(235)의 일부를 노출시키는 콘택홀이 형성될 수 있다. 평탄화층(270)은 제1 및 제2 소스 전극들(210, 215) 및 제1 및 제2 드레인 전극들(230, 235)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 사용하여 형성될 수 있다.
- [0101] 하부 전극(290)은 평탄화층(270) 상에 형성될 수 있다. 하부 전극(290)은 평탄화층(270)의 콘택홀을 통해 제2 드레인 전극(235)과 직접적으로 접촉할 수 있고, 하부 전극(290)은 제1 스위칭 트랜지스터(255)와 전기적으로 연결될 수 있다. 하부 전극(290)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.
- [0102] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 형성될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시키는 개구를 가질 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 사용하여 형성될 수 있다.
- [0103] 도 10을 참조하면, 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 형성될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 방출시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 형성될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색 컬러 필터, 청남색 컬러 필터 및 자주색 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지를 사용하여 형성될 수 있다.
- [0104] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 형성될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮으며 기판(110) 상에 전체적으로 형성될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 형성될 수 있다.

- [0105] 상부 전극(340) 상에 제1 박막 봉지층(451)이 형성될 수 있다. 제1 박막 봉지층(451)은 상부 전극(340)을 덮으며, 균일한 두께로 상부 전극(340)의 프로 파일을 따라 형성될 수 있다. 제1 박막 봉지층(451)은 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제1 박막 봉지층(451)은 외부의 충격으로부터 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제1 박막 봉지층(451)은 가요성을 갖는 무기 물질들을 사용하여 형성될 수 있다.
- [0106] 제1 박막 봉지층(451) 상에 제2 박막 봉지층(452)이 형성될 수 있다. 제2 박막 봉지층(452)은 유기 발광 표시 장치의 평탄도를 향상시킬 수 있으며, 서브 화소 구조물(200)을 보호할 수 있다. 제2 박막 봉지층(452) 가요성을 갖는 유기 물질들을 사용하여 형성될 수 있다.
- [0107] 제2 박막 봉지층(452) 상에 제3 박막 봉지층(453)이 형성될 수 있다. 제3 박막 봉지층(453)은 제2 박막 봉지층(452)을 덮으며, 균일한 두께로 제2 박막 봉지층(452)의 프로 파일을 따라 형성될 수 있다. 제3 박막 봉지층(453)은 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 서브 화소 구조물(200)이 수분, 산소 등의 침투로 인해 열화되는 것을 방지할 수 있다. 또한, 제3 박막 봉지층(453)은 외부의 충격으로부터 제1 박막 봉지층(451) 및 제2 박막 봉지층(452)과 함께 서브 화소 구조물(200)을 보호하는 기능도 수행할 수 있다. 제3 박막 봉지층(453)은 상기 가요성을 갖는 무기 물질들을 사용하여 형성될 수 있다. 이에 따라, 제1 박막 봉지층(451), 제2 박막 봉지층(452) 및 제3 박막 봉지층(453)을 포함하는 박막 봉지 구조물(450)이 형성될 수 있다. 선택적으로, 박막 봉지 구조물(450)은 제1 내지 제5 박막 봉지층들로 적층된 5층 구조 또는 제1 내지 제7 박막 봉지층들로 적층된 7층 구조로 구성될 수도 있다.
- [0108] 박막 봉지 구조물(450)이 형성된 후 유리 기판(105)이 기판(110)으로부터 박리될 수 있다. 이에 따라, 도 3에 도시된 유기 발광 표시 장치(100)가 제조될 수 있다.
- [0109] 도 11은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 11에 예시한 유기 발광 표시 장치(500)는 제1 하부 차단 패턴(350)을 제외하면 도 1 내지 도 4를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 11에 있어서, 도 1 내지 도 4를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0110] 도 11을 참조하면, 유기 발광 표시 장치(500)는 기판(110), 제1 하부 차단 패턴(350), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제1 트랜치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있고, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트랜치(305)가 정의될 수 있고, 제1 하부 차단 패턴(350)이 구동 트랜지스터(250)가 위치하는 부분 아래에서 기판(110)의 내부에 매립될 수 있다.
- [0111] 제1 하부 차단 패턴(350)이 제1 베리어층(112) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 하부 차단 패턴(350)이 제1 트랜치(305)의 내부에 위치할 수 있고, 제1 베리어층(112)과 제2 베리어층(114) 사이에 개재될 수 있다. 제1 하부 차단 패턴(350)에는 기설정된 전압이 인가될 수 있다. 제1 하부 차단 패턴(350)에 상기 전압이 인가됨으로써 기판(110)에 포함된 전하들이 구동 트랜지스터(250)의 구동을 방해하는 것을 제1 하부 차단 패턴(350)이 상대적으로 감소시킬 수 있다. 선택적으로, 제1 하부 차단 패턴(350)이 유기 발광 표시 장치(500)의 외곽에서 접지(ground)될 수도 있다. 이러한 경우, 기판(110)에 포함된 전하들이 제1 하부 차단 패턴(350)을 통해 외부로 빠져나갈 수 있다. 즉, 제1 하부 차단 패턴(350)이 접지됨으로써 기판(110)에 포함된 전하들이 구동 트랜지스터(250)의 구동을 방해하는 것을 제1 하부 차단 패턴(350)이 상대적으로 감소시킬 수 있다. 제1 하부 차단 패턴(350)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 하부 차단 패턴(350)은 복수의 층들을 포함하는 다층 구조를 포함할 수도 있다.
- [0112] 도 12는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 12에 예시한 유기 발광 표시 장치(600)는 제1 유기 필름층(111)의 제1 그루브(106)를 제외하면 도 1 내지 도 4를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 12에 있어서, 도 1 내지 도 4를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0113] 도 12를 참조하면, 유기 발광 표시 장치(600)는 기판(110), 버퍼층(115), 게이트 절연층(150), 층간 절연층

(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제1 트랜치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있다. 또한, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있고, 제1 유기 필름층(111)은 제1 그루브(106)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 유기 필름층(111)의 제1 그루브(106) 및 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트랜치(305)가 정의될 수 있다. 또한, 제1 그루브(106)에 제1 베리어층(112)이 배치될 수 있다.

[0114] 구동 트랜지스터(250)가 배치되는 부분에 위치하는 제1 그루브(106)는 제1 유기 필름층(111)의 적어도 일부가 제거되어 형성될 수 있다. 예를 들면, 제1 그루브(106)가 형성된 제1 유기 필름층(111)의 두께는 대략 1마이크로미터 이하일 수 있다. 제1 유기 필름층(111)의 적어도 일부가 제거되어 제1 그루브(106)가 형성됨으로써, 구동 트랜지스터(250) 아래에 위치하는 제1 유기 필름층(111)에 포함된 전하들로부터의 영향이 상대적으로 줄어들 수 있다. 다시 말하면, 제1 그루브(106)가 형성됨에 따라 구동 트랜지스터(250) 아래에 위치하는 기판(110)에 포함된 전하들이 상대적으로 줄어들 수 있고, 구동 트랜지스터(250)의 신뢰성 및 수명은 상대적으로 증가될 수 있다.

[0115] 도 13은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 13에 예시한 유기 발광 표시 장치(700)는 제1 하부 차단 패턴(350)을 제외하면 도 12를 참조하여 설명한 유기 발광 표시 장치(600)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 13에 있어서, 도 12를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0116] 도 13을 참조하면, 유기 발광 표시 장치(700)는 기판(110), 제1 하부 차단 패턴(350), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제1 트랜치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있다. 또한, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있고, 제1 유기 필름층(111)은 제1 그루브(106)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 유기 필름층(111)의 제1 그루브(106) 및 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트랜치(305)가 정의될 수 있고, 제1 하부 차단 패턴(350)이 구동 트랜지스터(250)가 위치하는 부분 아래에서 기판(110)의 내부에 매립될 수 있다.

[0117] 제1 하부 차단 패턴(350)이 제1 베리어층(112) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 하부 차단 패턴(350)이 제1 트랜치(305)의 내부에 위치할 수 있고, 제1 베리어층(112)과 제2 베리어층(114) 사이에 개재될 수 있다. 제1 하부 차단 패턴(350)은 기설정된 전압이 인가될 수 있다. 제1 하부 차단 패턴(350)에 상기 전압이 인가됨으로써 기판(110)에 포함된 전하들이 구동 트랜지스터(250)의 구동을 방해하는 것을 제1 하부 차단 패턴(350)이 상대적으로 감소시킬 수 있다. 선택적으로, 제1 하부 차단 패턴(350)이 유기 발광 표시 장치(500)의 외곽에서 접지될 수도 있다. 이러한 경우, 기판(110)에 포함된 전하들이 제1 하부 차단 패턴(350)을 통해 외부로 빠져나갈 수 있다. 즉, 제1 하부 차단 패턴(350)이 접지됨으로써 기판(110)에 포함된 전하들이 구동 트랜지스터(250)의 구동을 방해하는 것을 제1 하부 차단 패턴(350)이 상대적으로 감소시킬 수 있다.

[0118] 도 14는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 14에 예시한 유기 발광 표시 장치(800)는 제1 신호 배선(370) 및 제2 신호 배선(375)을 제외하면 도 13을 참조하여 설명한 유기 발광 표시 장치(700)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 14에 있어서, 도 13을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0119] 도 14를 참조하면, 유기 발광 표시 장치(700)는 기판(110), 제1 하부 차단 패턴(350), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제1 신호 배선(370), 제2 신호 배선(375), 제1 제1 트랜치(305), 제2 트랜치(306), 제3 트랜치(307), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있다. 또한, 제2 유기 필름층(113)은 제1 개구(101), 제2 개구(102) 및 제3 개구(103)를 포함할 수 있고, 제1 유기 필름층(111)은 제1 그루브(106), 제2 그루브(107) 및 제3 그루브(108)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 유기 필름층(111)의 제1 그루브(106) 및 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트랜치(305)가 정의될 수 있고, 제1 하부 차단 패턴(350)이 구동 트랜지스터(250)가 위치하는 부분 아래에서 기판(110)의 내부에 매립될 수 있다. 또한, 제1 유기 필름층(111)의 제2 그루브(107) 및 제2 유기 필름층(113)의 제

2 개구(102)에 의해 기판(110)의 제2 트렌치(306)가 정의될 수 있고, 제1 유기 필름층(111)의 제3 그루브(108) 및 제2 유기 필름층(113)의 제3 개구(103)에 의해 기판(110)의 제3 트렌치(307)가 정의될 수 있다. 예를 들면, 구동 트랜지스터(250)가 위치하는 부분에 제1 그루브(106) 및 개구(101)로부터 정의되는 제1 트렌치(305)가 위치할 수 있다. 또한, 제1 그루브(106)로부터 제1 방향(D1)으로 이격되어 제2 그루브(107)가 위치할 수 있고, 제2 그루브(107) 상에 제2 개구(102) 및 제1 신호 배선(370)이 위치할 수 있다. 여기서, 제1 신호 배선(370)이 배치되는 부분에 위치하는 제2 그루브(107)는 제1 유기 필름층(111)의 적어도 일부가 제거되어 형성될 수 있다. 더욱이, 제1 그루브(106)로부터 제1 방향(D1)과 반대되는 방향으로 이격되어 제3 그루브(108)가 위치할 수 있고, 제3 그루브(108) 상에 제3 개구(103) 및 제2 신호 배선(375)이 위치할 수 있다. 여기서, 제2 신호 배선(375)이 배치되는 부분에 위치하는 제3 그루브(108)는 제1 유기 필름층(111)의 적어도 일부가 제거되어 형성될 수 있다. 제1 내지 제3 그루브들(106, 107, 108)에는 제1 베리어층(112)이 배치될 수 있다.

[0120] 제1 신호 배선(370)은 제2 트렌치(306)의 내부에 배치될 수 있고, 제2 트렌치(306)의 폭은 제1 신호 배선(370)의 폭보다 작을 수 있다. 선택적으로, 제2 트렌치(306)의 폭이 제1 신호 배선(370)의 폭보다 클 수도 있다. 제1 신호 배선(370)은 데이터 신호 배선, 스캔 신호 배선, 전원 전압 배선, 발광 제어 신호 배선, 초기화 신호 배선 중 하나일 수 있다. 예시적인 실시예들에 있어서, 제1 신호 배선(370)은 발광 제어 신호 배선(예를 들어, 도 3의 발광 제어 신호(EM) 배선)에 해당될 수 있고, 제1 전압 레벨을 가질 수 있다. 제1 신호 배선(370)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 신호 배선(370)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0121] 제2 신호 배선(375)은 제3 트렌치(307)의 내부에 배치될 수 있고, 제3 트렌치(307)의 폭은 제2 신호 배선(375)의 폭보다 작을 수 있다. 선택적으로, 제3 트렌치(307)의 폭이 제2 신호 배선(375)의 폭보다 클 수도 있다. 제2 신호 배선(375)은 데이터 신호 배선, 스캔 신호 배선, 전원 전압 배선, 발광 제어 신호 배선, 초기화 신호 배선 중 하나일 수 있다. 예시적인 실시예들에 있어서, 제2 신호 배선(375)은 스캔 신호 배선(예를 들어, 도 3의 발광 스캔 신호(GW) 배선)에 해당될 수 있고, 제2 전압 레벨을 가질 수 있다. 여기서, 상기 제1 전압 레벨은 상기 제2 전압 레벨보다 낮을 수 있다. 제2 신호 배선(375)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 신호 배선(375)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0122] 예를 들면, 유기 발광 표시 장치(800)가 구동시 제1 신호 배선(370)의 제1 전원 전압 레벨과 제2 신호 배선(375)의 제2 전원 전압 레벨 차이에 의해 전기장이 생성될 수 있고, 상기 전기장에 의해 기판(110)에 포함된 전하들이 불균일하게 분포할 수 있다. 예시적인 실시예들에 있어서, 제1 및 제2 신호 배선들(370, 375) 각각의 아래에 배치되는 제2 유기 필름층(113)을 제거하고, 제1 유기 필름층(111)의 적어도 일부를 제거함으로써, 상기 전기장의 세기가 감소될 수 있다. 이에 따라, 구동 트랜지스터(250)에 대한 상기 전하들로부터의 영향이 상대적으로 줄어들 수 있고, 구동 트랜지스터(250)의 신뢰성 및 수명은 상대적으로 증가될 수 있다.

[0123] 도 15는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 15에 예시한 유기 발광 표시 장치(900)는 제2 스위칭 트랜지스터(260)를 제외하면 도 1 내지 도 4를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 15에 있어서, 도 1 내지 도 4를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0124] 도 15를 참조하면, 유기 발광 표시 장치(900)는 기판(110), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제2 스위칭 트랜지스터(260), 제1 트렌치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있고, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있다. 또한, 구동 트랜지스터(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 제1 스위칭 트랜지스터(255)는 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 더욱이, 제2 스위칭 트랜지스터(260)는 제3 액티브층(140), 제3 게이트 전극(180), 제3 소스 전극(220) 및 제3 드레인 전극(240)을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트렌치(305)가 정의될 수 있고, 제1 트렌치(305)의 내부에 구동 트랜지스터(250) 및 제2 스위칭 트랜지스터(260)가 배치될 수 있다.

[0125] 제2 스위칭 트랜지스터(260)는 제1 트렌치(305)의 내부에서 구동 트랜지스터(250)와 이격되어 배치될 수 있다.

예시적인 실시예들에 있어서, 구동 트랜지스터(250)는 도 3의 제1 트랜지스터(TR1)에 해당될 수 있고, 제1 스위칭 트랜지스터(255)는 도 3의 제7 트랜지스터(TR7)에 해당될 수 있으며, 제2 스위칭 트랜지스터(260)는 도 3의 제3 트랜지스터(TR3_1)에 해당될 수 있다.

[0126] 도 3에 도시된 바와 같이, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압 차에 기초하여 구동 전류(ID)를 생성할 수 있고, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 즉, 제2 내지 제7 트랜지스터들(TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7,)과 비교했을 때, 제1 트랜지스터(TR1)는 유기 발광 다이오드(OLED)의 발광에 대해 상대적으로 많은 영향을 줄 수 있다. 한편, 제2 내지 제7 트랜지스터들(TR2, TR3_1, TR3_2, TR4_1, TR4_2, TR5, TR6, TR7,) 중 제3 트랜지스터(TR3_1)가 제1 트랜지스터(TR1) 다음으로 유기 발광 다이오드(OLED)의 발광에 대해 상대적으로 많은 영향을 줄 수 있다(표 1 참조). 예시적인 실시예들에 있어서, 도 15에 도시된 바와 같이, 유기 발광 다이오드(OLED)의 발광에 대해 상대적으로 많은 영향을 줄 수 있는 제1 트랜지스터(TR1)(예를 들어, 구동 트랜지스터(250)) 및 제3 트랜지스터(TR3_1)(예를 들어, 제2 스위칭 트랜지스터(260))가 제1 트랜치(305)의 내부에 서로 이격하여 배치될 수 있다. 이에 따라, 유기 발광 표시 장치(900)의 표시 품질이 향상될 수 있다.

[0127] [표 1]

구분	ΔV_{th}			
	0.0	1.0	2.0	3.0
TR3_1	0.0%	-1.4%	-2.1%	-2.8%
TR3_2	0.0%	-0.7%	-0.7%	-0.7%
T4_1	0.0%	-0.7%	-0.7%	-0.7%
T4_2	0.0%	-0.7%	-0.7%	-0.7%
TR2	0.0%	-0.7%	-0.7%	-0.7%
TR5	0.0%	0.0%	0.0%	-0.7%
TR6	0.0%	-0.7%	-0.7%	-1.4%
TR7	0.0%	-0.7%	-0.7%	-0.7%

[0128] 표 1은 트랜지스터들 각각의 문턱 전압이 변화함에 따라 유기 발광 다이오드의 휘도 변화율을 나타내는 표이다. 전술한 바와 같이, 제3 트랜지스터(TR3_1)가 유기 발광 다이오드(OLED)의 발광에 대해 상대적으로 많은 영향을 줄 수 있음을 알 수 있다.

[0130] 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 17은 도 16의 유기 발광 표시 장치에 포함된 유기 발광 다이오드 및 트랜지스터들을 설명하기 위한 회로도이다. 도 16에 예시한 유기 발광 표시 장치(1000)는 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)을 제외하면 도 15를 참조하여 설명한 유기 발광 표시 장치(900)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 도 16에 있어서, 도 15를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0131] 도 15를 참조하면, 유기 발광 표시 장치(1000)는 기판(110), 제1 하부 차단 패턴(350), 제2 하부 차단 패턴(355), 버퍼층(115), 게이트 절연층(150), 층간 절연층(190), 구동 트랜지스터(250), 제1 스위칭 트랜지스터(255), 제2 스위칭 트랜지스터(260), 제1 트랜치(305), 평탄화층(270), 화소 정의막(310), 서브 화소 구조물(200), 박막 봉지 구조물(450) 등을 포함할 수 있다. 여기서, 기판(110)은 제1 유기 필름층(111), 제1 베리어층(112), 제2 유기 필름층(113) 및 제2 베리어층(114)을 포함할 수 있고, 제2 유기 필름층(113)은 제1 개구(101)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 유기 필름층(113)의 제1 개구(101)에 의해 기판(110)의 제1 트랜치(305)가 정의될 수 있고, 제1 하부 차단 패턴(350)이 구동 트랜지스터(250)가 위치하는 부분 아래에서 기판(110)의 내부에 매립될 수 있으며, 제2 하부 차단 패턴(355)이 제2 스위칭 트랜지스터(260)가 위치하는

부분 아래에서 기관(110)의 내부에 매립될 수 있다.

[0132] 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)이 제1 베리어층(112) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)이 제1 트랜치(305)의 내부에 위치할 수 있고, 제1 베리어층(112)과 제2 베리어층(114) 사이에 개재될 수 있다. 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)각각에는 기설정된 전압이 인가될 수 있다. 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)각각에 상기 전압이 인가됨으로써 기관(110)에 포함된 전하들이 구동 트랜지스터(250) 및 제2 스위칭 트랜지스터(260)의 구동을 방해하는 것을 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)이 상대적으로 감소시킬 수 있다. 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 하부 차단 패턴(350) 및 제2 하부 차단 패턴(355)각각은 복수의 층들을 포함하는 다층 구조를 포함할 수도 있다.

[0133] 도 17을 참조하면, 도 16의 구동 트랜지스터(250)는 도 17의 제1 트랜지스터에 해당될 수 있고, 도 16의 제2 스위칭 트랜지스터(260)는 도 17의 제3 트랜지스터(TR3_1)에 해당될 수 있다. 또한, 도 16의 제1 하부 차단 패턴(350)은 도 17의 제1 백게이트(350)에 해당될 수 있고, 도 16의 제2 하부 차단 패턴(355)은 도 17의 제2 백게이트(355)에 해당될 수 있다.

[0134] 도 17에 도시된 바와 같이, 제1 백게이트(350)는 제2 전원 전압(ELVDD) 배선과 연결될 수 있고, 제2 전원 전압(ELVDD)이 제1 백게이트(350)에 인가될 수 있다. 다시 말하면, 제1 백게이트(350)에는 정전압이 인가될 수 있다. 선택적으로, 제1 백게이트(350)는 1V 이상의 정전압이 제공되는 배선과 연결될 수도 있다. 제2 백게이트(355)는 스캔 신호(GW) 배선과 연결될 수 있고, 스캔 신호(GW)가 제2 백게이트(355)에 인가될 수 있다. 추가적으로, 회로 특성(예를 들어, 누설 전류 차단 특성)을 개선하기 위해 제3 트랜지스터들(TR3_1, TR3_2) 사이에 위치하는 제1 노드(N1)와 제4 트랜지스터들(TR4_1, TR4_2) 사이에 위치하는 제2 노드(N2)가 연결될 수 있다.

[0135] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

[0136] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

부호의 설명

[0137] 10: 서브 화소 영역 50: 표시 영역
100, 500, 600, 700, 800, 1000: 유기 발광 표시 장치
101: 제1 개구 102: 제2 개구
103: 제3 개구 106: 제1 그루브
107: 제2 그루브 108: 제3 그루브
105: 유리 기관 110: 기관
115: 버퍼층 130: 제1 액티브층
135: 제2 액티브층 150: 게이트 절연층
170: 게이트 전극 190: 층간 절연층
200: 서브 화소 구조물 210: 제1 소스 전극
215: 제2 소스 전극 230: 제1 드레인 전극
235: 제2 드레인 전극 250: 구동 트랜지스터

255: 제1 스위칭 트랜지스터 260: 제2 스위칭 트랜지스터

270: 평탄화층 290: 하부 전극

305: 제1 트랜치 306: 제2 트랜치

307: 제3 트랜치 310: 화소 정의막

330: 발광층 340: 상부 전극

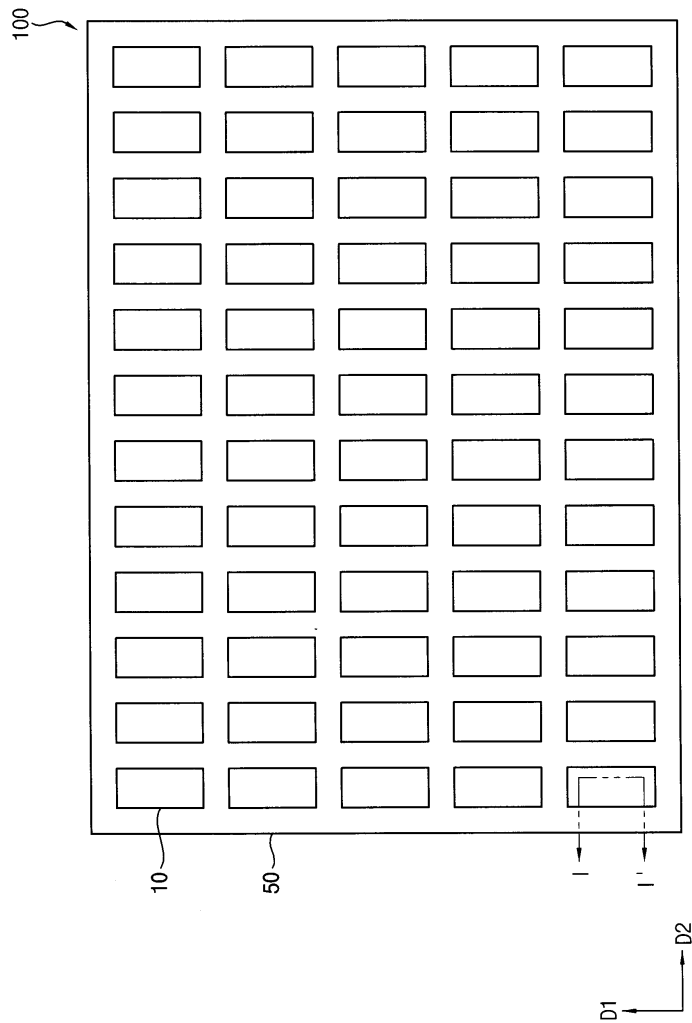
350: 제1 하부 차단 패턴 355: 제2 하부 차단 패턴

450: 박막 봉지 구조물 451: 제1 박막 봉지층

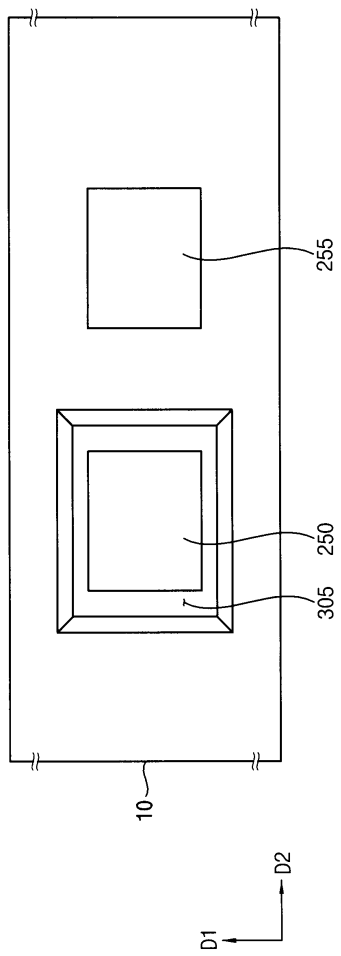
452: 제2 박막 봉지층 453: 제3 박막 봉지층

도면

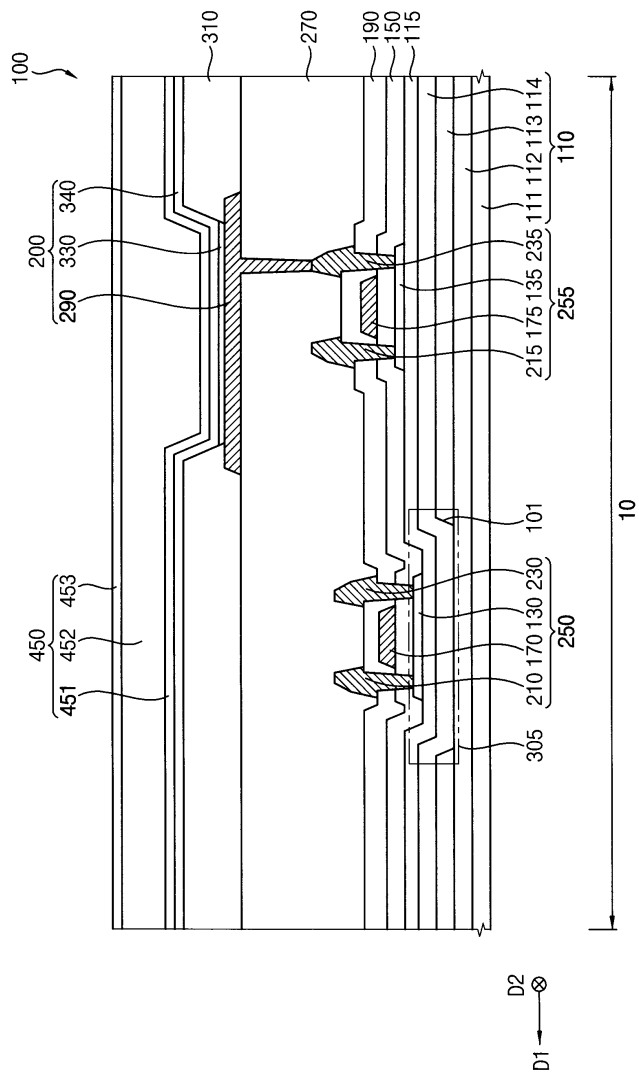
도면1



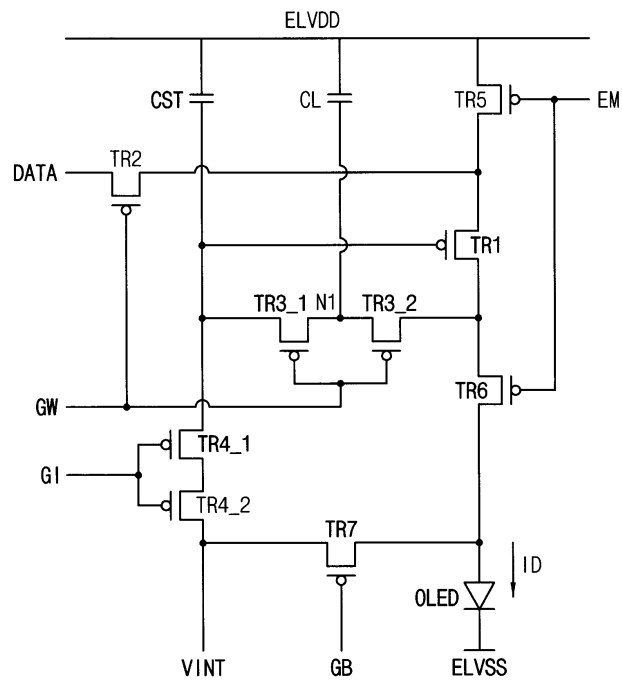
도면2



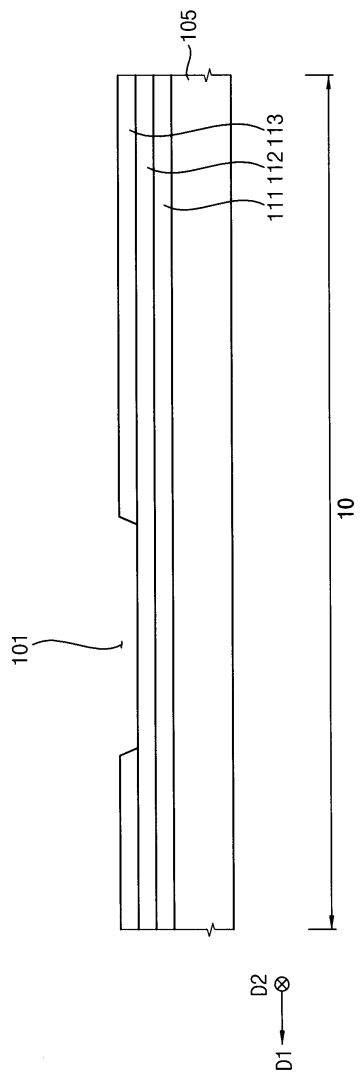
도면3



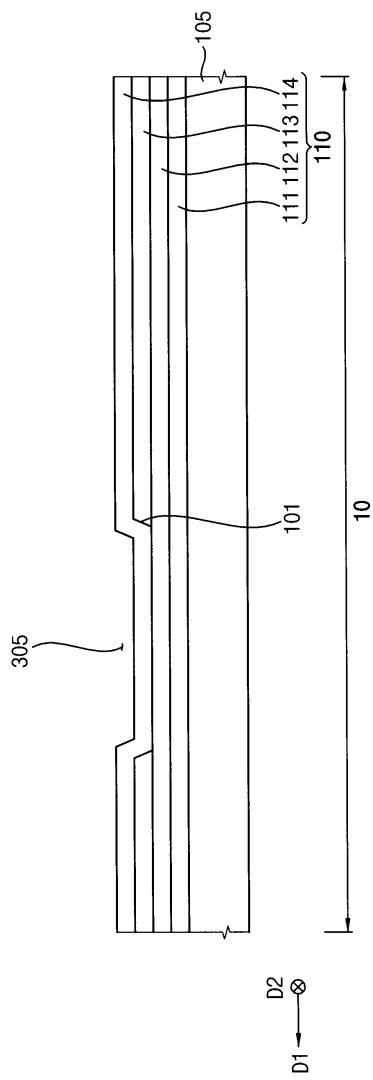
도면4



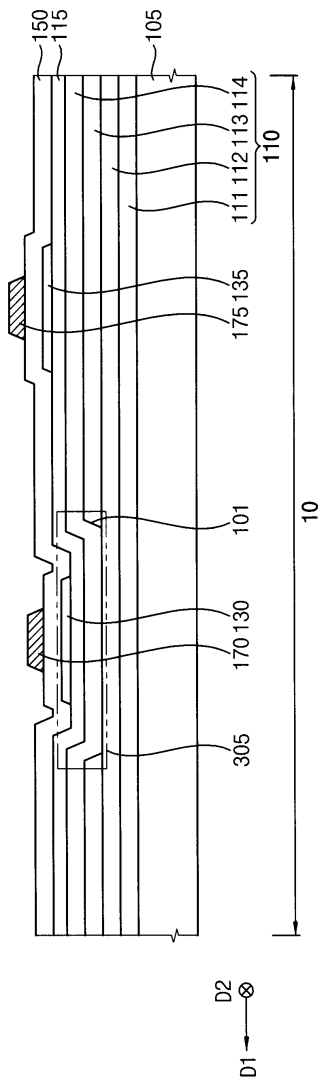
도면5



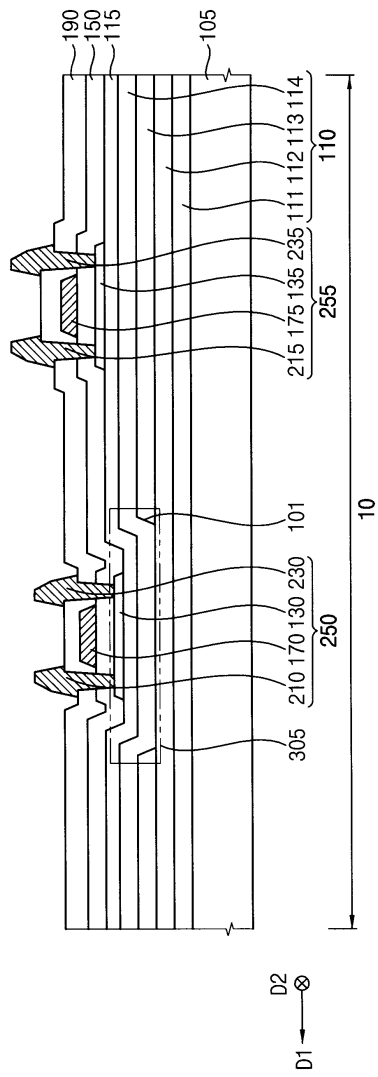
도면6



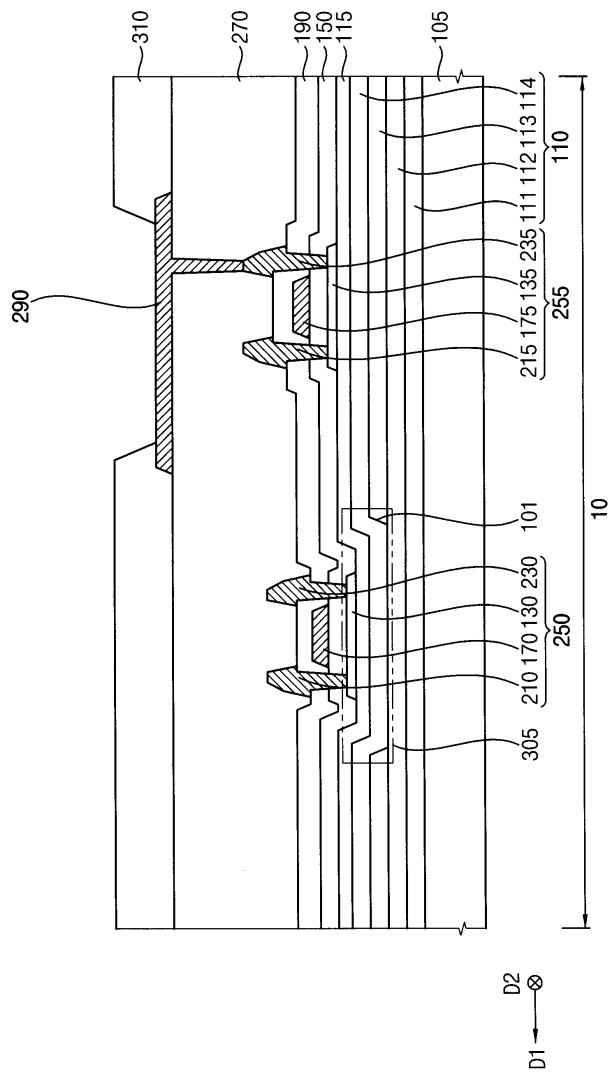
도면7



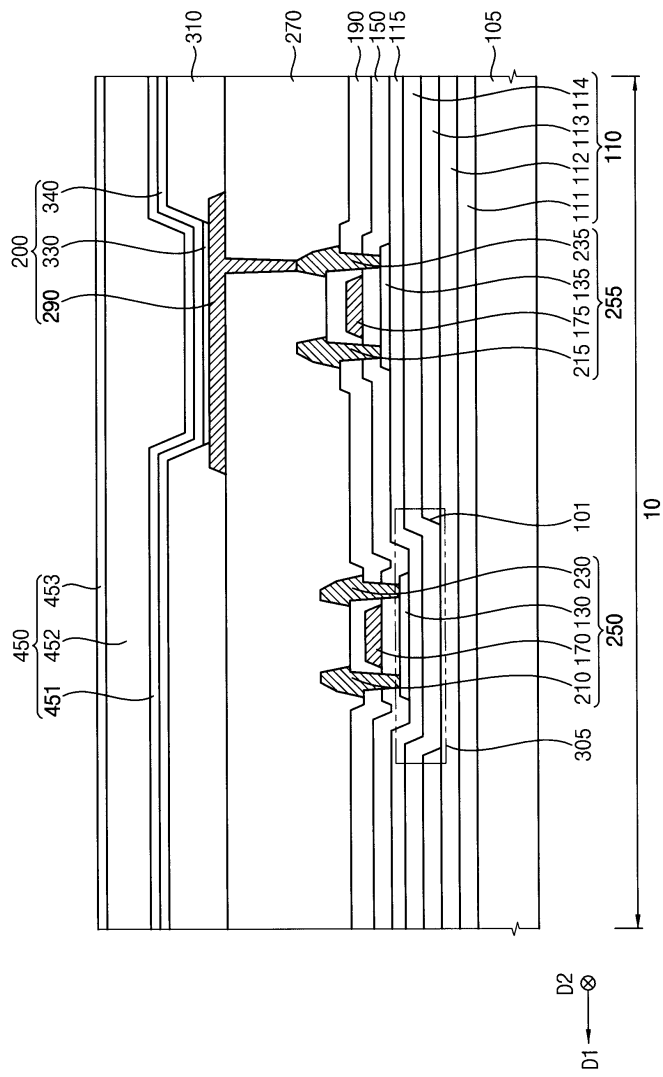
도면8



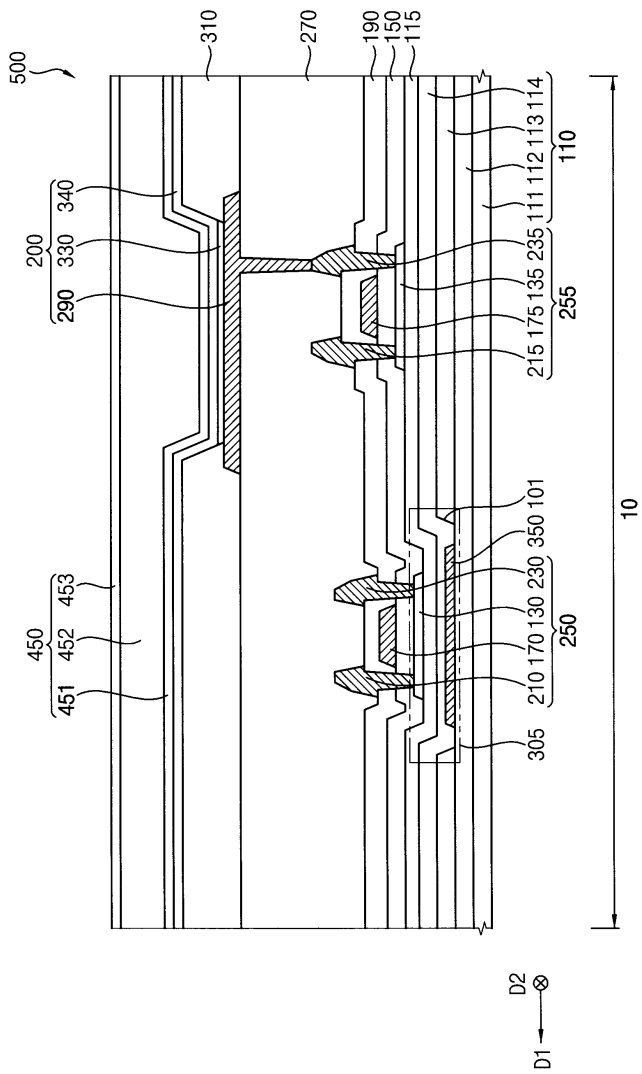
도면9



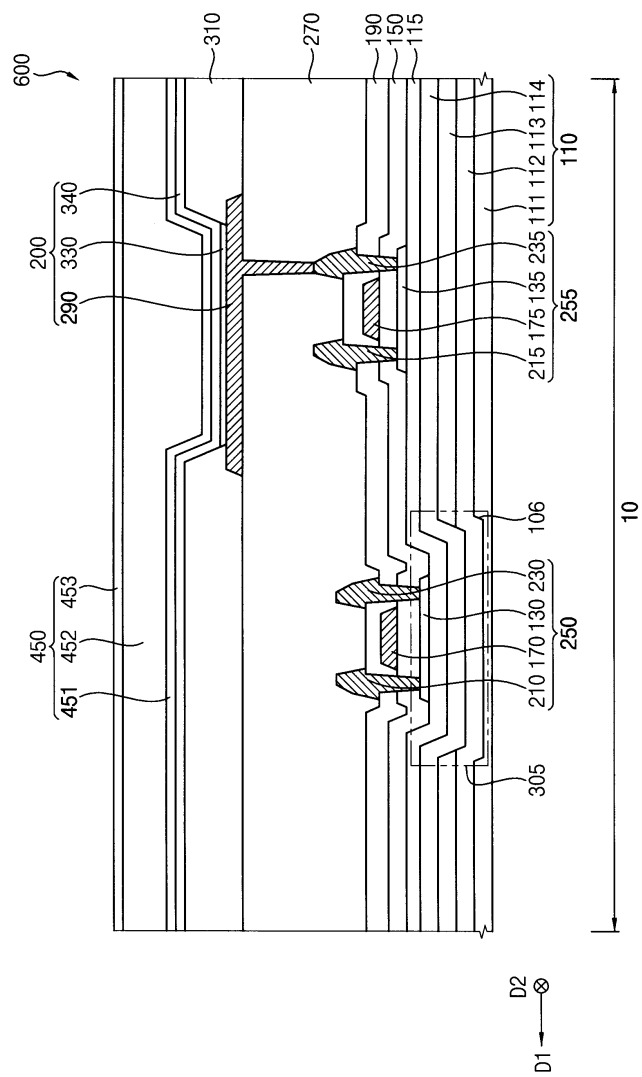
도면10



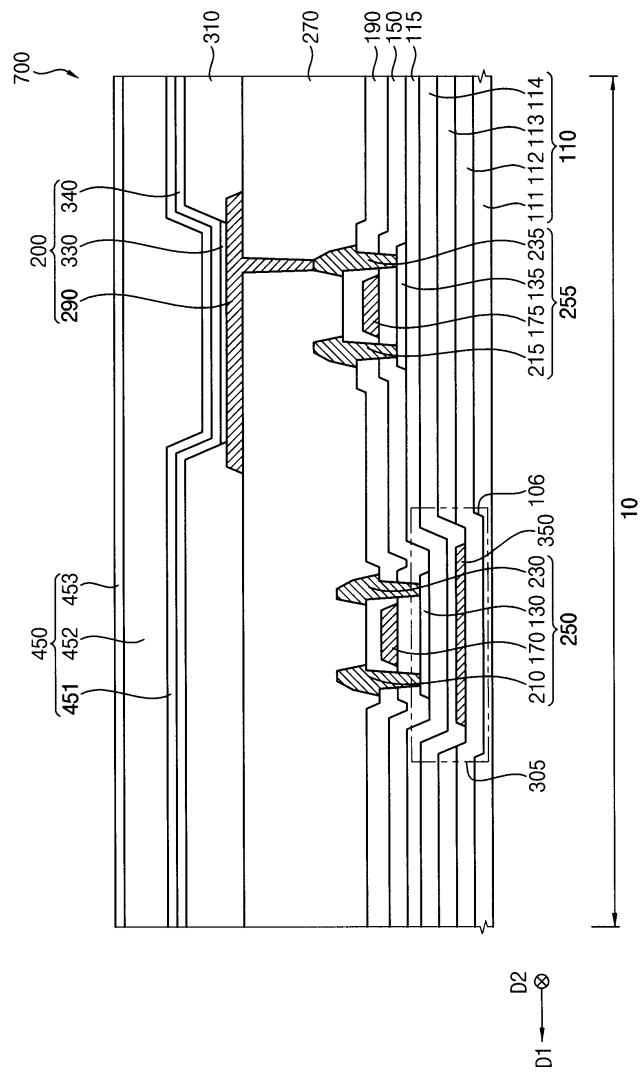
도면11



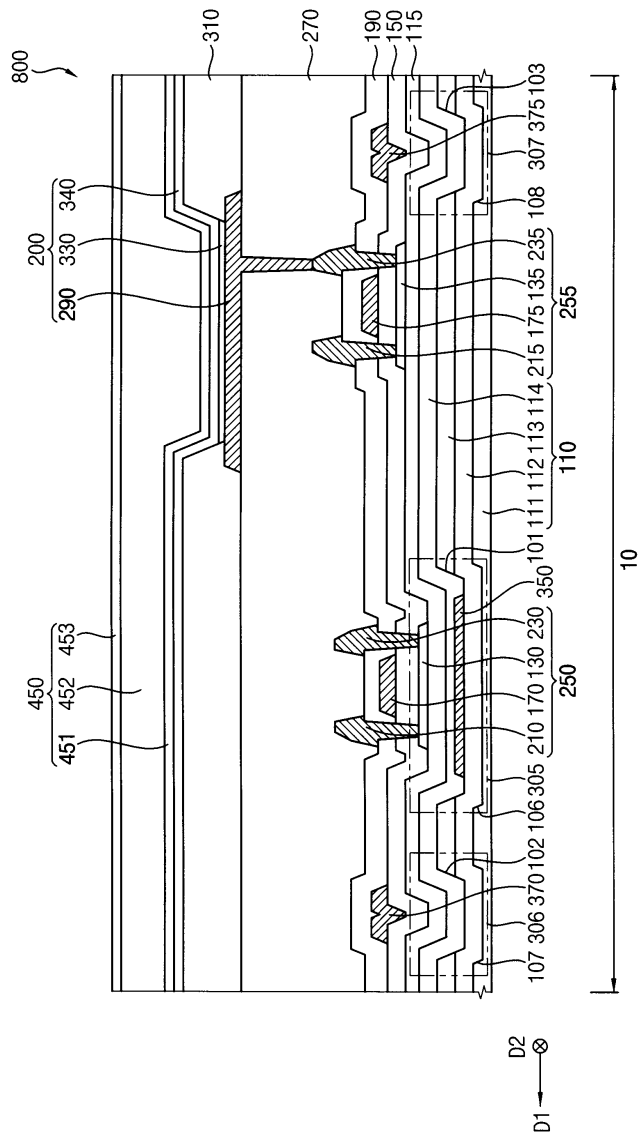
도면12



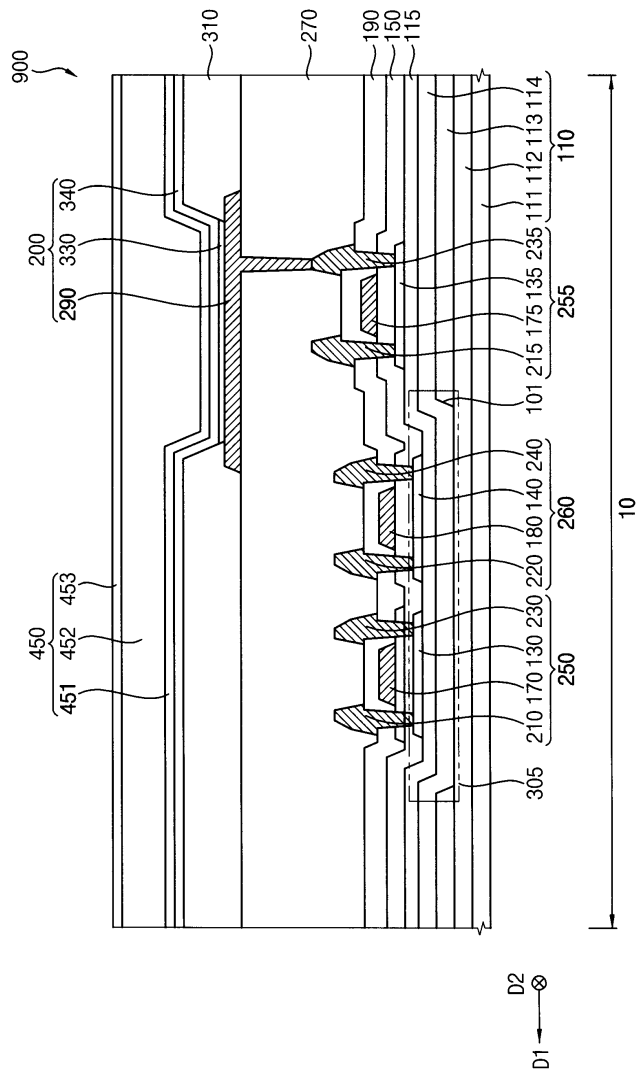
도면13



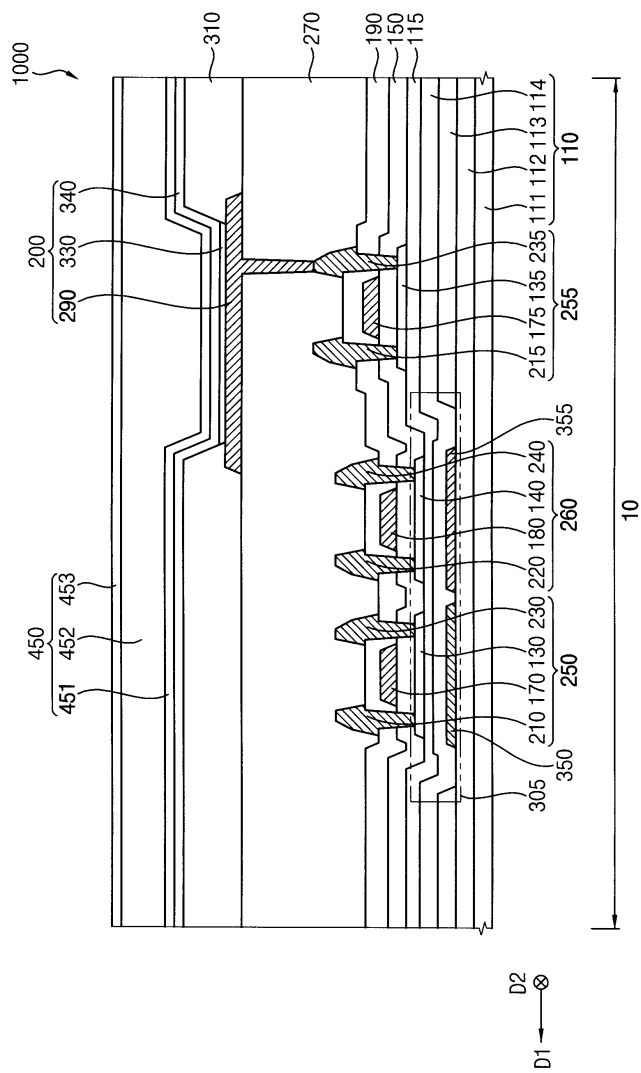
도면14



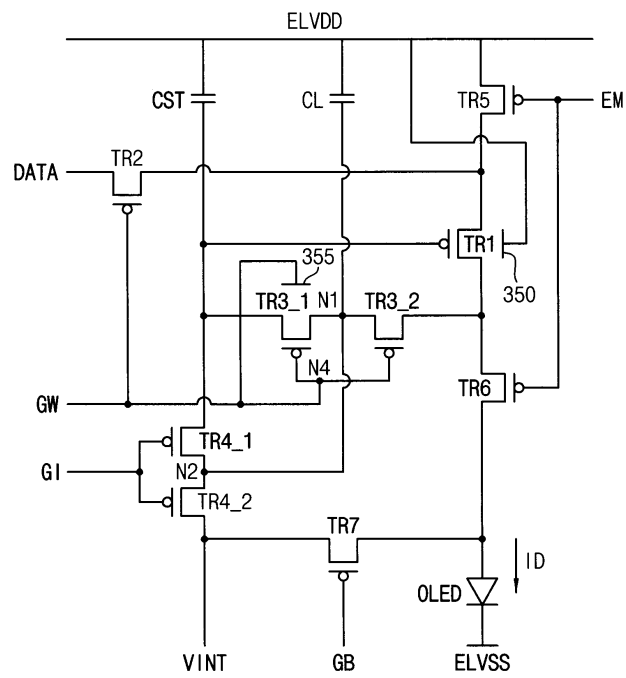
도면15



도면16



도면17



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190100554A	公开(公告)日	2019-08-29
申请号	KR1020180019566	申请日	2018-02-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	전주희 김건희 김도형 김현식 박상호		
发明人	전주희 김건희 김도형 김현식 박상호		
IPC分类号	H01L27/32 H01L51/00		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3276 H01L51/0097 H01L51/5237 H01L27/1218 H01L27/1248 H01L27/1259 H01L29/78603 H01L29/78633 H01L2251/5338 H01L27/1214 H01L51/5253 H01L2227/323 H01L2227/326		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

一种有机发光显示装置，包括：基板，其包括第一沟槽；以及第二基板。驱动晶体管设置在基板的第一沟槽中；子像素结构设置在驱动晶体管上。在此，基板可以包括：第一有机膜层；以及第二有机膜层。设置在第一有机膜层上的第一阻挡层；第二有机膜层，其布置在第一阻挡层上，并且在驱动晶体管所在的部分包括第一孔；第二阻挡层设置在第二有机膜层上。在此，有机发光显示装置包括位于驱动晶体管下方的第二有机膜层的第一开口，使得驱动晶体管可以从不均匀分布的电荷接收相对较小的影响。因此，可以增加有机发光显示装置中包括的驱动晶体管的可靠性和寿命。

