

(52) CPC특허분류

H01L 27/3265 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 형성된 버퍼막;

상기 버퍼막 위에 배치된 박막 트랜지스터; 및

상기 기관 위에 배치되어 상기 박막 트랜지스터와 전기적으로 연결된 유기발광 다이오드를 포함하고,

상기 박막 트랜지스터는,

상기 버퍼막에 형성된 음각 형태의 함몰부에 채워진 액티브층;

상기 버퍼막 위에 형성되어 상기 액티브층을 커버하는 게이트 절연막;

상기 게이트 절연막 위에 형성되어 상기 액티브층과 중첩된 게이트 전극;

상기 액티브층과 접촉된 소오스 전극; 및

상기 소오스 전극과 이격되어 상기 액티브층과 접촉된 드레인 전극을 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

단면상에서 상기 액티브층은 바닥면으로부터 상부면에 가까워질수록 그 폭이 커지는 형상을 갖는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 함몰부는 바닥면으로부터 상부를 향하여 폭이 넓어지는 경사를 가지는 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 함몰부의 깊이는 상기 액티브층의 두께와 동일한 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트 절연막의 상기 액티브층을 커버하는 부분은 평탄한 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 박막 트랜지스터와 전기적으로 연결되어 상기 유기발광 다이오드 측으로 전원 신호를 제공하는 전원 신호 라인;

상기 버퍼막 위에 형성된 제1 스토리지 전극;

상기 제1 스토리지 전극 위에 배치되고, 상기 게이트 절연막을 사이에 두고 상기 제1 스토리지 전극과 중첩된 제2 스토리지 전극; 및

상기 제2 스토리지 전극 위에 배치되고, 다른 절연막을 사이에 두고 상기 제2 스토리지 전극과 중첩된 제3 스토리지 전극을 포함하고,

상기 제1 스토리지 전극 및 상기 제2 스토리지 전극은 제1 커패시터를 정의하고, 제2 스토리지 전극 및 상기 제3 스토리지 전극은 제2 커패시터를 정의하는 것을 특징으로 하는 유기발광 표시장치.

청구항 7

제 6항에 있어서,

상기 제1 스토리지 전극은 상기 액티브층과 동일한 물질을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 스토리지 전극은 상기 함몰부와 인접한 상기 버퍼막의 평탄부 위에 형성되어 상기 액티브층과 이격된 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제 7 항에 있어서,

상기 제1 스토리지 전극 및 상기 액티브층은 결정질 실리콘을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 10

제 6 항에 있어서,

상기 제3 스토리지 전극은 상기 전원 신호 라인과 전기적으로 연결된 것을 특징으로 하는 유기발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 스토리지 전극 및 상기 제3 스토리지 전극 사이에 배치된 적어도 하나의 절연막에 콘택홀이 형성되고, 상기 제3 스토리지 전극은 상기 콘택홀을 통해 상기 제1 스토리지 전극과 전기적으로 연결된 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시 장치에 관한 것으로, 보다 상세하게는 박막 트랜지스터를 포함하는 유기발광 표시 장치에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 액정 표시 장치 및 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질 및 대화면 구현의 장점으로 적용 분야가 확대되고 있다.

[0004] 또한, 이러한 평판 표시 장치는 복수 개의 화소를 매트릭스상으로 구비하며, 각 화소를 개별적으로 제어할 수 있는 TFT(Thin Film Transistor: 박막 트랜지스터)를 화소 내에 하나 이상 구비한다.

[0005] 유기발광 표시장치는 다수의 화소들 각각에 배치되어 광을 발광하는 유기발광 소자를 이용하여 영상을 표시한다. 상기 유기발광 소자는 애노드, 캐소드 및 상기 애노드와 상기 캐소드 사이에 개재된 유기발광층을 포

함한다.

- [0006] 상기 유기발광 소자에 전원 신호가 인가되는 경우에, 상기 애노드 전극을 통해 상기 유기발광층에 정공이 제공되고, 상기 캐소드 전극을 통해 상기 유기발광층에 전자가 제공된다. 또한, 상기 유기발광층에 제공된 전자 및 정공이 재결합되어 여기자가 생성되고, 상기 여기자가 여기 상태에서 기저 상태로 그 상태가 변화됨에 따라 발생하는 에너지에 의해 상기 유기발광층으로부터 광이 발생된다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 목적은 균일화된 스위칭 특성을 갖는 박막 트랜지스터를 구비하여 발광 특성이 균일화된 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 상술한 목적을 달성하기 위하여, 유기발광 표시장치는 기판, 상기 기판 위에 형성된 버퍼막, 상기 버퍼막 위에 배치된 박막 트랜지스터, 및 상기 기판 위에 배치되어 상기 박막 트랜지스터와 전기적으로 연결된 유기발광 다이오드를 포함한다.

- [0009] 또한, 상기 박막 트랜지스터는 상기 버퍼막에 형성된 음각 형태의 함몰부에 채워진 액티브층, 상기 버퍼막 위에 형성되어 상기 액티브층을 커버하는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 상기 액티브층과 중첩된 게이트 전극, 상기 액티브층과 콘택된 소오스 전극, 및 상기 소오스 전극과 이격되어 상기 액티브층과 콘택된 드레인 전극을 포함한다.

발명의 효과

- [0010] 본 발명의 실시예에 따르면, 버퍼막의 함몰부에 액티브층을 배치함에 따라, 액티브층을 커버하는 게이트 절연막의 평탄도를 향상시킬 수 있으므로, 종래 액티브층이 가지는 테이퍼부 및 엣지부로부터 야기되는 전기장(Electric field) 집중 현상을 방지하고, 박막 트랜지스터의 문턱전압이 네거티브(-) 방향으로 쉬프트(shift)되는 험프(Hump) 현상이 해소될 수 있다.

- [0011] 본 발명의 실시예에 따르면, 액티브층의 유효채널길이(Effective Channel Width)를 증가시킴으로써 전하 이동도를 향상시킬 수 있다.

- [0012] 본 발명의 실시예에 따르면, 함몰부를 가지는 버퍼층 위에 액티브층을 증착하고 결정화시키는 공정을 통해, 액티브층을 형성함과 동시에 스토리지 전극이 형성될 수 있다. 또한, 일반적인 포토리소그래피 방법으로 패터닝하는 경우보다 본 발명의 실시예에 따라 액티브층 및 스토리지 전극을 형성하는 경우에, 액티브층 및 스토리지 전극 간의 간격이 축소될 수 있어 고해상도 디스플레이 장치를 구현하도록 한다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 사시도이다.
 도 2는 도 1에 도시된 화소들 중 하나의 화소의 평면도이다.
 도 3a는 도 2에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이다.
 도 3b는 도 2에 도시된 II-II'를 따라 절취된 면을 나타내는 단면도이다.
 도 4a는 도 3a에 도시된 액티브층을 형성하는 제조공정도이다.
 도 4b는 도 3b에 도시된 액티브층 및 스토리지 전극을 형성하는 제조공정도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서

로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.

- [0016] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0017] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다.
- [0018] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0019] 이하 본 발명에 대해서 상세히 설명하기로 한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치(100)의 사시도이다.
- [0021] 도 1을 참조하면, 유기발광 표시장치(100)에 화소 영역들(PA) 및 비화소 영역(NPA)이 정의되고, 유기발광 표시장치(100)는 화소 영역들(PA)에 일대일 대응하여 배치된 다수의 화소들(PX)을 포함한다.
- [0022] 다수의 화소들(PX) 각각은 유기발광 다이오드(OLED)를 포함하여 다수의 화소들(PX)로부터 광이 출력되고, 유기발광 표시장치(100)는 다수의 화소들(PX)로부터 출력되는 광을 이용하여 영상을 표시한다.
- [0023] 이 실시예에서는 다수의 화소들(PX)은 제1 방향(D1)으로 행 방향 및 제2 방향(D2)으로 열 방향을 갖는 매트릭스의 형상으로 배열될 수 있다.
- [0024] 이 실시예에서는 다수의 화소들(PX)은 서로 유사한 구조를 가질 수 있다. 따라서, 이하 도 2, 도 3a 및 도 3b를 참조하여 다수의 화소들(PX) 중 하나의 화소(PX)의 구조를 예를 들어 설명하고, 다른 화소들에 대한 설명은 생략된다.
- [0025] 도 2는 도 1에 도시된 화소들(PX) 중 하나의 화소를 나타내는 평면도이고, 도 3a는 도 2에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이고, 도 3b는 도 2에 도시된 II-II'을 따라 절취된 면을 나타내는 단면도이다.
- [0026] 도 2, 도 3a 및 도 3b를 참조하면, 유기발광 표시장치(100)는 제1 기관(BS1), 제2 기관(BS2), 게이트 라인(SL), 데이터 라인(DL), 전원 신호 라인(DVL), 스위칭 트랜지스터(TFT1), 구동 트랜지스터(TFT2), 유기발광 다이오드(OLED), 제1 스토리지 커패시터(CAP1) 및 제2 스토리지 커패시터(CAP2)를 포함한다.
- [0027] 제1 및 제2 기관들(BS1, BS2)은 서로 마주한다. 이 실시예에서는, 상기 제1 및 제2 기관들(BS1, BS2) 각각은 유리기관일 수 있다. 하지만, 본 발명이 제1 및 제2 기관들(BS1, BS2)의 종류에 한정되는 것은 아니다. 예를 들면 다른 실시예에서는 제1 및 제2 기관들(BS1, BS2) 각각은 플라스틱 기관일 수 있고, 이 경우에, 제1 및 제2 기관들(BS1, BS2) 각각은 가요성을 가질 수 있다.
- [0028] 제1 기관(BS1) 위에 버퍼막(BF)이 배치된다. 버퍼막(BF)은 제1 기관(BS1)을 커버하여 제1 기관(BS1)으로부터 확산되는 불순물을 차단한다. 이 실시예에서는, 버퍼막(BF)은 실리콘산화물 및 실리콘질화물과 같은 절연물을 포함할 수 있다.
- [0029] 게이트 라인(SL)은 제1 기관(BS1) 위에 배치되고, 게이트 라인(SL)을 통해 게이트 신호가 전송된다. 또한, 데이터 라인(DL)은 제1 기관(BS1) 위에 배치되어 게이트 라인(SL)과 교차하고, 데이터 라인(DL)을 통해 데이터 신호가 전송된다.
- [0030] 스위칭 트랜지스터(TFT1)는 버퍼막(BF) 위에 배치된다. 스위칭 트랜지스터(TFT1)는 제1 액티브층(SM1), 제1 게

이트 전극(GE1), 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다.

- [0031] 스위칭 트랜지스터(TFT1)는 구동 트랜지스터(TFT2)와 전기적으로 연결되어 구동 트랜지스터(TFT2)의 구동을 스위칭한다. 보다 상세하게는, 제1 게이트 전극(GE1)에 게이트 신호가 인가되면 스위칭 트랜지스터(TFT1)가 턴-온 되며, 이 경우에 데이터 라인(DL)을 통해 흐르는 데이터 신호가 구동 트랜지스터(TFT2) 측으로 출력되어 구동 트랜지스터(TFT2)가 턴-온 된다.
- [0032] 구동 트랜지스터(TFT2)는 버퍼막(BF) 위에 배치되고, 구동 트랜지스터(TFT2)는 제2 액티브층(SM2), 제2 게이트 전극(GE2), 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 이 실시예에서는, 구동 트랜지스터(TFT2)는 탑-게이트(top-gate)의 구조를 가질 수 있다.
- [0033] 이 실시예에서, 제1 액티브층(SM1) 및 제2 액티브층(SM2)은 다결정 실리콘을 포함할 수 있다. 제1 액티브층(SM1) 및 제2 액티브층(SM2)의 제조 방법의 측면에서는, 이 실시예에서는 제1 액티브층(SM1) 및 제2 액티브층(SM2)은 비정질 실리콘을 결정화시키는 공정을 통해 형성될 수 있다. 이에 대해서는, 도 4a를 참조하여 보다 상세히 설명된다.
- [0034] 이 실시예에서는, 제1 액티브층(SM1) 및 제2 액티브층(SM2) 각각은 버퍼막(BF)에 형성된 함몰부(SK)에 채워진 형상을 가질 수 있다. 이에 대해, 제1 및 제2 액티브층들(SM1, SM2) 중 제2 액티브층(SM2)의 구조를 도 4a를 더 참조하여 설명하면 다음과 같다.
- [0035] 버퍼막(BF)은 음각 형태의 함몰부(SK)를 가지며, 상기 함몰부(SK)에 제2 액티브층(SM2)이 채워진다.
- [0036] 상기 버퍼막(BF)의 함몰부(SK)는 바닥(S1)으로부터 상부(S2)를 향하여 폭이 넓어지도록 정의되며, 이에 따라 단면상에서 함몰부(SK)의 측면(S3)은 경사져 정의된다. 따라서, 상기 함몰부(SK)에 채워지는 제2 액티브층(SM2)은 바닥면(S4)으로부터 상부면(S5)에 가까워질수록 그 폭이 커지는 형상으로 정의될 수 있으며, 그 결과 단면상에서 상기 제2 액티브층(SM2)의 측면(S6)은 경사져 정의될 수 있다.
- [0037] 상술한 제2 액티브층(SM2)의 형상에 따르면, 제 2 액티브층(SM2)의 상부폭이 하부폭보다 크고, 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)은 제2 액티브층(SM2)의 상부면(S5)에 접촉된다. 따라서, 이 실시예에서와 같이, 제2 액티브층(SM2)의 하부폭보다 상부폭이 큰 경우에, 구동 트랜지스터(TFT2)의 유효 채널 폭(Effective Channel Width)의 증가에 따른 전하 이동도가 향상되는 효과가 발생될 수 있다.
- [0038] 제2 액티브층(SM2) 위에 게이트 절연막(L1)이 배치되고, 게이트 전극(GE2)은 게이트 절연막(L1)이 개재된 제2 액티브층(SM2) 위에 형성된다.
- [0039] 상기 게이트 절연막(L1)은 버퍼막(BF) 위에 형성되어 함몰부(SK)에 채워진 제2 액티브층(SM2)을 커버한다.
- [0040] 이 실시예에서는, 구동 트랜지스터(TFT2)가 형성되는 영역에서는, 버퍼막(BF) 위에 제2 액티브층(SM2)이 형성된 이후에, CMP(chemical mechanical polishing)의 방법으로 제2 액티브층(SM2)의 함몰부(SK)에 채워진 부분을 제외한 나머지 부분이 제거될 수 있다. 그 결과, 상기 버퍼막(BF)의 함몰부(SK)의 깊이(DT)와 함몰부(SK)에 채워진 제2 액티브층(SM2)의 두께(WT)가 동일할 수 있다. 이 경우, 버퍼막(BF) 및 제2 액티브층(SM2) 간의 단차가 생기지 않으므로, 게이트 절연막(L1)의 제2 액티브층(SM2)을 커버하는 부분은 평탄할 수 있다.
- [0041] 한편, 본 발명의 실시예와 달리, 함몰부가 정의되지 않은 버퍼막 위에 박막 트랜지스터의 액티브층 및 게이트 절연막이 순차적으로 형성되는 경우에, 단면상에서 액티브 층의 에지들 각각은 테이퍼(taper)의 형상을 가질 수 있고, 액티브 층의 에지들을 커버하는 게이트 절연막에 부분적으로 전계가 집중되어, 박막 트랜지스터의 스위칭 특성이 저하되는 현상, 소위 험프(Hump) 현상이 발생될 수 있다.
- [0042] 하지만, 본 발명의 실시예에서는, 버퍼막(BF)의 함몰부에 채워진 제2 액티브층(SM2)을 커버하는 게이트 절연막(L1)의 일 부분은 평탄한 형상을 가지므로, 게이트 절연막(L1)의 특정 부위에 전기장(Electric field)이 집중되는 것을 방지하고, 구동 트랜지스터(TFT2)의 문턱 전압이 네거티브(-) 방향으로 쉬프트(shift) 되는 험프 현상이 해소될 수 있다.
- [0043] 중간 절연막(L2)은 제2 게이트 전극(GE2)을 커버하고, 중간 절연막(L2) 위에 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)이 서로 이격되어 배치된다. 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)은 게이트 절연막(L1) 및 중간 절연막(L2)에 형성된 콘택홀들을 통해 제2 액티브층(SM2)과 콘택한다.
- [0044] 전원 신호 라인(DVL)은 제2 소오스 전극(SE2)과 전기적으로 연결된다. 전원 신호 라인(DVL)은 유기발광 다이오드(OLED)를 구동하는 전원 신호를 전송한다. 따라서, 구동 트랜지스터(TFT2)가 턴-온 되면, 전원 신호 라인

(DVL)을 따라 흐르는 전원 신호는 구동 트랜지스터(TFT2)를 통해 유기발광 다이오드(OLED) 측으로 제공되고, 그 결과 유기발광 다이오드(OLED)가 발광할 수 있다.

- [0045] 유기발광 소자(OLED)는 전원 신호 라인(DVL)의 전원 신호에 응답하여 발광한다. 이 실시예에서는, 유기발광 소자(OLED)는 애노드(AN), 유기발광층(EML) 및 캐소드(CE)를 포함한다.
- [0046] 애노드(AN)는 구동 트랜지스터(TFT2)를 커버하는 층간 절연막(L3) 위에 배치된다. 또한, 애노드(AN)는 층간 절연막(L3)을 관통하는 비아홀을 통해 구동 트랜지스터(TFT2)의 제2 드레인 전극(DE2)과 전기적으로 연결된다. 이 실시예에서는, 애노드(AN)는 알루미늄과 같은 금속을 포함하는 반사형 전극일 수 있다.
- [0047] 애노드(AN) 위에는 개구부가 정의된 화소 정의막(PDL)이 배치된다. 또한, 유기발광층(EML)은 화소 정의막(PDL) 위에 배치되어 화소 정의막(PDL)의 개구부를 통해 애노드(AN)와 접촉된다.
- [0048] 캐소드(CE)는 유기발광층(EML) 위에 배치될 수 있다. 이 실시예에서는 캐소드(CE)는 광을 투과시키는 특성을 가질 수 있고, 예를 들면 캐소드(CE)는 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide) 및 ITZO(indium tin zinc oxide)와 같은 투명 도전막을 포함할 수 있다.
- [0049] 도 4a는 도 3a에 도시된 제2 액티브층(SM2)을 제조하는 공정을 보여준다.
- [0050] 도 4a를 참조하면, 먼저, 제1 기판(BS1) 위에 버퍼막(BF)을 형성하고 드라이 에칭과 같은 선택적 식각 통해 버퍼막(BF)의 패터닝 공정을 수행한다. 패터닝 공정을 통해 버퍼막(BF)을 부분적으로 일 깊이(DT)로 식각하여, 버퍼막(BF)에 음각 형태의 함몰부(SK)를 형성한다. 그 결과, 상기 음각 형태의 함몰부(SK)의 구조에 따라, 버퍼막(BF) 내에서 바닥(S1)으로부터 상부(S2)를 향하여 폭이 넓어지는 경사가 형성되고, 단면상에서 함몰부(SK)의 측면(S3)은 경사져 정의된다.
- [0051] 다음, 비정질 실리콘(amorphous)층이 버퍼막(BF)의 음각 형태의 함몰부(SK)와 함몰부(SK)가 존재하지 않는 평탄부 상에 소정의 두께로 증착되고, 상기 비정질 실리콘층을 결정화하여 제2 액티브층(SM2)이 형성된다.
- [0052] 이 실시예에서는 비정질 실리콘 박막은 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD)방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 중 어느 하나의 방법으로 형성될 수 있다. 또한, 비정질 실리콘막을 결정화시키는 방법으로는 고상 결정화(Solid Phase Crystallization; SPC) 방법 또는 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법이 사용될 수 있다.
- [0053] 그 이후에, CMP(chemical mechanical polishing)의 방법을 이용하여 제2 액티브층(SM2)의 함몰부(SK)에 채워진 부분을 제외한 나머지 부분이 제거된다. 따라서, 대략적으로 버퍼막(BF)의 함몰부(SK)의 깊이(DT)와 함몰부(SK)에 채워진 제2 액티브층(SM2)의 두께(WT)가 동일해질 수 있다.
- [0054] 따라서, 제2 액티브층(SM2)을 커버하는 게이트 절연막을 형성하는 경우에, 버퍼막(BF) 및 제2 액티브층(SM2) 간의 단차에 의해 게이트 절연막의 평탄도가 저하되는 것이 방지될 수 있다.
- [0055] 다시 도 3b를 참조하면, 이 실시예에서는 제1 스토리지 커패시터(CAP1) 및 제2 스토리지 커패시터(CAP2)는 서로 중첩된 구조를 갖고, 제1 스토리지 커패시터(CAP1) 및 제2 스토리지 커패시터(CAP2)는 구동 트랜지스터(TFT2)와 전기적으로 연결된다. 따라서, 스위칭 트랜지스터(TFT1)가 턴-오프 되는 동안에, 제1 및 제2 스토리지 커패시터(CAP1, CAP2)에 충전된 전하량은 구동 트랜지스터(TFT2) 측으로 제공될 수 있다.
- [0056] 제1 스토리지 커패시터(CAP1)는 제1 스토리지 전극(STE1) 및 제2 스토리지 전극(STE2)을 포함하고, 제1 스토리지 전극(STE1) 및 제2 스토리지 전극(STE2) 사이에는 게이트 절연막(L1) 및 중간 절연막(L2)이 개재된다. 또한, 제2 스토리지 커패시터(CAP2)는 제2 스토리지 전극(STE2) 및 제3 스토리지 전극(STE3)을 포함하고, 제2 및 제3 스토리지 전극들(STE2, STE3) 사이에는 층간 절연막(L3)이 개재된다.
- [0057] 상기 제1 스토리지 전극(STE1)은 상기 제2 액티브층(SM2)과 동일한 공정에서 형성되어 서로 동일한 물질을 포함할 수 있고, 이 실시예에서는 상기 제1 스토리지 전극(STE1) 및 상기 제2 액티브층(SM2)은 결정질 실리콘을 포함할 수 있다.
- [0058] 상기 제1 스토리지 전극(STE1)은 상기 버퍼막(BF)의 함몰부(SK)에 인접하여 상기 버퍼막(BF) 위에 형성되어, 제1 스토리지 전극(STE1)은 제2 액티브층(SM2)과 이격된다.
- [0059] 이 실시예에서는, 제2 액티브층(SM2)과 상기 제1 스토리지 전극(STE1)은 약 0.01 마이크로미터 내지 0.5 마이크

로미터 범위로 이격된다.

- [0060] 본 발명의 실시예와 달리 서로 동일한 물질로 형성되는 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)을 포토 리소그래피 방법으로 패터닝하는 경우에, 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)은 수 마이크로미터의 간격을 두고 서로 이격될 수 있다. 하지만, 본 발명의 실시예에서는 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)을 형성하기 위하여 비정질 실리콘을 결정질 실리콘으로 결정화하는 동안에, 함몰부(SK)의 단차에 따라 형성되는 박막의 단선 현상을 이용하여 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)이 약 0.01 마이크로미터 내지 0.5 마이크로미터 범위로 이격될 수 있다. 따라서, 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)의 간격이 축소되는 효과가 발생되어, 동일한 크기의 화면 내에 화소들(도 1의 PX)의 개수를 증가시키는 데 유리한 구조를 가질 수 있다.
- [0061] 상기 제2 스토리지 전극(STE2)은 제2 게이트 전극(도 3a의 GE2)과 전기적으로 연결될 수 있다. 이 실시예에서는, 제2 스토리지 전극(STE2)은 상기 제2 게이트 전극과 일체형의 형상을 가질 수 있고, 제2 스토리지 전극(STE2)은 상기 제2 게이트 전극과 서로 동일한 물질을 포함할 수 있다.
- [0062] 상기 제3 스토리지 전극(STE3)은 상기 전원 신호 라인(DVL)과 전기적으로 연결된다. 이 실시예에서는, 상기 제3 스토리지 전극(STE3)은 상기 전원 신호 라인(DVL)로부터 분기된 형상을 가질 수 있다.
- [0063] 상기 제1 스토리지 전극(STE1) 및 상기 제3 스토리지 전극(STE3) 사이에 배치된 절연막들(L1, L2, L3)에 콘택홀(CH)이 형성되고, 상기 제3 스토리지 전극(STE3)은 상기 콘택홀(CH)을 통해 상기 제1 스토리지 전극(STE1)과 전기적으로 연결된다.
- [0064] 따라서, 앞서 상술한 바와 같이, 상기 제1 스토리지 전극(STE1)이 제2 액티브층(SM2)과 분리되더라도, 콘택홀(CH)에 의해 제1 스토리지 전극(STE1)은 제3 스토리지 전극(STE3)과 등전위를 형성할 수 있다.
- [0065] 도 4b는 제2 액티브층(SM2) 및 상기 제1 스토리지 전극(STE1)의 제조공정도이다.
- [0066] 도 4b를 참조하면, 제1 기판(BS1) 위에 버퍼막(BF)을 형성한 뒤, 전술한 바와 같이 버퍼층(BF)에 대해 패터닝 공정을 수행하여 함몰부(SK)를 형성한다.
- [0067] 그 이후에, 상기 버퍼막(BF)의 전면에 비정질 실리콘(amorphous)층을 증착한 뒤 결정화하여, 상기 버퍼막(BF) 위에 제2 액티브층(SM2)을 형성한다. 한편, 상기 비정질 실리콘 박막은 결정화되는 동시에 수축됨으로써, 버퍼층(BF)의 함몰부(SK)에 채워진 제2 액티브층(SM2)을 구성하는 결정질 실리콘과 버퍼층(BF)의 함몰부(SK)에 인접한 평면부 상에 결정질 실리콘 사이에 함몰부(SK)에 따른 단차에 의해 단선이 생기면서 이격 배치된다.
- [0068] 그 결과, 버퍼층(BF)의 함몰부(SK)에 채워진 결정질 실리콘은 구동 트랜지스터(도 2의 TFT2)의 제2 액티브층(SM2)으로 구성되고, 버퍼층(BF)의 평면부 상의 결정질 실리콘은 제1 스토리지 전극(STE1)으로 구성된다.
- [0069] 또한, 앞서 상술한 바와 같이, 상기 제1 스토리지 전극(STE1)과 제2 액티브층(SM2)의 간격은 약 0.01 내지 0.5 마이크로미터 범위 내이다. 이에 따라, 일반적인 포토리소그래피 방법을 이용하여 액티브층과 스토리지 전극을 패터닝하는 경우보다, 제2 액티브층(SM2) 및 제1 스토리지 전극(STE1)의 간격이 축소되는 효과가 발생되어, 동일한 크기의 화면 내에 화소들(도 1의 PX)의 개수를 증가시키는 데 유리한 구조를 가질 수 있다.
- [0070] 본 발명에서는, 결정질 실리콘 박막 트랜지스터 일예로 하여, 본 발명에 설명되었으나, 이에 한정되지 않으며, 상기 험프채널에 의하여 험프특성을 나타내는 박막 트랜지스터(예를 들면, 산화물 트랜지스터, 비정질 실리콘 트랜지스터 등) 모두에, 본 발명이 적용될 수 있다.
- [0071] 또한, 유기발광 표시 장치에 제한되지 않으며, 험프특성을 나타내는 박막 트랜지스터를 포함하는, 모든 표시 장치에 본 발명이 적용될 수 있다.
- [0072] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0073] 100: 유기발광 표시장치

OLED: 유기 발광 소자 EML: 유기발광층

AN: 애노드 CE: 캐소드

PX: 화소 BF: 버퍼막

L1, L2, L3, L4: 절연층 CH: 컨택홀

GE1, GE2: 제1 및 제2 게이트 전극

SM1, SM2: 제1 및 제2 액티브층

SE1, SE2: 제1 및 제2 소오스 전극

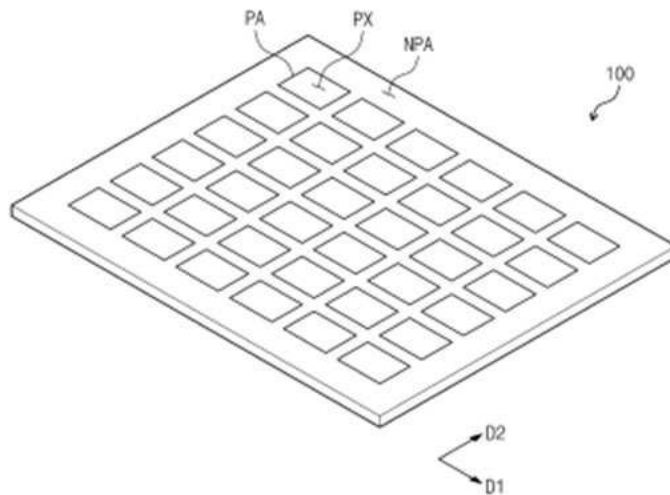
DE1, DE2: 제1 및 제2 드레인 전극

STE1, STE2, STE3: 제1, 제2, 제3 스토리지 전극

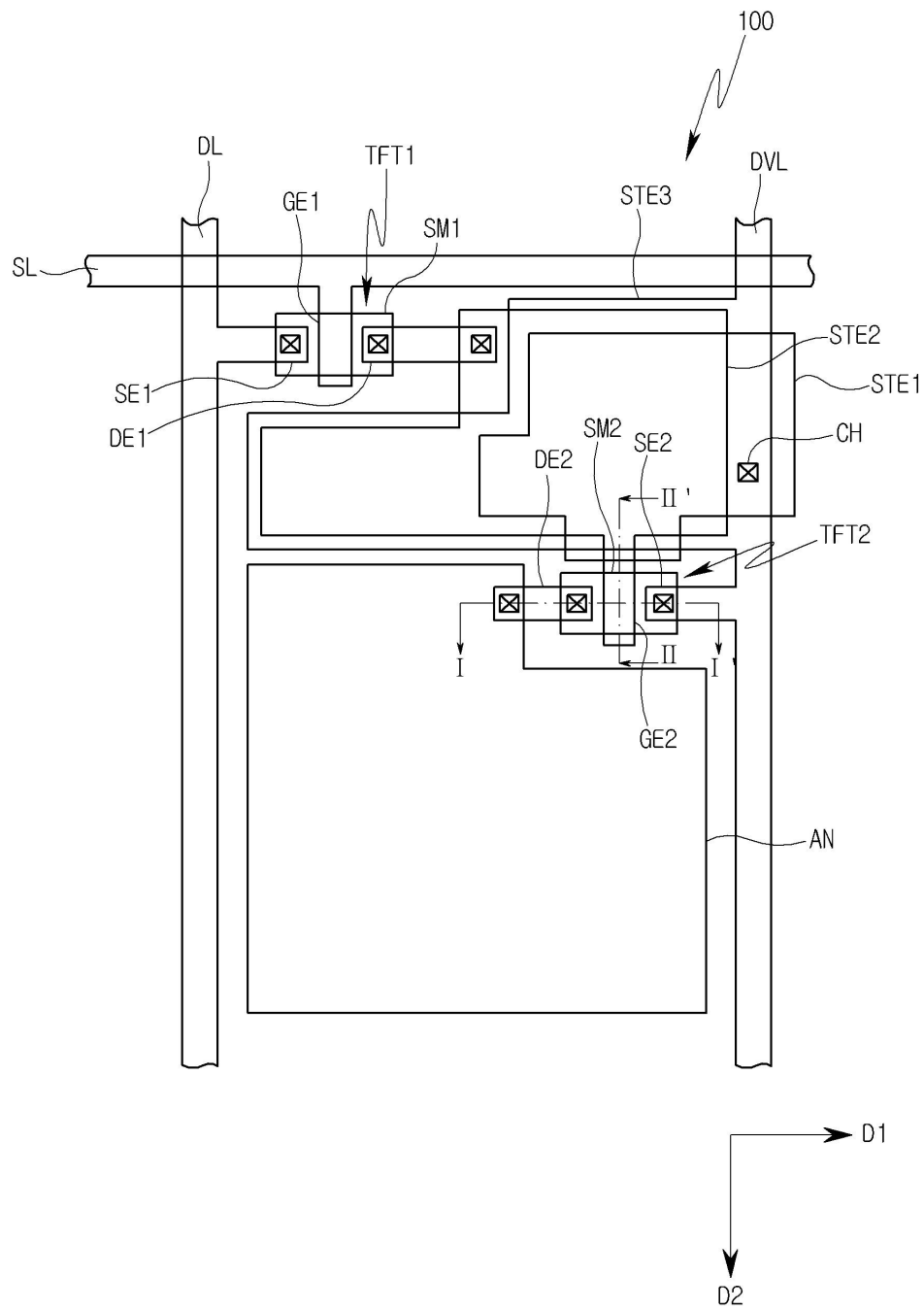
CAP1, CAP2: 제1 및 제2 스토리지 커패시터

도면

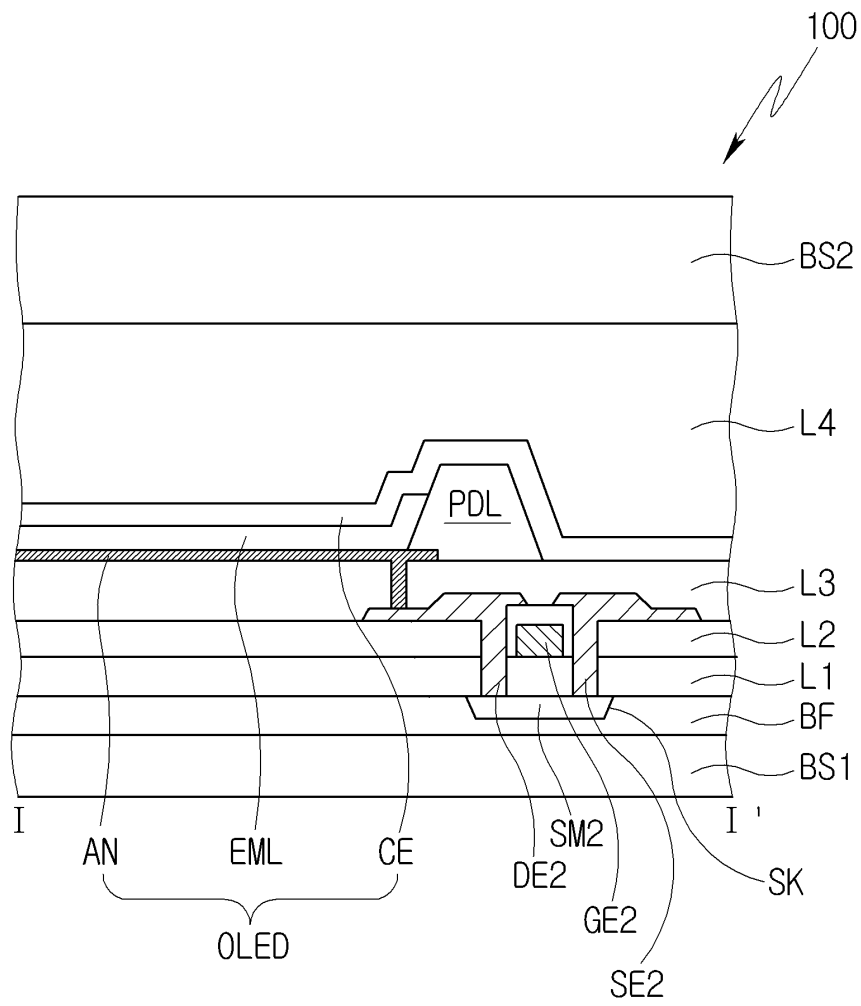
도면1



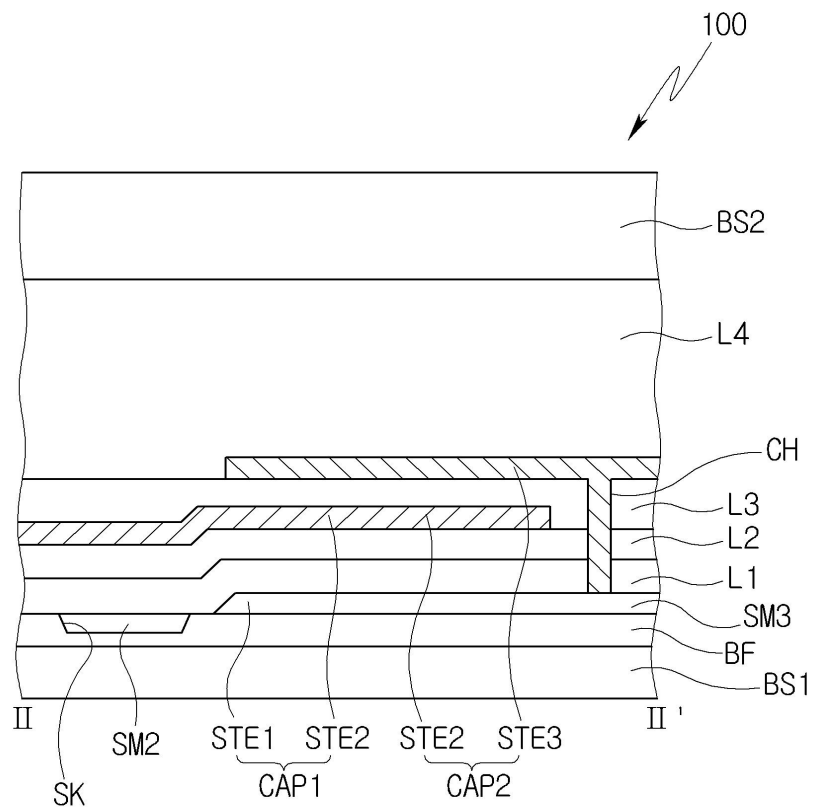
도면2



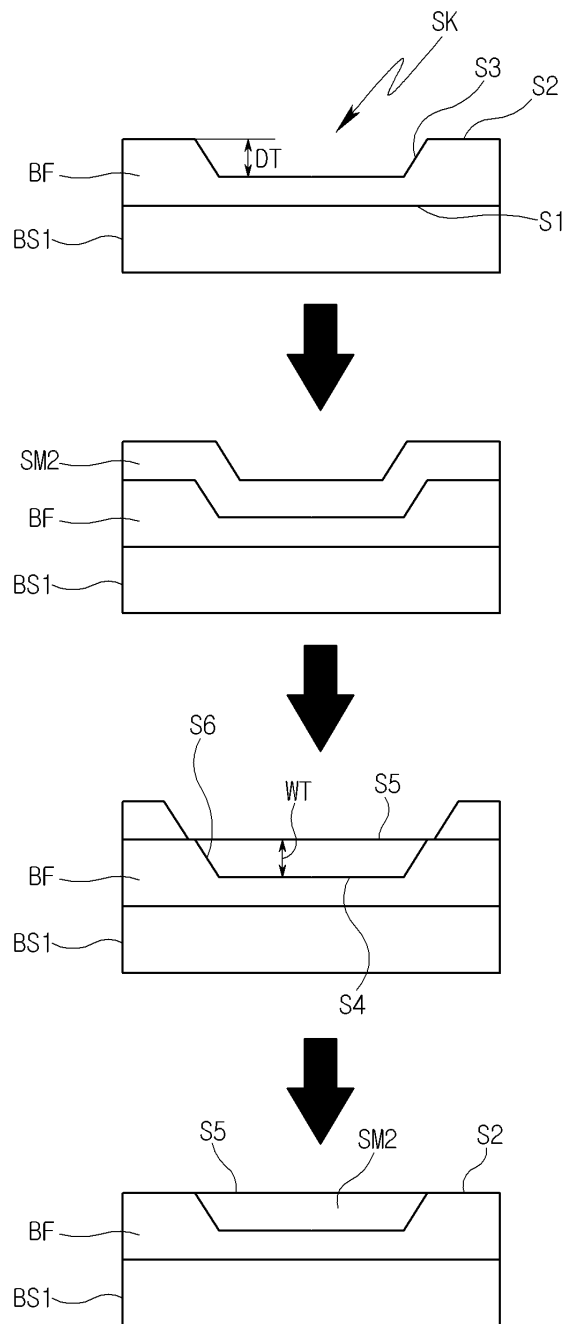
도면3a



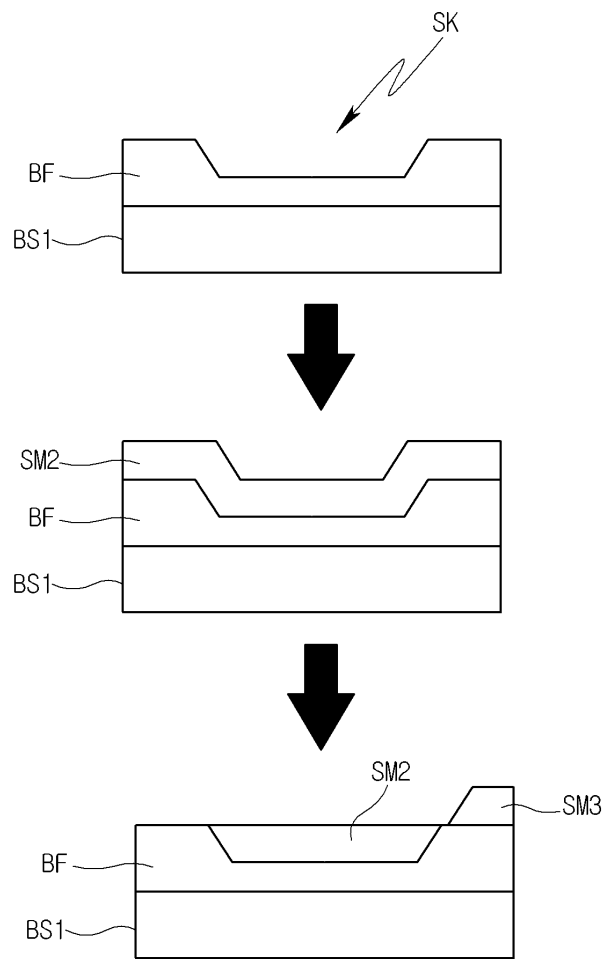
도면3b



도면4a



도면4b



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190081547A	公开(公告)日	2019-07-09
申请号	KR1020170184163	申请日	2017-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	손경모 류원상		
发明人	손경모 류원상		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3265		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示装置包括：基板；形成在该基板上的缓冲层；设置在该缓冲层上的薄膜晶体管；以及设置在该基板上并电连接到该基板上的有机发光二极管。薄膜晶体管。薄膜晶体管包括：有源层，其填充在形成于缓冲层中的凹部中；以及有源层。形成在缓冲层上并覆盖有源层的栅绝缘层；栅电极形成在栅绝缘层上并与有源层重叠；与有源层接触的源电极和与源电极间隔开并与有源层接触的漏电极。可以提供具有均匀的光特性的有机发光显示装置。

