



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0051393
(43) 공개일자 2019년05월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2017-0146979
(22) 출원일자 2017년11월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
방기호
경기도 파주시 월롱면 엘지로 245
이정민
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

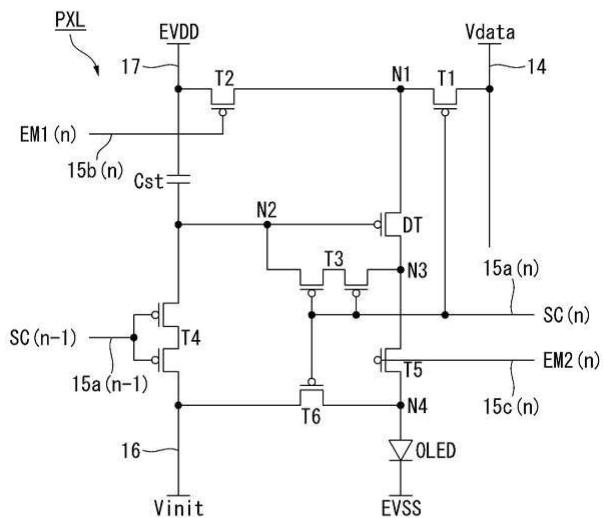
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요 약

본 명세서의 실시예에 따른 전계 발광 표시장치는 데이터전압이 공급되는 데이터라인과 초기화 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비한다. 여기서, 상기 화소들 중에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는, 노드 N2에 게이트전극이 접속되고, 노드 N1 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자; 상기 노드 N1과 상기 데이터라인 사이에 접속된 스위치 소자 T1; 상기 노드 N1과 상기 제2 전원라인 사이에 접속된 스위치 소자 T2; 상기 노드 N3와 노드 N4 사이에 접속된 스위치 소자 T5; 및 상기 노드 N4와 저전위 전원전압의 입력단 사이에 접속된다.

대 표 도 - 도3



(52) CPC특허분류

G09G 2300/043 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

데이터전압이 공급되는 데이터라인과 초기화 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비하고,

상기 화소들 중에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는,

노드 N2에 게이트전극이 접속되고, 노드 N1 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자;

상기 노드 N1과 상기 데이터라인 사이에 접속된 스위치 소자 T1;

상기 노드 N1과 상기 제2 전원라인 사이에 접속된 스위치 소자 T2;

상기 노드 N3와 노드 N4 사이에 접속된 스위치 소자 T5; 및

상기 노드 N4와 저전위 전원전압의 입력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고,

상기 스위치 소자 T5가 PWM(Pulse Width Modulation) 구동을 위해 오프 되는 동안 상기 스위치 소자 T2는 온 상태를 유지하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 스위치 소자 T2는 제n 에미션 신호1에 따라 스위칭되고,

상기 스위치 소자 T5는 상기 제n 에미션 신호1와 온/오프 구간이 다른 제n 에미션 신호2에 따라 스위칭되는 전계 발광 표시장치.

청구항 3

제 2 항에 있어서,

1 프레임 기간은,

상기 노드 N2를 초기화하기 위한 초기화 기간;

상기 초기화 기간에 이어 상기 구동 소자의 문턱 전압을 샘플링하는 샘플링 기간;

상기 샘플링 기간에 이어 상기 발광 소자를 발광시키는 발광 기간; 및

상기 발광 기간에 이어 상기 발광 소자의 발광을 중지시키는 PWM 구동 기간을 포함하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 PWM 구동 기간 동안, 상기 제n 에미션 신호1은 온 레벨로 유지되고, 상기 제n 에미션 신호2는 오프 레벨로 유지되거나 또는, 오프 레벨로 입력된 후 적어도 한번 이상 온/오프 레벨을 더 반복하는 전계 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 노드 N1의 전위는 상기 PWM 구동 기간 동안 상기 고전위 전원전압으로 고정되는 전계 발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 제n 에미션 신호1와 상기 제n 에미션 신호2는, 상기 초기화 기간과 상기 샘플링 기간 동안 오프 레벨로 입력되고, 상기 발광 기간 동안 온 레벨로 입력되는 전계 발광 표시장치.

청구항 7

제 3 항에 있어서,

상기 제n 수평 화소 라인에 배치된 각 화소는,

상기 노드 N2와 상기 노드 N3 사이에 접속된 스위치 소자 T3;

상기 노드 N2와 상기 제1 전원라인 사이에 접속된 스위치 소자 T4;

상기 노드 N4와 상기 제1 전원라인 사이에 접속된 스위치 소자 T6; 및

상기 노드 N2와 상기 제2 전원라인 사이에 접속된 스토리지 커뮤니케이터를 더 포함하는 전계 발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 스위치 소자 T1, 상기 스위치 소자 T3, 및 상기 스위치 소자 T6은 제n 스캔 신호에 따라 스위칭되고,

상기 스위치 소자 T4는 상기 제n 스캔 신호보다 위상이 앞선 제n-1 스캔 신호에 따라 스위칭되는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제n-1 스캔 신호는, 상기 초기화 기간 동안 온 레벨로 입력되고, 상기 샘플링 기간, 상기 발광 기간, 및 상기 PWM 구동 기간 동안 오프 레벨로 입력되며,

상기 제n 스캔 신호는, 상기 샘플링 기간 동안 온 레벨로 입력되고, 상기 초기화 기간, 상기 발광 기간, 및 상기 PWM 구동 기간 동안 오프 레벨로 입력되는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 샘플링 기간 동안,

상기 구동 소자는 다이오드 연결되고,

상기 구동 소자의 게이트-소스 간 전압은 상기 구동 소자의 문턱전압이 되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001]

본 명세서는 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002]

전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003]

유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소트 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT

를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 화소들 간 휘도, 색감 차이 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압과 같은 화소의 구동 특성이 모든 화소들에서 동일해야 한다. 하지만, 공정 편차에 의해 화소들 간 구동 특성에 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 화소들 간의 열화 진행 속도가 다르게 되어 화소들 간에 구동 특성에서 차이가 커질 수 있다. 이러한, 구동 특성 편차에 의해 OLED로 흐르는 구동 전류량이 변화될 수 있고, 그 결과 화소들 간에 화질의 불균일이 생길 수 있다.

[0005] 이에 표시장치의 화질과 수명을 개선하기 위하여 화소들 간의 구동 특성 차이를 보상하기 위한 내부 보상 회로가 유기발광 표시장치에 적용되고 있다. 내부 보상 회로는 화소 내에 적용될 수 있다. 유기 발광 표시장치는 화소 내의 보상 회로를 이용하여 구동 TFT의 문턱전압에 따라 변하는 구동 TFT의 게이트-소스 간 전압을 샘플링하고 샘플링된 전압으로 구동 TFT의 문턱전압 변화를 보상한다.

발명의 내용

해결하려는 과제

[0006] 내부 보상 회로에서 구동 TFT의 일측 전극에 접속된 특정 노드가 스위치 TFT를 통해 데이터라인에 연결될 수 있다. 스위치 TFT는 한 프레임 중에서 구동 TFT의 게이트-소스 간 전압을 샘플링하기 위한 특정 기간 동안에만 턴 온 되고 상기 특정 기간을 제외한 나머지 기간 동안에는 턴 오프 될 수 있다. 스위치 TFT가 턴 오프 상태로 유지되는 나머지 기간 동안 내부 보상 회로의 특정 노드는 플로팅(floating) 될 수 있다. 이때, 데이터라인에는 다른 화소들에 기입될 데이터전압이 계속해서 공급되기 때문에, 내부 보상 회로의 특정 노드는 데이터라인의 전위가 바뀔 때 전압 커플링(voltage coupling)의 영향을 받을 수 있다. 전압 커플링은 내부 보상 회로의 특정 노드와 데이터라인 사이에 형성된 기생 커패시터로 인해 생긴다. 이러한 전압 커플링으로 인해 내부 보상 회로의 특정 노드의 전위가 변하면 구동 TFT의 게이트-소스 간 전압이 변동되고, 그에 따라 해당 화소의 휘도가 왜곡되고 표시 품위가 저하될 수 있다.

[0007] 따라서, 본 명세서는 화소의 특정 노드가 데이터라인에 의해 전압 커플링 영향을 받더라도 표시 품위가 저하되지 않도록 하는 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 명세서의 실시예에 따른 전계 발광 표시장치는 데이터전압이 공급되는 데이터라인과 초기화 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비한다. 여기서, 상기 화소들 중에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는, 노드 N2에 게이트전극이 접속되고, 노드 N1 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자; 상기 노드 N1과 상기 데이터라인 사이에 접속된 스위치 소자 T1; 상기 노드 N1과 상기 제2 전원라인 사이에 접속된 스위치 소자 T2; 상기 노드 N3와 노드 N4 사이에 접속된 스위치 소자 T5; 및 상기 노드 N4와 저전위 전원전압의 입력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고, 상기 스위치 소자 T5가 PWM(Pulse Width Modulation) 구동을 위해 오프 되는 동안 상기 스위치 소자 T2는 온 상태를 유지한다.

발명의 효과

[0009] 본 명세서의 전계 발광 표시장치에 따르면, 각 화소에서 구동 소자의 소스전극에 고전위 전원전압을 공급하는 스위치 소자 T2와, PWM 구동을 위해 구동 소자와 발광 소자 사이의 전류 흐름을 차단하는 스위치 소자 T5를 서로 다른 에미션 신호에 따라 스위칭시킨다. 이를 통해, PWM 구동을 위해 스위치 소자 T5가 턴 오프 되는 동안에 스위치 소자 T2는 턴 온 되며, 구동 소자의 소스전극 전위가 고전위 전원전압으로 고정된다. 따라서, PWM 구동 시 데이터라인의 전위 변동에도 불구하고 구동 소자의 게이트-소스 간 전압과 구동 전류는 변동되지 않기 때문에 표시 품위가 향상될 수 있다.

[0010] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0011]

도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치를 나타낸 블록도이다.

도 2는 본 명세서의 실시예에 따른 전계 발광 표시장치의 화소 어레이를 나타낸 도면이다.

도 3은 도 2에 도시된 화소의 일 등가회로를 나타낸 도면이다.

도 4는 도 3의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 나타낸 파형도이다.

도 5는 PWM 구동 기간 동안, 에미션 신호1이 온 레벨로 입력되고 에미션 신호2가 미리 설정된 듀티비에 따라 적어도 한번 이상 오프 레벨로 입력되는 것을 보여주는 파형도이다.

도 6a는 도 4의 초기화 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 6b는 도 4의 샘플링 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 6c는 도 4의 발광 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 6d는 도 4의 PWM 구동 기간 동안 화소의 동작을 나타낸 등가 회로도이다.

도 7은 도 4의 초기화 기간, 샘플링 기간 및 발광 기간에 대응되는 화소의 특정 노드들의 전위를 나타낸 도표이다.

도 8은 도 2에 도시된 화소의 다른 등가회로를 나타낸 도면이다.

도 9는 도 8의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 명세서의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 명세서의 권리 범위는 청구항의 범주에 의해 정의될 뿐이다.

[0013]

본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0014]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0015]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0016]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0017]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0018]

본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0019]

본 명세서에서 표시패널의 기판 상에 형성되는 화소 회로는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. p 타입 TFT(PMOS)의

경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압 보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.

[0020] 이하, 첨부된 도면을 참조하여 본 명세서의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 이하의 실시예에서, 전계 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0021] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시장치이다. 도 2는 본 명세서의 실시예에 따른 전계 발광 표시장치의 화소 어레이이다. 그리고, 도 3은 도 2의 화소 어레이를 구동하기 위한 게이트 드라이버이다.

[0022] 도 1 내지 도 3을 참조하면, 본 명세서에 따른 전계 발광 표시장치는 화소들(PXL)이 구비된 표시패널(10), 화소들(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12,13), 및 표시패널 구동회로(12,13)를 제어하는 타이밍 콘트롤러(11)를 포함한다.

[0023] 표시패널 구동회로(12,13)는 표시패널(10)의 화소들(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동회로(12,13)는 화소들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 드라이버(12)와, 화소들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.

[0024] 표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소들(PXL)이 매트릭스 형태로 배치된다. 화소들(PXL)은 OLED를 포함할 수 있다. 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이를 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자 를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0025] 표시패널(10)은 화소 어레이(Pixel array)가 구비된 액티브 영역(AA)과, 액티브 영역(AA) 바깥의 비 표시영역을 포함할 수 있다. 화소 어레이(Pixel array)에는 도 2와 같이 다수의 수평 화소 라인들(L1~L4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15)에 공통으로 연결된 다수의 화소들(PXL)이 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 화소들(PXL)에 의해 구현되는 1라인 분량의 화소 집합을 의미한다. 화소 어레이에는 초기화 전압(Vinit)을 화소들(PXL)에 공급하는 초기화 전원라인(16), 고전위 전원 전압(EVDD)을 화소들(PXL)에 공급하는 고전위 전원라인(17)이 포함될 수 있다. 또한, 화소들(PXL)은 저전위 전원 전압(EVSS)에 연결될 수 있다.

[0026] 게이트 라인들(15) 각각은 스캔 신호(SC)가 공급되는 제1 게이트 라인(15a), 에미션 신호1(EM1)이 공급되는 제2 게이트 라인(15b), 및 에미션 신호2(EM2)가 공급되는 제3 게이트 라인(15c)을 포함한다. 제n 수평 화소 라인(L(n))에 배치된 각 화소(PXL)에는 제n 수평 화소 라인(L(n))에 할당된 제n 스캔 신호(SC(n))와 제n 에미션 신호1,2 (EM1(n),EM2(n)) 이외에 제n-1 수평 화소 라인(L(n-1))에 할당된 제n-1 스캔 신호(SC(n-1))가 더 공급될 수 있다.

[0027] 화소들(PXL) 각각은 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 컬러 구현을 위하여 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다. 한편, 단위 화소에서 백색 화소는 생략될 수 있다. 화소들(PXL) 각각에는 하나의 데이터 라인(14), 하나의 제1 게이트 라인(15a), 하나의 제2 게이트 라인(15b), 하나의 제3 게이트 라인(15c), 초기화 전원 라인(16), 고전위 전원라인(17) 등이 연결될 수 있다. 화소들(PXL) 각각은 전단 수평 화소 라인에 배치된 제1 게이트 라인(15a)에 더 연결될 수 있다.

[0028] 화소들(PXL) 각각은 구동 소자와 발광 소자와 복수의 스위치 소자들을 포함할 수 있다. 스위치 소자들 중에는 구동 소자의 특정 노드에 고전위 전원전압(EVDD)을 공급하는 스위치 소자 T2와, PWM(Pulse Width Modulation) 구동을 위해 구동 소자와 발광 소자 사이의 전류 흐름을 차단하는 스위치 소자 T5가 포함될 수 있다(도 3 참

조). PWM 구동은 1 프레임 내에서 발광 소자의 발광 드티를 제어하기 위한 것이다. PWM 구동을 위한 스위치 소자 T5의 오프 기간은 미리 설정된 PWM(Pulse Width Modulation) 드티비(duty ratio)에 따라 결정될 수 있다. 데이터라인(14)과의 전압 커플링으로 인해 PWM 구동 중에 구동 소자의 게이트-소스 간 전압이 변동되지 않도록, 스위치 소자 T2와 스위치 소자 T5의 온/오프 타이밍은 서로 다르게 설계된다. 이에 따라 PWM 구동을 위해 스위치 소자 T5가 오프 되는 동안 스위치 소자 T2는 온 상태를 유지하고, 구동 소자의 특정 노드의 전위는 PWM 구동 중에 고전위 전원전압(EVDD)으로 고정될 수 있다. 온/오프 타이밍이 달라지도록 스위치 소자 T2 및 스위치 소자 T5는 서로 다른 게이트라인 즉, 제2 게이트 라인(15b) 및 제3 게이트 라인(15c)에 각각 연결될 수 있다.

[0029] 소스 드라이버(12)는 매 프레임마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터 전압(Vdata)으로 변환한 후, 그 데이터 전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터 전압(Vdata)을 출력한다.

[0030] 소스 드라이버(12)와 표시패널(10)의 데이터 라인들(14) 사이에는 멀티플렉서가 더 배치될 수 있다. 멀티플렉서는 소스 드라이버(12)에서 하나의 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들로 분배함으로써, 데이터라인의 개수 대비 소스 드라이버(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.

[0031] 소스 드라이버(12)는 전원 생성부를 더 포함할 수 있다. 전원 생성부는 초기화 전압(Vinit)을 생성하여 초기화 전원 라인(16)에 공급하고, 고전위 전원 전압(EVDD)을 생성하여 고전위 전원 라인(17)에 공급할 수 있다. 전원 생성부는 저전위 전원 전압(EVSS)을 더 생성할 수 있다. 한편, 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버(12)에 전기적으로 연결될 수도 있다. 초기화 기간 및 샘플링 기간 동안에 불필요한 OLED의 발광이 방지되도록, 초기화 전압(Vinit)은 OLED의 동작점 전압보다 충분히 낮은 전압 범위 내에서 설계될 수 있다.

[0032] 게이트 드라이버(13)는 도 2의 스캔 신호들(SC(1)~SC(4))을 생성하는 제1 게이트 구동부와, 도 2의 에미션 신호1들(EM1(1)~EM1(4))을 생성하는 제2 게이트 구동부와, 도 2의 에미션 신호2들(EM2(1)~EM2(4))을 생성하는 제3 게이트 구동부를 포함할 수 있다.

[0033] 제1 게이트 구동부는 수평 화소 라인(L1~L4)만큼의 스테이지들을 가지며, 타이밍 콘트롤러(11)의 제어 하에 스캔 신호들(SC(1)~SC(4))을 출력한다. 제1 게이트 구동부는 쉬프트 레지스터(Shift register)로 구현되고 다수의 제1 출력 노드들을 통해 스캔 신호들(SC(1)~SC(4))을 제1 게이트 라인들(15a(1)~15a(4))에 순차적으로 공급할 수 있다.

[0034] 제2 게이트 구동부는 수평 화소 라인(L1~L4)만큼의 스테이지들을 가지며, 타이밍 콘트롤러(11)의 제어 하에 에미션 신호1들(EM1(1)~EM1(4))을 출력한다. 제2 게이트 구동부는 쉬프트 레지스터로 구현되고 다수의 제2 출력 노드들을 통해 에미션 신호1들(EM1(1)~EM1(4))을 제2 게이트 라인들(15b(1)~15b(4))에 순차적으로 공급할 수 있다.

[0035] 제3 게이트 구동부는 수평 화소 라인(L1~L4)만큼의 스테이지들을 가지며, 타이밍 콘트롤러(11)의 제어 하에 에미션 신호2들(EM2(1)~EM2(4))을 출력한다. 제3 게이트 구동부는 쉬프트 레지스터로 구현되고 다수의 제3 출력 노드들을 통해 에미션 신호2들(EM2(1)~EM2(4))을 제3 게이트 라인들(15c(1)~15c(4))에 순차적으로 공급할 수 있다.

[0036] 게이트 드라이버(13)의 구성이 간소해지도록, 제1 출력 노드들 각각은 이웃한 2개의 수평 화소 라인들에 공통으로 연결될 수 있다. 도 4와 같은 화소(PXL)의 경우 서로 다른 온 타이밍을 갖는 2개의 스캔신호들이 필요하다. 예를 들어, 제n 수평 화소라인(Ln)의 화소들(PXL)에 인가되는 2개의 스캔신호들을 제n-1 스캔신호(SC(n-1))와 제n 스캔신호(SC(n))로 구성하면, 단일의 게이트 구동부로 제n 수평 화소라인(Ln)의 화소들(PXL)을 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성을 간소화할 수 있는 이점이 있다. 이 경우, 제n 스캔 신호(SC(n))와 제n-1 스캔 신호(SC(n-1))는 단일의 게이트 구동부에서 연속적으로 출력되는 게이트 신호이기 때문에 펄스 폭은 동일하고 위상이 서로 다를 수 있다.

[0037] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.

[0038] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호

를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0039] 타이밍 콘트롤러(11)는 입력 프레임 주파수를 i (i 는 0 보다 큰 양의 정수)배 제배하여 입력 프레임 주파수 $\times i$ Hz의 프레임 주파수로 표시패널 구동회로(12, 13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0040] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.

[0041] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 드라이버(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 콘트롤러(11)와 소스 드라이버(12) 사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.

[0042] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간 초기에 발생되어 게이트 드라이버(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 스캔 신호(SC(1)~SC(4))와 애미션 신호들(EM1(1)~EM1(4), EM2(1)~EM2(4))이 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 드라이버(13)의 쉬프트 레지스터에 입력되어 게이트 신호의 쉬프트 타이밍(shift timing)을 제어한다.

[0043] 도 3은 도 2에 도시된 화소의 일 등가회로이다.

[0044] 도 3을 참조하면, 본 명세서의 일 실시예에 따른 화소(PXL)는, OLED, 다수의 TFT들(Thin Film Transistor)(T1~T6, DT) 및 스토리지 커패시터(Cst)를 포함한다. TFT들(T1~T6, DT)은 PMOS형 LTPS TFT로 구현될 수 있고, 이를 통해 원한는 응답 특성을 확보할 수 있다. 다만, 본 명세서의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 스위치 TFT들(T1~T6) 중에서 적어도 하나의 TFT는 오프 커런트 특성이 좋은 NMOS형 옥사이드 TFT로 구현되고, 나머지 TFT들은 응답 특성이 좋은 PMOS형 LTPS TFT로 구현될 수도 있다.

[0045] 이하, 제n 수평 화소 라인 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.

[0046] OLED는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)에 따라 조절되는 구동 전류에 따라 발광 소자이다. OLED의 애노드 전극은 노드 N4에 연결되고, OLED의 캐소드 전극은 저전위 전원전압(EVSS)의 입력단에 연결된다. 애노드 전극과 캐소드 전극 사이에는 유기 화합물층이 구비된다.

[0047] 구동 TFT(DT)는 게이트-소스 간 전압에 따라 OLED에 흐르는 구동 전류를 조절하는 구동 소자이다. 구동 TFT(DT)는 노드 N2에 접속된 게이트 전극, 노드 N1에 접속된 제1 전극, 및 노드 N3에 접속된 제2 전극을 포함한다.

[0048] 제1 스위치 TFT(T1)는 데이터라인(14)과 노드 N1 사이에 접속되며, 제n 스캔 신호(SC(n))에 따라 스위칭되는 스위치 소자이다. 제1 스위치 TFT(T1)의 게이트 전극은 제n 스캔 신호(SC(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제1 스위치 TFT(T1)의 제1 전극은 데이터라인(14)에 접속되며, 제1 스위치 TFT(T1)의 제2 전극은 노드 N1에 접속된다.

[0049] 제2 스위치 TFT(T2)는 고전위 전원라인(17)과 노드 N1 사이에 접속되며, 제n 애미션 신호1(EM1(n))에 따라 스위칭되는 스위치 소자이다. 제2 스위치 TFT(T2)의 게이트 전극은 제n 애미션 신호1(EM1(n))이 인가되는 n번째 제2 게이트라인(15b(n))에 접속되고, 제2 스위치 TFT(T2)의 제1 전극은 고전위 전원라인(17)에 접속되며, 제2 스위치 TFT(T2)의 제2 전극은 노드 N1에 접속된다.

[0050] 제3 스위치 TFT(T3)는 노드 N2와 노드 N3 사이에 접속되며, 제n 스캔 신호(SC(n))에 따라 스위칭되는 스위치 소자이다. 제3 스위치 TFT(T3)의 게이트 전극은 제n 스캔 신호(SC(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제3 스위치 TFT(T3)의 제1 전극은 노드 N3에 접속되며, 제3 스위치 TFT(T3)의 제2 전극은 노드 N2

에 접속된다.

[0051] 제4 스위치 TFT(T4)는 노드 N2와 초기화 전원라인(16) 사이에 접속되며, 제n-1 스캔 신호(SC(n-1))에 따라 스위치되는 스위치 소자이다. 제4 스위치 TFT(T4)의 게이트 전극은 제n-1 스캔 신호(SC(n-1))가 인가되는 n-1번 째 제1 게이트라인(15a(n-1))에 접속되고, 제4 스위치 TFT(T4)의 제1 전극은 노드 N2에 접속되며, 제4 스위치 TFT(T4)의 제2 전극은 초기화 전원라인(16)에 접속된다.

[0052] 제5 스위치 TFT(T5)는 노드 N3와 노드 N4 사이에 접속되며, 제n 에미션 신호2(EM2(n))에 따라 스위치되는 스위치 소자이다. 제5 스위치 TFT(T5)의 게이트 전극은 제n 에미션 신호2(EM2(n))가 인가되는 n번 째 제3 게이트라인(15c(n))에 접속되고, 제5 스위치 TFT(T5)의 제1 전극은 노드 N3에 접속되며, 제5 스위치 TFT(T5)의 제2 전극은 노드 N4에 접속된다.

[0053] 제6 스위치 TFT(T6)는 노드 N4와 초기화 전원라인(16) 사이에 접속되며, 제n 스캔 신호(SC(n))에 따라 스위치되는 스위치 소자이다. 제6 스위치 TFT(T6)의 게이트 전극은 제n 스캔 신호(SC(n))가 인가되는 n번째 제1 게이트라인(15a(n))에 접속되고, 제6 스위치 TFT(T6)의 제1 전극은 노드 N4에 접속되며, 제6 스위치 TFT(T6)의 제2 전극은 초기화 전원라인(16)에 접속된다.

[0054] 스토리지 커패시터(Cst)는 고전위 전원라인(17)과 노드 N2 사이에 접속된다.

[0055] 한편, 노드 N2에 일측 전극이 연결된 제3 및 제4 스위치 TFT들(T3, T4)은 턴 오프시 누설 전류가 억제될 수 있도록 듀얼 게이트 구조로 설계될 수 있다. 듀얼 게이트 구조에서 2개의 게이트전극들은 동일한 전위를 가지도록 서로 연결된다. 듀얼 게이트 구조에 따르면, 채널 길이가 단일 게이트 구조에 비해 길어지기 때문에 오프 저항이 증가하고 오프 전류가 감소되어, 동작의 안정성이 확보될 수 있다.

[0056] 도 4는 도 3의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 나타낸 파형도이다. 도 5는 PWM 구동 기간 동안, 에미션 신호1이 온 레벨로 입력되고 에미션 신호2가 미리 설정된 드티비에 따라 적어도 한번 이상 오프 레벨로 입력되는 것을 보여주는 파형도이다. 도 6a 내지 도 6b는 도 4의 초기화 기간, 샘플링 기간, 발광 기간, 및 PWM 구동 기간 동안 화소의 동작을 나타낸 것이다. 그리고, 도 7은 도 4의 초기화 기간, 샘플링 기간 및 발광 기간에 대응되는 화소의 특정 노드들의 전위를 나타낸 도표이다.

[0057] 도 4를 참조하면, 제n 수평 화소 라인(Ln) 상에 배치된 각 화소(PXL)를 구동하기 위한 1 프레임 기간은 초기화 기간(①), 초기화 기간(①)에 이은 샘플링 기간(②), 샘플링 기간(②)에 이은 발광 기간(③), 및 발광 기간(③)에 이은 PWM 구동 기간(④)을 포함할 수 있다.

[0058] 도 4를 참조하면, 초기화 기간(①)에서, 제n-1 스캔 신호(SC(n-1))는 온 레벨(ON)로 입력되고, 제n 스캔 신호(SC(n))와 제n 에미션 신호1(EM1(n))과 제n 에미션 신호2(EM2(n))는 오프 레벨(OFF)로 입력된다. 초기화 기간(①)은 노드 N2를 초기화 전압(Vinit)으로 리셋시키기 위한 것이다.

[0059] 도 6a를 참조하면, 초기화 기간(①) 동안 온 레벨(ON)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 온 된다. 제4 스위치 TFT(T4)의 턴 온에 의해 노드 N2에 초기화 전압(Vinit)이 인가된다. 따라서, 초기화 기간(①) 동안 노드 N2의 전위는 도 7과 같이 초기화 전압(Vinit)이 된다.

[0060] 도 6a를 참조하면, 초기화 기간(①) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제1 스위치 TFT(T1)가 턴 오프 되고 오프 레벨(OFF)의 제n 에미션 신호1(EM1(n))에 응답하여 제2 스위치 TFT(T2)가 턴 오프 되므로, 노드 N1은 플로팅된다. 노드 N1과 노드 N2는 기생 커패시터에 의해 커플링되어 있으므로, 초기화 기간(①) 동안 노드 N2에 인가되는 초기화 전압(Vinit)의 영향을 받아 노드 N1의 전위가 도 7과 같이 고전위 전원전압(EVDD)보다 낮은 특정 전압(Vx)이 된다.

[0061] 도 6a를 참조하면, 초기화 기간(①) 동안 오프 레벨(OFF)의 제n 에미션 신호2(EM2(n))에 응답하여 제5 스위치 TFT(T5)가 턴 오프 되므로, 노드 N3은 플로팅된다. 노드 N1과 노드 N3는 기생 커패시터에 의해 커플링되어 있으므로, 초기화 기간(①) 동안 노드 N2에 인가되는 초기화 전압(Vinit)의 영향을 받아 노드 N3의 전위도 도 7과 같이 고전위 전원전압(EVDD)보다 낮은 특정 전압(Vx)이 될 수 있다.

[0062] 도 6a를 참조하면, 초기화 기간(①) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제3 스위치 TFT(T3)와 제6 스위치 TFT(T6)가 더 턴 오프 된다.

[0063] 도 4를 참조하면, 샘플링 기간(②)에서, 제n 스캔 신호(SC(n))는 온 레벨(ON)로 입력되고, 제n-1 스캔 신호(SC(n-1))와 제n 에미션 신호1(EM1(n))과 제n 에미션 신호2(EM2(n))는 오프 레벨(OFF)로 입력된다. 샘플링 기

간(②)은 구동 TFT(DT)의 문턱전압을 샘플링하기 위한 것이다.

[0064] 도 6b를 참조하면, 샘플링 기간(②) 동안 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제1 스위치 TFT(T1)와 제3 스위치 TFT(T3)가 턴 온 된다. 제1 스위치 TFT(T1)의 턴 온에 의해 노드 N1의 전위가 도 7과 같이 특정 전압(Vx)에서 데이터전압(Vdata)으로 변경된다. 그리고, 제3 스위치 TFT(T3)의 턴 온에 의해 구동 TFT(DT)의 게이트전극과 제2 전극이 쇼트되어 구동 TFT(DT)가 다이오드 결선(Diode-connection)된다. 구동 TFT(DT)가 다이오드 결선된 상태에서 구동 TFT(DT)에 전류가 흐르면, 구동 TFT(DT)의 문턱전압(Vth)이 샘플링되어 노드 N2 및 노드 N3에 저장된다. 즉, 노드 N2와 노드 N3에는 도 7과 같이 "Vdata-Vth"가 저장된다. 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 노드 N1과 노드 N2 간의 전압이다. 따라서, 샘플링 기간(②) 동안 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱전압이 된다.

[0065] 도 6b를 참조하면, 샘플링 기간(②) 동안 온 레벨(ON)의 제n 스캔 신호(SC(n))에 응답하여 제6 스위치 TFT(T6)가 더 턴 온 된다. 제6 스위치 TFT(T6)의 턴 온에 의해 노드 N4의 전위가 초기화 전압(Vinit)으로 리셋되어, 동작의 안정성이 높아진다.

[0066] 도 6b를 참조하면, 샘플링 기간(②) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 오프 된다. 그리고, 샘플링 기간(②) 동안 오프 레벨(OFF)의 제n 에미션 신호1(EM1(n))에 응답하여 제2 스위치 TFT(T2)가 턴 오프 상태를 유지하고, 오프 레벨(OFF)의 제n 에미션 신호2(EM2(n))에 응답하여 제5 스위치 TFT(T5)가 턴 오프 상태를 유지한다.

[0067] 도 4를 참조하면, 발광 기간(③)에서, 제n-1 스캔 신호(SC(n-1))와 제n 스캔 신호(SC(n))는 오프 레벨(OFF)로 입력되고, 제n 에미션 신호1(EM1(n))과 제n 에미션 신호2(EM2(n))는 온 레벨(ON)로 입력된다. 발광 기간(③)은 구동 TFT(DT)에 흐르는 구동 전류에 따라 OLED를 발광시키기 위한 것이다.

[0068] 도 6c를 참조하면, 발광 기간(③) 동안 온 레벨(ON)의 제n 에미션 신호1(EM1(n))에 응답하여 제2 스위치 TFT(T2)가 턴 온 되고, 제n 에미션 신호2(EM2(n))에 응답하여 제5 스위치 TFT(T5)가 턴 온 된다. 발광 기간(③) 동안 제2 스위치 TFT(T2)의 턴 온에 의해 노드 N1의 전위가 도 7과 같이 데이터전압(Vdata)에서 고전위 전원전압(EVDD)으로 변경된다. 도 7과 같이 발광 기간(③) 동안 노드 N2의 전위는 스토리지 커패시터(Cst)에 의해 샘플링 기간(②)에서 저장된 "Vdata-Vth"를 유지한다. 따라서, 발광 기간(③) 동안 구동 TFT(DT)에는 게이트-소스 간 전압(Vgs)에서 문턱전압(Vth)을 뺀 "(EVDD-Vdata)"의 제곱에 비례하는 구동전류가 흐른다. 이러한 구동 전류에 의해 발광 기간(③) 동안 노드 N3의 전위는 도 7과 같이 고전위 전원전압(EVDD) 근처로 상승될 수 있다. 구동전류는 제5 스위치 TFT(T5)를 경유하여 OLED에 인가된다.

[0069] 발광 기간(③) 동안 OLED에 흐르는 구동 전류(Ioled)는 수학식 1과 같이 구동 TFT(DT)의 문턱전압 (Vth)에 무관한 함수가 된다.

[0070] [수학식 1]

$$I_{oled} = K(V_{gs} - |V_{th}|)^2$$

$$= K(EVDD - \{V_{data} - |V_{th}|\} - |V_{th}|)^2$$

$$= K(EVDD - V_{data})^2$$

[0074] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱 전압이다.

[0075] 도 6c를 참조하면, 발광 기간(③) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 오프 상태를 유지한다. 그리고, 발광 기간(③) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제1,3,5 스위치 TFT들(T1, T3, T5)이 턴 오프 된다.

[0076] 도 4를 참조하면, PWM 구동 기간(④)에서, 제n-1 스캔 신호(SC(n-1))와 제n 스캔 신호(SC(n))는 오프 레벨(OFF)로 입력된다. 그리고, 제n 에미션 신호2(EM2(n))는 오프 레벨(OFF)로 유지되거나 또는, 도 5와 같이 오프 레벨(OFF)로 입력된 후에 적어도 한번 이상 온/오프 레벨을 더 반복할 수 있다. 반면, 제n 에미션 신호1(EM1(n))은 온 레벨(ON)로 유지된다. PWM 구동 기간(④)은 미리 설정된 PWM 듀티비에 따라 OLED에 인가되는 구동 전류를 적어도 한번 이상 차단하기 위한 것이다.

[0077] PWM 구동 기간(④)에서 제n 에미션 신호2(EM2(n))는 오프 레벨(OFF)로 유지될 수도 있고, 도 5와 같이 복수 회

만큼 온 레벨(ON)과 오프 레벨(OFF)을 교번할 수도 있다. PWM 구동 기간(④)에서 제n 에미션 신호2(EM2(n))가 오프 레벨(OFF)로 유지되는 시간적 길이는 PWM 듀티비에 따라 달라질 수 있다. PWM 구동 기간(④)에서 제n 에미션 신호2(EM2(n))가 오프 레벨(OFF)로 유지되는 시간이 길어질수록 OLED의 발광 듀티는 짧아진다. PWM 구동 기간(④)에 의해 OLED의 발광 듀티비는 20% 내지 90% 범위 내에서 정해질 수 있다. 이렇게 일정 발광 듀티비로 OLED가 점등 및 소등을 반복하면 저 계조 표현시 잔상을 최소화할 수 이점이 있다.

[0078] 도 6d를 참조하면, PWM 구동 기간(④)에서 오프 레벨(OFF)의 제n 에미션 신호2(EM2(n))에 응답하여 제5 스위치 TFT(T5)는 턴 오프 되지만, 제2 스위치 TFT(T2)는 온 레벨(ON)의 제n 에미션 신호1(EM1(n))에 응답하여 턴 온 상태를 유지한다. 제2 스위치 TFT(T2)의 턴 온에 의해 노드 N1의 전위는 PWM 구동 기간(④) 동안 고전위 전원전압(EVDD)으로 고정된다. 따라서, PWM 구동 기간(④)에서 다른 화소에 기입될 데이터전압(Vdata')에 의해 데이터라인(14)의 전위가 변하더라도, 노드 N1의 전위는 고전위 전원전압(EVDD)으로 고정되기 때문에 데이터라인(14)에 의한 전압 커플링 영향을 받지 않는다. 이렇게 PWM 구동 기간(④) 동안 노드 N1의 전위가 고전위 전원전압(EVDD)으로 고정되면, 데이터라인(14)의 전위 변동에도 불구하고 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)과 구동 전류는 변동되지 않기 때문에 표시 품위가 향상될 수 있다.

[0079] 도 6d를 참조하면, PWM 구동 기간(④) 동안 오프 레벨(OFF)의 제n-1 스캔 신호(SC(n-1))에 응답하여 제4 스위치 TFT(T4)가 턴 오프 상태를 유지한다. 그리고, PWM 구동 기간(④) 동안 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 응답하여 제1,3,5 스위치 TFT들(T1,T3,T5)이 턴 오프 상태를 유지한다.

[0080] 도 8은 도 2에 도시된 화소의 다른 등가회로를 나타낸 도면이다. 그리고, 도 9는 도 8의 화소에 입력되는 구동 신호들과 그에 따른 특정 화소 노드들의 전위 변화를 나타낸 파형도이다. 도 8 및 도 9는 화소의 특정 노드가 데이터라인에 의해 전압 커플링 영향을 받아 표시 품위가 저하되는 일 예를 설명하기 위한 도면들이다.

[0081] 도 8의 화소(PXL)는 도 3의 화소(PXL)와 비교하여, 제2 및 제5 스위치 TFT들(T2,T5)이 동일한 제n 에미션 신호(EM(n))에 따라 스위칭되는 점에서 다르다. 도 8의 화소(PXL)를 구동하기 위한 1 프레임 기간도 도 9와 같이 초기화 기간(①), 샘플링 기간(②), 발광 기간(③), 및 PWM 구동 기간(④)을 포함할 수 있다. 초기화 기간(①), 샘플링 기간(②), 및 발광 기간(③) 동안 도 8의 화소(PXL)의 동작은 도 6a 내지 도 6c에서 전술한 것과 실질적으로 동일하다.

[0082] 다만, PWM 구동 기간(④) 동안 도 8의 화소(PXL)의 동작은 도 6d에서 전술한 것과 다르다. 이에 대해 구체적으로 설명하면 다음과 같다. PWM 구동 기간(④) 동안 오프 레벨(OFF)의 제n 에미션 신호(EM(n))에 따라 제2 및 제5 스위치 TFT들(T2,T5)이 턴 오프 되고, 오프 레벨(OFF)의 제n 스캔 신호(SC(n))에 따라 제1 스위치 TFT(T1)가 턴 오프되어, 노드 N1을 플로팅시킨다. 따라서, PWM 구동 기간(④)에서 다른 화소에 기입될 데이터전압(Vdata')에 의해 데이터라인(14)의 전위가 변하는 경우, 노드 N1의 전위는 데이터라인(14)에 의한 전압 커플링 영향을 받게 된다. 전압 커플링에 의해, 노드 N1의 전위 변화분(ΔA)은 노드 N2의 전위 변화분(ΔB)과 달라지게 된다. 이렇게 PWM 구동 기간(④) 동안 노드 N1의 전위 변화분(ΔA)과 노드 N2의 전위 변화분(ΔB)이 서로 달라지면, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)과 구동 전류가 변하기 때문에 표시 품위가 저하되는 것이다. 이러한 표시 품위 저하 현상은 PWM 구동 기간(④) 동안 온 레벨(ON)의 제n 에미션 신호(EM(n))에 따라 발광이 재개될 때에 나타난다. 또한 제n 프레임의 PWM 구동 기간(④) 동안 노드 N1의 전위가 변동되면, 그 영향이 제n+1 프레임에도 미치기 때문에 제n+1 프레임의 표시 품위도 저하될 수 있다.

[0083] 본 명세서의 실시예에 따른 전계 발광 표시장치는 다음과 같이 설명될 수 있다.

[0084] 본 명세서의 실시예에 따른 전계 발광 표시장치는 데이터전압이 공급되는 데이터라인과 초기화 전압이 공급되는 제1 전원라인과 고전위 전원전압이 공급되는 제2 전원라인에 복수의 화소들이 연결된 표시패널을 구비한다. 여기서, 상기 화소들 중에서 제n 수평 화소 라인(n은 자연수)에 배치된 각 화소는, 노드 N2에 게이트전극이 접속되고, 노드 N1 및 노드 N3에 각각 제1 전극 및 제2 전극이 접속되며, 게이트-소스 간 전압에 따른 구동 전류를 생성하는 구동 소자; 상기 노드 N1과 상기 데이터라인 사이에 접속된 스위치 소자 T1; 상기 노드 N1과 상기 제2 전원라인 사이에 접속된 스위치 소자 T2; 상기 노드 N3와 노드 N4 사이에 접속된 스위치 소자 T5; 및 상기 노드 N4와 저전위 전원전압의 입력단 사이에 접속되며, 상기 구동 전류에 따라 발광하는 발광 소자를 포함하고, 상기 스위치 소자 T5가 PWM(Pulse Width Modulation) 구동을 위해 오프 되는 동안 상기 스위치 소자 T2는 온 상태를 유지한다.

[0085] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 스위치 소자 T2는 제n 에미션 신호1에 따라 스위칭되고, 상기 스위치 소자 T5는 상기 제n 에미션 신호1와 온/오프 구간이 다른 제n 에미션 신호2에 따라 스위칭된다.

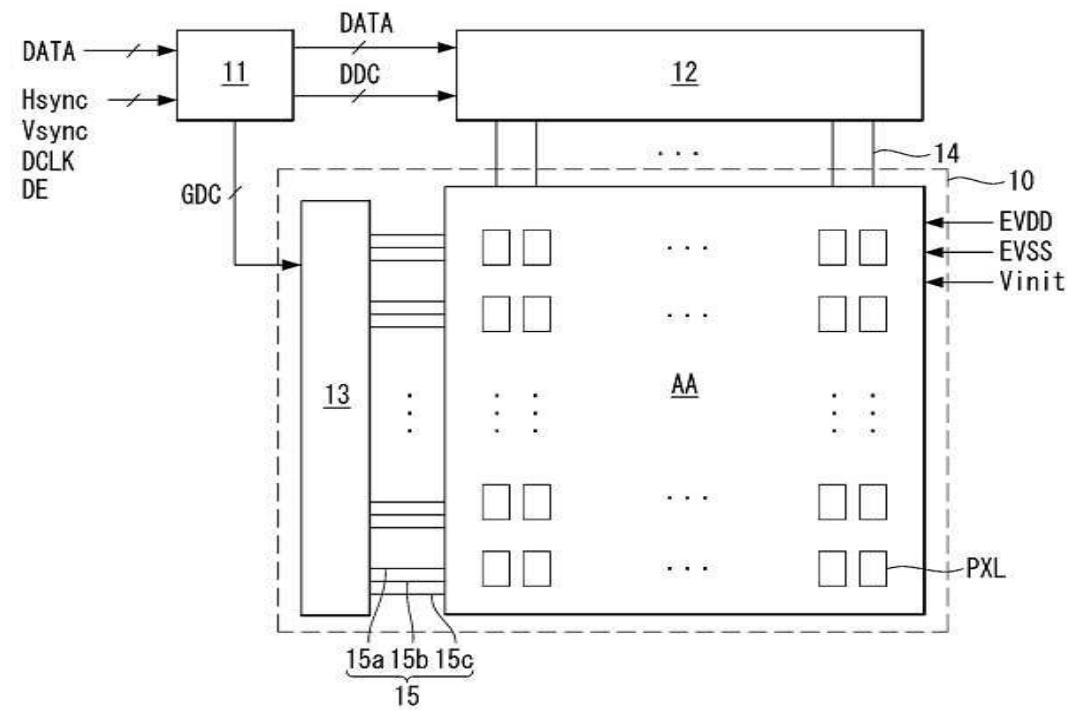
- [0086] 제n 수평 화소 라인에 배치된 각 화소에서, 1 프레임 기간은, 상기 노드 N2를 초기화하기 위한 초기화 기간; 상기 초기화 기간에 이어 상기 구동 소자의 문턱 전압을 샘플링하는 샘플링 기간; 상기 샘플링 기간에 이어 상기 발광 소자를 발광시키는 발광 기간; 및 상기 발광 기간에 이어 상기 발광 소자의 발광을 중지시키는 PWM 구동 기간을 포함한다.
- [0087] 상기 PWM 구동 기간 동안, 상기 제n 에미션 신호1은 온 레벨로 유지되고, 상기 제n 에미션 신호2는 오프 레벨로 유지되거나 또는, 오프 레벨로 입력된 후 적어도 한번 이상 온/오프 레벨을 더 반복한다.
- [0088] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 노드 N1의 전위는 상기 PWM 구동 기간 동안 상기 고전위 전원 전압으로 고정된다.
- [0089] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 제n 에미션 신호1과 상기 제n 에미션 신호2는, 상기 초기화 기간과 상기 샘플링 기간 동안 오프 레벨로 입력되고, 상기 발광 기간 동안 온 레벨로 입력된다.
- [0090] 상기 제n 수평 화소 라인에 배치된 각 화소는,
- [0091] 상기 노드 N2와 상기 노드 N3 사이에 접속된 스위치 소자 T3;
- [0092] 상기 노드 N2와 상기 제1 전원라인 사이에 접속된 스위치 소자 T4;
- [0093] 상기 노드 N4와 상기 제1 전원라인 사이에 접속된 스위치 소자 T6; 및
- [0094] 상기 노드 N2와 상기 제2 전원라인 사이에 접속된 스토리지 커패시터를 더 포함한다.
- [0095] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 스위치 소자 T1, 상기 스위치 소자 T3, 및 상기 스위치 소자 T6은 제n 스캔 신호에 따라 스위칭되고, 상기 스위치 소자 T4는 상기 제n 스캔 신호보다 위상이 앞선 제n-1 스캔 신호에 따라 스위칭된다.
- [0096] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 제n-1 스캔 신호는, 상기 초기화 기간 동안 온 레벨로 입력되고, 상기 샘플링 기간, 상기 발광 기간, 및 상기 PWM 구동 기간 동안 오프 레벨로 입력되며, 상기 제n 스캔 신호는, 상기 샘플링 기간 동안 온 레벨로 입력되고, 상기 초기화 기간, 상기 발광 기간, 및 상기 PWM 구동 기간 동안 오프 레벨로 입력된다.
- [0097] 제n 수평 화소 라인에 배치된 각 화소에서, 상기 샘플링 기간 동안, 상기 구동 소자는 다이오드 연결되고, 상기 구동 소자의 게이트-소스 간 전압은 상기 구동 소자의 문턱전압이 된다.
- [0098] 전술한 바와 같이, 본 명세서의 전계 발광 표시장치에 따르면, 각 화소에서 구동 소자의 소스전극에 고전위 전원전압을 공급하는 스위치 소자 T2와, PWM 구동을 위해 구동 소자와 발광 소자 사이의 전류 흐름을 차단하는 스위치 소자 T5를 서로 다른 에미션 신호에 따라 스위칭시킨다. 이를 통해, PWM 구동을 위해 스위치 소자 T5가 턴 오프 되는 동안에 스위치 소자 T2는 턴 온 되며, 구동 소자의 소스전극 전위가 고전위 전원전압으로 고정된다. 따라서, PWM 구동시 데이터라인의 전위 변동에도 불구하고 구동 소자의 게이트-소스 간 전압과 구동 전류는 변동되지 않기 때문에 표시 품위가 향상될 수 있다.
- [0099] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야 할 것이다.

부호의 설명

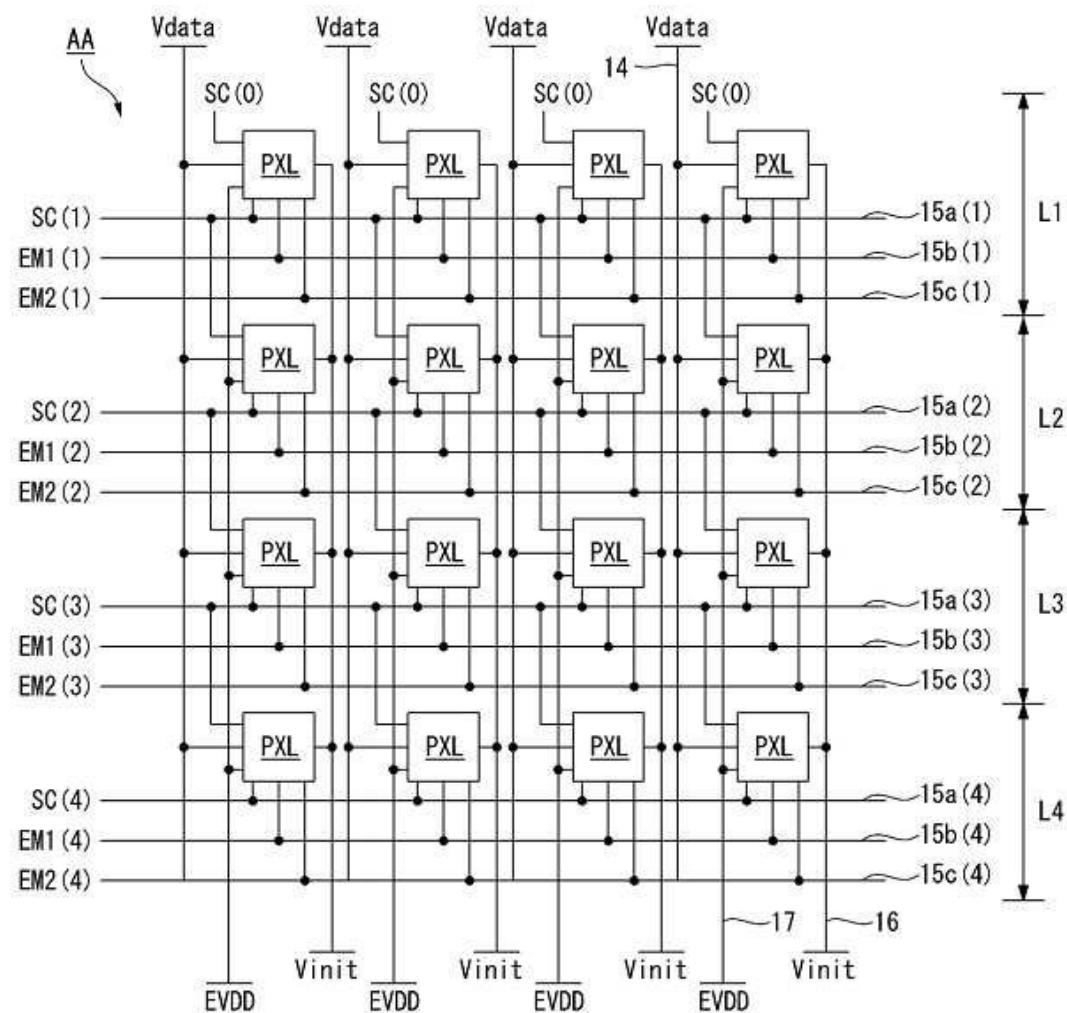
- [0100] 10 : 표시패널 11 : 타이밍 콘트롤러
12 : 소스 드라이버 13 : 게이트 드라이버

도면

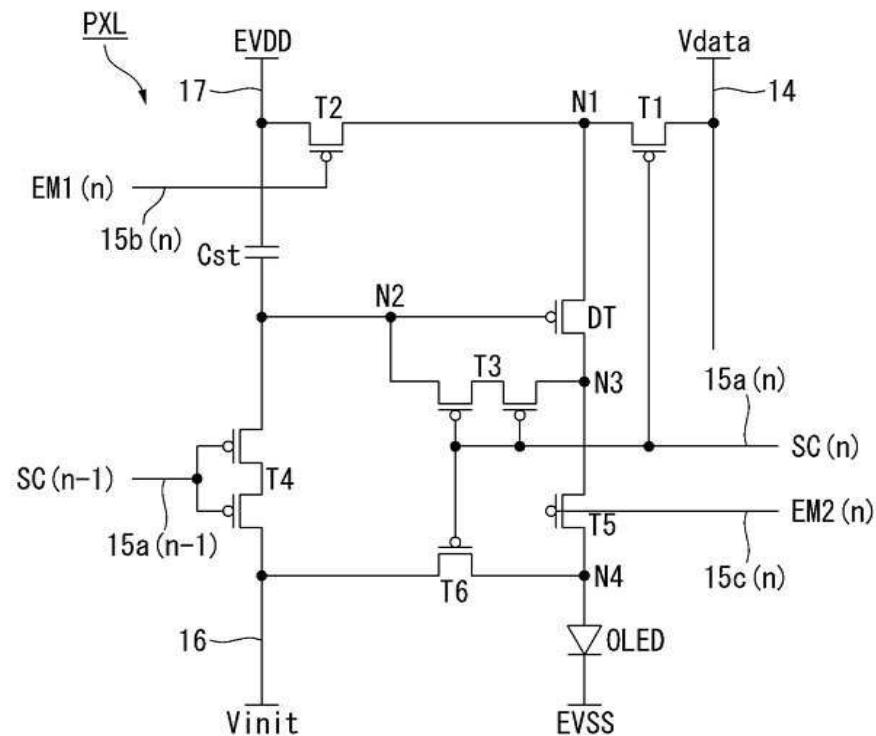
도면1



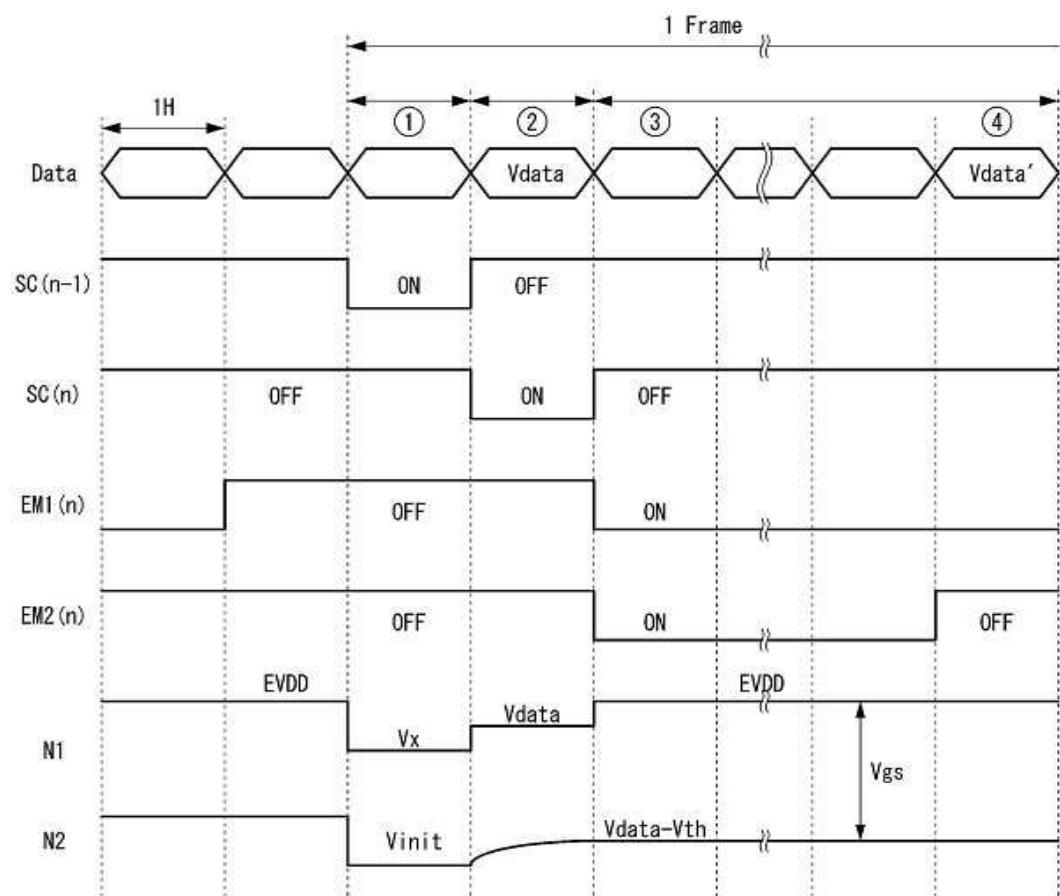
도면2



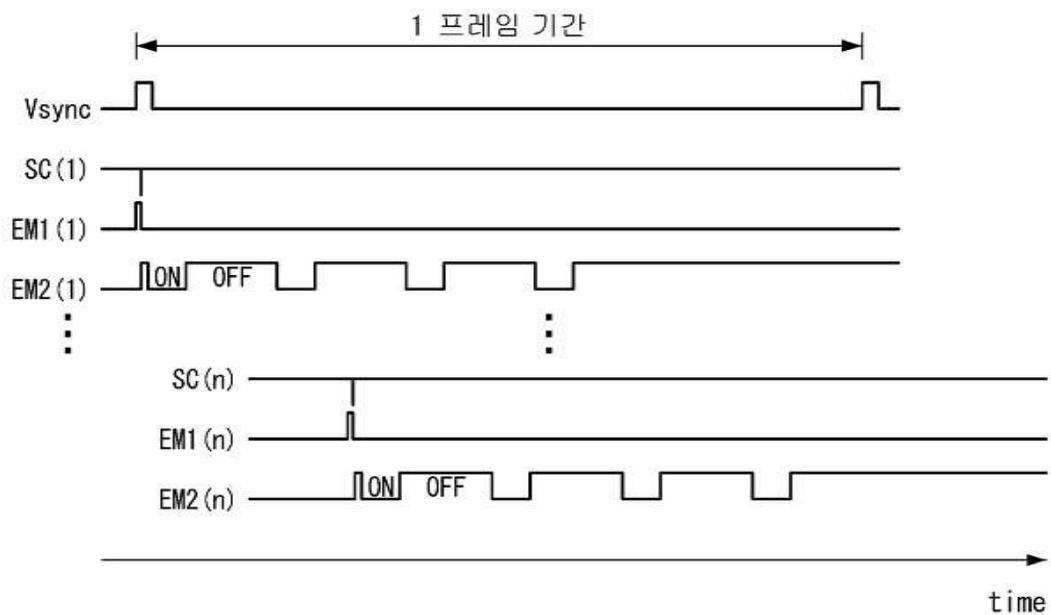
도면3



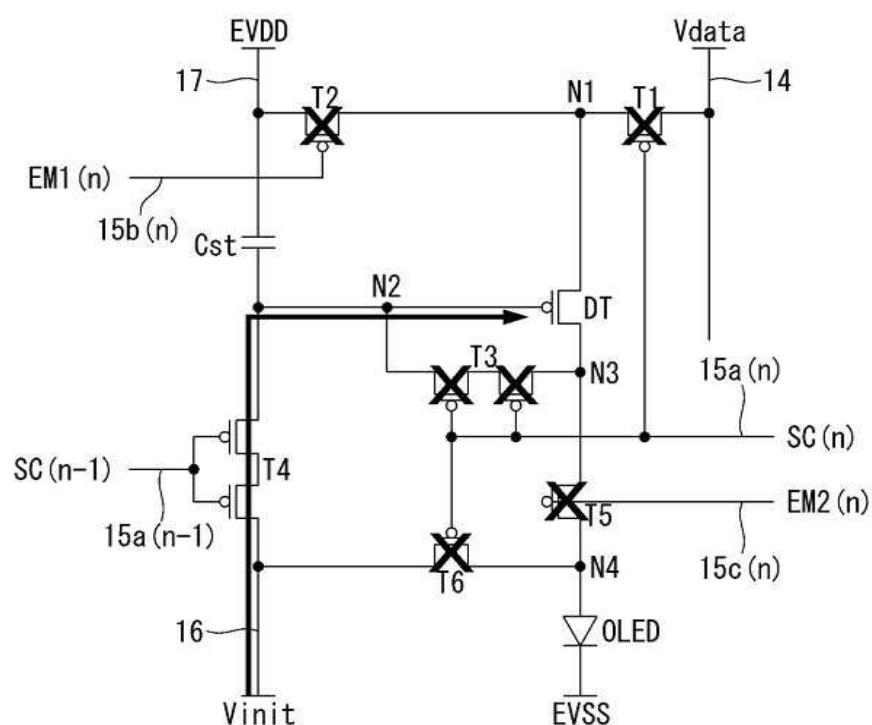
도면4



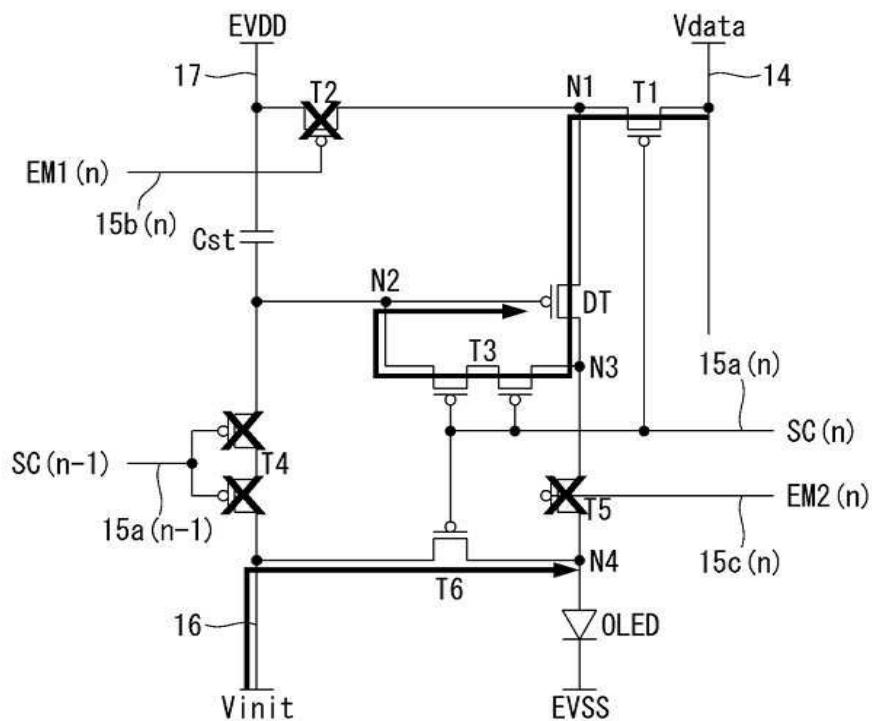
도면5



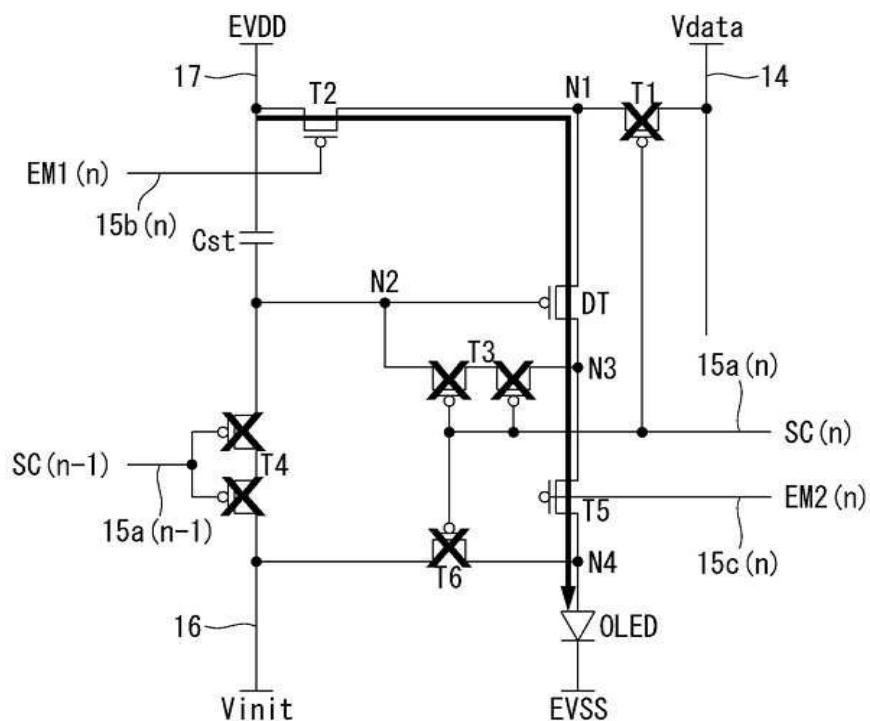
도면6a



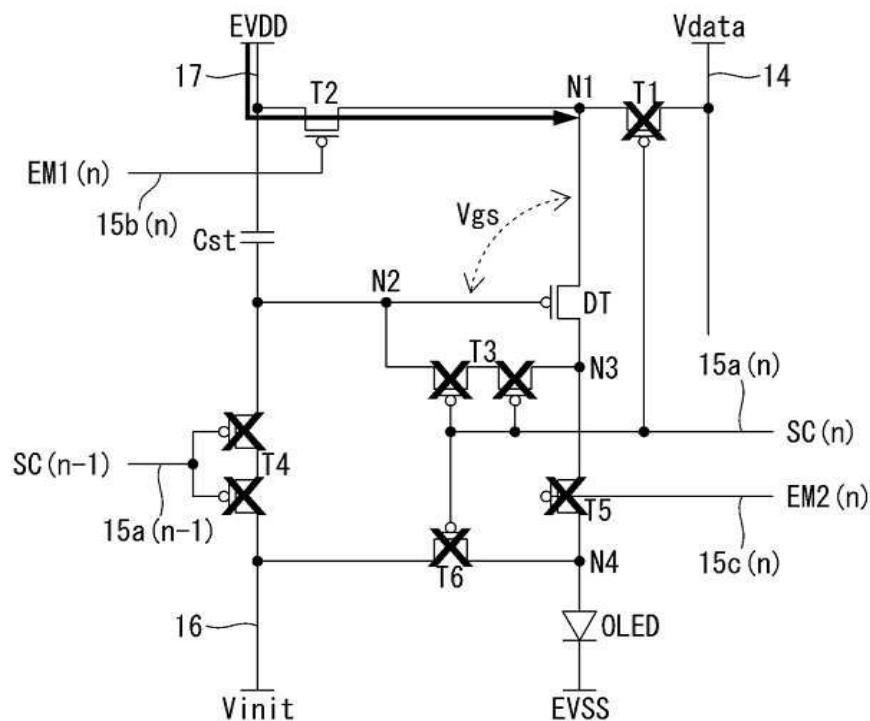
도면6b



도면6c



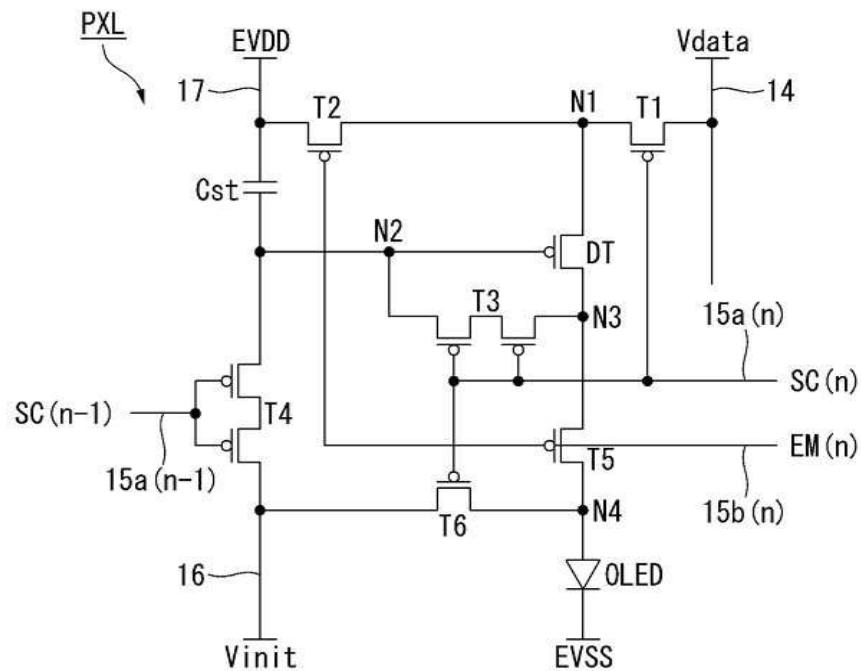
도면6d



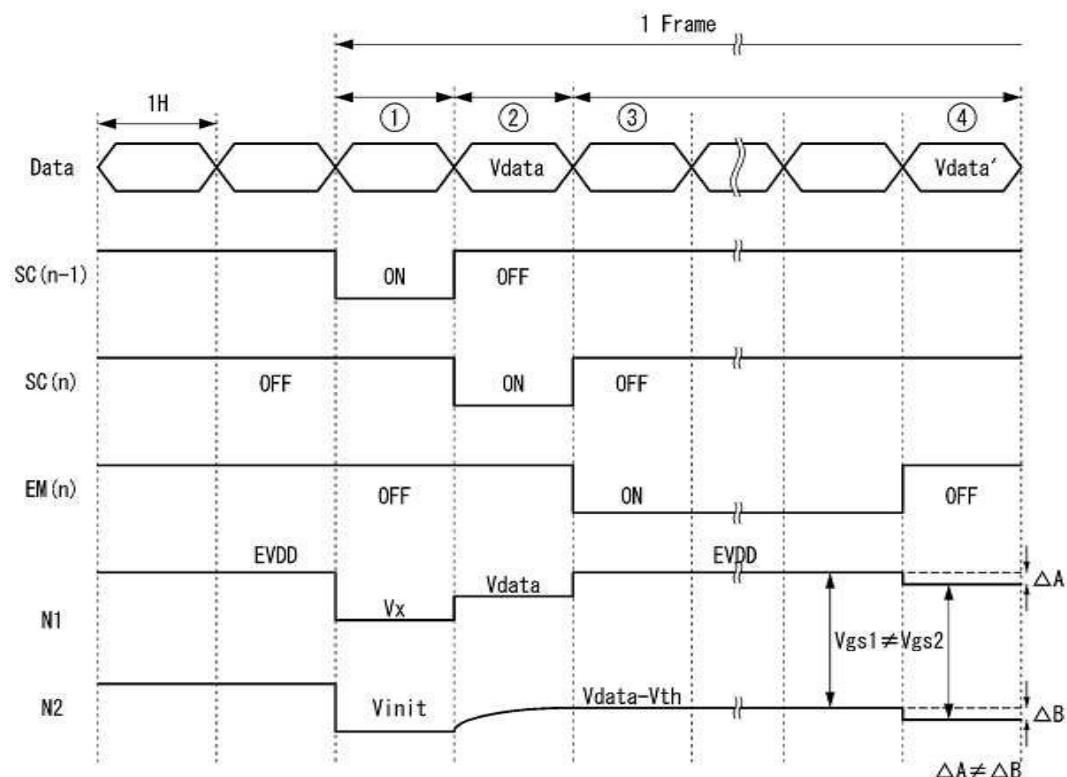
도면7

| 구간 | ① | ② | ③, ④ |
|----|-------|-----------|-----------|
| N1 | Vx | Vdata | EVDD |
| N2 | Vinit | Vdata-Vth | Vdata-Vth |
| N3 | Vx | Vdata-Vth | EVDD |

도면8



도면9



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 电致发光显示器 | | |
| 公开(公告)号 | KR1020190051393A | 公开(公告)日 | 2019-05-15 |
| 申请号 | KR1020170146979 | 申请日 | 2017-11-06 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 방기호 이정민 | | |
| 发明人 | 방기호 이정민 | | |
| IPC分类号 | G09G3/3233 | | |
| CPC分类号 | G09G3/3233 G09G2230/00 G09G2300/043 G09G2300/0842 G09G2320/043 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据本公开的示例性实施例的电致发光显示器包括显示面板，在该显示面板中，多个像素连接到被提供有数据电压的数据线，被提供有初始化电压的第一电源线以及被提供有高电位电源电压的第二电源线。配备。在此，在像素中排列在第n条水平像素线(n是自然数)中的每个像素中，栅电极连接至节点N2，并且第一电极和第二电极分别连接至节点N1和节点N3。驱动元件根据栅极-源极电压产生驱动电流；开关元件T1连接在节点N1和数据线之间；开关元件T2连接在节点N1和第二电源线之间；开关元件T5连接在节点N3与节点N4之间；并且节点N4的输入端子和低电位电源电压。

