



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0030959
(43) 공개일자 2019년03월25일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0118655

(22) 출원일자 2017년09월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

문선지

경기도 파주시 월롱면 엘지로 245

이철환

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

특허법인로알

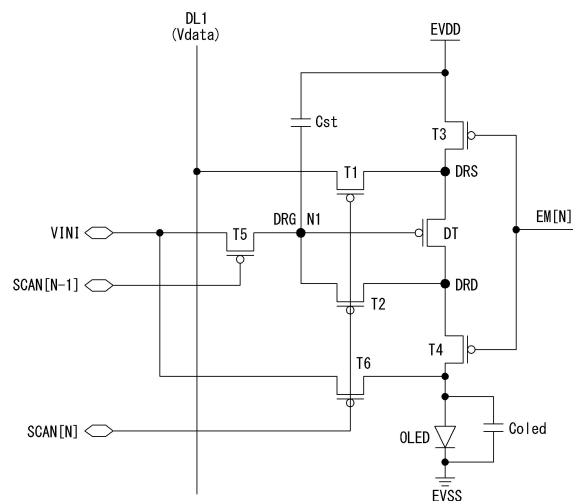
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치 및 이의 구동방법

(57) 요약

본 발명은 빛을 발광하는 발광다이오드와, 상기 발광다이오드의 동작을 위한 구동전류를 제공하는 구동 트랜지스터를 갖는 서브 픽셀을 포함하는 전계발광표시장치를 제공한다. 구동 트랜지스터는 제1구간 동안 제1방향의 전계가 형성되고, 제2구간 동안 제1방향과 반대인 제2방향의 전계가 형성된다.

대표도 - 도10



(52) CPC특허분류

G09G 2320/0257 (2013.01)

G09G 2320/043 (2013.01)

(72) 발명자

홍순환

경기도 파주시 월롱면 엘지로 245

이주연

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

빛을 발광하는 발광다이오드와, 상기 발광다이오드의 동작을 위한 구동전류를 제공하는 구동 트랜지스터를 갖는 서브 픽셀을 포함하고,

상기 구동 트랜지스터는 제1구간 동안 제1방향의 전계가 형성되고, 제2구간 동안 상기 제1방향과 반대인 제2방향의 전계가 형성되는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1구간은 상기 발광다이오드가 빛을 발광하는 구간이고,

상기 제2구간은 상기 구동 트랜지스터의 문턱전압을 센싱하는 구간인 전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제1구간 동안에는 상기 구동 트랜지스터의 소스에서 드레인 방향으로 전계가 형성되고,

상기 제2구간 동안에는 상기 구동 트랜지스터의 드레인에서 소스 방향으로 전계가 형성되는 전계발광표시장치.

청구항 4

제1항에 있어서,

상기 구동 트랜지스터는

한 프레임 동안 소스전극과 드레인전극에서 상기 제1방향과 상기 제2방향으로 교번하는 전계가 걸리는 전계발광표시장치.

청구항 5

제1항에 있어서,

상기 서브 픽셀은

상기 구동 트랜지스터의 소스전극에 연결된 제1트랜지스터와,

상기 구동 트랜지스터의 드레인전극에 연결된 제2트랜지스터가 동시에 턴온됨에 따라 한 프레임 동안 상기 소스전극과 상기 드레인전극에서 상기 제1방향과 상기 제2방향으로 교번하는 전계가 걸리는 전계발광표시장치.

청구항 6

제1항에 있어서,

상기 서브 픽셀은

제1노드에 게이트전극이 연결되고 제2노드에 제1전극이 연결되고 제3노드에 제2전극이 연결된 상기 구동 트랜지스터와,

제1전원라인에 일단이 연결되고 상기 제1노드에 타단이 연결된 커패시터와,

제2전원라인에 캐소드전극이 연결된 상기 유기 발광다이오드와,

제N스캔라인에 게이트전극이 연결되고 상기 제1노드에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결된 제1트랜지스터와,

상기 제N스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 상기 제3노드에 제2전극이 연결된 제2트랜지스터와,

제N발광제어라인에 게이트전극이 연결되고 상기 제1전원라인에 제1전극이 연결되고 상기 제2노드에 제2전극이 연결된 제3트랜지스터와,

상기 제N발광제어라인에 게이트전극이 연결되고 상기 제3노드에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와,

제N-1스캔라인에 게이트전극이 연결되고 초기화전압라인에 제1전극이 연결되고 상기 제1노드에 제2전극이 연결된 제5트랜지스터와,

상기 제N스캔라인에 게이트전극이 연결되고 상기 초기화전압라인에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제6트랜지스터를 포함하는 전계발광표시장치.

청구항 7

빛을 발광하는 발광다이오드와, 상기 발광다이오드의 동작을 위한 구동전류를 제공하는 구동 트랜지스터를 갖는 서브 픽셀을 포함하는 전계발광표시장치의 구동방법에 있어서,

제1구간 동안 상기 구동 트랜지스터에 제1방향의 전계를 형성하는 단계; 및

제2구간 동안 상기 구동 트랜지스터에 상기 제1방향과 반대인 제2방향의 전계를 형성하는 단계를 포함하는 전계 발광표시장치의 구동방법.

청구항 8

제7항에 있어서,

상기 제1구간은 상기 발광다이오드가 빛을 발광하는 구간이고,

상기 제2구간은 상기 구동 트랜지스터의 문턱전압을 센싱하는 구간인 전계발광표시장치의 구동방법.

청구항 9

제7항에 있어서,

상기 제1구간 동안에는 상기 구동 트랜지스터의 소스에서 드레인 방향으로 전계가 형성되고,

상기 제2구간 동안에는 상기 구동 트랜지스터의 드레인에서 소스 방향으로 전계가 형성되는 전계발광표시장치의 구동방법.

청구항 10

제7항에 있어서,

상기 구동 트랜지스터는

한 프레임 동안 소스전극과 드레인전극에서 상기 제1방향과 상기 제2방향으로 교번하는 전계가 걸리는 전계발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치 및 이의 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 전계발광표시장치는 표시 패널의 서브 픽셀을 보상하기 위한 보상 동작과 표시 패널 상에 영상을 표시하기 위한 영상 표시 동작 등을 수행한다. 보상 동작 기간 동안에는 서브 픽셀 내의 구동 트랜지스터를 보상하기 위한 문턱전압의 센싱 등이 이루어진다.

[0006] 구동 트랜지스터의 문턱전압의 센싱 등을 수행하기 위해서는 서브 픽셀의 내부에 보상과 관련된 보상 회로들을 추가해야 한다. 그러나 종래에 제안된 보상 방식은 구동 트랜지스터의 변동을 야기할 수 있음은 물론 표시 패널 상의 잔상 불량을 유발할 수 있는 바 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 경시변화로 인한 열화가 발생하더라도 표시 품질을 일정하게 유지할 수 있도록 하고, 고해상도 적용에 적합한 서브 픽셀 레이아웃이 가능하도록 전극의 밀집도 증가를 해소하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 빛을 발광하는 발광다이오드와, 상기 발광다이오드의 동작을 위한 구동전류를 제공하는 구동 트랜지스터를 갖는 서브 픽셀을 포함하는 전계발광표시장치를 제공한다. 구동 트랜지스터는 제1구간 동안 제1방향의 전계가 형성되고, 제2구간 동안 제1방향과 반대인 제2방향의 전계가 형성된다.

[0009] 제1구간은 발광다이오드가 빛을 발광하는 구간이고, 제2구간은 구동 트랜지스터의 문턱전압을 센싱하는 구간일 수 있다.

[0010] 제1구간 동안에는 구동 트랜지스터의 소스에서 드레인 방향으로 전계가 형성되고, 제2구간 동안에는 구동 트랜지스터의 드레인에서 소스 방향으로 전계가 형성될 수 있다.

[0011] 구동 트랜지스터는 한 프레임 동안 소스전극과 드레인전극에서 제1방향과 제2방향으로 교번하는 전계가 걸릴 수 있다.

[0012] 서브 픽셀은 구동 트랜지스터의 소스전극에 연결된 제1트랜지스터와, 구동 트랜지스터의 드레인전극에 연결된 제2트랜지스터가 동시에 턴온됨에 따라 한 프레임 동안 소스전극과 드레인전극에서 제1방향과 제2방향으로 교번하는 전계가 걸릴 수 있다.

[0013] 서브 픽셀은 제1노드에 게이트전극이 연결되고 제2노드에 제1전극이 연결되고 제3노드에 제2전극이 연결된 상기 구동 트랜지스터와, 제1전원라인에 일단이 연결되고 제1노드에 타단이 연결된 커패시터와, 제2전원라인에 캐소드전극이 연결된 유기 발광다이오드와, 제N스캔라인에 게이트전극이 연결되고 제1노드에 제1전극이 연결되고 제2노드에 제2전극이 연결된 제1트랜지스터와, 제N스캔라인에 게이트전극이 연결되고 데이터라인에 제1전극이 연결되고 제3노드에 제2전극이 연결된 제2트랜지스터와, 제N발광제어라인에 게이트전극이 연결되고 제1전원라인에 제1전극이 연결되고 제2노드에 제2전극이 연결된 제3트랜지스터와, 제N발광제어라인에 게이트전극이 연결되고 제3노드에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와, 제N-1스캔라인에 게이트전극이 연결되고 초기화전압라인에 제1전극이 연결되고 제1노드에 제2전극이 연결된 제5트랜지스터와, 제N스캔라인에 게이트전극이 연결되고 초기화전압라인에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제6트랜지스터를 포함할 수 있다.

[0014] 다른 측면에서 본 발명은 빛을 발광하는 발광다이오드와, 발광다이오드의 동작을 위한 구동전류를 제공하는 구동 트랜지스터를 갖는 서브 픽셀을 포함하는 전계발광표시장치의 구동방법을 제공한다. 제1구간 동안 구동 트랜지스터에 제1방향의 전계를 형성하고, 제2구간 동안 구동 트랜지스터에 제1방향과 반대인 제2방향의 전계를 형

성한다.

[0015] 제1구간은 발광다이오드가 빛을 발광하는 구간이고, 제2구간은 구동 트랜지스터의 문턱전압을 센싱하는 구간일 수 있다.

[0016] 제1구간 동안에는 구동 트랜지스터의 소스에서 드레인 방향으로 전계가 형성되고, 제2구간 동안에는 구동 트랜지스터의 드레인에서 소스 방향으로 전계가 형성될 수 있다.

[0017] 구동 트랜지스터는 한 프레임 동안 소스전극과 드레인전극에서 제1방향과 제2방향으로 교번하는 전계가 걸릴 수 있다.

발명의 효과

[0018] 본 발명은 경시변화로 인한 열화가 발생하더라도 구동 트랜지스터의 변동을 완화할 수 있는 보상 방식을 이용하여 표시 패널 상의 잔상 발생 수준을 감소시켜 표시 품질을 일정하게 유지할 수 있는 효과가 있다. 또한, 본 발명은 고해상도 적용에 적합한 서브 픽셀 레이아웃이 가능하도록 전극의 밀집도 증가를 해소할 수 있는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 표시 패널의 단면 예시도.

도 3은 서브 픽셀의 개략적인 회로 구성도.

도 4는 실험예에 따른 서브 픽셀의 회로 구성 예시도.

도 5 내지 도 7은 도 4에 도시된 실험예의 구간별 동작에 따른 회로의 구동 상태를 보여주는 도면들.

도 8은 도 4에 도시된 실험예에 따른 서브 픽셀을 구동하기 위한 구동 파형도.

도 9는 실험예의 구간별 동작에 따른 구동 트랜지스터의 전극별 전압 변화를 나타낸 시뮬레이션 파형도.

도 10은 실시예에 따른 서브 픽셀의 회로 구성 예시도.

도 11 내지 도 13은 도 10에 도시된 실시예의 구간별 동작에 따른 회로의 구동 상태를 보여주는 도면들.

도 14는 도 10에 도시된 실시예에 따른 서브 픽셀을 구동하기 위한 구동 파형도.

도 15는 실시예의 구간별 동작에 따른 구동 트랜지스터의 전극별 전압 변화를 나타낸 시뮬레이션 파형도.

도 16은 실험예와 실시예 간의 구동 특성을 비교하기 위한 유기 발광다이오드의 전압/전류값 비교 파형도.

도 17은 실험예와 실시예 간의 구동 특성을 비교하기 위한 구동 트랜지스터의 문턱전압 센싱값 비교 파형도.

도 18은 실험예와 실시예 간의 구동 특성을 비교하기 위한 문턱전압 편차에 따른 휘도 변화 비교 파형도.

도 19 및 도 20은 실험예와 실시예 간의 가장 큰 차이점을 설명하기 위한 도면들.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광 소자)를 기반으로 구현된 유기전계발광표시장치를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.

[0022] 이하에서 설명되는 전계발광표시장치의 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.

[0023] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 표시 패널의 단면 예시도이며, 도 3은 서브 픽셀

의 개략적인 회로 구성도이다.

- [0024] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(150) 및 전원 공급부(160)가 포함된다.
- [0025] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0026] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0027] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0028] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0029] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(150)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(150)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(150)에 공급된다.
- [0030] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0031] 도 2에 도시된 바와 같이, 표시 패널(150)은 제1기관(또는 박막 트랜지스터 기관)(150a), 표시영역(AA), 비표시영역(NA), 제2기관(또는 보호기관, 보호필름)(150b) 등을 포함한다. 표시영역(AA)은 영상을 표시하는 영역이고, 비표시영역(NA)은 영상을 비표시하는 영역이다. 표시영역(AA)은 영상을 표시하기 위한 픽셀(P)로 이루어진다. 표시영역(AA)은 수분이나 산소 등에 취약한바 제2기관(150b)에 의해 밀봉된다. 제1기관(150a)은 유리나 연성을 갖는 재료로 선택될 수 있고, 제2기관(150b)은 유기막과 무기막이 교번된 복합막 또는 제1기관(150a)과 같은 재료로 선택될 수 있다.
- [0032] 픽셀(P)은 적색(R), 청색(B) 및 녹색(G)의 서브 픽셀들로 이루어지거나 적색(R), 백색(W), 청색(B) 및 녹색(G)의 서브 픽셀들로 이루어질 수 있다. 서브 픽셀들은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 그러므로 서브 픽셀들의 배치 순서는 발광면적은 물론이고 발광재료나 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0033] 도 3에 도시된 바와 같이, 제N서브 픽셀(SP)은 픽셀 회로(PC), 구동 트랜지스터(DT) 및 유기 발광다이오드(OLED)를 포함한다. 구동 트랜지스터(DT)는 픽셀 회로(PC)의 동작에 대응하여 구동전류를 생성한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 생성된 구동전류에 대응하여 빛을 발광한다.
- [0034] 제N서브 픽셀(SP)의 내부에 포함된 소자는 장시간 구동 시 문턱전압이 이동하는 열화가 일어난다. 제N서브 픽셀(SP)의 내부에 포함된 소자들 중 구동 트랜지스터(DT)는 인가된 전압의 특성에 따라 네거티브 또는 포지티브 방향으로 문턱전압이 이동한다. 이 때문에, 픽셀 회로(PC)의 내부에는 소자의 열화를 보상하기 위한 보상 회로들이 포함된다. 제N서브 픽셀(SP)은 픽셀 회로(PC)와 구동 트랜지스터(DT)를 포함하여 3T(Transistor)1C(Capacitor) 구조, 3T2C, 4T2C, 5T1C, 6T2C, 7T1C 등 다양한 형태로 구성될 수 있다.
- [0035] 제N서브 픽셀(SP)은 데이터라인(DL1), 스캔라인(GL1), 제1전원라인(EVDD) 및 제2전원라인(EVSS)에 연결된다. 제N서브 픽셀(SP)의 내부에는 보상 회로들이 포함되어 있으므로 스캔라인(GL1)은 제N-1스캔라인(Scan[n-1]), 제N스캔라인(Scan[n-1]) 및 제N발광제어라인(EM[n])과 같이 다수 포함될 수 있다. 제N스캔라인(Scan[n-1])은 제N서브 픽셀(SP)을 동작시키기 위한 스캔신호가 공급되는 스캔라인으로 정의되는 반면, 제N-1스캔라인(Scan[n-1])은

제N서브 픽셀(SP)의 전단에 위치하는 제N-1서브 픽셀을 동작시키기 위한 스캔신호가 공급되는 스캔라인으로 정의될 수 있다. 그러나 스캔라인의 개수는 픽셀 회로(PC) 및 보상 회로들의 구성에 따라 달라질 수 있다.

- [0036] 제N서브 픽셀(SP)과 같이 보상 회로를 갖는 픽셀 회로(PC)를 기반으로 유기전계발광표시장가 구현된 경우, 이는 표시 패널의 서브 픽셀을 보상하기 위한 보상 동작과 표시 패널 상에 영상을 표시하기 위한 영상 표시 동작 등을 수행한다. 보상 동작 기간 동안에는 서브 픽셀 내의 구동 트랜지스터를 보상하기 위한 문턱전압의 센싱 등이 이루어진다.
- [0037] 앞서 설명한 바와 같이, 구동 트랜지스터의 문턱전압의 센싱 등을 수행하기 위해서는 서브 픽셀의 내부에 보상과 관련된 보상 회로들을 추가해야 한다. 그러나 종래에 제안된 보상 방식은 구동 트랜지스터의 변동을 야기할 수 있음은 물론 표시 패널 상의 잔상 불량을 유발할 수 있는 바 이의 개선이 요구된다.
- [0038] 이하에서는 7T1C 기반의 서브 픽셀을 실험예로 정하고, 이를 개선하기 위한 실시예에 대해 설명한다. 덧붙여, 이하에서는 트랜지스터들이 모두 로직로우의 스캔신호에 턴온되는 P타입으로 구현된 것을 일례로 설명하지만 본 발명은 이에 한정되지 않는다.
- [0039] <실험예>
- [0040] 도 4는 실험예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 5 내지 도 7은 도 4에 도시된 실험예의 구간별 동작에 따른 회로의 구동 상태를 보여주는 도면들이고, 도 8은 도 4에 도시된 실험예에 따른 서브 픽셀을 구동하기 위한 구동 파형도이며, 도 9는 실험예의 구간별 동작에 따른 구동 트랜지스터의 전극별 전압 변화를 나타낸 시뮬레이션 파형도이다.
- [0041] 도 4에 도시된 바와 같이, 실험예에 따른 서브 픽셀은 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 구동 트랜지스터(DT), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함한다. 즉, 실험예에 따른 서브 픽셀은 7T1C 구조를 갖는다. 도 4에서, "Coled"는 유기 발광다이오드(OLED)에 존재하는 기생 커패시터를 의미한다.
- [0042] 구동 트랜지스터(DT)는 제1노드(N1)에 게이트전극이 연결되고 제2노드(N2)(소스 노드)에 제1전극이 연결되고 제3노드(N3)(드레인 노드)에 제2전극이 연결된다. 커패시터(Cst)는 제1전원라인(EVDD)에 일단이 연결되고 제1노드(N1)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다.
- [0043] 제1트랜지스터(T1)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 제1노드(N1)에 제1전극이 연결되고 제3노드(N3)에 제2전극이 연결된다. 제2트랜지스터(T2)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 데이터라인(DL1)에 제1전극이 연결되고 제2노드(N2)에 제2전극이 연결된다. 제3트랜지스터(T3)는 제N발광제어라인(EM[n])에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 제2노드(N2)에 제2전극이 연결된다.
- [0044] 제4트랜지스터(T4)는 제N발광제어라인(EM[n])에 게이트전극이 연결되고 제3노드(N3)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제5트랜지스터(T5)는 제N-1스캔라인(SCAN[N-1])에 게이트전극이 연결되고 초기화전압라인(VINI)에 제1전극이 연결되고 제1노드(N1)에 제2전극이 연결된다. 제6트랜지스터(T6)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 초기화전압라인(VINI)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0045] 도 5 내지 도 7 및 도 8에 도시된 바와 같이, 실험예에 따른 서브 픽셀은 초기화 구간(T1), 문턱전압 센싱 구간(T2), 유지 구간(T3) 및 발광 구간(T4)의 순으로 동작한다. 초기화 구간(T1), 문턱전압 센싱 구간(T2), 유지 구간(T3) 및 발광 구간(T4) 동안 구동 트랜지스터의 전극별 전압 변화(노드별 전압 변화)는 도 9를 참조한다. 도 9에서, DRS는 구동 트랜지스터(DT)의 소스전극의 전압, DRD는 구동 트랜지스터(DT)의 드레인전극의 전압, DRG는 구동 트랜지스터(DT)의 게이트전극의 전압이다.
- [0046] 초기화 구간(T1) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직로우의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호(Em[n])가 전달된다.
- [0047] 초기화 구간(T1) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제6트랜지스터(T6) 및 구동 트랜지스터(DT)는 턴오프 상태를 갖지만 제5트랜지스터(T5)는 턴온 상태를 갖는다.
- [0048] 초기화 구간(T1) 동안, 제5트랜지스터(T5)는 제N-1스캔라인(SCAN[N-1])을 통해 전달된 제N-1스캔신호(Scan[n-

1])에 대응하여 턴온된다. 제5트랜지스터(T5)가 턴온되면 초기화전압라인(VINI)을 통해 전달된 초기화전압(Vini)은 제1노드(N1)에 인가된다. 제1노드(N1)에 인가된 초기화전압(Vini)에 의해 커패시터(Cst)는 초기화(또는 잔류 전하가 방전)된다.

[0049] 문턱전압 센싱 구간(T2) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직로우의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호(Em[n])가 전달된다.

[0050] 문턱전압 센싱 구간(T2) 동안, 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5)는 턴오프 상태를 갖지만 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제6트랜지스터(T6)는 턴온 상태를 갖는다.

[0051] 문턱전압 센싱 구간(T2) 동안, 제1트랜지스터(T1)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제1트랜지스터(T1)가 턴온되면 구동 트랜지스터(DT)의 드레인전극 및 게이트전극이 연결됨에 따라 다이오드 커백션 상태가 된다. 이로 인하여, 구동 트랜지스터(DT)의 문턱전압(Vth)은 센싱 및 샘플링된다. 구동 트랜지스터(DT)의 문턱전압(Vth)을 센싱 및 샘플링하기 위한 동작은 보상 동작으로 정의된다.

[0052] 문턱전압 센싱 구간(T2) 동안, 제2트랜지스터(T2)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제2트랜지스터(T2)가 턴온되면 데이터라인(DL1)을 통해 전달된 데이터전압은 구동 트랜지스터(DT)의 소스전극을 거치고 이후, 드레인전극을 거친 후 커패시터(Cst)의 타단에 인가된다. 제2트랜지스터(T2)의 턴온 동작과 구동 트랜지스터(DT)의 다이오드 커백션 동작에 의해 커패시터(Cst)에는 구동 트랜지스터(DT)의 문턱전압 변동분이 반영된 데이터전압(Vdata+Vth)이 충전되기 시작한다.

[0053] 구동 트랜지스터(DT)는 제3노드(N3)에 연결된 제1트랜지스터(T1)의 턴온 동작에 의해 문턱전압 센싱 및 샘플링이 이루어짐과 동시에 제2노드(N2)에 연결된 제2트랜지스터(T2)의 턴온 동작에 의해 데이터전압 저장을 위한 패스가 형성된다. 이때, 데이터전압 저장을 위한 패스는 구동 트랜지스터(DT)의 제2노드(N2), 제3노드(N3) 및 제1노드(N1)의 순이 된다.

[0054] 문턱전압 센싱 구간(T2) 동안, 제6트랜지스터(T6)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제6트랜지스터(T6)가 턴온되면 초기화전압라인(VINI)을 통해 전달된 초기화전압(Vini)은 유기 발광다이오드(OLED)의 애노드전극에 인가된다. 이로 인하여, 유기 발광다이오드(OLED)는 초기화된다.

[0055] 유지 구간(T3) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호(Em[n])가 전달된다.

[0056] 유지 구간(T3) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6) 및 구동 트랜지스터(DT)는 턴오프 상태를 갖는다. 유지 구간(T3) 동안, 커패시터(Cst)에는 구동 트랜지스터(DT)의 문턱전압 변동분이 반영된 데이터전압(Vdata+Vth)으로 충전이 이루어지고 충전된 전압값이 유지된다.

[0057] 발광 구간(T4) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직로우의 제N발광제어신호(Em[n])가 전달된다.

[0058] 발광 구간(T4) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제5트랜지스터(T5) 및 제6트랜지스터(T6)는 턴오프 상태를 갖지만 제3트랜지스터(T3), 제4트랜지스터(T4), 및 구동 트랜지스터(DT)는 턴온 상태를 갖는다.

[0059] 발광 구간(T4) 동안, 제3 및 제4트랜지스터(T3, T4)는 제N발광제어라인(EM[n])을 통해 전달된 제N발광제어신호(Em[n])에 대응하여 턴온된다. 구동 트랜지스터(DT)는 커패시터(Cst)에 저장된 데이터전압에 대응하여 턴온되며 제1전원라인(EVDD)을 통해 전달된 제1전원전압(Vdd)에 기초한 구동전류를 생성하게 된다. 그 결과, 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 생성된 구동전류를 인가받으며 빛을 발광하는 발광 동작을 하게 된다. 유기 발광다이오드(OLED)가 빛을 발광하는 동작은 표시 패널 상의 영상 표시 동작으로 정의된다.

[0060] 실험예에 따른 서브 픽셀은 앞서 설명한 바와 같은 보상 동작과 영상 표시 동작을 할 수 있다. 그런데 실험예에 따른 서브 픽셀은 표시 패널의 구동 시 발생할 수 있는 특성을 고려하지 않은바 표시 패널 상에 잔상이 나타나는 등의 불량을 유발할 수 있는 것으로 나타났다. 이 밖에도, 실험예에 따른 서브 픽셀은 반도체층 및 소스드레인층으로 이루어지는 전극의 밀집도 증가를 초래할 수 있고, 또한 그 결과로 고해상도 적용을 위한 서브 픽셀

레이아웃에 어려움이 따를 수 있는 것으로 나타났다. 실험예에 따른 서브 픽셀의 문제는 이하, 도 19를 참조한다.

- [0061] 실험예에 따른 서브 픽셀을 연구한 결과, 위와 같은 문제가 발생하는 이유는 구동 트랜지스터(DT)의 주변에 위치하는 제1 및 제2트랜지스터(T1, T2)의 구성(접속 관계)과 동작 특성 때문인 것으로 확인되어 실시예에서는 이를 다음과 같이 개선한다.
- [0062] <실시예>
- [0063] 도 10은 실시예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 11 내지 도 13은 도 10에 도시된 실시예의 구간별 동작에 따른 회로의 구동 상태를 보여주는 도면들이고, 도 14는 도 10에 도시된 실시예에 따른 서브 픽셀을 구동하기 위한 구동 파형도이며, 도 15는 실시예의 구간별 동작에 따른 구동 트랜지스터의 전극별 전압 변화를 나타낸 시뮬레이션 파형도이다.
- [0064] 도 10에 도시된 바와 같이, 실시예에 따른 서브 픽셀은 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6), 구동 트랜지스터(DT), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함한다. 즉, 실험예에 따른 서브 픽셀은 7T1C 구조를 갖는다. 도 10에서, "Coled"는 유기 발광다이오드(OLED)에 존재하는 기생 커패시터를 의미한다.
- [0065] 구동 트랜지스터(DT)는 제1노드(N1)에 게이트전극이 연결되고 제2노드(N2)(소스 노드)에 제1전극이 연결되고 제3노드(N3)(드레인 노드)에 제2전극이 연결된다. 커패시터(Cst)는 제1전원라인(EVDD)에 일단이 연결되고 제1노드(N1)에 타단이 연결된다. 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다.
- [0066] 제1트랜지스터(T1)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 제1노드(N1)에 제1전극이 연결되고 제2노드(N2)에 제2전극이 연결된다. 제2트랜지스터(T2)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 데이터라인(DL1)에 제1전극이 연결되고 제3노드(N3)에 제2전극이 연결된다. 제3트랜지스터(T3)는 제N발광제어라인(EM[n])에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 제2노드(N2)에 제2전극이 연결된다.
- [0067] 제4트랜지스터(T4)는 제N발광제어라인(EM[n])에 게이트전극이 연결되고 제3노드(N3)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제5트랜지스터(T5)는 제N-1스캔라인(SCAN[N-1])에 게이트전극이 연결되고 초기화전압라인(VINI)에 제1전극이 연결되고 제1노드(N1)에 제2전극이 연결된다. 제6트랜지스터(T6)는 제N스캔라인(SCAN[N])에 게이트전극이 연결되고 초기화전압라인(VINI)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0068] 도 11 내지 도 13 및 도 14에 도시된 바와 같이, 실시예에 따른 서브 픽셀은 초기화 구간(T1), 문턱전압 센싱 구간(T2), 유지 구간(T3) 및 발광 구간(T4)의 순으로 동작한다. 초기화 구간(T1), 문턱전압 센싱 구간(T2), 유지 구간(T3) 및 발광 구간(T4) 동안 구동 트랜지스터의 전극별 전압 변화(노드별 전압 변화)는 도 15를 참조한다. 도 15에서, DRS는 구동 트랜지스터(DT)의 소스전극의 전압, DRD는 구동 트랜지스터(DT)의 드레인전극의 전압, DRG는 구동 트랜지스터(DT)의 게이트전극의 전압이다.
- [0069] 초기화 구간(T1) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직로우의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호(Em[n])가 전달된다.
- [0070] 초기화 구간(T1) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제6트랜지스터(T6) 및 구동 트랜지스터(DT)는 턴오프 상태를 갖지만 제5트랜지스터(T5)는 턴온 상태를 갖는다.
- [0071] 초기화 구간(T1) 동안, 제5트랜지스터(T5)는 제N-1스캔라인(SCAN[N-1])을 통해 전달된 제N-1스캔신호(Scan[n-1])에 대응하여 턴온된다. 제5트랜지스터(T5)가 턴온되면 초기화전압라인(VINI)을 통해 전달된 초기화전압(Vini)은 제1노드(N1)에 인가된다. 제1노드(N1)에 인가된 초기화전압(Vini)에 의해 커패시터(Cst)는 초기화(또는 잔류 전하가 방전)된다.
- [0072] 문턱전압 센싱 구간(T2) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직로우의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호(Em[n])가 전달된다.
- [0073] 문턱전압 센싱 구간(T2) 동안, 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5)는 턴오프 상태를 갖

지만 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제6트랜지스터(T6)는 턴온 상태를 갖는다.

- [0074] 문턱전압 센싱 구간(T2) 동안, 제1트랜지스터(T1)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제1트랜지스터(T1)가 턴온되면 구동 트랜지스터(DT)의 드레인전극 및 게이트전극이 연결됨에 따라 다이오드 커넥션 상태가 된다. 이로 인하여, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 센싱 및 샘플링된다. 구동 트랜지스터(DT)의 문턱전압(V_{th})을 센싱 및 샘플링하기 위한 동작은 보상 동작으로 정의된다.
- [0075] 문턱전압 센싱 구간(T2) 동안, 제2트랜지스터(T2)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제2트랜지스터(T2)가 턴온되면 데이터라인(DL1)을 통해 전달된 데이터전압은 구동 트랜지스터(DT)의 드레인전극을 거치고 이후, 소스전극을 거친 후 커패시터(Cst)의 타단에 인가된다. 제2트랜지스터(T2)의 턴온 동작과 구동 트랜지스터(DT)의 다이오드 커넥션 동작에 의해 커패시터(Cst)에는 구동 트랜지스터(DT)의 문턱전압 변동분이 반영된 데이터전압($V_{data}+V_{th}$)이 충전되기 시작한다.
- [0076] 구동 트랜지스터(DT)는 제2노드(N2)에 연결된 제1트랜지스터(T1)의 턴온 동작에 의해 문턱전압 센싱 및 샘플링이 이루어짐과 동시에 제3노드(N3)에 연결된 제2트랜지스터(T2)의 턴온 동작에 의해 데이터전압 저장을 위한 패스가 형성된다. 이때, 데이터전압 저장을 위한 패스는 구동 트랜지스터(DT)의 제3노드(N3), 제2노드(N2) 및 제1노드(N1)의 순이 된다.
- [0077] 문턱전압 센싱 구간(T2) 동안, 제6트랜지스터(T6)는 제N스캔라인(SCAN[N])을 통해 전달된 제N스캔신호(Scan[n])에 대응하여 턴온된다. 제6트랜지스터(T6)가 턴온되면 초기화전압라인(VINI)을 통해 전달된 초기화전압(V_{ini})은 유기 발광다이오드(OLED)의 애노드전극에 인가된다. 이로 인하여, 유기 발광다이오드(OLED)는 초기화된다.
- [0078] 유지 구간(T3) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직하이의 제N발광제어신호($Em[n]$)가 전달된다.
- [0079] 유지 구간(T3) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5), 제6트랜지스터(T6) 및 구동 트랜지스터(DT)는 턴오프 상태를 갖는다. 유지 구간(T3) 동안, 커패시터(Cst)에는 구동 트랜지스터(DT)의 문턱전압 변동분이 반영된 데이터전압($V_{data}+V_{th}$)으로 충전이 이루어지고 충전된 전압값이 유지된다.
- [0080] 발광 구간(T4) 동안, 제N-1스캔라인(SCAN[N-1])에는 로직하이의 제N-1스캔신호(Scan[n-1]), 제N스캔라인(SCAN[N])에는 로직하이의 제N스캔신호(Scan[n]), 제N발광제어라인(EM[n])에는 로직로우의 제N발광제어신호($Em[n]$)가 전달된다.
- [0081] 발광 구간(T4) 동안, 제1트랜지스터(T1), 제2트랜지스터(T2), 제5트랜지스터(T5) 및 제6트랜지스터(T6)는 턴오프 상태를 갖지만 제3트랜지스터(T3), 제4트랜지스터(T4), 및 구동 트랜지스터(DT)는 턴온 상태를 갖는다.
- [0082] 발광 구간(T4) 동안, 제3 및 제4트랜지스터(T3, T4)는 제N발광제어라인(EM[n])을 통해 전달된 제N발광제어신호($Em[n]$)에 대응하여 턴온된다. 구동 트랜지스터(DT)는 커패시터(Cst)에 저장된 데이터전압에 대응하여 턴온되며 제1전원라인(EVDD)을 통해 전달된 제1전원전압(V_{dd})에 기초한 구동전류를 생성하게 된다. 그 결과, 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 생성된 구동전류를 인가받으며 빛을 발광하는 발광 동작을 하게 된다. 유기 발광다이오드(OLED)가 빛을 발광하는 동작은 표시 패널 상의 영상 표시 동작으로 정의된다.
- [0083] 실시예에 따른 서브 픽셀은 앞서 설명한 바와 같은 보상 동작과 영상 표시 동작을 할 수 있다. 실시예에 따른 서브 픽셀은 표시 패널의 구동 시 발생할 수 있는 특성을 고려한바 표시 패널 상에 잔상이 나타나는 등의 불량을 개선할 수 있는 것으로 나타났다. 실시예에 따른 서브 픽셀의 개선점은 이하, 도 16 내지 도 18 및 도 20을 참조한다.
- [0084] 실시예에 따른 서브 픽셀은 회로의 구성 및 동작의 특성을 고려하여 제1트랜지스터(T1)와 제2트랜지스터(T2)의 위치를 상호 스왑(swap)하여 데이터라인(DL1)과 제1전원라인(EVDD)을 분리 배치할 수 있는 구조를 제공한다. 실시예는 데이터라인(DL1)과 제1전원라인(EVDD)을 분리 배치하면서도 한정된 공간 상에서의 레이아웃 최적화가 가능한 것으로 검토되었다. 실시예에 따른 서브 픽셀은 반도체층 및 소스드레인층으로 이루어지는 전극의 밀집도 증가를 해소할 수 있고, 또한 그 결과로 고해상도 적용을 위한 서브 픽셀 레이아웃에 따르던 어려움도 해소할 수 있는 것으로 나타났다.
- [0085] 도 16은 실험예와 실시예 간의 구동 특성을 비교하기 위한 유기 발광다이오드의 전압/전류값 비교 파형도이고,

도 17은 실험예와 실시예 간의 구동 특성을 비교하기 위한 구동 트랜지스터의 문턱전압 센싱값 비교 파형도이며, 도 18은 실험예와 실시예 간의 구동 특성을 비교하기 위한 문턱전압 편차에 따른 휘도 변화 비교 파형도이고, 도 19 및 도 20은 실험예와 실시예 간의 가장 큰 차이점을 설명하기 위한 도면들이다.

- [0086] 도 16에서, Vdata(V)는 실험예와 실시예를 기반으로 제작된 표시 패널에 인가된 데이터전압이고, Ioled는 앞서 설명된 데이터전압을 기반으로한 유기 발광다이오드의 구동전류이다. 도 16을 통해 알 수 있듯이, 실험예와 실시예는 인가된 데이터전압에 따른 유기 발광다이오드의 구동 능력이 거의 유사한 수준으로 나타났다.
- [0087] 도 17에서, Vdata(V)는 실험예와 실시예를 기반으로 제작된 표시 패널에 인가된 데이터전압이고, Vth Sensing 전압(V)은 앞서 설명된 데이터전압을 기반으로한 구동 트랜지스터의 문턱전압 센싱값이다. 도 17을 통해 알 수 있듯이, 실험예와 실시예는 인가된 데이터전압에 따른 구동 트랜지스터의 문턱전압 보상 능력이 거의 유사하거나 실시예가 다소 우수한 수준으로 나타났다.
- [0088] 도 18에서, ΔV_{th} 전압(V)는 구동 트랜지스터의 문턱전압 편차이고, ΔI_{oled} 는 구동 트랜지스터의 문턱전압 편차에 따른 유기 발광다이오드의 구동전류 편차이다. 도 18을 통해 알 수 있듯이, 실시예는 실험예 대비 구동 트랜지스터의 문턱전압 민감도가 낮게 나타났다. 즉, 실시예는 구동 트랜지스터의 문턱전압 편차에 따른 휘도 변화가 실험예 대비 덜 일어나는 것을 의미한다. 그러므로 실시예는 실험예 대비 구동 트랜지스터의 문턱전압 편차에 강건한 특성을 갖는다.
- [0089] 도 19는 실험예를 폴리이미드(PI) 재질의 제1기판 상에 형성하고 구동 특성 및 보상 특성을 평가한 결과를 설명하기 위한 도면이다. 도 20은 실시예를 폴리이미드(PI) 재질의 제1기판 상에 형성하고 구동 특성 및 보상 특성을 평가한 결과를 설명하기 위한 도면이다.
- [0090] 실험예의 구동 트랜지스터는 발광 구간 및 문턱전압 센싱 구간 등 모든 구간 동안 도 19와 같이 한쪽에서만 전계(E-Field)가 형성된다. 즉, 구동 트랜지스터는 한 프레임 동안 소스전극과 드레인전극에서 단일 방향의 전계가 걸림은 물론 모든 프레임에서 단일 방향의 전계가 걸린다.
- [0091] 이와 같이, 실험예는 단일 방향 전계가 지속적으로 형성(전계가 구동 트랜지스터의 소스에서 드레인 방향으로만 형성)됨에 따라 폴리이미드 재질의 제1기판에 분극(전하 누적에 따른 문제)을 발생시키는 것으로 나타났다. 그리고 실험예는 분극 발생의 영향으로 구동 트랜지스터의 구동 특성의 변동이 일어나게 되어 표시 패널 상에 잔상이 나타날 수 있는 것으로 나타났다.
- [0092] 실시예의 구동 트랜지스터는 발광 구간 동안 도 20 (a)와 같이 제1방향(구동 트랜지스터의 소스에서 드레인 방향)으로 전계(E-Field)가 형성되고, 문턱전압 센싱 구간 동안 도 20 (b)와 같이 제2방향(구동 트랜지스터의 드레인에서 소스 방향)으로 전계(D-Field)가 형성된다. 즉, 구동 트랜지스터는 한 프레임 동안 소스전극과 드레인 전극에서 제1방향과 제2방향으로 교번하는 전계가 걸림은 물론 모든 프레임에서 양 방향으로 교번하는 전계가 걸린다.
- [0093] 이와 같이, 실시예는 제1방향과 제1방향의 역방향인 제2방향으로 전계가 형성(전계가 구동 트랜지스터의 소스에서 드레인 방향 그리고 드레인에서 소스 방향으로 형성)됨에 따라 폴리이미드 재질의 제1기판에 발생할 수 있는 분극을 억제(전계가 교번됨에 따라 전하 누적 억제)하는 것으로 나타났다. 그리고 실시예는 분극 억제의 영향으로 구동 트랜지스터의 구동 특성의 변동이 완화되어 표시 패널 상에 잔상이 나타나는 수준을 감소시킬 수 있는 것으로 나타났다. 즉, 경시변화로 인하여 표시 패널의 소자가 열화되더라도 표시 품질을 일정하게 유지할 수 있는 능력이 향상된다.
- [0094] 이상 본 발명은 경시변화로 인한 열화가 발생하더라도 구동 트랜지스터의 변동을 완화할 수 있는 보상 방식을 이용하여 표시 패널 상의 잔상 발생 수준을 감소시켜 표시 품질을 일정하게 유지할 수 있는 효과가 있다. 또한, 본 발명은 고해상도 적용에 적합한 서브 픽셀 레이아웃이 가능하도록 전극의 밀집도 증가를 해소할 수 있는 효과가 있다.
- [0095] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0096]

T1: 초기화 구간 T2: 문턱전압 센싱 구간

T3: 유지 구간 T4: 발광 구간

T1: 제1트랜지스터 T2: 제2트랜지스터

T3: 제3트랜지스터 T4: 제4트랜지스터

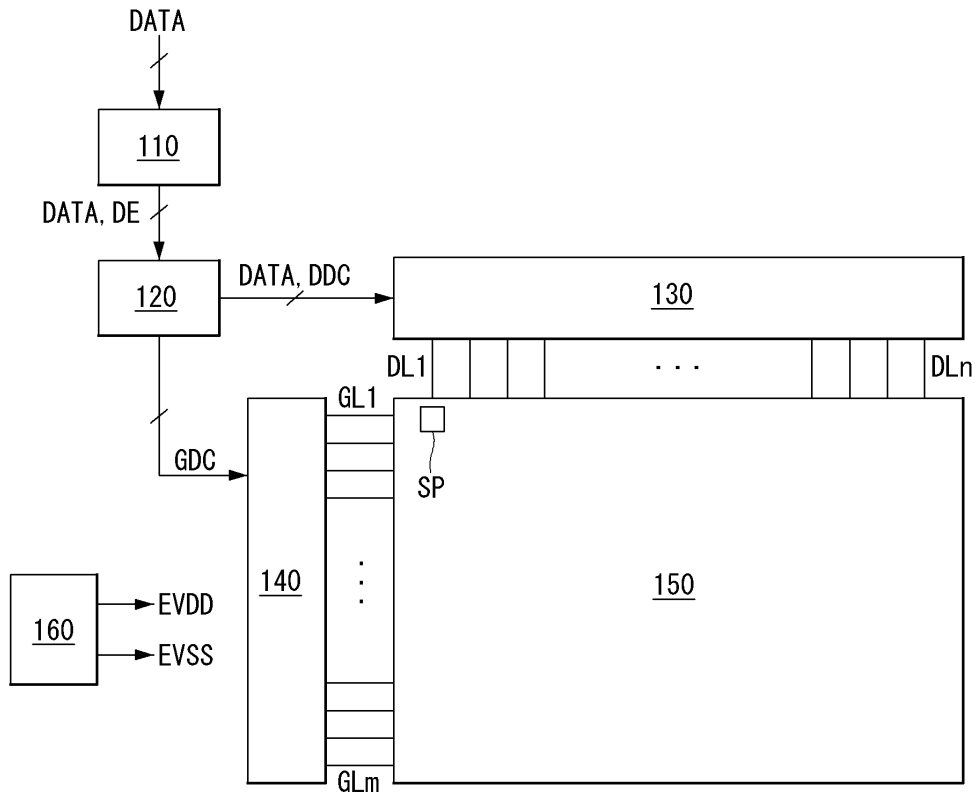
T5: 제5트랜지스터 T6: 제6트랜지스터

DT: 구동 트랜지스터 Cst: 커패시터

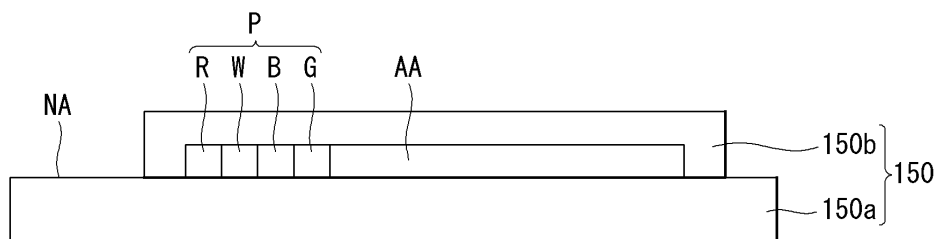
OLED: 유기 발광다이오드

도면

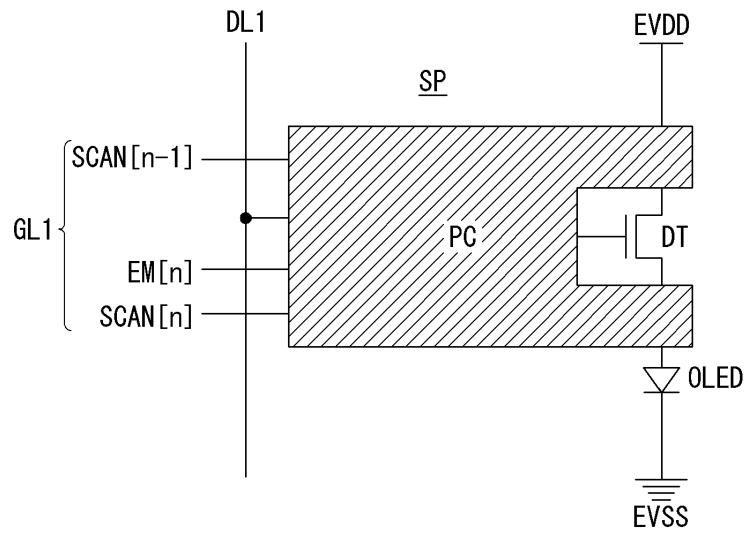
도면1



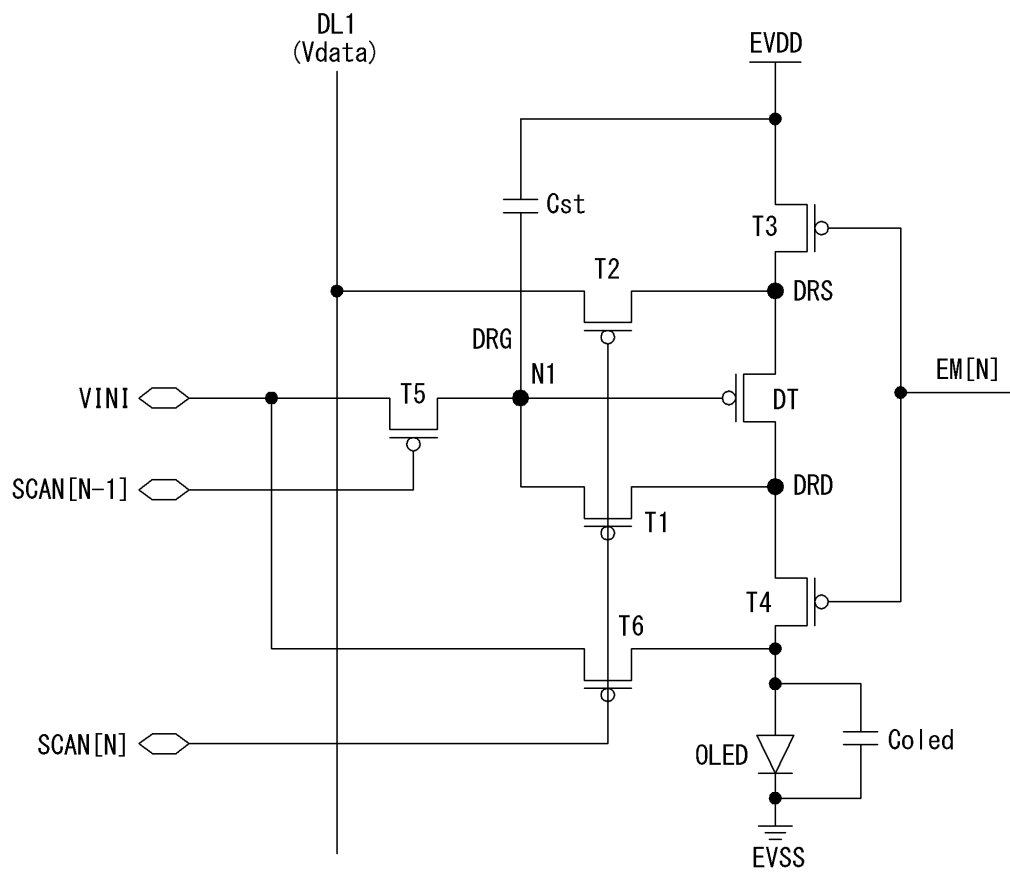
도면2



도면3

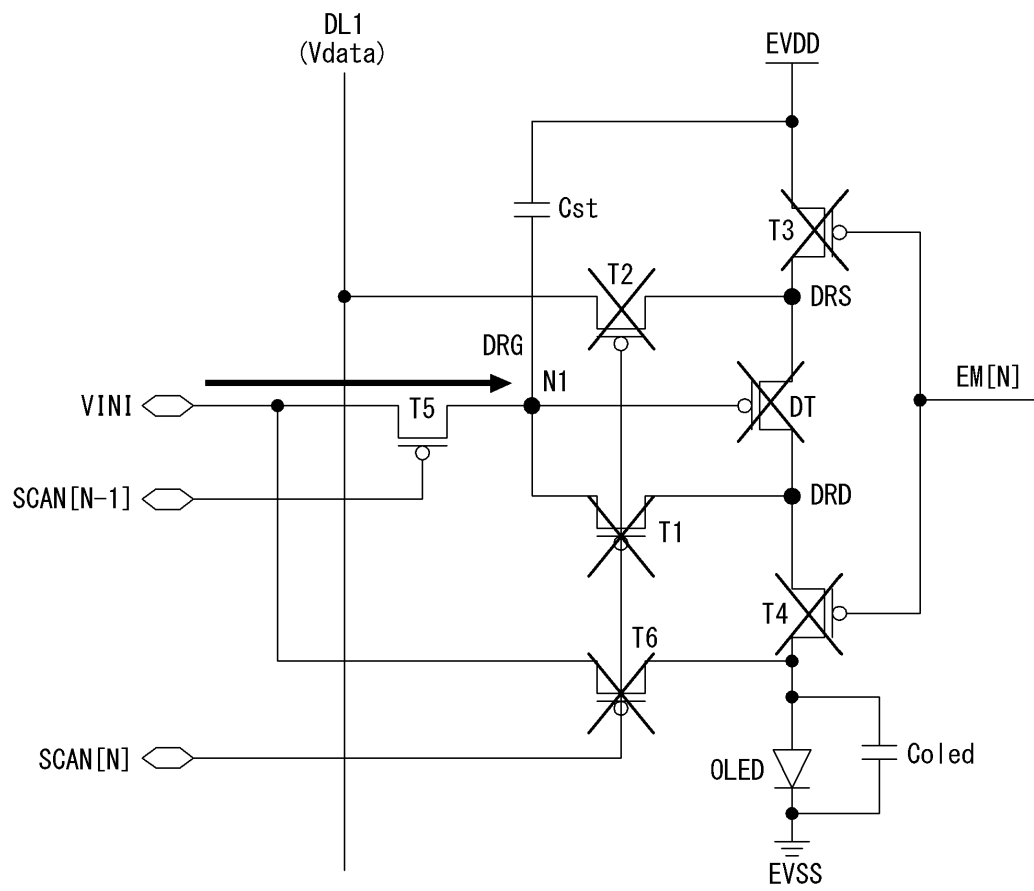


도면4



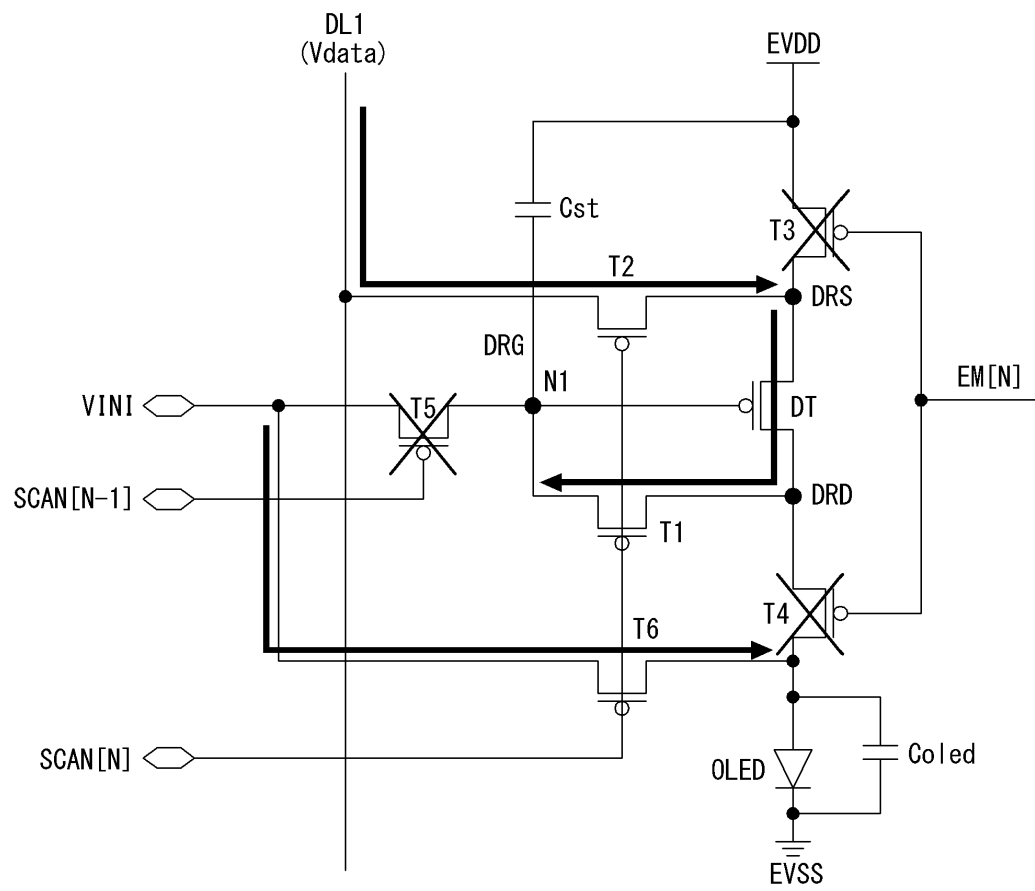
도면5

Initial구간



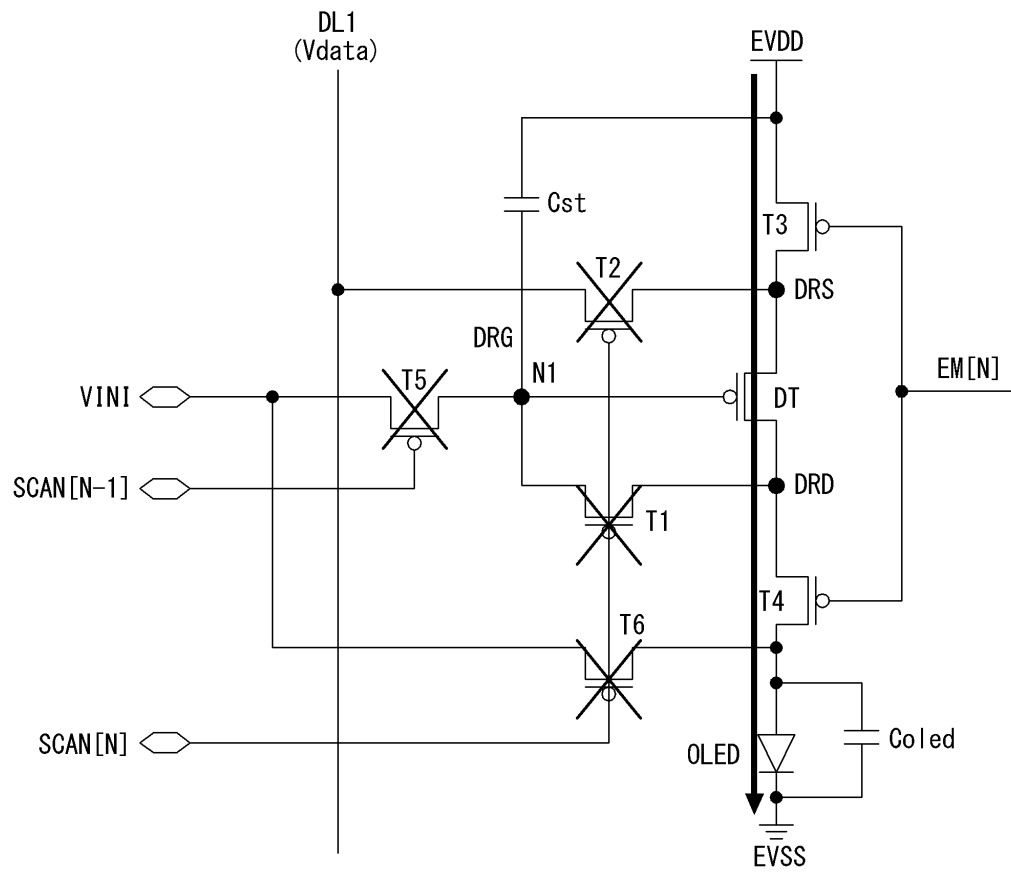
도면6

Vth sensing구간

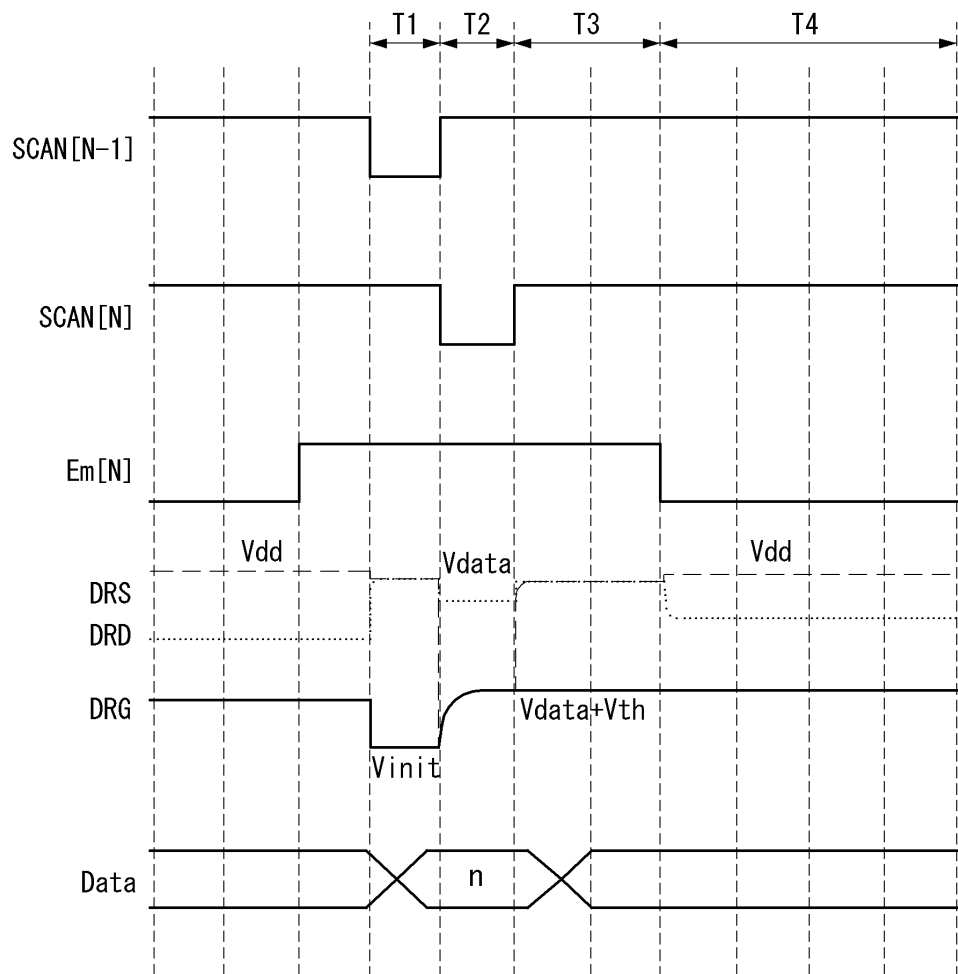


도면7

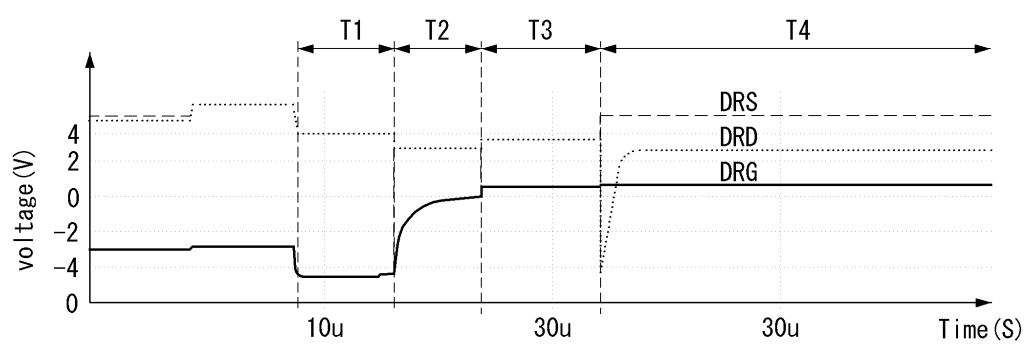
Emission구간



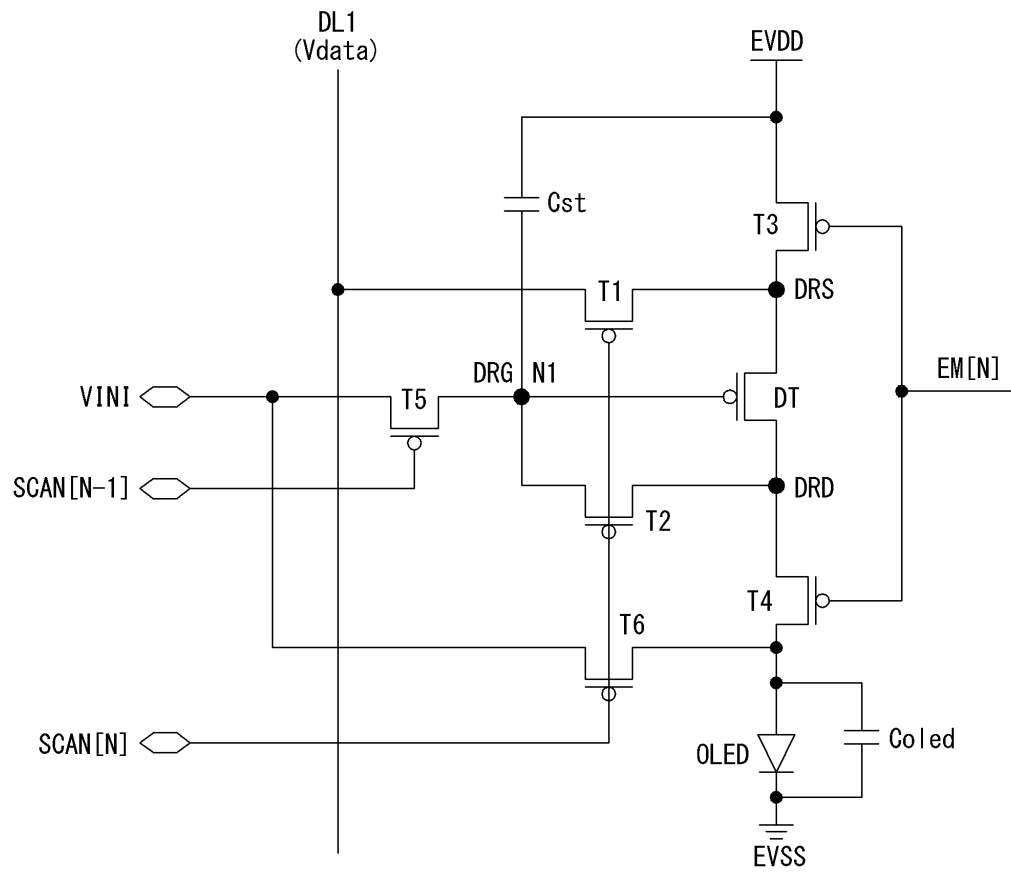
도면8



도면9

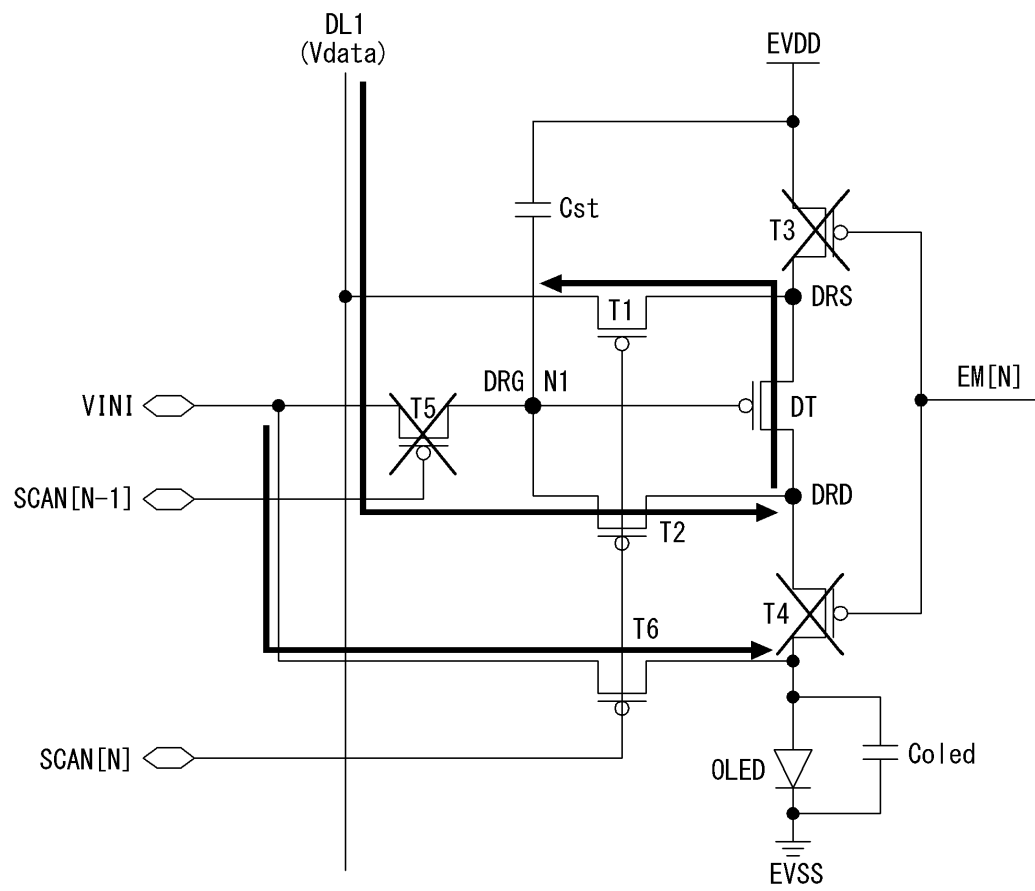


도면10



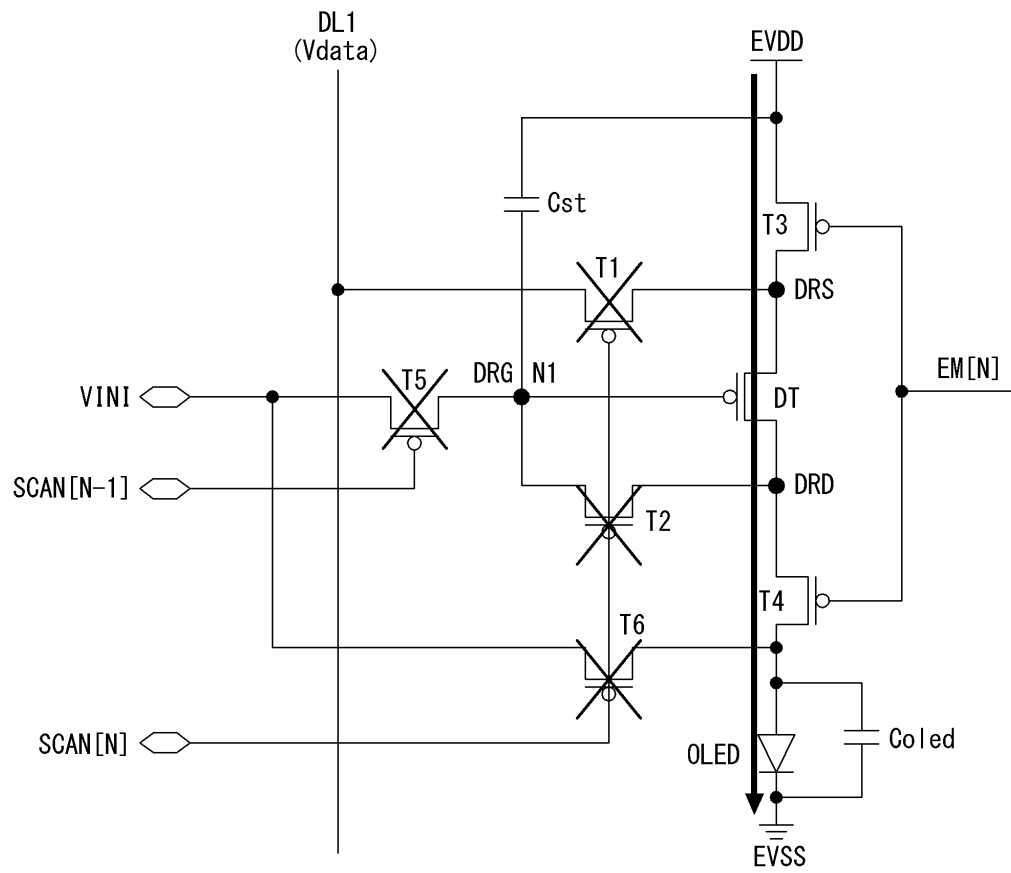
도면12

Vth sensing구간

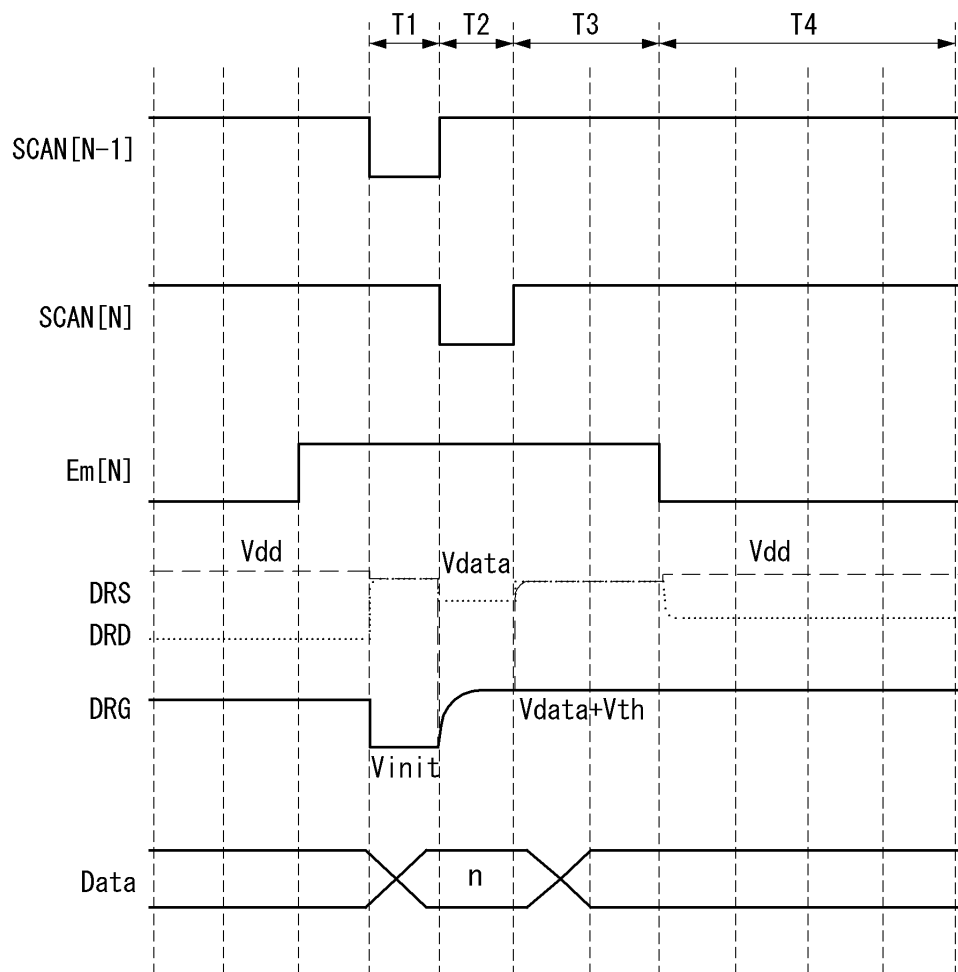


도면13

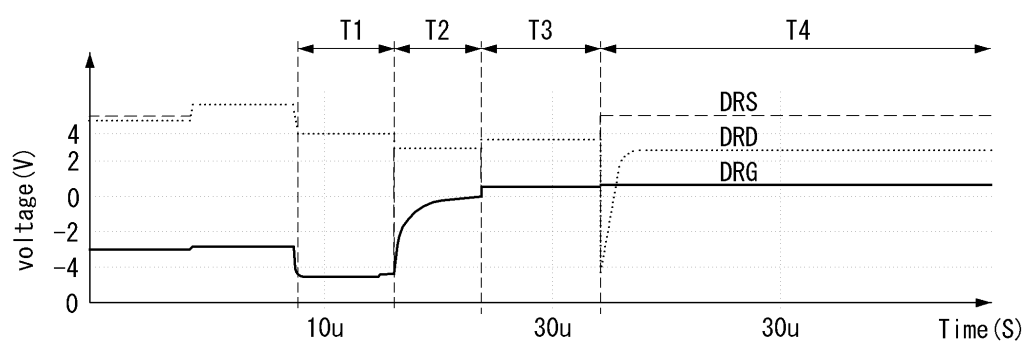
Emission구간



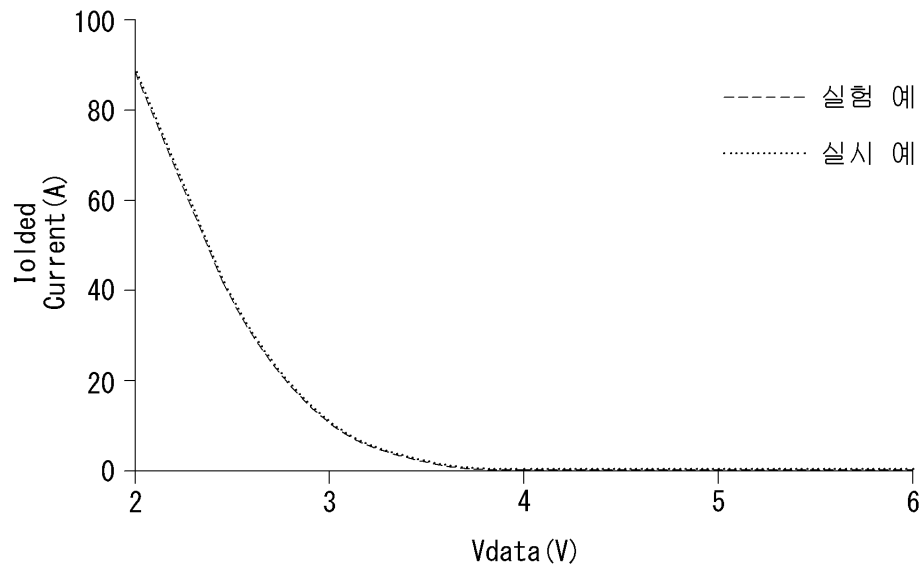
도면14



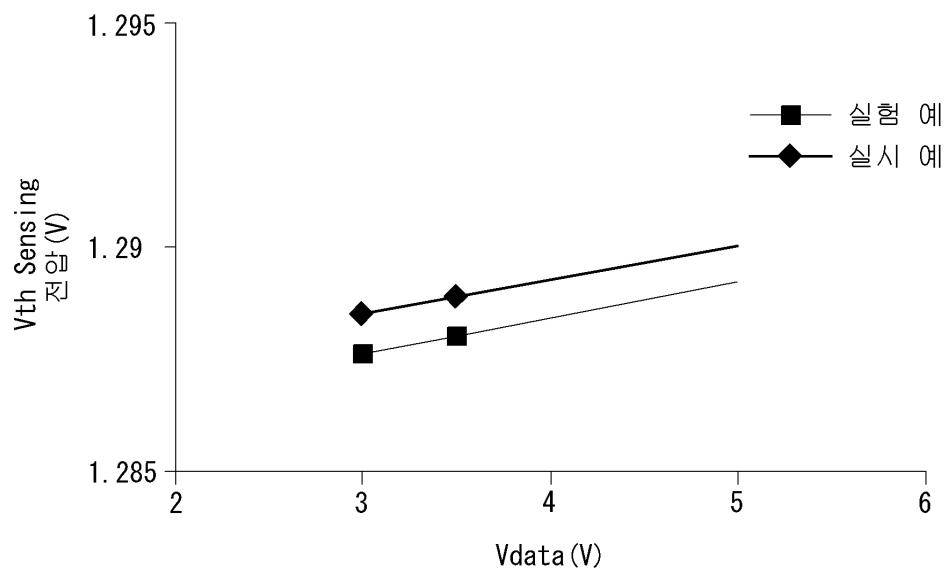
도면15



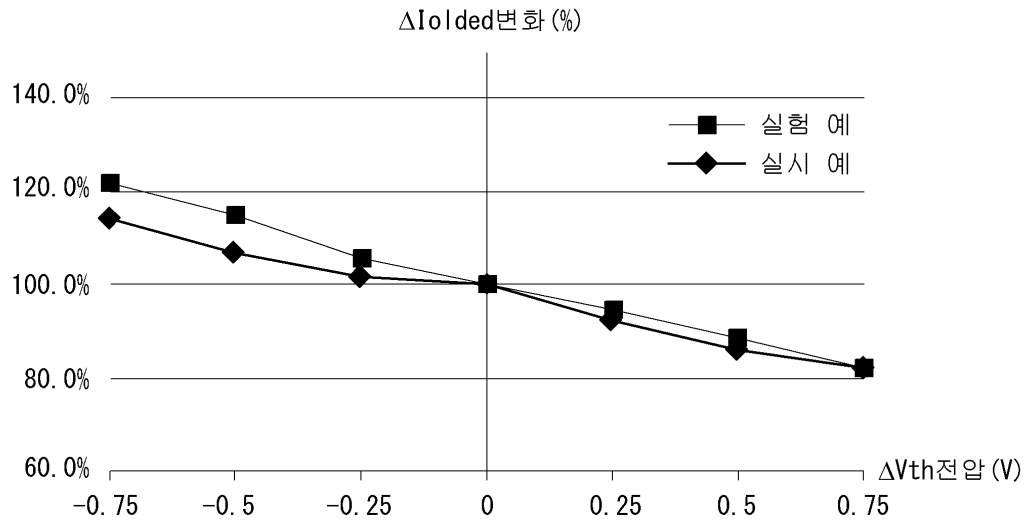
도면16



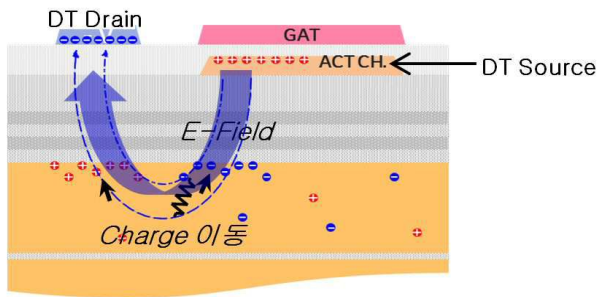
도면17



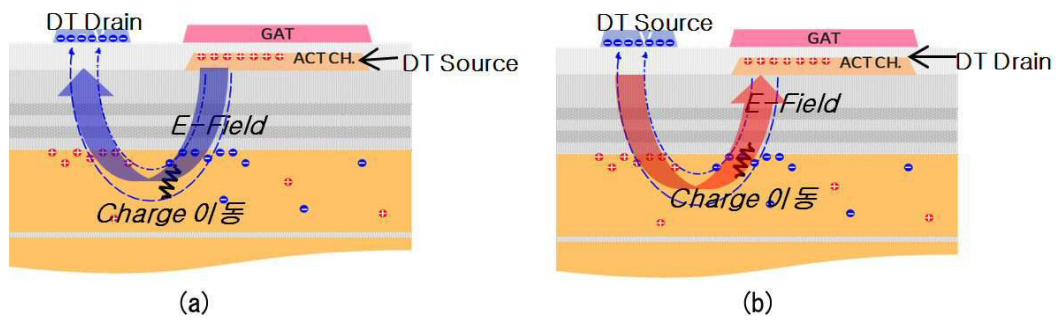
도면18



도면19



도면20



专利名称(译)	电致发光显示器及其驱动方法		
公开(公告)号	KR1020190030959A	公开(公告)日	2019-03-25
申请号	KR1020170118655	申请日	2017-09-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	문선지 이철환 홍순환 이주연		
发明人	문선지 이철환 홍순환 이주연		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2320/0257 G09G2320/043		
外部链接	Espacenet		

摘要(译)

本发明提供一种电致发光显示装置，该电致发光显示装置包括：子像素，该子像素具有发光的发光二极管；以及驱动晶体管，该驱动晶体管用于提供用于使该发光二极管工作的驱动电流。在驱动晶体管中，在第一时段期间形成第一方向上的电场，并且在第二时段期间形成与第一方向相反的第二方向上的电场。

