



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0079039  
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01) *H01L 27/12* (2006.01)

*H01L 29/786* (2006.01)

(52) CPC특허분류  
*H01L 27/3262* (2013.01)

*H01L 27/1222* (2013.01)

(21) 출원번호 10-2016-0184401

(22) 출원일자 2016년12월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김선영

서울특별시 도봉구 도봉로104길 142-19, 201호(창동)

오금미  
서울특별시 서대문구 세무서2가길 47 (홍제동)

윤민성  
경기도 남양주시 경춘로1256번길 24, 1413동 100  
2호(평내동, 평내마을금호어울림아파트)

(74) 대리인  
박영복

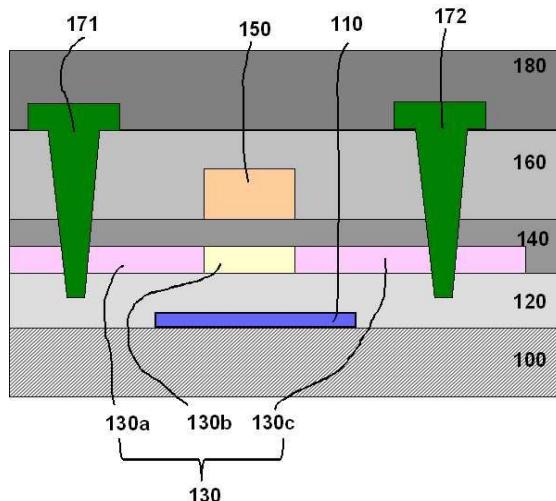
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 박막 트랜지스터, 이를 이용한 유기 발광 표시 장치와 이의 히스테리시스 제어 방법

### (57) 요 약

본 발명은 박막 트랜지스터, 이를 이용한 유기 발광 표시 장치와 이의 히스테리시스 제어 방법에 관한 것으로, 게이트 전극의 반대측에 금속 라인을 구비하고, 이를 통해 백필드(backfield)를 걸어 복원잔상을 해결할 수 있다.

대 표 도 - 도3



(52) CPC특허분류

*H01L 27/124* (2013.01)

*H01L 27/3248* (2013.01)

*H01L 27/3276* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 29/78696* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 상에 소정 부위에 위치하며, 제 1 표면과 제 2 표면을 가지며, 채널과 상기 채널 주변에 도핑 영역으로 영역이 구분된 액티브층;

상기 액티브층의 제 1 표면과 대향하며, 상기 채널과 중첩한 게이트 전극;

상기 액티브층의 상기 채널을 중심으로 한 양측의 도핑 영역과 각각 접속한 소오스 전극 및 드레인 전극;

상기 액티브층의 제 2 표면과 대향하여, 적어도 상기 채널과 중첩하는 백필드 인가 라인을 포함한 박막 트랜지스터.

#### 청구항 2

제 1항에 있어서,

상기 도핑 영역은 p형 불순물이 도핑된 박막 트랜지스터.

#### 청구항 3

제 1항에 있어서,

상기 백필드 인가 라인은 상기 접지 또는 상전압이 인가되는 박막 트랜지스터.

#### 청구항 4

제 1항에 있어서,

상기 백필드 인가 라인은 상기 액티브층 하측에 위치한 박막 트랜지스터.

#### 청구항 5

제 1항에 있어서,

상기 백필드 인가 라인은 상기 액티브층 상측에 위치한 박막 트랜지스터.

#### 청구항 6

제 1항에 있어서,

상기 백필드 인가 라인과 상기 액티브층의 층간에는 적어도 하나의 절연막이 포함된 박막 트랜지스터.

#### 청구항 7

서로 교차하는 게이트 라인과 데이터 라인;

제 1 항 내지 제 6항 중 어느 하나의 박막 트랜지스터로 이루어진 구동 박막 트랜지스터;

상기 게이트 라인과 데이터 라인 사이에 연결되어, 상기 구동 박막 트랜지스터의 온, 오프를 제어하는 스위칭 박막 트랜지스터; 및

상기 구동 박막 트랜지스터와 접속되어 구동 전류를 인가받는 유기 발광 다이오드를 포함한 유기 발광 표시 장치.

#### 청구항 8

기판 상에 소정 부위에 위치하며, 채널과 상기 채널 주변에 도핑 영역으로 영역이 구분된 액티브층과, 상기 액티브층의 상기 채널과 중첩한 게이트 전극 및 상기 액티브층의 상기 채널을 중심으로 한 양측의 도핑 영역과 각

각 접속한 소오스 전극 및 드레인 전극을 포함한 박막 트랜지스터의 히스테리시스 제어 방법에 있어서,  
상기 액티브층을 기준으로 상기 게이트 전극과 반대측에 백필드(backfield)를 인가하는 박막 트랜지스터의 히스테리시스 제어 방법.

### 발명의 설명

#### 기술 분야

[0001]

본 발명은 박막 트랜지스터에 관한 것으로, 특히, 게이트 전극의 반대측에 백필드(backfield)를 걸어 복원잔상 을 해결한 박막 트랜지스터, 이를 이용한 유기 발광 표시 장치와 이의 히스테리시스 제어 방법에 관한 것이다.

#### 배경 기술

[0002]

[001] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003]

[002] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 특히 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 및 연성화의 장점으로 적용 분야가 확대되고 있다.

[0004]

[003] 또한, 이러한 평판 표시 장치는 복수개의 픽셀을 매트릭스상으로 구비하며, 각 픽셀을 개별적으로 제어할 수 있는 TFT(Thin Film Transistor: 박막 트랜지스터)를 픽셀 내에 하나 이상 구비한다. 그리고, 각 픽셀은 색 표현을 위한 R-서브 픽셀, G-서브 픽셀, 및 B-서브 픽셀을 포함할 수 있다.

[0005]

한편, 박막 트랜지스터(TFT)는 액티브층내 채널에서의 캐리어의 주체에 따라 캐리어가 전자일 때는 NMOS 트랜지스터, 캐리어가 정공일 때는 PMOS 트랜지스터라 칭한다.

[0006]

이하, 종래의 PMOS 트랜지스터를 표시 장치의 픽셀에 구동 박막 트랜지스터로 이용시 관찰되는 문제점에 대해 설명한다.

[0007]

도 1a 및 도 1b는 체스 패턴 적용 후 복원 잔상 평가를 나타낸 사진이다.

[0008]

도 1a와 같이, 일반적으로 블랙과 화이트 패턴이 반복되어 체스 상으로 보이는 화면을 그레이로 변환시 복원 잔상을 평가한다.

[0009]

그런데, 도 1b와 같이, 그레이 상태에서 화면은 그레이로 온전히 전환이 되지 않고, 이전 화면에 나타나 있던 체스 패턴이 관찰되는 현상이 있다.

[0010]

그리고, 이러한 잔상을 PMOS 트랜지스터의 히스테리시스(hysteresis) 현상으로 해석하고 있다.

[0011]

도 2는 히스테리시스 특성을 나타낸 그래프이다.

[0012]

도 2와 같이, PMOS 트랜지스터에서 화이트에서 블랙으로 서서히 변경시 온에서 오프 상태로 변경하며, 다시 블랙에서 화이트로 서서히 변경할 경우, 오프 상태에서 온 상태로 변경한다. 그런데, 이 경우, 온->오프와, 오프->온의 스윕(sweep) 곡선에서 차이가 있어, 동일 계조에서 전류(Id) 값의 차이가 나타남을 알 수 있다.

[0013]

즉, 그레이 표현에서  $V_g$ - $Id$  특성의 온->오프와, 오프->온의 스윕(sweep) 곡선의 차를 히스테리시스 현상이라 하며, 이는 잔상의 원인으로 파악하고 있다.

[0014]

또한, 이러한 전류 차이는 상기 PMOS 트랜지스터를 유기 발광 표시 장치의 구동 박막 트랜지스터로 이용시, 구동 전류를 기반으로 구동이 이루어지는 유기 발광 다이오드의 구동 특성을 안정화하지 못해 휘도 차이를 일으키는 주요 원인이 되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0015]

본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 게이트 전극의 반대측에 백필드(backfield)를 걸어

복원잔상을 해결한 박막 트랜지스터, 이를 이용한 유기 발광 표시 장치와 이의 히스테리시스 제어 방법에 관한 것이다.

### 과제의 해결 수단

- [0016] 본 발명의 박막 트랜지스터는 액티브층을 경계로 게이트 전극과는 반대측에 백 필드 인가 라인을 구비하여, 이를 통해 백필드 전압을 인가하며, 박막 트랜지스터를 구동하는 것으로, 같은 그레이 표현에서 구동 전류가 달라지는 히스테리시스 문제를 해결할 수 있다.
- [0017] 본 발명의 일 실시예에 따른 박막 트랜지스터는 기판 상에 소정 부위에 위치하며, 제 1 표면과 제 2 표면을 가지며, 채널과 상기 채널 주변에 도핑 영역으로 영역이 구분된 액티브층과, 상기 액티브층의 제 1 표면과 대향하며, 상기 채널과 중첩한 게이트 전극과, 상기 액티브층의 상기 채널을 중심으로 한 양측의 도핑 영역과 각각 접속한 소오스 전극 및 드레인 전극과, 상기 액티브층의 제 2 표면과 대향하여, 적어도 상기 채널과 중첩하는 백 필드 인가 라인을 포함할 수 있다.
- [0018] 여기서, 상기 도핑 영역은 p형 불순물이 도핑된 영역일 수 있다.
- [0019] 그리고, 상기 백필드 인가 라인은 상기 접지 또는 상전압이 인가될 수 있다.
- [0020] 상기 백필드 인가 라인은 상기 액티브층 하측 또는 상측에 위치할 수 있다.
- [0021] 그리고, 상기 백필드 인가 라인과 상기 액티브층의 층간에는 적어도 하나의 절연막이 포함될 수 있다.
- [0022] 또한, 동일한 목적을 달성하기 위한 본 발명의 유기 발광 표시 장치는 서로 교차하는 게이트 라인과 데이터 라인과, 상술한 박막 트랜지스터로 이루어진 구동 박막 트랜지스터와, 상기 게이트 라인과 데이터 라인 사이에 연결되어, 상기 구동 박막 트랜지스터의 온, 오프를 제어하는 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터와 접속되어 구동 전류를 인가받는 유기 발광 다이오드를 포함할 수 있다.
- [0023] 그리고, 본 발명의 박막 트랜지스터의 히스테리시스 제어 방법은, 상기 액티브층을 기준으로 상기 게이트 전극과 반대측에 백필드를 인가하여 이루어진다.

### 발명의 효과

- [0024] 본 발명의 박막 트랜지스터와 이를 이용한 유기 발광 표시 장치 및 이의 히스테리시스 제어 방법은 다음과 같은 효과가 있다.
- [0025] 일반적인 박막 트랜지스터는 액티브층 상에 게이트 전극이 중첩하고 있고, 액티브층 양단에 소오스 전극 및 드레인 전극이 접속한 3 단자 구조로, 온->오프 스윕과 오프->온 스윕 시 차로 히스테리시스가 문제되었다. 그러나, 본 발명의 박막 트랜지스터는 액티브층의 상 또는 하측에 위치하는 게이트 전극과 반대측인 하 또는 상측에 백필드 인가 라인을 배치시켜 박막 트랜지스터가 같은 그레이를 나타내는데 동일 구동 전류 특성을 갖게 하여, 유기 발광 표시 장치의 구동 박막 트랜지스터로 이용시 전류 기반으로 구동되는 유기 발광 다이오드의 구동을 안정화할 수 있다.
- [0026] 또한, p형 트랜지스터(PMOS)로 구동 박막 트랜지스터의 안정적인 구동을 위해 p형 채널에 n 불순물의 도핑을 피하여,  $V_{th}$ 를 역방향으로 쉬프트하는 방법이 제안되었는데, 이러한 구조에서는 추가적인 도핑에 의한 마스크 추가라는 문제와 함께, 도핑시 도편트가 조사되는 부분의 액티브층, 게이트 절연막 및 이들의 계면에서 손상이 발생될 위험이 있어, 상술한 히스테리시스 문제가 보다 심해질 가능성이 매우 높았으나 본 발명의 백 채널 인가 라인을 구비한 구조는 이러한 n- 도핑 공정을 요하지 않아, 전기적 필드 인가에 의해 복원잔상 문제를 해결할 수 있으며, 마스크 저감에 따른 수율 향상과 도핑 영역 및 그 주변의 층 및 계면에서의 손상을 방지할 수 있다.

### 도면의 간단한 설명

- [0027] 도 1a 및 도 1b는 체스 패턴 적용 후 복원 잔상 평가를 나타낸 사진  
 도 2는 히스테리시스 특성을 나타낸 그래프  
 도 3은 본 발명의 제 1 실시예에 따른 박막 트랜지스터를 나타낸 단면도  
 도 4는 본 발명의 유기 발광 표시 장치의 일 서브 화소를 나타낸 회로도

도 5는 도 4의 백필드 제어 라인을 나타낸 평면도

도 6은 본 발명의 제 2 실시예에 따른 박막 트랜지스터를 나타낸 단면도

도 7은 본 발명의 유기 발광 표시 장치에 있어서, 백필드 전후의 히스테리시스 변화를 나타낸 그래프

도 8은 본 발명의 유기 발광 표시 장치와 비교예의 Vgs-Ids 그래프

### 발명을 실시하기 위한 구체적인 내용

[0028]

발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 다양한 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 다양한 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 발명의 다양한 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서 본 발명은 청구항의 범주에 의해 정의된다.

[0029]

본 발명의 다양한 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등을 예시적인 것으로 본 발명이 도면에 도시된 사항에 한정되는 것은 아니다. 본 명세서 전체에 걸쳐 동일한 도면 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0030]

본 발명의 다양한 실시예에 포함된 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0031]

본 발명의 다양한 실시예를 설명함에 있어, 위치 관계에 대하여 설명하는 경우에, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0032]

본 발명의 다양한 실시예를 설명함에 있어, 시간 관계에 대한 설명하는 경우에, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0033]

본 발명의 다양한 실시예를 설명함에 있어, '제 1~', '제 2~' 등이 다양한 구성 요소를 서술하기 위해서 사용될 수 있지만, 이러한 용어들은 서로 동일 유사한 구성 요소 간에 구별을 하기 위하여 사용될 때이다. 따라서, 본 명세서에서 '제 1~'로 수식되는 구성 요소는 별도의 언급이 없는 한, 본 발명의 기술적 사상 내에서 '제 2~'로 수식되는 구성 요소와 동일할 수 있다.

[0034]

본 발명의 여러 다양한 실시예의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 다양한 실시예가 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0035]

도 3은 본 발명의 제 1 실시예에 따른 박막 트랜지스터를 나타낸 단면도이며, 도 4는 본 발명의 유기 발광 표시 장치의 일 서브 화소를 나타낸 회로도이고, 도 5는 도 4의 백필드 제어 라인을 나타낸 평면도이다.

[0036]

도 3과 같이, 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 기판(100) 상에 소정 부위에 위치하며, 제 1 표면과 제 2 표면을 가지며, 채널(130b)과 상기 채널(130b) 주변에 도핑 영역(130a, 130c)으로 영역이 구분된 액티브층(130)과, 상기 액티브층(130)의 제 1 표면과 대향하며, 상기 채널과 중첩한 게이트 전극(150)과, 상기 액티브층(130)의 상기 채널(130b)을 중심으로 한 양측의 도핑 영역(130a, 130b)과 각각 접속한 소오스 전극(171) 및 드레인 전극(172)과, 상기 액티브층(130)의 제 2 표면과 대향하여, 적어도 상기 채널(130b)과 중첩하는 백필드 인가 라인(110)을 포함하여 이루어진다.

[0037]

여기서, 상기 도핑 영역(130a, 130c)은 p형 불순물이 도핑된 영역일 수 있다. 그러나, 이에 한하지 않으며, n형 불순물이 도핑된 영역일 수도 있다. 다만, 본 발명의 박막 트랜지스터와 같이, 백필드 인가 라인(110)을 구비한 구조에서는, p형 도핑 영역을 갖는 PMOS 트랜지스터에서 취약했던 잔상 문제(히스테리시스)를 해결할 수 있다.

[0038]

그리고, 상기 백필드 인가 라인(110)은 상기 접지 또는 상전압이 인가된다. 이는 금속 라인으로, 도 3의 구조에서는 액티브층(130)의 하부에 절연막을 개재하여 전기적으로 이격되며 위치한 것이다. 백필드 인가 라인(110)을

위하여 별도로 구비될 수도 있지만, 액티브층(130) 하측에 위치하는 쿠드 패턴 등 이미 구비된 패턴을 패터닝하여 상기 백필드 인가 라인(110)으로 이용할 수 있다.

[0039] 즉, 본 발명의 박막 트랜지스터는 접지 또는 상전압의 백필드가 채널(130b)에 인가된 상태로 박막 트랜지스터의 특성 변화( $V_{gs}$ - $I_{ds}$ )를 방지하여, 히스테리시스 변화를 방지한다.

[0040] 기판(100)은 글래스 기판 또는 플라스틱 기판 모두 가능하다.

[0041] 도시된 예로 기준하여 설명하면, 기판(100) 상에는 백필드 인가 라인(110)을 덮는 베퍼층(120)이 구비되고, 상기 베퍼층(120) 상에 액티브층(130)이 구비되며, 상기 액티브층(130)을 덮으면, 게이트 절연막(140)이 위치하며, 상기 액티브층(130)의 채널(130b)과 중첩하며 상기 게이트 절연막(140) 상에 충간 절연막(160)이 구비되고, 상기 액티브층(130)의 채널(130b) 외측의 도핑 영역(130a, 130c)과 각각 충간 절연막(160), 게이트 절연막(140)을 관통하여 들어와 액티브층(130)과 접속하는 소오스 전극(171) 및 드레인 전극(172)이 구비된다.

[0042] 여기서, 액티브층(130)은 중앙이 채널(130b) 영역으로 진성 영역이며, 채널(130b) 양측은 도핑 영역(130a, 130c)으로, 접속되어질 전극을 고려하여 소오스 영역 및 드레인 영역으로 부르기도 한다.

[0043] 그리고, 상기 소오스 전극(171)과 드레인 전극(172)의 평탄부를 덮으면, 보호막(180)이 구비된다.

[0044] 그리고, 상기 백필드 인가 라인(110)과 상기 액티브층(130)은 적어도 하나의 절연막(도 3에서는 120)이 위치하여, 백필드가 채널(130b)에 인가되더라도 액티브층(130)이나 베퍼층(120)의 손상이나 변이가 없는 상태로, 박막 트랜지스터는 지속적으로 안정한 상태로  $V_{gs}$ - $I_{ds}$  특성을 제어하여, 이를 유기 발광 표시 장치의 구동 전류(Id s)를 기반으로 구동되는 유기 발광 다이오드와 접속되는 구동 박막 트랜지스터로 이용시 신뢰성 있는 구동이 가능함을 예상할 수 있다.

[0045] 한편, 본 발명의 박막 트랜지스터는 액티브층(130)은 저온 형성 폴리 실리콘으로, 증착 후 400°C 이하로 레이저 결정화된 폴리 실리콘으로 이루어진다. 따라서, 액티브층(130) 하측에 백필드 인가 라인(110)이 배치될 때는, 상대적으로 백필드 인가 라인(110)의 두께를 얇게 하고 액티브층(130)과 백필드 인가 라인(180) 사이의 베퍼층(120)은 3000 Å 이상으로 하여, 이후 액티브층(130)의 레이저 결정화 및 냉각화 과정에서 하부 백필드 인가 라인(110)의 단차로 인해 액티브층(130)에 손상이 발생되거나 결정질 특성에 변화를 갖는 것을 방지한다.

[0046] 그리고, 도시된 도면에는 상기 소오스 전극(171) 및 드레인 전극(172)이 액티브층(130)을 관통하는 구성을 나타내나, 이에 한하지 않으며, 액티브층(130)의 도핑 영역(130a, 130c)의 상면과 접속될 정도로 소오스 전극(171) 및 드레인 전극(172)이 위치하여도 관계없다.

[0047] 도 4 및 도 5를 참조하여, 본 발명의 유기 발광 표시 장치를 살펴본다. 도 4는 본 발명의 유기 발광 표시 장치 내 각 서브 화소의 등가 회로를 나타낸 것으로, 동일 구조의 서브 화소가 매트릭스상으로 유기 발광 표시 장치에서 반복되어 있다.

[0048] 그리고, 본 발명의 유기 발광 표시 장치는 서로 교차하는 게이트 라인(GL)과 데이터 라인(DL)과, 상술한 도 3의 구성의 박막 트랜지스터로 이루어진 구동 박막 트랜지스터(Tdr)와, 상기 게이트 라인(GL)과 데이터 라인(DL) 사이에 연결되어, 상기 구동 박막 트랜지스터의 온, 오프를 제어하는 스위칭 박막 트랜지스터(Tsw) 및 상기 구동 박막 트랜지스터(Tdr)와 접속되어 구동 전류를 인가받는 유기 발광 다이오드(OLED)를 포함한다. 그리고, 상기 구동 박막 트랜지스터(Tdr)는 구동 전원 라인(PL)에 연결되어 구동 전압(Vdd)을 인가받으며, 상기 구동 전원 라인(PL)의 노드와 상기 스위칭 박막 트랜지스터(Tsw)와 상기 구동 박막 트랜지스터(Tdr) 사이의 노드(A)에 스토리지 캐패시터(Cst)가 구비된다.

[0049] 여기서, 상기 구동 박막 트랜지스터(Tdr)와 유기 발광 다이오드(OLED)의 접속 노드는 노드 'B'라 한다.

[0050] 본 발명의 유기 발광 표시 장치에서, 복수의 컬러 서브 화소(R, G, B)들은 게이트 라인(GL)의 길이 방향에 대응되는 각 수평 라인마다 적색 서브 화소(R), 녹색 서브 화소(G), 및 청색 서브 화소(B)의 순서로 반복 배치된다. 이때, 상기 데이터 라인(DL)의 길이 방향에 대응되는 각 수직 라인에 배치된 동일 컬러의 서브 화소들은 하나의 구동 전원라인(PL)에 연결된다.

[0051] 상기 복수의 컬러 화소(R, G, B) 각각에서, 상기 스위칭 박막 트랜지스터(Tsw)는 인접한 게이트 라인(GL)에 공급되는 게이트 신호(GS)에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)을 구동 박막 트랜지스터(Tdr)에 공급한다. 상기 구동 박막 트랜지스터(Tdr)는 스위칭 박막 트랜지스터(Tsw)로부터 공급되는 데이터 전압(Vdata)에 따라 스위칭되어 구동 전원 라인(PL)에 공급되는 구동 전원(Vdd)으로부터 발광 소자(OLED)로

흐르는 데이터 전류(Ioled)를 제어한다. 상기 커패시터(Cst)는 구동 박막 트랜지스터(Tdr)의 게이트 단자와 소오스 단자 사이에 접속되어 구동 박막 트랜지스터(Tdr)의 게이트 단자에 공급되는 데이터 전압(Vdata)에 대응되는 전압을 저장하고, 저장된 전압으로 구동 박막 트랜지스터(Tdr)의 턴-온시킨다.

[0052] 상기 유기 발광 소자(OLED)는 구동 박막 트랜지스터(Tdr)의 소오스 단자와 접지 라인(VSS) 사이에 전기적으로 접속되어 구동 박막 트랜지스터(Tdr)로부터 공급되는 데이터 전류(Ioled)에 의해 발광한다. 또한, 상기 구동 박막 트랜지스터(Tdr)는 계속적으로 백채널을 접지 또는 상전압으로 인가하여 구동 박막 트랜지스터(Tdr)의 Vth 쉬프트와 같은 변화를 방지하여, 결과적으로 히스테리시스를 원인으로 한 잔상 문제를 해결할 수 있다.

[0053] 이러한 상기 유기 발광 표시 패널(10)의 각 컬러 서브 화소(R, G, B)는 데이터 전압(Vdata)에 따른 구동 박막 트랜지스터 (Tdr)의 스위칭을 이용하여 구동 전원(Vdd)으로부터 유기 발광 소자(OLED)로 흐르는 데이터 전류 (Ioled)의 크기를 제어하여 유기 발광 소자(OLED)를 발광시킴으로써 소정의 영상을 표시하게 된다.

[0054] 한편, 본 발명의 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치에서 상기 백필드 인가 라인(110)은 매트릭스 상으로 박막 트랜지스터(또는 구동 박막 트랜지스터)가 반복될 때, 박막 트랜지스터의 배열에 따라 라인 상으로 구비되며, 유기 발광 표시 장치에는 도 5와 같이, 외곽부까지 길게 연장하여, 일측에서 접지부 또는 상전압 인가부에 연결될 수 있다.

[0055] 도 6은 본 발명의 제 2 실시예에 따른 박막 트랜지스터를 나타낸 단면도이다.

[0056] 도 6과 같이, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 기판(200) 상에 게이트 전극(210)과, 상기 게이트 전극(210)을 덮는 게이트 절연막(220)과, 상기 게이트 전극(210)과 채널(230b)이 중첩하며, 채널(230b) 주변에 도핑 영역(230a, 230c)을 갖는 액티브층(230)이 구비되고, 상기 액티브층(230)을 덮는 층간 절연막(240)과, 상기 층간 절연막(240)을 관통하여 상기 액티브층(230) 양측과 접속한 소오스 전극(251) 및 드레인 전극(252) 및 상기 소오스 전극(251) 및 드레인 전극(252)의 평탄부와 동일층으로 상기 층간 절연막(240) 상에 위치하는 백필드 인가 라인(255)과, 상기 소오스 전극(251), 드레인 전극(252) 및 백필드 인가 라인(255)을 덮는 보호막(260)을 포함하여 이루어진다.

[0057] 이 구조는 백필드 인가 라인(255)이 액티브층(230)의 상측에 위치하고, 게이트 전극(210)이 기판 (200) 상, 즉, 액티브층(230) 하측에 위치한 점에서 상술한 제 1 실시예와 구조적으로 상이하나 기능은 백필드 인가로 박막 트랜지스터의 구동 특성을 안정화한다는 점에서 제 1 실시예와 동일하다.

[0058] 다만, 제 2 실시예의 박막 트랜지스터는 소오스 전극(251) 및 드레인 전극(252)과 동일층에 백필드 인가 라인 (255)을 구비할 수 있어, 제 1 실시예 대비 마스크 저감의 이점이 있으며, 이로 인해 수율 향상이 기대된다.

[0059] 경우에 따라, 상기 백필드 인가 라인(255)과 상기 소오스/드레인 전극(251, 252)은 동일층에 위치하지만 금속을 달리하여 패터닝할 수도 있다.

[0060] 한편, 이하는 실험을 통해 상술한 본 발명의 박막 트랜지스터를 유기 발광 표시 장치의 구동 박막 트랜지스터로 적용시 히스테리시스 현상 및 Ids-Vgs의 특성을 살펴본 것이다.

[0061] 도 7은 본 발명의 유기 발광 표시 장치에 있어서, 백필드 전후의 히스테리시스 변화를 나타낸 그래프이다.

[0062] 도 7과 같이, 백필드가 인가되지 않은 상태에서는 히스테리시스 전압이 0.140V이며, 백필드를 접지에서부터 차례로 1V, 3V, 5V를 인가할 때를 살펴보면, 백필드로 인가해주는 상전압이 클수록 히스테리시스 전압이 줄어듦을 확인할 수 있다.

[0063] 백필드가 인가되지 않은 경우, 히스테리시스 전압은 0.140V로, 백채널로 3V로 인가할 때, 히스테리시스 전압이 0.071V로, 이의 1/2 수준이 됨을 확인할 수 있었으며, 이는 잔상 방지에 본 발명의 박막 트랜지스터 및 이를 적용한 유기 발광 표시 장치가 효과적임을 확인할 수 있다.

[0064] 도 8은 본 발명의 유기 발광 표시 장치와 비교예의 Vgs-Ids 그래프이다.

[0065] 도 8과 같이, 도 3 또는 도 6의 형태로, 구동 박막 트랜지스터로 구현시 Vgs-Ids 특성을 살펴보면, 백필드로 인가하여 주는 전압 값이 클수록 Vgs-Ids 그래프의 곡선이 왼쪽으로 쉬프트됨을 알 수 있다.

[0066] 한편, 위 그래프에서 비교예(Ref)와 같이, 백채널 인가 라인이 없는 구조에서 Vgs-Ids 를 살펴보면, 대략 온(on) 특성이 0V이다.

[0067] 이에 비해 본 발명의 구동 박막 트랜지스터는 온 전압을 (-) 값으로 이동시킨 것으로, 이는 Vth 의 네거티브 쉬

프트를 유도하여, 구동을 안정화하고, 히스테리시스를 제어하는 점에서 의의가 있다.

[0068] 일반적인 박막 트랜지스터는 액티브층 상에 게이트 전극이 중첩하고 있고, 액티브층 양단에 소오스 전극 및 드레인 전극이 접속한 3 단자 구조로, 온->오프 스윕(sweep)과 오프->온 스윕시 차로 히스테리시스(hysteresis)가 문제되었다. 그러나, 본 발명의 박막 트랜지스터는 액티브층의 상 또는 하측에 위치하는 게이트 전극과 반대측 인 하 또는 상측에 백필드 인가 라인을 배치시켜 박막 트랜지스터가 같은 그레이를 나타내는데 동일 구동 전류 특성을 갖게 하여, 유기 발광 표시 장치의 구동 박막 트랜지스터로 이용시 전류 기반으로 구동되는 유기 발광 다이오드의 구동을 안정화할 수 있다.

[0069] 또한, p형 트랜지스터(PMOS)로 구동 박막 트랜지스터 상술한 히스테리시스의 문제로, 이를 해결하고자 p형 채널에 n-의 도핑을 피하여, V<sub>th</sub>를 역방향으로 쉬프트하는 방법이 제안되었는데, 이러한 구조에서는 추가적인 도핑에 의한 마스크 추가라는 문제와 함께, 도핑시 도편트가 조사되는 부분의 액티브층, 게이트 절연막 및 이들의 계면에서 손상이 발생될 위험이 있으나 본 발명의 백 채널 인가 라인을 구비한 구조는 이러한 n- 도핑 공정을 요하지 않아, 전기적 필드 인가에 의해 복원잔상 문제를 해결할 수 있으며, 마스크 저감에 따른 수율 향상과 도핑 영역 및 그 주변의 총 및 계면에서의 손상을 방지할 수 있다.

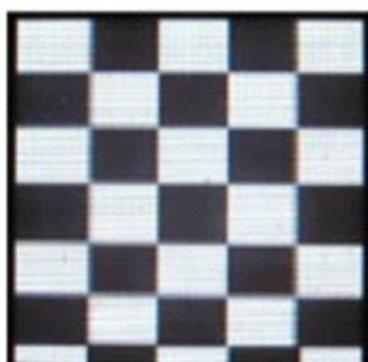
[0070] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 부호의 설명

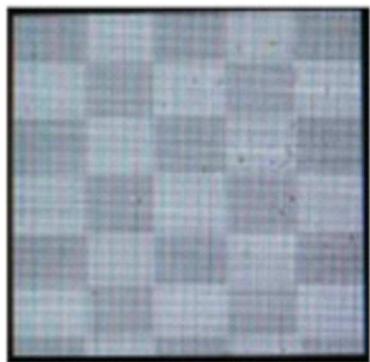
100: 기판	110, 255: 백필드 인가 라인
120: 벼퍼층	130: 액티브층
130a, 130c: 도핑 영역	130b: 채널
140: 게이트 절연막	150: 게이트 전극
160: 충간 절연막	171: 소오스 전극
172: 드레인 전극	180: 보호막

### 도면

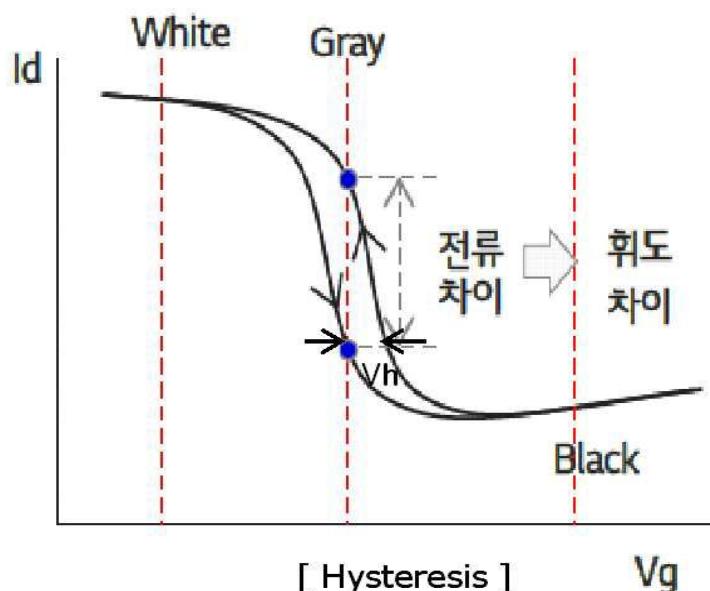
#### 도면 1a



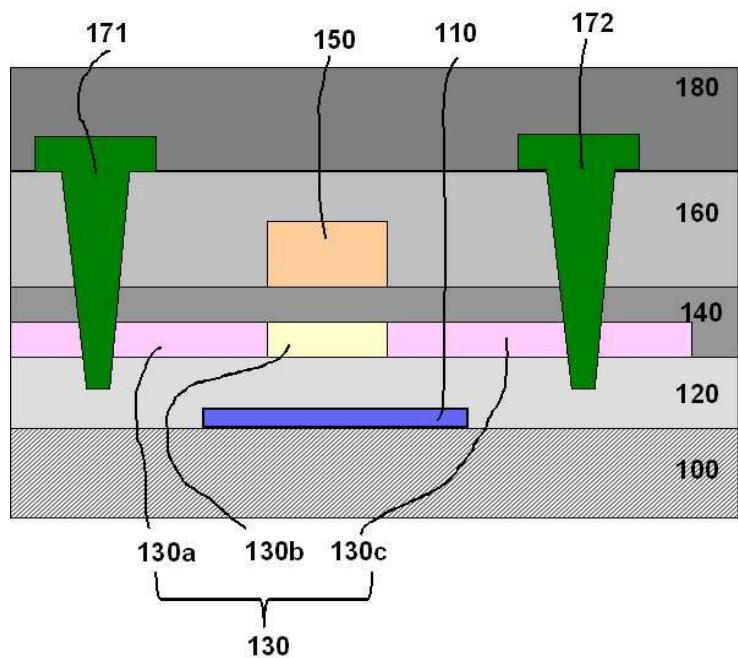
도면1b



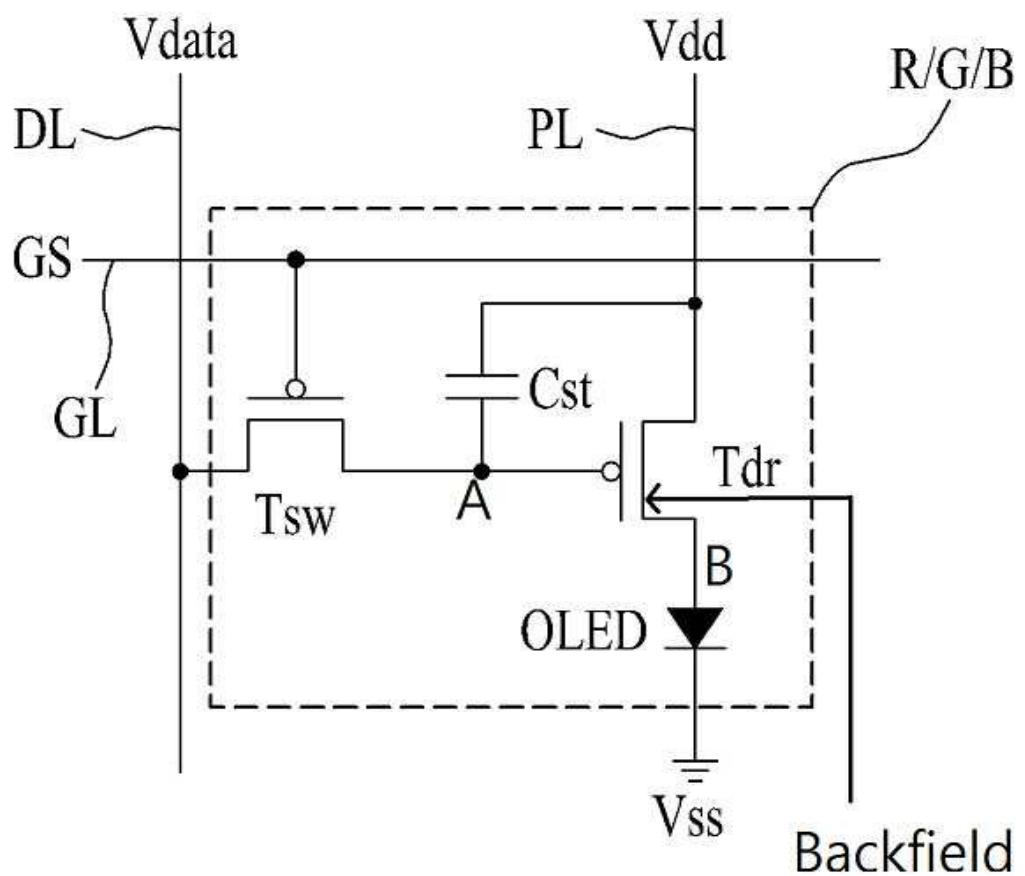
도면2



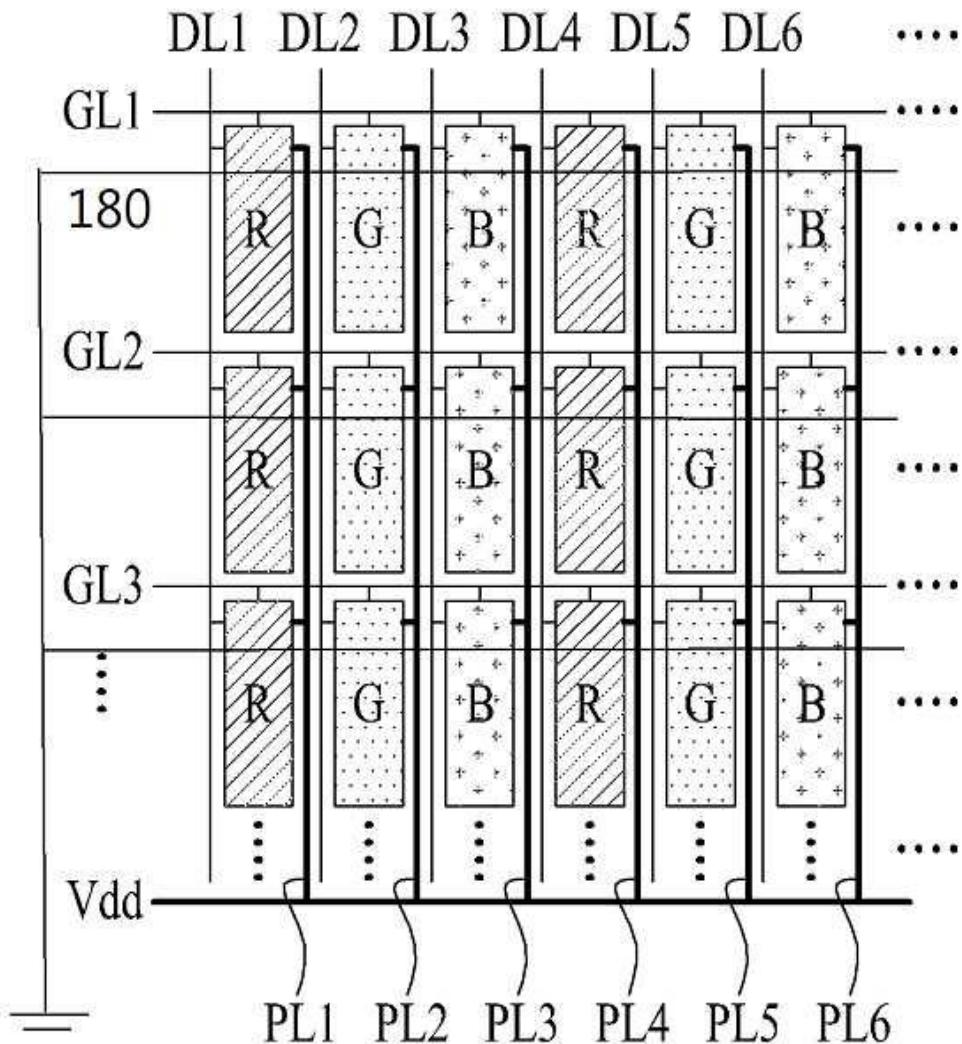
도면3



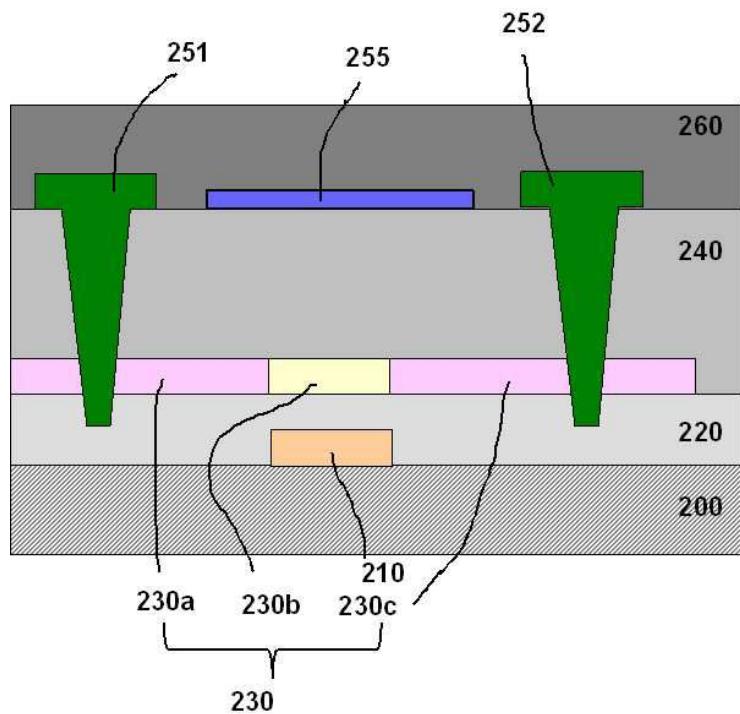
도면4



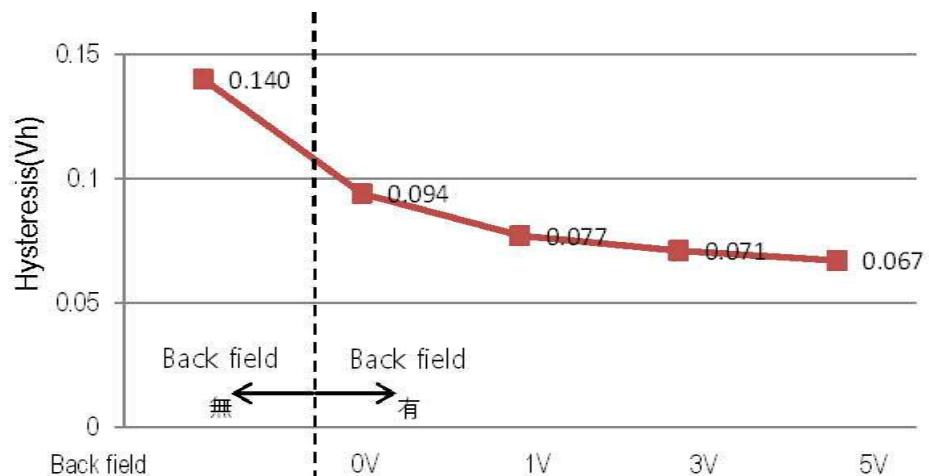
도면5



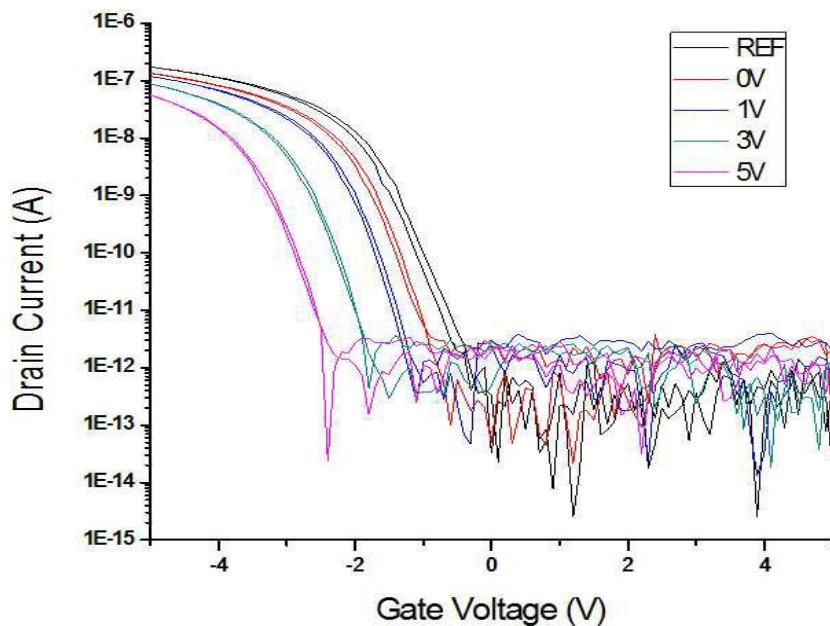
도면6



도면7



도면8



专利名称(译)	薄膜晶体管，使用其的有机发光显示器，以及其滞后控制方法		
公开(公告)号	<a href="#">KR1020180079039A</a>	公开(公告)日	2018-07-10
申请号	KR1020160184401	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEON YEONG 김선영 OH KUM MI 오금미 YUN MIN SEONG 윤민성		
发明人	김선영 오금미 윤민성		
IPC分类号	H01L27/32 H01L27/12 H01L29/786		
CPC分类号	H01L27/3262 H01L27/1222 H01L27/3276 H01L27/124 H01L27/3248 H01L29/78696 H01L29/78618		
代理人(译)	Bakyoungbok		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明涉及薄膜晶体管，以及使用该薄膜晶体管的有机发光显示装置及其滞后控制方法，并且金属线包括在栅电极的相对侧，并且通过这个，白场设置并重建残像可以解决。

