



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0079036
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 29/45 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1222 (2013.01)
(21) 출원번호 10-2016-0184398
(22) 출원일자 2016년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정인상
경기도 파주시 가람로116번길 40, 507동 1303호(와동동, 가람마을5단지아파트)
오금미
서울특별시 서대문구 세무서2가길 47 (홍제동)
(74) 대리인
박영복

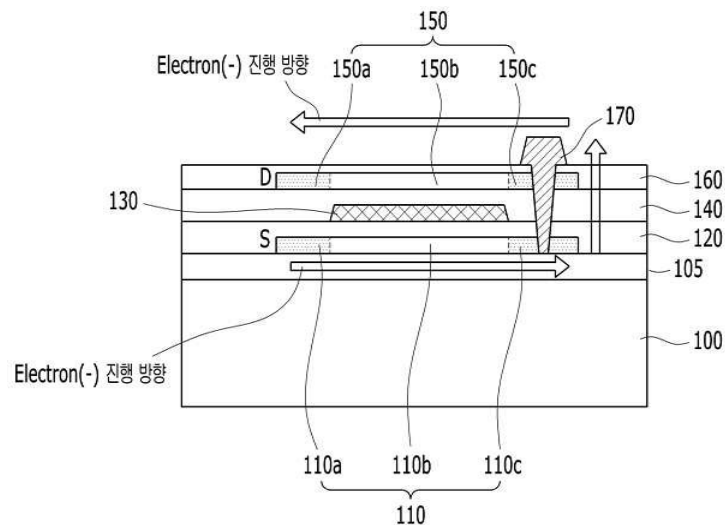
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치

(57) 요약

본 발명은 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치에 관한 것으로, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 구성을 달리하며, 특히 구동 박막 트랜지스터를 스택형으로 구비하여 초고해상도에 유리하며 작아진 픽셀에서도 고계조 표현에 유리하여 유기 발광 다이오드 구동에 신뢰성을 가질 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1251 (2013.01)

H01L 27/3248 (2013.01)

H01L 29/45 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/78618 (2013.01)

(72) 발명자

류원상

경기도 고양시 일산서구 원일로21번길 22, 108동
1403호(일산동, 휴먼빌1차아파트)

고선옥

경기도 용인시 수지구 용구대로2771번길 66, 205동
901호(죽전동, 용인수지벽산타운2단지)

명세서

청구범위

청구항 1

기관 상에 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부를 갖는 제 1 액티브층 및 제 2 액티브층;
 상기 제 1, 제 2 액티브층의 층간에 위치한 게이트 전극;
 상기 제 1 액티브층의 돌출부에 접속한 소오스 전극; 및
 상기 제 2 액티브층의 돌출부에 접속한 드레인 전극을 포함한 구동 박막 트랜지스터.

청구항 2

제 1항에 있어서,
 상기 제 1 액티브층과 제 2 액티브층이 중첩하는 일부에, 상기 제 1 및 제 2 액티브층을 관통하여 사이드 접속하는 연결 전극을 더 포함하는 구동 박막 트랜지스터.

청구항 3

제 2항에 있어서,
 상기 연결 전극은 상기 제 1, 제 2 액티브층의 각각의 도핑 영역에 사이드 접속하는 구동 박막 트랜지스터.

청구항 4

제 1항에 있어서,
 상기 제 1 액티브층과 게이트 전극 사이에 제 1 게이트 절연막과,
 상기 게이트 전극과 제 2 액티브층 사이에 제 2 게이트 절연막을 더 포함한 구동 박막 트랜지스터.

청구항 5

제 1항에 있어서,
 상기 게이트 전극은 상기 제 1 및 제 2 액티브층의 돌출부와 중첩하지 않는 구동 박막 트랜지스터.

청구항 6

제 1항에 있어서,
 상기 게이트 전극은 상기 제 1 액티브층과 상기 제 2 액티브층에 각각 서로 다른 영역에 중첩하는 구동 박막 트랜지스터.

청구항 7

제 6항에 있어서,
 상기 게이트 전극은 상기 제 1 액티브층에 중첩한 영역이 상기 제 2 액티브층에 중첩한 영역과 면적 차를 갖는 구동 박막 트랜지스터.

청구항 8

제 5항에 있어서,
 상기 제 1, 제 2 액티브층의 돌출부는 도핑 영역인 구동 박막 트랜지스터.

청구항 9

제 4항에 있어서,

상기 제 1 액티브층과 제 2 액티브층에 각각 제 1 채널 및 제 2 채널이 구비되며, 상기 소오스 전극으로부터 상기 드레인 전극 사이의 전자는 제 1 채널, 연결 전극 및 제 2 채널을 통과하는 구동 박막 트랜지스터.

청구항 10

복수개의 서브 픽셀을 갖는 기관;

상기 서브 픽셀 각각에, 상기 기관 상 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부를 갖는 제 1 액티브층 및 제 2 액티브층과, 상기 제 1, 제 2 액티브층의 층간에 위치한 제 1 게이트 전극과, 상기 제 1 액티브층의 돌출부에 접속한 제 1 소오스 전극 및 상기 제 2 액티브층의 돌출부에 접속한 제 1 드레인 전극을 포함한 구동 박막 트랜지스터;

상기 각 서브 픽셀에, 상기 구동 박막 트랜지스터와 연결되며, 상기 제 1 게이트 전극과 동일층의 제 2 게이트 전극과, 상기 제 1 소오스 전극 및 제 1 드레인 전극과 동일층의 제 2 소오스 전극 및 제 2 드레인 전극 및 상기 제 1 액티브층 및 제 2 액티브층 중 어느 하나와 동일층에 위치하는 제 3 액티브층을 포함한 스위칭 박막 트랜지스터; 및

상기 제 1 소오스 전극 또는 제 1 드레인 전극과 접속된 유기 발광 다이오드를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 구동 박막 트랜지스터에 관한 것으로, 특히 초고해상도에 유리하며 소자 안정성을 확보한 스택형의 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] [001] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] [002] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 특히 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 및 연성화의 장점으로 적용 분야가 확대되고 있다.

[0004] 또한, 이러한 평판 표시 장치는 복수개의 픽셀을 매트릭스상으로 구비하며, 각 픽셀을 개별적으로 제어할 수 있는 TFT(Thin Film Transistor: 박막 트랜지스터)를 픽셀 내에 하나 이상 구비한다. 그리고, 각 픽셀은 색 표현을 위한 R-서브 픽셀, G-서브 픽셀, 및 B-서브 픽셀을 포함할 수 있다.

[0005] 그런데, 점차 증강 현실이나 가상 현실과 같이 고해상도를 요구되는 표시 장치에 있어서, 한정된 표시 장치의 크기 내에 고해상도를 갖기 때문에 개별 픽셀의 크기가 점차 작아지게 된다. 또한, 유기 발광 표시 장치와 같이, 발광 소자를 개별 서브 픽셀에 직접 갖는 표시 장치에 있어서는, 개별 서브 픽셀의 선택적인 계조 표현을 위해서 작아진 개별 서브 픽셀 내에 최소 2T1C (2 transistors and 1 capacitor)의 회로 소자를 포함시켜야 하며 이 경우 각 박막 트랜지스터는 동일 구조를 갖는다. 그런데, 개별 서브 픽셀의 면적이 작아, 각 박막 트랜지스터의 이동도 등의 소자 특성은 향상되나 구동 박막 트랜지스터로서는 게이트 전압 인가시 단시간에 포화 특성을 갖게 되어, 다양하고 충분한 계조 표현이 어려운 실정이다.

[0006] 즉, 고해상도로 가며 서브 픽셀의 크기가 줄어들며, 한정된 서브 픽셀 면적 내에 각 서브 픽셀 구동을 위한 회로 구성을 모두 포함시킨다. 이 경우, 동일 스택 구조로 구동 박막 트랜지스터와 그 외 박막 트랜지스터를 구비시, 박막 트랜지스터의 반응 속도는 빠르나, I_{ds} - V_{gs} 그래프의 선형 구간이 너무 짧아 충분한 계조 표현이 어렵다는 문제가 있다. 또한, 일반적인 단일 게이트를 갖는 구조의 박막 트랜지스터로는 새추레이션(saturation) 후, I_{ds} 가 늘어나는 킥 효과(kink effect)가 심해, 직접 유기 발광 다이오드와 전류를 공급하는 구동 박막 트랜지스터로서의 신뢰성을 얻기 어렵다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 초고해상도에 유리하며 작아진 픽셀에서도 고계조 표현에 유리하여 유기 발광 다이오드 구동에 신뢰성을 갖는 스택형의 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0008] 본 발명의 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치는 스택형 액티브층을 구비하여, 평면 영역을 늘리지 않고, 채널 길이를 늘려 킹크 효과를 줄이고 고계조 표현과 고해상도를 가능하게 한다.

[0009] 일 예에 따른 본 발명의 구동 박막 트랜지스터는 기판 상에 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부를 갖는 제 1 액티브층 및 제 2 액티브층과, 상기 제 1, 제 2 액티브층의 층간에 위치한 게이트 전극과, 상기 제 1 액티브층의 돌출부에 접속한 소오스 전극 및 상기 제 2 액티브층의 돌출부에 접속한 드레인 전극을 포함할 수 있다.

[0010] 또한, 상기 제 1 액티브층과 제 2 액티브층이 중첩하는 일부에, 상기 제 1 및 제 2 액티브층을 관통하여 사이드 접속하는 연결 전극을 더 포함할 수 있다.

[0011] 그리고, 상기 연결 전극은 상기 제 1, 제 2 액티브층의 각각의 도핑 영역에 사이드 접속할 수 있다.

[0012] 또한, 상기 제 1 액티브층과 게이트 전극 사이에 제 1 게이트 절연막과, 상기 게이트 전극과 제 2 액티브층 사이에 제 2 게이트 절연막을 더 포함할 수 있다.

[0013] 상기 게이트 전극은 상기 제 1 및 제 2 액티브층의 돌출부와 중첩하지 않을 수 있다.

[0014] 상기 게이트 전극은 상기 제 1 액티브층과 상기 제 2 액티브층에 각각 서로 다른 영역에 중첩할 수도 있다.

[0015] 상기 게이트 전극은 상기 제 1 액티브층에 중첩한 영역이 상기 제 2 액티브층에 중첩한 영역과 면적 차를 가질 수 있다.

[0016] 그리고, 상기 제 1, 제 2 액티브층의 돌출부는 도핑 영역일 수 있다.

[0017] 또한, 상기 제 1 액티브층과 제 2 액티브층에 각각 제 1 채널 및 제 2 채널이 구비되며, 상기 소오스 전극으로부터 상기 드레인 전극 사이의 전자는 제 1 채널, 연결 전극 및 제 2 채널을 통과할 수 있다.

[0018] 본 발명의 유기 발광 표시 장치는 복수개의 서브 픽셀을 갖는 기판과, 상기 서브 픽셀 각각에, 상기 기판 상 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부를 갖는 제 1 액티브층 및 제 2 액티브층과, 상기 제 1, 제 2 액티브층의 층간에 위치한 제 1 게이트 전극과, 상기 제 1 액티브층의 돌출부에 접속한 제 1 소오스 전극 및 상기 제 2 액티브층의 돌출부에 접속한 제 1 드레인 전극을 포함한 구동 박막 트랜지스터와, 상기 각 서브 픽셀에, 상기 구동 박막 트랜지스터와 연결되며, 상기 제 1 게이트 전극과 동일층의 제 2 게이트 전극과, 상기 제 1 소오스 전극 및 제 1 드레인 전극과 동일층의 제 2 소오스 전극 및 제 2 드레인 전극 및 상기 제 1 액티브층 및 제 2 액티브층 중 어느 하나와 동일층에 위치하는 제 3 액티브층을 포함한 스위칭 박막 트랜지스터 및 상기 제 1 소오스 전극 또는 제 1 드레인 전극과 접속된 유기 발광 다이오드를 포함할 수 있다.

발명의 효과

[0019] 본 발명의 구동 박막 트랜지스터 및 이를 이용한 유기 발광 표시 장치는 다음과 같은 효과가 있다.

[0020] 첫째, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 스택 구조를 달리한다. 특히, 구동 박막 트랜지스터에 스택형 액티브층을 구비하여, 평면적인 영역을 넓히지 않고 수직적 구조 변화로 채널 길이를 길게 한 것으로, 고해상도의 작은 면적을 갖는 서브 픽셀 적용에 우수하다.

[0021] 둘째, 구동 박막 트랜지스터에 이중 액티브층 구비에 의해, 킹크 효과(Kink effect)를 개선하고, 구동 박막 트랜지스터로부터 유기 발광 다이오드로 공급되는 드레인 전류의 균일성을 확보할 수 있다.

[0022] 셋째, 구동 박막 트랜지스터가 갖는 긴 채널에 의해 I-V 곡선의 선형 구간을 길게 하여, 계조 변화 구간을 충분히 가져 유기 발광 다이오드의 계조 표현에 적합하다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 구동 박막 트랜지스터를 나타낸 단면도
 도 2는 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터를 나타낸 평면도
 도 3a는 도 2의 제 1 액티브층을 나타낸 평면도
 도 3b는 도 2의 제 2 액티브층을 나타낸 평면도
 도 4는 도 2의 I~I' 선상의 단면도
 도 5는 도 2의 II~II' 선상의 단면도
 도 6은 본 발명의 제 2 실시예에 따른 구동 박막 트랜지스터를 나타낸 평면도
 도 7a는 도 6의 제 1 액티브층을 나타낸 평면도
 도 7b는 도 6의 제 2 액티브층을 나타낸 평면도
 도 8은 도 6의 III~III' 선상의 단면도
 도 9는 도 6의 IV~IV' 선상의 단면도
 도 10은 박막 트랜지스터를 단일 게이트, 대칭형 듀얼 게이트, 비대칭형 듀얼 게이트로 하였을 때 I_{ds} - V_{ds} 특성을 나타낸 그래프
 도 11a 및 도 11b는 박막 트랜지스터를 동일 채널 길이를 갖는 단일 게이트와, 비대칭 듀얼 게이트로 구현시 V_{gs} - I_{ds} 특성을 나타낸 그래프
 도 12a 및 도 12b는 박막 트랜지스터를 동일 채널 길이를 갖는 단일 게이트와, 비대칭 듀얼 게이트로 구현시 I_d - V_d 특성을 나타낸 그래프
 도 13은 본 발명의 유기 발광 표시 장치에 이용되는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 나타낸 단면도
 도 14는 본 발명의 유기 발광 표시 장치의 일 서브 픽셀의 등가 회로도

발명을 실시하기 위한 구체적인 내용

- [0024] 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 다양한 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 다양한 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 발명의 다양한 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서 본 발명은 청구항의 범주에 의해 정의된다.
- [0025] 본 발명의 다양한 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도면에 도시된 사항에 한정되는 것은 아니다. 본 명세서 전체에 걸쳐 동일한 도면 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0026] 본 발명의 다양한 실시예에 포함된 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 본 발명의 다양한 실시예를 설명함에 있어, 위치 관계에 대하여 설명하는 경우에, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0028] 본 발명의 다양한 실시예를 설명함에 있어, 시간 관계에 대한 설명하는 경우에, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상

연속적이지 않은 경우도 포함할 수 있다.

- [0029] 본 발명의 다양한 실시예를 설명함에 있어, '제 1~', '제 2~' 등이 다양한 구성 요소를 서술하기 위해서 사용될 수 있지만, 이러한 용어들은 서로 동일 유사한 구성 요소 간에 구별을 하기 위하여 사용될 따름이다. 따라서, 본 명세서에서 '제 1~'로 수식되는 구성 요소는 별도의 언급이 없는 한, 본 발명의 기술적 사상 내에서 '제 2~'로 수식되는 구성 요소와 동일할 수 있다.
- [0030] 본 발명의 여러 다양한 실시예의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 다양한 실시예가 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0031] 도 1은 본 발명의 구동 박막 트랜지스터를 나타낸 단면도이다.
- [0032] 도 1과 같이, 본 발명의 구동 박막 트랜지스터는, 기판(100) 상에 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부(단면 상에 보이지 않음, 각각 S, D로 표시된 부위에 대해 지면을 관통하는 방향에 위치함)를 갖는 제 1 액티브층(110) 및 제 2 액티브층(150)과, 상기 제 1, 제 2 액티브층(110, 150)의 층간에 위치한 게이트 전극(130)을 구비한 것을 특징으로 한다.
- [0033] 즉, 제 1, 제 2 액티브층(110, 150)은 스택시켜 구동 박막 트랜지스터의 채널에 필요한 영역을 1/2로 줄일 수 있는 것이다.
- [0034] 그리고, 서로 다른 층간에 구비되는 제 1, 제2 액티브층(110, 150)은 두 층을 관통하여 연결하는 연결 전극(170)으로 연결시킨다.
- [0035] 이에 따라, 전자의 흐름을 제 1, 제 2 액티브층(110, 150)에서 살펴보면, 제 1 액티브층(110)의 소오스 영역(S)(110a)에서, 제 1 채널(110b), 연결 영역(110c) 및 연결 전극(170), 연결 영역(150c)을 통해, 제 2 채널(150b)을 거쳐 제 2 액티브층(150)의 드레인 영역(D)(150a)의 순으로 전자가 이동한다.
- [0036] 이는 전자가 액티브층의 단층 내에서 이동이 아닌 연결 전극(170)을 통한 이층에서의 이동으로, 채널(110b, 150b 구비)이 길어지는 효과가 발생됨을 의미한다. 그리고, 이는 구동 박막 트랜지스터의 입장에서는 I-V 그래프에서, V_{gs} 대비하여 I_{ds} 가 선형적으로 늘어나는 선형 구간이 늘게 하는 효과를 주어 계조 변화의 다변화의 이점을 갖게 한다.
- [0037] 여기서, 제 1 액티브층(110)의 도핑 영역(110a, 110c)은 일측이 소오스 영역(110a)으로 타측이 연결 영역(110c)으로 기능한다.
- [0038] 제 2 액티브층(150)의 도핑 영역(150a, 150c)은 상기 제 1 액티브층(110)의 연결 영역(110c)과 중첩 부분에 연결 영역(150c)을 갖고, 나머지 타측이 드레인 영역(150a)이 된다. 여기서, 상기 제 1 액티브층(150)의 드레인 영역(150a)과 제 1 액티브층(110)의 소오스 영역(110a)은 서로 중첩하지 않은 부위를 가지며, 중첩하지 않은 부분에서 각각 소오스 전극과 드레인 전극에 접속할 수 있다.
- [0039] 여기서, 상기 제 1 액티브층(110)의 돌출부에 접속한 소오스 전극(도 1에는 미도시, 제 1 액티브층(110)에 구비된 소오스 영역(S)에 접속, 이하, 도 2 내지 9 참조) 및 상기 제 2 액티브층의 돌출부에 접속한 드레인 전극(도 1에는 미도시, 제 2 액티브층(150)에 구비된 드레인 영역(D)에 접속 이하, 도 2 내지 9 참조)을 포함하여, 서브픽셀을 지나는 신호 라인들과 연결된다.
- [0040] 한편, 도면에서 설명하지 않는 층들은 절연막들로, 아래에서부터 설명하면, 기판(100)과 제 1 액티브층(110) 사이에 버퍼층(105)이 구비되고, 제 1 액티브층(110)과 게이트 전극(130) 사이에 제 1 게이트 절연막(120)이, 게이트 전극(130)과 제 2 액티브층(150) 사이에 제 2 게이트 절연막(140)이, 상기 제 2 액티브층(150)을 덮는 층간 절연막(160)이 구비된다.
- [0041] 도면에는 연결 전극(170)이 상기 층간 절연막(160) 상에 평탄부를 갖는데, 이와 달리 연결 전극(170)의 평탄부가 상기 제 2 액티브층(150)의 연결 영역(150c)의 표면에 직접적으로 접속될 수도 있다. 한편, 상기 연결 전극(170)은 제 2 액티브층(150)과 제 1 액티브층(110)을 각각 관통하여 구비되는데, 이는 일회의 마스크 사용으로 연결 전극(170) 및 소오스 전극(미도시)과 드레인 전극(미도시)을 각각의 제 1, 제 2 액티브층(110, 150)에 함께 접속하기 위한 구조로, 뚫려진 부위에서 각각의 액티브층의 도핑 영역은 각 전극과 사이드 접속된다.
- [0042] 이하, 실시예들을 참조하여 본 발명의 구동 박막 트랜지스터의 구체적인 예를 살펴본다.

- [0043] *제 1 실시예*
- [0044] 도 2는 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터를 나타낸 평면도이며, 도 3a는 도 2의 제 1 액티브층을 나타낸 평면도이고, 도 3b는 도 2의 제 2 액티브층을 나타낸 평면도이다. 또한, 도 4는 도 2의 I~I' 선상의 단면도이며, 도 5는 도 2의 II~II' 선상의 단면도이다.
- [0045] 도 2 내지 도 5에 따른 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터는 평면적으로 제 1, 제 2 액티브층(220, 250)의 채널(220b, 250b)을 동일한 면적으로 갖는 구조로, 제 1, 제 2 액티브층(220, 250)은 서로 다른 전극(소오스 전극(270), 드레인 전극(290))이 접속되는 부위를 돌출부로 구비하고, 이에 도핑을 적용한다.
- [0046] 층상 구조를 기관(200)에서부터 차례로 설명하면, 기관(200) 상에 버퍼층(210)이 구비되고, 상기 버퍼층(210) 상에 제 1 액티브층(220)이 구비되며, 상기 제 1 액티브층(220)을 덮으며, 제 1 게이트 절연막(230)이 구비되고, 상기 제 1 게이트 절연막(230) 상에 상기 제 1 액티브층(220)과 부분적으로 중첩되어 게이트 전극(240)이 구비되고, 상기 게이트 전극(240)을 덮으며 제 2 게이트 절연막(245)이 구비되고, 상기 제 2 게이트 절연막(245) 상에 상기 게이트 전극(240)이 상기 제 1 액티브층(220)과 중첩하는 동일 영역을 중첩하는 제 2 액티브층(250)이 구비되고, 상기 제 2 액티브층(250)을 덮으며 층간 절연막(260)이 구비되고, 각각 제 1 콘택홀(CN1)을 통해 제 1 액티브층(220)과 접속되는 소오스 전극(270)과, 제 2 콘택홀(CN2)을 통해 제 1, 제 2 액티브층(220, 250)과 접속되는 연결 전극(280)과, 상기 제 3 콘택홀(CN3)을 통해 제 2 액티브층(250)과 접속되는 드레인 전극(290)을 포함한다.
- [0047] 그리고 구체적으로, 도 3a 와 같이, 제 1 액티브층(220)은 중앙에 제 1 채널(220b)을 갖고, 양측에 도핑 영역(220a, 220c)을 가지며, 일측의 도핑 영역(220a)은 소오스 전극(270)과 접속되며, 타측의 도핑 영역(220c)은 연결 전극(280)과의 접속되는 영역으로 이용된다.
- [0048] 또한, 도 3b와 같이, 제 2 액티브층(250)은 중앙에 제 2 채널(250b)을 갖고, 양측에 도핑 영역(250a, 250c)을 가지며, 일측의 도핑 영역(250a)은 드레인 전극(290)과 접속되며, 타측의 도핑 영역(250c)은 연결 전극(280)과의 접속되는 영역으로 이용된다.
- [0049] 그리고, 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터는 제1, 제 2 액티브층(220, 250)의 층간에 게이트 전극(240)을 포함한다.
- [0050] 상기 콘택홀(CN1, CN2, CN3)은 층간 절연막(260), 제 2 액티브층(250), 제 2 게이트 절연막(245) 및 제 1 게이트 절연막(230)이 제거되어 정의된다. 상기 소오스 전극(270), 드레인 전극(290) 및 연결 전극(280)은 층간 절연막(260)의 표면에 평탄부를 가지며, 각각의 제 1 내지 제 3 콘택홀(CN1, CN2, CN3)을 통해 하측의 절연막들 및 액티브층을 관통하여 중첩 부위의 액티브층과 사이드 접속된다.
- [0051] 여기서, 도 4와 같이, 제 1 콘택홀(CN1)은 소오스 전극(270)과 제 1 액티브층(220)의 도핑 영역(220a)과의 접속 부위로, 층간 절연막(260), 제 2 게이트 절연막(245), 제 1 게이트 절연막(230) 및 제 1 액티브층(220)이 모두 수직 방향으로 제거되어 정의되는 것이다.
- [0052] 그리고, 제 2 콘택홀(CN2)은 연결 전극(280)과 제 1, 제 2 액티브층(220, 250)의 도핑 영역(220c, 250c)과의 접속 부위로, 층간 절연막(260), 제 2 액티브층(250), 제 2 게이트 절연막(245), 제 1 게이트 절연막(230) 및 제 1 액티브층(220)이 모두 수직 방향으로 제거되어 정의되는 것이다.
- [0053] 또한, 도 5와 같이, 제 3 콘택홀(CN3)은 드레인 전극(290)과 제 2 액티브층(250)의 도핑 영역(250a)과의 접속 부위로, 층간 절연막(260), 제 2 액티브층(250), 제 2 게이트 절연막(245), 제 1 게이트 절연막(230)의 일부가 수직 방향으로 제거되어 정의되는 것이다.
- [0054] 이와 같이, 본 발명에서, 전극들이 액티브층을 관통하여 사이드 접속하는 이유는, 마스크를 저감하기 위해서이다. 즉, 서로 다른 층상에 위치하는 제 1 액티브층(220) 및 제 2 액티브층(250)을, 일회의 콘택홀 형성 공정에서 함께 정의된 콘택홀들(CN1, CN2, CN3)을 통해, 이어 1회의 패터닝되어 형성되는 금속과, 접속 공정을 진행하기 위해, 콘택홀들(CN1, CN2, CN3) 형성시 하측에 위치한 제 1 액티브층(220)까지 과식각하여 정의하는 것이다. 또한, 이 경우, 하측의 제 1 액티브층(220)에 접속할 수 있을 정도로 식각이 이루어지며, 콘택홀들 형성시 이용되는 에천트는 액티브층에 반응되는 성분을 포함하므로, 제 1, 제 2 액티브층(220, 250)들의 중첩 부위에서도 동일 부위의 액티브층 제거와 제 1, 제 2 액티브층(220, 250) 층간의 절연막의 제거가 가능하다.
- [0055] 이러한 과정에서, 제 1, 제 2 액티브층(220, 250)이 중첩된 부분은 제 2 콘택홀(CN2)과 같이, 2개의 액티브층(220, 250)이 모두 관통되며, 연결 전극(280)이 제 1, 제 2 액티브층(220, 250)이 사이드 접속된다. 그리고, 소

오스 전극(270)과 드레인 전극(290)은 각각 제 1, 제 2 액티브층(220, 250)을 관통하여 사이드 접속된다.

- [0056] 도 5에는 상기 제 3 콘택홀(CN3)이 제 1 게이트 절연막(230)의 일부 두께까지 제거된 바를 나타내나 경우에 따라 제3 콘택홀 (CN3) 부위에서 제 2 게이트 절연막(230) 전 두께가 제거될 수도 있다.
- [0057] 여기서, 상기 제 1, 제 2 액티브층(220, 250)의 돌출부(220a 영역, 250a 영역)는 각각 소오스 전극(270) 및 드레인 전극(290)과의 접속을 위해 평면 상 서로 다른 영역에 위치하여야 한다. 또한, 이들 돌출부(220a 영역, 250a 영역)는 게이트 전극(240)과도 비중첩되어야 한다. 이는 게이트 전극(240)이 제 1, 제 2 액티브층(220, 250)의 층간에 위치하고 있고, 소오스 전극(270) 및 드레인 전극(290)이 서로 동일층으로 게이트 전극(240)보다 상층에 위치하는데, 이 때의 제 2 액티브층(250)에서 제 1 액티브층(220)으로 관통하여 접속되는 전극 물질이 게이트 전극(240)에 쇼트됨을 방지하기 위함이다.
- [0058] 한편, 본 발명의 제 1, 제 2 액티브층(220, 250)는 비정질 실리콘을 증착하고 이에 레이저 조사를 진행하여 결정화한 폴리 실리콘이며, 도핑 영역은 동일 도펀트를 사용하여 도핑하여 도핑 영역(220a, 220c, 250c, 250c), 각 전극들과 낮은 저항으로 접속된다. 그리고, 이러한 제 1, 제 2 액티브층(220, 250)의 비도핑된 진성 영역은 각각 제 1, 제 2 채널(220b, 250b)로 기능한다.
- [0059] 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터는 듀얼 채널을 구비하여 채널 길이를 단일 스택 대비 2배로 가져 전압(Vgs)을 드레인 전류(Ids)가 새투레이션되도록 공급한 후, 계속적으로 전압 값을 늘릴 때 발생하는 드레인 전류(Ids)의 상승을 방지할 수 있어 킥 효과를 방지하며, 유기 발광 다이오드에 공급하는 전류를 안정화할 수 있다.
- [0060] 또한, 본 발명의 제 1 실시예에 따른 구동 박막 트랜지스터는, 특히 게이트 전극을 평면 상에 이격하여 2개 갖는 듀얼 게이트 구조와 비교하여, 면적이 1/2 수준으로 줄어든 것으로, 점차 단위 서브 픽셀의 면적이 줄어드는 초고해상도의 구조에 적합하다.
- [0061] 한편, 유기 발광 표시 장치에 적용시 상기 액티브층의 도핑 영역과 이와 중첩되는 금속은 스토리지 전극으로 이용될 수 있어 도핑 영역을 이층 구조를 가질 수 있기 때문에 스토리지 용량 확보에도 용이하다.
- [0062] 또한, 상기 버퍼층(210)은 각각 제 1, 제 2 액티브층(220, 250)을 결정화시 가해지는 열로 인해 기관(200)에 포함된 이물이나 가스가 제 1, 제2 액티브층(220, 250)에 영향을 주는 것을 방지하기 위한 것으로, 그 재료나 식각물이 상부에 있는 절연층과는 다른 재료로 하여, 상술한 콘택홀 형성시 층의 구조 변화없이 유지되어 있는 것이 바람직하다.
- [0063] *제 2 실시예*
- [0064] 도 6은 본 발명의 제 2 실시예에 따른 구동 박막 트랜지스터를 나타낸 평면도이며, 도 7a는 도 6의 제 1 액티브층을 나타낸 평면도이고, 도 7b는 도 6의 제 2 액티브층을 나타낸 평면도이다. 또한, 도 8은 도 6의 III~III' 선상의 단면도이고, 도 9는 도 6의 IV~IV' 선상의 단면도이다.
- [0065] 도 6 내지 도 9에 따른 본 발명의 제 2 실시예에 따른 구동 박막 트랜지스터는 상술한 제 1 실시예의 구동 박막 트랜지스터와 동일한 층상 구조를 가지되, 게이트 전극(340)이 각 층상의 제 1, 제 2 액티브층(320, 350)과 중첩되는 면적을 달리하여, 결과적으로 제 1, 제 2 액티브층(320, 350)에 구비되는 채널 길이를 달리한 것이다.
- [0066] 층상 구조를 기관(300)에서부터 차례로 설명하면, 기관(300) 상에 버퍼층(310)이 구비되고, 상기 버퍼층(310) 상에 제 1 액티브층(320)이 구비되며, 상기 제 1 액티브층(320)을 덮으며, 제 1 게이트 절연막(330)이 구비되고, 상기 제 1 게이트 절연막(330) 상에 상기 제 1 액티브층(320)과 부분적으로 중첩되어 게이트 전극(340)이 구비되고, 상기 게이트 전극(340)을 덮으며 제 2 게이트 절연막(345)이 구비되고, 상기 제 2 게이트 절연막(345) 상에 상기 게이트 전극(340)이 상기 제 1 액티브층(320)과 중첩하는 영역과 다른 영역에서 게이트 전극(340)과 중첩하는 제 2 액티브층(350)이 구비되고, 상기 제 2 액티브층(350)을 덮으며 층간 절연막(360)이 구비되고, 각각 제 1 콘택홀(CN1)을 통해 제 1 액티브층(320)과 접속되는 소오스 전극(370)과, 제 2 콘택홀(CN2)을 통해 제 1, 제 2 액티브층(320, 350)과 접속되는 연결 전극(380)과, 상기 제 3 콘택홀(CN3)을 통해 제 2 액티브층(350)과 접속되는 드레인 전극(390)을 포함한다.
- [0067] 여기서, 상기 게이트 전극(340)은 상기 제 1 액티브층(320)에 대해서는 제 1 길이로 중첩하며, 상기 제 2 액티브층(350)에 대해서는 이보다 짧은 제 2 길이로 중첩하며, 이러한 다른 채널 길이를 얻기 위해, 제 1, 제 2 액티브층(320, 350)은 연결 영역(320c, 350c)을 제외하여는 다른 영역에 위치하여 형성된다.

- [0068] 구체적으로, 도 7a 와 같이, 제 1 액티브층(320)은 중앙에 제 1 채널(320b)을 갖고, 양측에 도핑 영역(320a, 320c)을 가지며, 일측의 도핑 영역(320a)은 소오스 전극(370)과 접속되며, 타측의 도핑 영역(320c)은 연결 전극(280)과의 접속되는 영역으로 이용된다.
- [0069] 또한, 도 7b와 같이, 제 2 액티브층(350)은 중앙에 제 2 채널(350b)을 갖고, 양측에 도핑 영역(350a, 350c)을 가지며, 일측의 도핑 영역(350a)은 드레인 전극(390)과 접속되며, 타측의 도핑 영역(350c)은 연결 전극(380)과의 접속되는 영역으로 이용된다.
- [0070] 그리고, 본 발명의 제 3 실시예에 따른 구동 박막 트랜지스터는 제1, 제 2 액티브층(320, 350)의 층간에 게이트 전극(340)을 포함한다.
- [0071] 상기 콘택홀(CN1, CN2, CN3)은 층간 절연막(360), 제 2 액티브층(350), 제 2 게이트 절연막(345) 및 제 1 게이트 절연막(330)이 제거되어 정의된다. 상기 소오스 전극(370), 드레인 전극(390) 및 연결 전극(380)은 층간 절연막(360)의 표면에 평탄부를 가지며, 각각의 제 1 내지 제 3 콘택홀(CN1, CN2, CN3)을 통해 하측의 절연막들 및 액티브층을 관통하여 중첩 부위의 액티브층과 사이드 접속된다.
- [0072] 여기서, 도 8와 같이, 제 1 콘택홀(CN1)은 소오스 전극(370)과 제 1 액티브층(320)의 도핑 영역(320a)과의 접속 부위로, 층간 절연막(360), 제 2 게이트 절연막(345), 제 1 게이트 절연막(330) 및 제 1 액티브층(320)이 모두 수직 방향으로 제거되어 정의되는 것이다.
- [0073] 그리고, 제 2 콘택홀(CN2)은 연결 전극(380)과 제 1, 제 2 액티브층(320, 350)의 도핑 영역(320c, 350c)과의 접속 부위로, 층간 절연막(360), 제 2 액티브층(350), 제 2 게이트 절연막(345), 제 1 게이트 절연막(330) 및 제 1 액티브층(320)이 모두 수직 방향으로 제거되어 정의되는 것이다.
- [0074] 또한, 도 8과 같이, 제 3 콘택홀(CN3)은 드레인 전극(390)과 제 2 액티브층(350)의 도핑 영역(350a)과의 접속 부위로, 층간 절연막(360), 제 2 액티브층(350), 제 2 게이트 절연막(345), 제 1 게이트 절연막(330)의 일부가 수직 방향으로 제거되어 정의되는 것이다.
- [0075] 액티브층들과 소오스 전극, 드레인 전극 및 연결 전극의 접속은 상술한 제 1 실시예와 동일하며 설명은 생략한다.
- [0076] 한편, 본 발명의 제 1, 제 2 액티브층(320, 350)는 비정질 실리콘을 증착하고 이에 레이저 조사를 진행하여 결정화한 폴리 실리콘이며, 도핑 영역은 동일 도펀트를 사용하여 도핑하여 도핑 영역(320a, 320c, 350c, 350c), 각 전극들과 낮은 저항으로 접속된다. 그리고, 이러한 제 1, 제 2 액티브층(320, 350)의 비도핑된 진성 영역은 각각 제 1, 제 2 채널(320b, 350b)로 기능한다.
- [0077] 경우에 따라, 상술한 바와 같이, 제 1, 제 2 액티브층(320, 350)은 서로 중첩 영역을 일부에만 가지고, 중첩 영역은 전극과의 접속 용도로만 이용될 경우에, 상기 제 1, 제 2 액티브층(320, 350)에 대한 레이저 결정화 공정 은, 층별로 진행하지 않고, 1회로 진행할 수도 있다.
- [0078] 또한, 본 발명의 제 2 실시예의 구동 박막 트랜지스터는 상대적으로 제 1 실시예의 구동 박막 트랜지스터 대비, 액티브층의 비중첩 영역의 채널을 위치시키기 때문에, 액티브층이 차지하는 면적이 더 늘 수도 있다. 하지만, 이 경우에도 다른 층에 제 1, 제 2 액티브층(320, 350)이 위치하기 때문에, 이들 제 1, 제 2 액티브층(320, 350)은 서로 중첩시킬 수도 있고 이격 영역을 갖지 않을 수 있어, 작은 면적 내에 집적화시키기 용이하여 고해상도에 유리하다.
- [0079] 이하, 본 발명의 구조로 구동 박막 트랜지스터를 구현시 특성을 비교하여 본다.
- [0080] 도 10은 박막 트랜지스터를 단일 게이트, 대칭형 듀얼 게이트, 비대칭형 듀얼 게이트로 하였을 때 I_{ds} - V_{ds} 특성을 나타낸 그래프이다.
- [0081] 도 10에서는 각 구조에서 킥 효과의 경향성을 나타낸 것으로, 킥 효과란 I_{ds} 값이 새추레이션되기 까지 V_{ds} 값을 늘리면서 인가 후, 점차 전압 값을 늘렸을 때, I_{ds} 의 새추레이션이 유지되지 못하고, 늘어나는 현상을 말한다.
- [0082] 도 10의 구조에서, 단일 게이트 구조의 박막 트랜지스터는 이러한 킥 효과가 심하며, 대칭형 듀얼 게이트와 비대칭형 듀얼 게이트 구조의 박막 트랜지스터는 이러한 킥 특성이 단일 게이트 구조 대비 현저히 줄어들거나 발생하지 않음을 확인할 수 있으며, 따라서, 본 발명의 구조로 이중 채널을 구비하여, 듀얼 게이트와 동일한 효

과를 줄 때 킹크 효과는 방지될 수 있음을 예상할 수 있다.

- [0083] 상술한 본 발명의 제 1 실시예의 구동 박막 트랜지스터는 대칭형 듀얼 게이트와 동일한 효과를 나타내며, 본 발명의 제 2 실시예의 구동 박막 트랜지스터는 비대칭형 듀얼 게이트와 동일한 효과를 나타낸 것으로, 본 발명에서는 게이트 전극이 단일층이지만, 게이트 전극을 중심으로 상하 액티브층을 폴딩하여 스택 구조로 구비하여 이중 채널 효과를 갖는 것으로, 기능상 이중 채널을 갖는 듀얼 게이트 구조와 동일하다.
- [0084] 기존의 듀얼 게이트 구조 대비하여 본 발명의 스택형 구동 박막 트랜지스터는 좁은 면적에 적용하여 유리하여 고해상도에 적용할 수 있다.
- [0085] 이하의 실험은 도 11a, 도 12a에서 박막 트랜지스터 W/L을 $4\mu\text{m}/12\mu\text{m}$ 로 한 것이며, 도 11b, 도 12b는 W/L을 $4\mu\text{m}/9\mu\text{m}+3\mu\text{m}$ 로, 상술한 제 2 실시예의 구조로 비대칭형 이중 채널 구조로 한 것이다. 도 11a 내지 도 12b는 결과적으로 채널의 총 길이는 $12\mu\text{m}$ 로 동일하다.
- [0086] 도 11a 및 도 11b는 박막 트랜지스터를 동일 채널 길이를 갖는 단일 게이트와, 비대칭 듀얼 게이트로 구현시 $V_{gs}-I_{ds}$ 특성을 나타낸 그래프이다.
- [0087] 도 11a는 박막 트랜지스터 W/L을 $4\mu\text{m}/12\mu\text{m}$ 로 한 것이며, 도 11b는 W/L을 $4\mu\text{m}/9\mu\text{m}+3\mu\text{m}$ 로, 상술한 제 2 실시예의 구조로 비대칭형 이중 채널 구조로 한 것이다. 도 11a와 도 11b는 결과적으로 채널의 총 길이는 $12\mu\text{m}$ 로 동일하다.
- [0088] 그런데, 도 11a와 도 11b의 그래프를 비교하여 보면, 오프 전류 특성이 도 11b, 즉, 비대칭형 이중 채널로 적용시 개선됨을 확인할 수 있다. 즉, 본 발명은 단일 게이트로 적용하는 일반 구조 대비 고해상도에 유리할 뿐만 아니라, 오프 특성도 개선됨을 확인할 수 있다.
- [0089] 도 12a 및 도 12b는 박막 트랜지스터를 동일 채널 길이를 갖는 단일 게이트와, 비대칭 듀얼 게이트로 구현시 I_d-V_d 특성을 나타낸 그래프이다.
- [0090] 도 12a와 도 12b의 그래프를 비교하여 보면, I_d-V_d 로 확인한 전류 특성도 도 12b, 즉, 비대칭형 이중 채널로 적용시 보다 안정화됨을 확인할 수 있다. 즉, 본 발명의 구동 박막 트랜지스터는 유기 발광 다이오드의 제 1 전극(애노드)과 직접 연결되며, 유기 발광 다이오드는 전류 구동 기반으로, 안정적인 구동 전류(I_d)의 인가가 필수적인데, 단일 게이트로 적용하는 일반 구조 대비 비대칭형 이중 채널 고해상도에 유리할 뿐만 아니라, 구동 전류 특성도 안정화됨을 확인할 수 있다.
- [0091] *유기 발광 표시 장치*
- [0092] 도 13은 본 발명의 유기 발광 표시 장치에 이용되는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 나타낸 단면도이며, 도 14는 본 발명의 유기 발광 표시 장치의 일 서브 픽셀의 등가 회로도이다.
- [0093] 도 13 및 도 14와 같이, 본 발명의 유기 발광 표시 장치는, 복수개의 서브 픽셀(SP)(도 13은 단일 서브 픽셀만을 도시)을 갖는 기판(100)과, 상기 서브 픽셀 각각에, 상기 기판(100) 상 다른 층상에 서로 중첩되며, 각각 다른 위치에 돌출부를 갖는 제 1 액티브층(110) 및 제 2 액티브층(150)과, 상기 제 1, 제 2 액티브층(110, 150)의 층간에 위치한 제 1 게이트 전극(130)과, 상기 제 1 액티브층(110)의 돌출부에 접속한 제 1 소오스 전극(미도시, S 영역으로부터 연장부와 접속, 도 2의 270 참조) 및 상기 제 2 액티브층(150)의 돌출부에 접속한 제 1 드레인 전극(미도시, D 영역으로부터 연장부와 접속, 도 2의 290 참조)을 포함한 구동 박막 트랜지스터(D-TR)와, 상기 각 서브 픽셀에, 상기 구동 박막 트랜지스터(D-Tr)와 연결되며, 상기 제 1 게이트 전극(130)과 동일층의 제 2 게이트 전극(135)과, 상기 제 1 소오스 전극 및 제 1 드레인 전극과 동일층의 제 2 소오스 전극(173) 및 제 2 드레인 전극(175) 및 상기 제 1 액티브층(110) 및 제 2 액티브층(150) 중 어느 하나와 동일층에 위치하는 제 3 액티브층(115)을 포함한 스위칭 박막 트랜지스터(SW-TR) 및 상기 제 1 소오스 전극 또는 제 1 드레인 전극과 제 1 노드(A)에서 접속된 유기 발광 다이오드(OLED)를 포함한다.
- [0094] 여기서, 상기 구동 박막 트랜지스터(D-TR)은 앞의 도 1 내지 도 12b에서 설명한 구조에 따르는 것으로, 상술한 제 1 실시예 또는 제 2 실시예 어느 것으로도 적용할 수 있다.
- [0095] 또한, 도 13에 도시된 예는 스위칭 박막 트랜지스터(SW-TR)의 제 3 액티브층(115)이 제 2 게이트 전극(135) 하층에 구비된 예를 나타내었지만, 이에 한하지 않으며, 제 2 게이트 전극(135)에 상층에 구비될 수도 있다.
- [0096] 상기 유기 발광 다이오드(OLED)는 제 1 전극(애노드)과, 유기 발광층 및 제 2 전극(캐소드)을 기본 구성으로 하여 구비되는 것으로, 유기 발광층과 제 1 전극과의 사이 및 유기 발광층의 제 2 전극과의 사이에 유기물로 증착

되는 공통층을 더 구비할 수 있으며, 이 중 제 1 전극이 상기 구동 박막 트랜지스터(D-TR)와 제 1 노드(A)에서 접속되어, 구동 전류를 인가받아 동작한다. 그리고, 제 2 전극은 전체 서브 픽셀에 걸쳐 형성되는 특성상 전체적인 동일 전위를 유지하고자 도시된 바와 같이 접지되거나 상전압(constant voltage)이 인가될 수 있다.

[0097] 구체적으로 도 14를 참조하여 각 서브 픽셀의 회로 구성을 설명하면, 상기 서브 픽셀(SP)은 서로 교차하는 스캔 라인(SL)과 데이터 라인(DL)으로 구분된다. 또한, 상기 표시 영역(AA) 내에는, 각 서브 픽셀(SP)에 구비되는 회로를 구동하도록 상기 데이터 라인(DL)과 동일 방향으로 구동 전압이 인가되는 구동 전압 라인(VDDL)이 더 구비되며, 상기 구동 전압 라인은 구동 박막 트랜지스터(D-Tr)에 연결된다.

[0098] 상기 스캔 라인(GL)과 데이터 라인(DL)의 교차부에 구비된 스위칭 박막 트랜지스터(S-Tr), 스위칭 박막 트랜지스터(SW-TR)와 구동 전압 라인(VDDL) 사이에 구비된 구동 박막 트랜지스터(D-TR), 구동 박막 트랜지스터(D-TR)와 연결된 유기발광 다이오드(OLED) 및 상기 구동 박막 트랜지스터(D-TR)의 제 1 게이트 전극과 제 1 드레인 전극(혹은 제 1 소오스 전극) 사이에 구비된 스토리지 캐패시터(Cst)를 포함한다.

[0099] 여기서, 스위칭 박막 트랜지스터(SW-TR)는 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 형성되어, 해당 서브 화소를 선택하는 기능을 하며, 그리고, 구동 박막 트랜지스터(D-TR)는 스위칭 박막 트랜지스터(S-TR)에 의해 선택된 서브 화소의 유기발광 다이오드(OLED)를 구동하는 기능을 한다.

[0100] 상기 스위칭 박막 트랜지스터(SW-TR)는 빠른 스위칭 기능을 위해, 짧은 채널을 유지하며 이에 따라 고해상도 구조에서도 듀얼 채널을 갖지 않고, 단일 채널로 형성될 수 있다.

[0101] 도시된 도 14는 서브 픽셀에 구비되는 가장 기본적인 2T1C 구조를 나타낸 것으로, 경우에 따라 트랜지스터와 캐패시터는 더 추가될 수 있으며, 본 발명의 유기 발광 표시 장치에서는 구동 박막 트랜지스터(D-TR)만 도 13의 우측 구성의 이중 채널 구조를 갖고, 스위칭 박막 트랜지스터(SW-TR)를 포함한 나머지 트랜지스터는 단일 채널 구조로 구비될 수 있다. 또한, 스토리지 캐패시터는 상술한 액티브층의 도핑 영역과 전극이 중첩되는 부위를 이용할 수 있어, 스토리지 캐패시터를 위한 별도 영역을 추가하지 않을 수 있어, 유기 발광 표시 장치의 고해상도에 유리하다.

[0102] 또한, 본 발명의 유기 발광 표시 장치에서는 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 스택 구조를 달리한다. 특히, 구동 박막 트랜지스터에 스택형 액티브층을 구비하여, 평면적인 영역을 넓히지 않고 수직적 구조 변화로 채널 길이를 길게 한 것으로, 고해상도의 작은 면적을 갖는 서브 픽셀 적용에 우수하다.

[0103] 그리고, 구동 박막 트랜지스터에 이중 액티브층 구비에 의해, 킥 효과(Kink effect)를 개선하고, 구동 박막 트랜지스터로부터 유기 발광 다이오드로 공급되는 드레인 전류의 균일성을 확보할 수 있다.

[0104] 구동 박막 트랜지스터가 갖는 긴 채널에 의해 I-V 곡선의 선형 구간을 길게 하여, 계조 변화 구간을 충분히 가져 유기 발광 다이오드의 계조 표현에 적합하다.

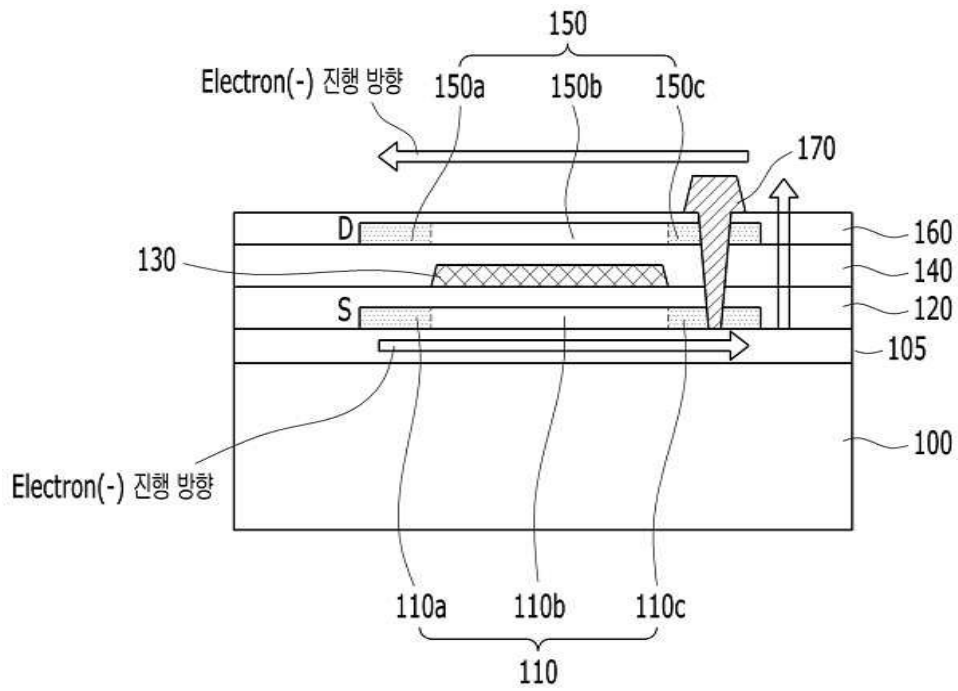
[0105] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

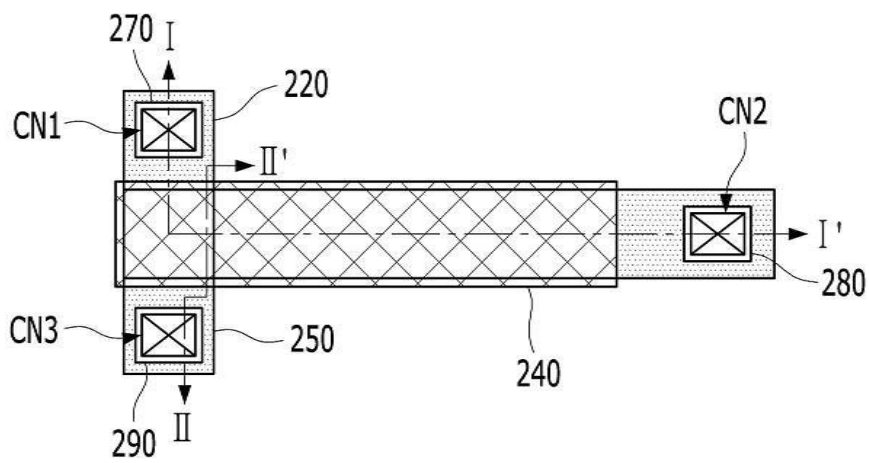
[0106]	100, 200, 300: 기판	110, 220, 320: 제 1 액티브층
	130, 240, 340: 게이트 전극	150, 250, 350: 제 2 액티브층
	270, 370: 소오스 전극	170, 280: 연결 전극
	290, 390: 드레인 전극	110b, 220b, 320b: 제 1 채널
	150b, 250b, 350b: 제 2 채널	D-TR: 구동 박막 트랜지스터
	SW-TR: 스위칭 박막 트랜지스터	

도면

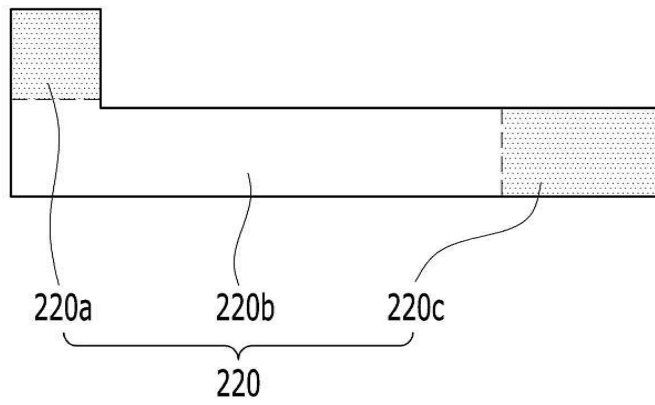
도면1



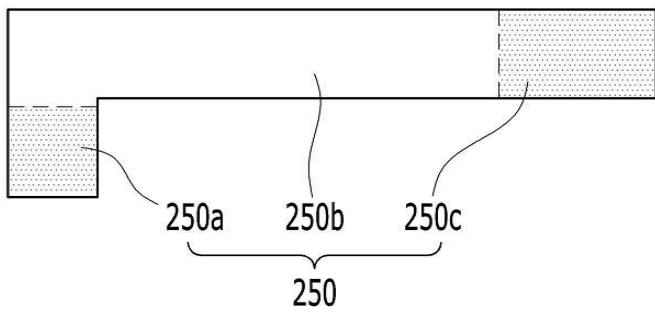
도면2



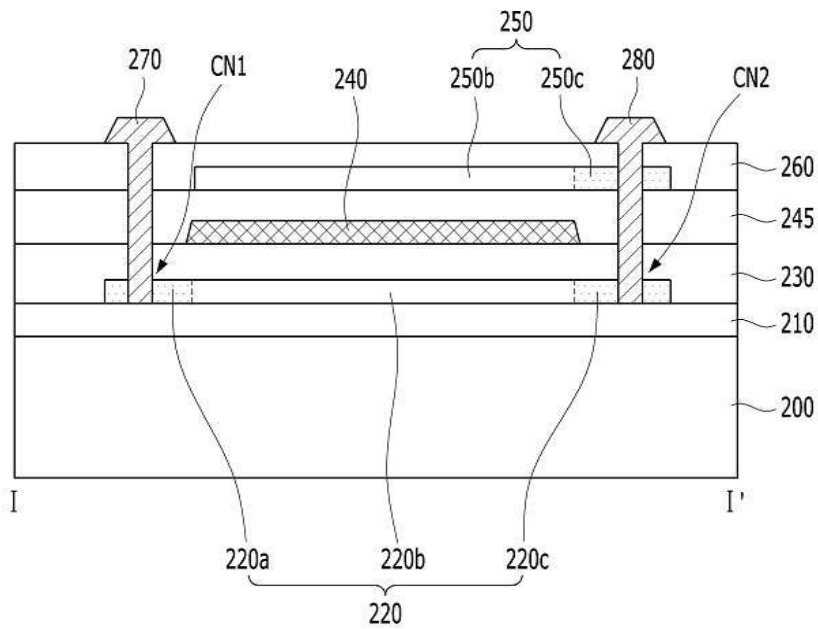
도면3a



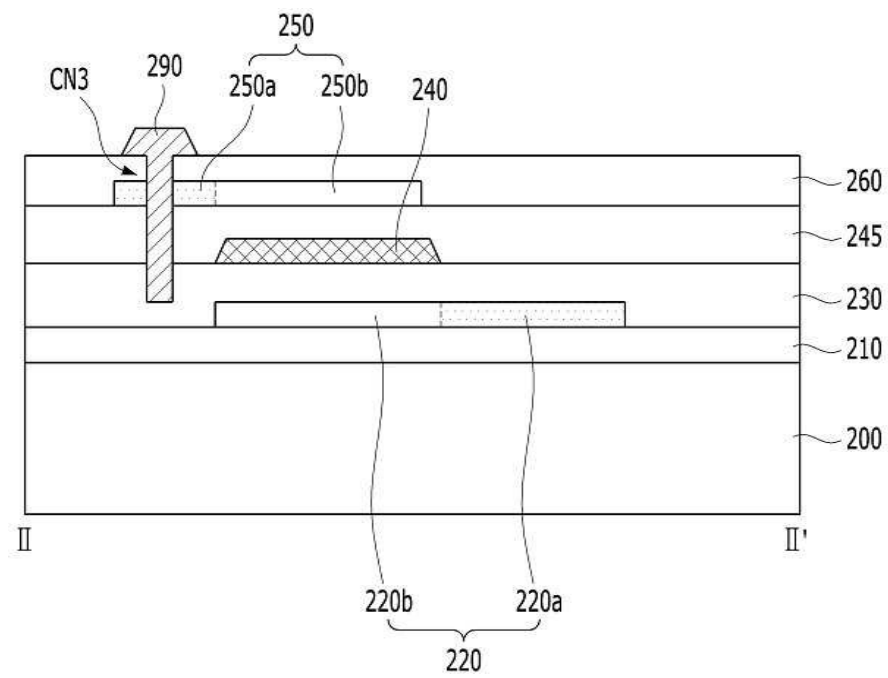
도면3b



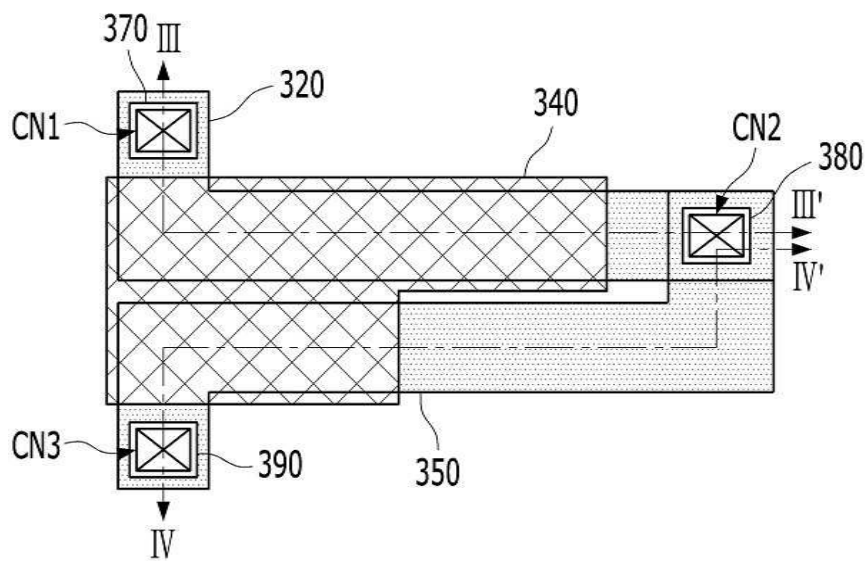
도면4



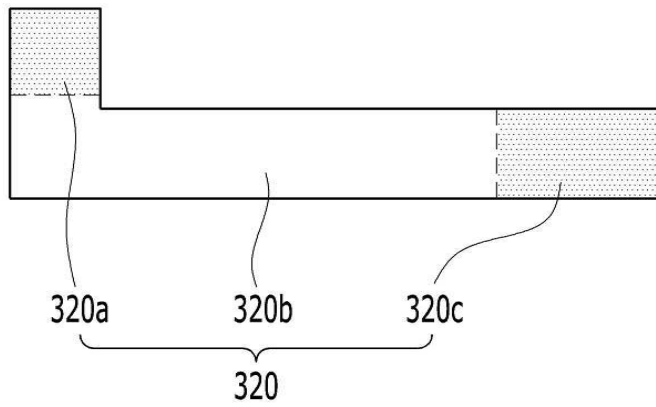
도면5



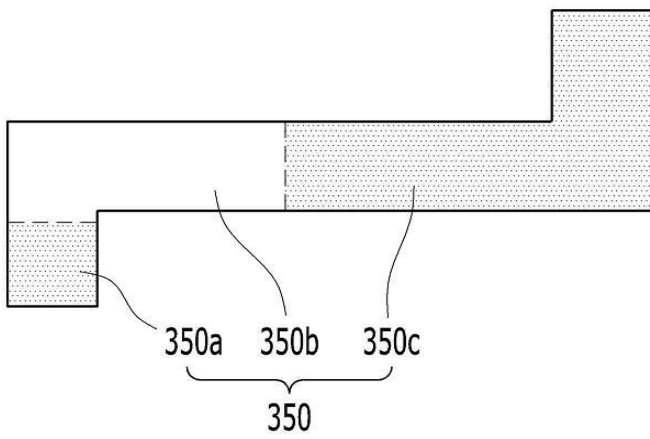
도면6



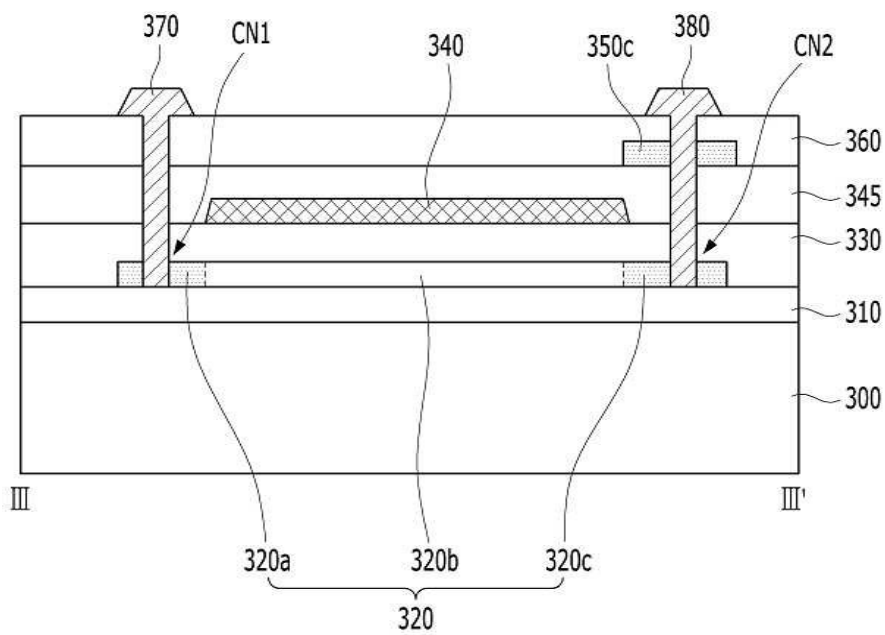
도면7a



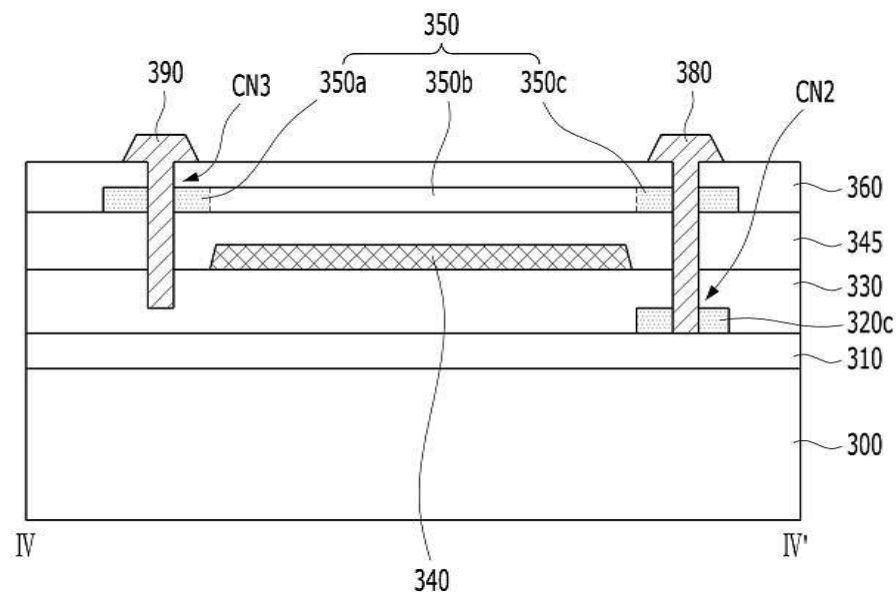
도면7b



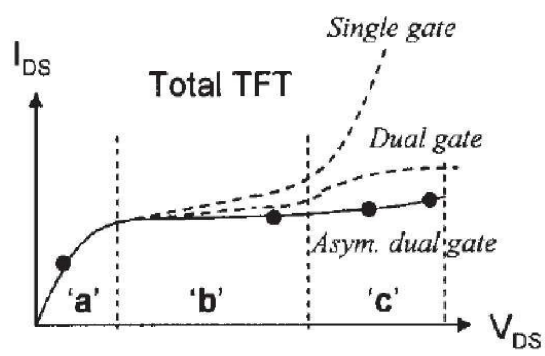
도면8



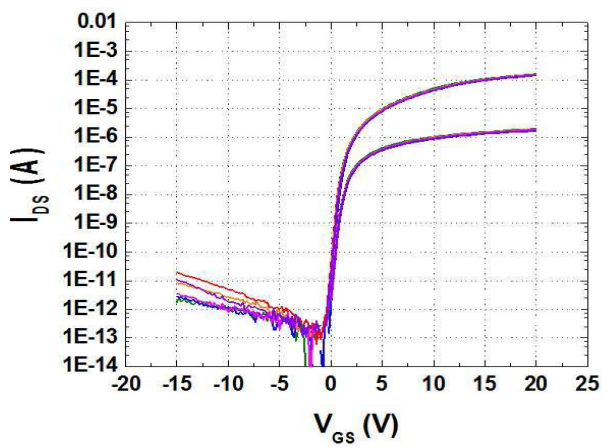
도면9



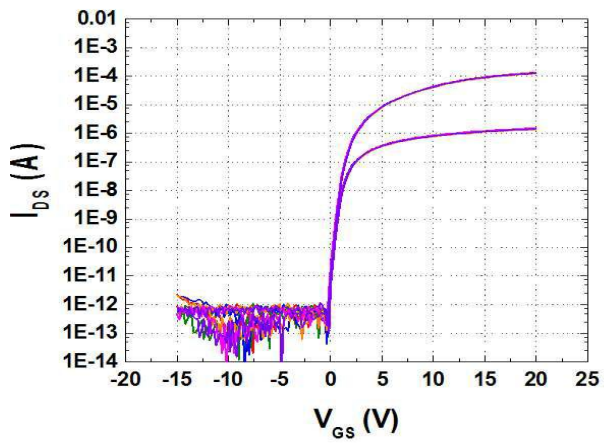
도면10



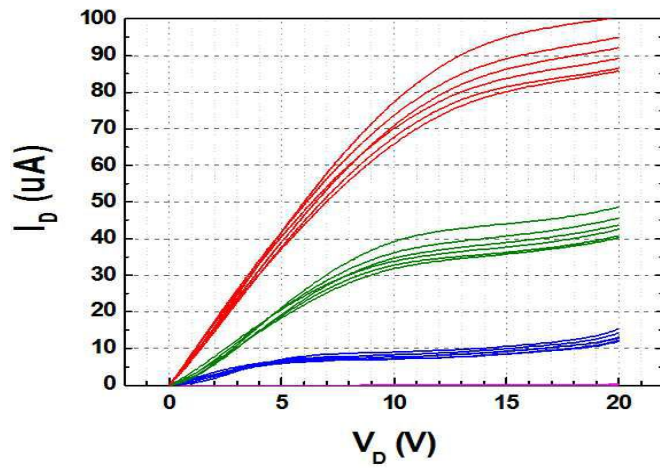
도면11a



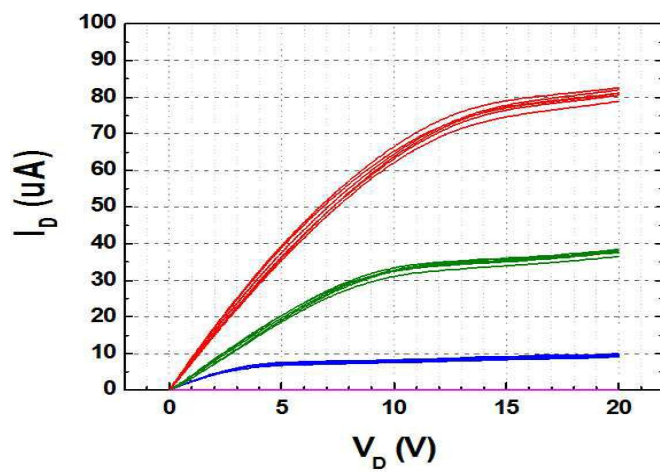
도면11b



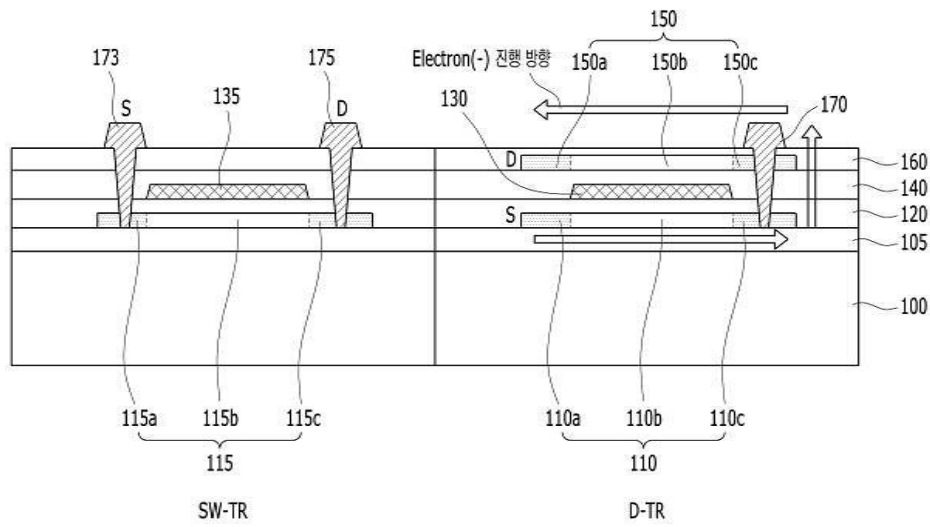
도면12a



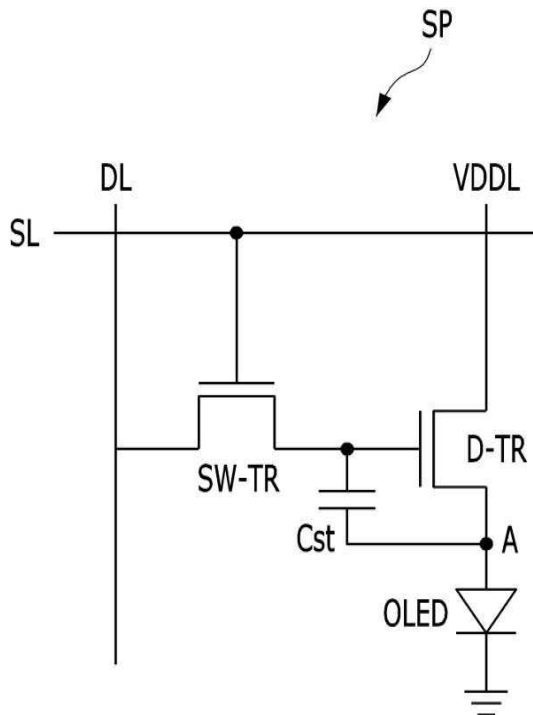
도면12b



도면13



도면14



专利名称(译)	驱动薄膜晶体管和使用其的有机发光显示器		
公开(公告)号	KR1020180079036A	公开(公告)日	2018-07-10
申请号	KR1020160184398	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG IN SANG 정인상 OH KUM MI 오금미 RYU WON SANG 류원상 KO SUN WOOK 고선욱		
发明人	정인상 오금미 류원상 고선욱		
IPC分类号	H01L27/32 H01L27/12 H01L29/45 H01L29/786		
CPC分类号	H01L27/3262 H01L27/1222 H01L27/1251 H01L29/78618 H01L29/78606 H01L29/45 H01L27/3248 H01L51/5203 G09G3/3225 G09G2300/0426 G09G2300/0465 G09G2310/0264 H01L27/1244 H01L27/3209 H01L27/3276 H01L29/786 H01L29/78612		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

[0001]本发明涉及一种驱动薄膜晶体管和使用该驱动薄膜晶体管的有机发光显示器，更具体地，涉及一种薄膜晶体管 and 一种驱动薄膜晶体管，在灰度表示方面是有利的，并且可以获得驱动有机发光二极管的可靠性。

