



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0071471
(43) 공개일자 2018년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
H01L 27/12 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2016-0173914
(22) 출원일자 2016년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
임상현
경기도 고양시 덕양구 화신로 233 (화정동) 옥빛
마을 15단지 1509동 1204호

오충완
경기도 파주시 해솔로 20 (목동동, 해솔마을4단지
벽산우남연리지) 412동 701호
(뒷면에 계속)

(74) 대리인
특허법인로얄

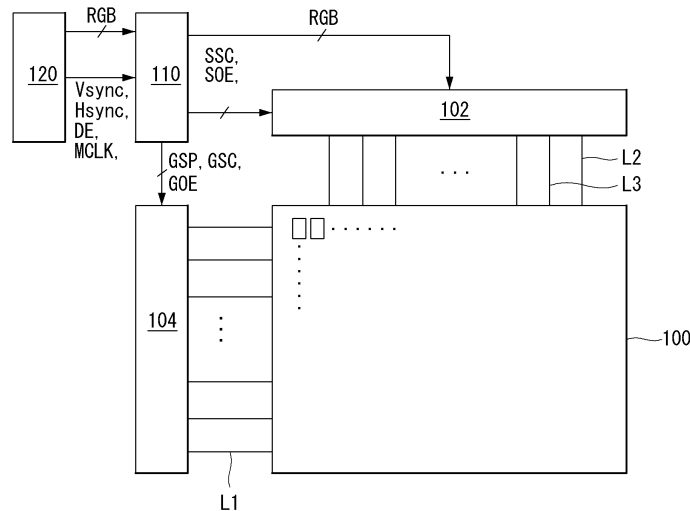
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광 다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광 다이오드 표시장치는 유기발광 다이오드를 갖는 복수의 픽셀들을 포함하고, 수평 라인, 차폐 전극, 데이터 라인을 포함한다. 수평 라인은 기관 상에 배치된다. 차폐 전극은 제1 절연막을 사이에 두고, 수평 라인 상에 배치된다. 데이터 라인은 제2 절연막을 사이에 두고, 차폐 전극 상에 배치되며, 수평 라인과 교차한다. 차폐 전극은, 수평 라인과 데이터 라인의 교차 영역에서 수평 라인 및 데이터 라인과 중첩 배치되고, 정 전압원에 전기적으로 연결된다.

대표도 - 도1



(52) CPC특허분류

H01L 27/124 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3272 (2013.01)

G09G 2230/00 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0852 (2013.01)

(72) 발명자

조대규

서울특별시 용산구 새창로12길 103 (산천동)

성기영

서울특별시 도봉구 도당로27길 24 (방학동)

박영주

서울특별시 성동구 성수일로8길 47 102동 2201호
(성수동2가, 성수롯데캐슬파크)

명세서

청구범위

청구항 1

유기발광 다이오드를 갖는 복수의 픽셀들을 포함하는 유기발광 다이오드 표시장치에 있어서,

기관 상에 배치된 수평 라인;

적어도 하나의 절연막을 사이에 두고, 상기 수평 라인 상에 배치된 차폐 전극; 및

적어도 하나의 절연막을 사이에 두고, 상기 차폐 전극 상에 배치되며, 상기 수평 라인과 교차하는 데이터 라인을 포함하고,

상기 차폐 전극은,

상기 수평 라인과 상기 데이터 라인의 교차 영역에서 상기 수평 라인 및 상기 데이터 라인과 중첩 배치되고, 정 전압원에 전기적으로 연결된 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 라인과 동일층에서 상기 데이터 라인과 이격 배치되며, 상기 정 전압원에 연결된 전원 라인을 더 포함하고,

상기 전원 라인은,

상기 차폐 전극과 상기 전원 라인 사이에 배치된 적어도 하나의 절연막을 관통하는 콘택홀을 통해, 상기 차폐 전극과 연결되는 유기발광 다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 수평 라인은,

제1 스캔 신호를 상기 픽셀들에 공급하는 제1 스캔 라인;

제2 스캔 신호를 상기 픽셀들에 공급하는 제2 스캔 라인; 및

에미션 신호를 상기 픽셀들에 공급하는 EM 라인을 포함하는 유기발광 다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 픽셀들에 고전위 전원 전압을 공급하는 제1 전원 라인; 및

상기 픽셀들에 초기화 전압을 공급하는 제2 전원 라인을 더 포함하고,

상기 픽셀들 각각은,

제 1 항에 있어서,

상기 픽셀들 각각은,

상기 유기발광 다이오드에 전류를 공급하는 구동 TFT;

상기 제1 스캔 신호에 응답하여 상기 데이터 라인과 제1 노드 사이의 전류 패스를 스위칭하는 제1 TFT;

상기 에미션 신호에 응답하여 상기 제1 전원 라인과 상기 구동 TFT 사이의 전류 패스를 스위칭하는 제2 TFT;

상기 제2 스캔 신호에 응답하여 상기 제2 전원 라인과 제2 노드 사이의 전류 패스를 스위칭하는 제3 TFT;
 상기 제1 노드와 상기 제2 노드 사이에 연결된 제1 커패시터; 및
 상기 제1 전원 라인과 상기 제2 노드 사이에 연결된 제2 커패시터를 포함하고,
 상기 차폐 전극은,
 상기 제1 스캔 라인과 상기 데이터 라인 사이에 배치되는 유기발광 다이오드 표시장치.

청구항 5

제 3 항에 있어서,
 상기 픽셀들에 고전위 전원 전압을 공급하는 제1 전원 라인; 및
 상기 픽셀들에 기준 전압을 공급하는 제3 전원 라인을 더 포함하고,
 상기 픽셀들 각각은,
 제4 노드에 연결된 상기 유기발광 다이오드에 전류를 공급하는 구동 TFT;
 제1 노드에 연결된 제1 전극과, 제2 노드를 경유하여 상기 구동 TFT의 게이트에 연결된 제2 전극을 포함한 커패시터;
 상기 제2 스캔 신호에 응답하여 상기 데이터 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제1 스위치 TFT;
 상기 제1 스캔 신호에 응답하여 상기 제2 노드와 제3 노드 사이의 전류 패스를 스위칭하는 제2 스위치 TFT;
 상기 에미션 신호에 응답하여 상기 제1 노드와 상기 제3 전원 라인 사이의 전류 패스를 스위칭하는 제3 스위치 TFT;
 상기 에미션 신호에 응답하여 상기 제3 노드와 상기 제4 노드 사이의 전류 패스를 스위칭하는 제4 스위치 TFT;
 및
 상기 제1 스캔 신호에 응답하여 상기 제4 노드와 상기 제3 전원 라인 사이의 전류 패스를 스위칭하는 제5 스위치 TFT를 포함하고,
 상기 차폐 전극은,
 상기 제1 스캔 라인과 상기 데이터 라인 사이에 배치되는 유기발광 다이오드 표시장치.

청구항 6

제 5 항에 있어서,
 상기 기판 위에 배치된 반도체층;
 상기 반도체층 위에 배치된 제1 절연막;
 상기 게이트 절연막 위에 배치된 게이트 요소들;
 상기 게이트 요소들을 덮는 상기 제2 절연막;
 상기 제2 절연막 위에 배치된 보조 요소들;
 상기 보조 요소들을 덮는 제3 절연막; 및
 상기 제3 절연막 위에 배치된 소스/드레인 요소들을 포함하고,
 상기 게이트 요소들은,
 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 EM 라인, 및 상기 제1 내지 제5 스위치 TFT와 상기 구동 TFT의 게이트 전극들을 포함하고,
 상기 보조 요소들은,

상기 커패시터의 상기 제1 전극, 및 상기 차폐 전극을 포함하며,

상기 소스/드레인 요소들은,

상기 데이터 라인, 상기 제1 전원 라인, 및 상기 제1 내지 제5 스위치 TFT와 상기 구동 TFT의 소스/드레인 전극들을 포함하는 유기발광 다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 차폐 전극은,

상기 제3 절연막을 관통하는 콘택홀을 통해 상기 제1 전원 라인과 연결되는 유기발광 다이오드 표시장치.

청구항 8

제 1 항에 있어서,

상기 정 전압원에 연결되며, 상기 수평 라인과 교차하는 전원 라인을 더 포함하고,

상기 복수의 픽셀은,

수평 방향으로 이웃하며, 상기 전원 라인을 공유하는 제1 픽셀 및 제2 픽셀을 포함하고,

상기 데이터 라인은,

상기 제1 픽셀에 데이터 전압을 공급하는 제1 데이터 라인, 및 상기 제2 픽셀에 데이터 전압을 공급하는 제2 데이터 라인을 포함하는 유기발광 다이오드 표시장치.

청구항 9

제 8 항에 있어서

상기 전원 라인은,

상기 제1 데이터 라인 및 상기 제2 데이터 라인 사이에 배치되고,

상기 차폐 전극은,

상기 수평 라인과 상기 제1 데이터 라인의 교차 영역으로부터 상기 수평 라인과 상기 제2 데이터 라인의 교차 영역까지 연장되며, 상기 전원 라인과 교차하는 유기발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한, 표시장치의 예로는, 액정 표시장치(LCD : Liquid Crystal Display), 전계방출 표시장치(FED : Field Emission Display), 플라즈마 표시장치(PDP : Plasma Display Panel) 및 유기발광 다이오드 표시장치(OLED : Organic Light Emitting Display) 등이 있다.

[0003] 유기발광 다이오드 표시장치는(Organic Light Emitting Display)는 유기 화합물을 여기시켜 발광하게 하는 자발 광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐만 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 다이오드 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 발광층을

포함한다. 애노드로부터는 정공이 주입되며 캐소드로부터는 전자가 주입된다. 애노드와 캐소드를 통해 각각 주입된 정공과 유기 발광층(emission layer : EML)에 주입되면 여기자인 엑시톤(exciton)을 형성하고, 이 엑시톤은 에너지를 빛으로 방출하면서 발광하게 된다.

[0005] 최근 표시장치의 고해상도가 요구됨에 따라 픽셀 사이즈가 점점 작아지는 경향이 있다. 픽셀들 각각에는 트랜지스터, 커패시터 및 유기발광 다이오드가 형성된다. 이러한 구성에서 픽셀 사이즈가 작아지면 트랜지스터들과 라인들이 집적화되어, 상호간 매우 밀접하게 배치된다.

[0006] 이때, 스캔 라인과 데이터 라인은 서로 교차 배치되며, 상호 중첩되는 영역에서 기생 커패시터가 형성된다. 이 경우, 스캔 라인에 인가되는 전압은 데이터 라인에 인가되는 데이터 전압의 변동에 기인하여 리플이 발생할 수 있다. 데이터 전압의 간섭에 의한 리플 현상은 사용자에게 휘도 저하 등 구동 불량으로 인지될 수 있다. 이러한 불량은 표시 장치의 표시 품질 및 제품 신뢰성을 저하시키는 바 이를 개선하기 위한 노력이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 차폐 전극을 더 구비하여, 데이터 라인과 교차하는 신호 라인에 데이터 전압의 변동에 따른 리플이 발생하는 것을 최소화한 유기발광 다이오드 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명에 의한 유기발광 다이오드 표시장치는 유기발광 다이오드를 갖는 복수의 픽셀들을 포함하고, 수평 라인, 차폐 전극, 데이터 라인을 포함한다. 수평 라인은 기판 상에 배치된다. 차폐 전극은 제1 절연막을 사이에 두고, 수평 라인 상에 배치된다. 데이터 라인은 제2 절연막을 사이에 두고, 차폐 전극 상에 배치되며, 수평 라인과 교차한다. 차폐 전극은, 수평 라인과 데이터 라인의 교차 영역에서 수평 라인 및 데이터 라인과 중첩 배치되고, 정 전압원에 전기적으로 연결된다.

발명의 효과

[0009] 본 발명은, 수평 라인을 데이터 라인으로부터 차폐하기 위한 차폐 전극을 더 구비함으로써, 데이터 전압의 변동에 기인하여 수평 라인에 인가된 전압에 리플이 발생하는 것을 최소화할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명에 따른 OLED 표시장치를 보여 주는 블록도이다.
- 도 2 및 도 3은 본 발명에 따른 OLED 표시장치의 특징을 설명하기 위한 단면도이다.
- 도 4는 본 발명의 제1 실시예에 따른 OLED 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다.
- 도 5는 도 4에 도시된 픽셀의 동작을 보여 주는 파형도이다.
- 도 6은 픽셀의 TFT들의 온/오프 스위치 타이밍을 보여 주는 도면이다.
- 도 7 및 도 8은 OLED 표시장치에서 하나의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들로, 본 발명의 효과를 비교 설명하기 위한 도면들이다.
- 도 9는 도 8을 I-I'로 절취한 단면도이다.
- 도 10은 차폐 전극이 구비된 경우와 그렇지 않은 경우의 시뮬레이션 결과를 나타낸 도면이다.
- 도 11은 본 발명의 제2 실시예에 따른 OLED 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다.
- 도 12 및 도 13은 도 11에 도시된 픽셀의 동작을 보여 주는 파형도이다.
- 도 14는 본 발명의 제2 실시예에 따른 OLED 표시장치에서 하나의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들이다.
- 도 15는 도 14를 II-II'로 절취한 단면도이다.
- 도 16은 도 11에 도시된 6T1C 구조의 어레이 구성 예를 도시한 평면도이다.

도 17은 도 16을 III-III' 및 도 IV-IV'로 절취한 단면도들이다.

도 18a 내지 도 18d는 도 16의 일부 층을 구분하여 개략적으로 도시한 도면이다.

도 19 및 도 20은 본 발명의 제3 실시예에 따른 OLED 표시장치에서 두 개의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들이다.

도 21은 도 20을 V-V'로 절취한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0012] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다. 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0013] 도 1은 본 발명에 따른 OLED(Organic Light Emitting Diode) 표시장치를 보여 주는 블록도이다. 도 2 및 도 3은 본 발명에 따른 OLED 표시장치의 특징을 설명하기 위한 단면도이다.
- [0014] 도 1을 참조하면, 본 발명의 유기 발광 다이오드 표시장치는 표시패널(100), 데이터 구동부(102), 스캔 구동부(104), 및 타이밍 콘트롤러(110)를 구비한다.
- [0015] 표시패널(100)은 픽셀들이 매트릭스 형태로 배치되어 입력 영상을 표시하는 픽셀 어레이를 포함한다. 픽셀들 각각은 컬러 구현을 위하여, 적색, 녹색 및 청색의 픽셀들 포함할 수 있다. 픽셀들 각각은 백색광을 발생하는 백색 픽셀을 더 포함할 수 있다. 픽셀들은 컬러 필터를 더 포함할 수 있다. 픽셀들 각각은 하나 이상의 스위치 소자, OLED에 전류를 공급하는 구동 소자, 및 커패시터를 구비한 픽셀을 포함한다.
- [0016] 픽셀들은 서로 교차하는 수평 라인들(L1)과 수직 라인들(L2, L3)에 의해 구획될 수 있다. 수평 라인(L1)은 스캔 신호(scan signal, scan)가 공급되는 스캔 라인들 및 에미션 신호(Emission signal, EM)가 공급되는 EM 라인들을 포함할 수 있다. 수직 라인(L2, L3)은 데이터 전압이 인가되는 데이터 라인(L2) 및 정 전압원에 연결되는 전원 라인(L3)을 포함할 수 있다. 예를 들어, 정 전압원은 고전위 전압원(EVDD)일 수 있다.
- [0017] 데이터 구동부(102)는 기준 전압(Vref)과 데이터 전압(Vdata)을 발생한다. 데이터 구동부(102)는 타이밍 콘트롤러(110)로부터 수신되는 입력 영상의 디지털 비디오 데이터를 감마보상전압으로 변환하여 데이터 전압(Vdata)을 발생하여 데이터 라인들(L2)에 공급한다. 데이터 구동부(102)는 입력 영상과 무관하게 미리 설정된 기준 전압(Vref)을 발생하여 데이터 라인들(L2)에 공급한다.
- [0018] 스캔 구동부(104)는 스캔 회로부와, 스캔 회로부의 출력을 받아 동작하는 EM 회로부를 포함한다. 스캔 회로부 및 EM 회로부는 스캔 신호 및 에미션 신호를 각각 발생시키고, 이들을 서로 다른 수평 라인들(L1)에 순차적으로 공급한다. 예를 들어, 스캔 신호는 스캔 구동부와 픽셀들을 연결하는 스캔 라인들을 통해 픽셀들에 공급될 수 있고, 에미션 신호는 EM 라인들을 통해 픽셀들에 공급될 수 있다.
- [0019] 타이밍 콘트롤러(110)는 도시하지 않은 외부의 호스트 시스템(120)으로부터 수신한 디지털 비디오 데이터(RGB)를 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(110)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(Data Enable, DE), 도트 클럭(CLK) 등 호스트 시스템으로부터 수신된 타이밍 신호들을 이용하여 데이터 구동부(102)와 스캔 구동부(104)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.
- [0020] 호스트 시스템(120)은 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 컴퓨터, 홈 시어터 시스템, 방송 수신기, 폰 시스템(Phone system) 등 각종 정보기기나 가전기기 시스템일 수 있다.
- [0021] 도 2를 더 참조하면, 수평 라인(L1)과 데이터 라인(L2)은 적어도 하나 이상의 절연막(IN2, IN3)을 사이에 두고 교차된다. 적어도 하나의 절연막(IN2, IN3)을 사이에 두고 중첩된 수평 라인(L1)과 데이터 라인(L2) 사이에는 기생 커패시터(Parasitic capacitor)(Cg)가 형성된다. 기생 커패시터(Cg)를 통한 수평 라인(L1)과 데이터 라인

(L2) 사이의 커플링(coupling)에 의해, 수평 라인(L1)에 인가되는 전압(또는, 신호)에는 데이터 전압(L2)의 변동에 동기된 리플(ripple)이 발생할 수 있다. 기생 커패시터(Cg)에 기인한 리플은, 휘도 불균일을 야기하는 등 표시 장치의 표시 품질을 저하시킬 수 있다. 이러한 문제점은 고 해상도를 갖는 표시 장치에서, 여러 소자들과 라인들이 인접 배치됨에 따라 더욱 문제될 수 있다.

[0022] 도 3을 더 참조하면, 본 발명에 따른 OLED 표시장치는 전술한 문제를 방지하기 위해, 수평 라인(L1)과 데이터 라인(L3) 사이에 차폐 전극(SE)을 형성한다. 차폐 전극(SE)은 수평 라인(L1)과 데이터 라인(L2)이 상호 중첩되는 영역에 형성된다. 차폐 전극(SE)은 수평 라인(L1)과 적어도 하나 이상의 절연막(IN2)을 사이에 두고 중첩된다. 차폐 전극(SE)은 데이터 라인(L2)과 적어도 하나 이상의 절연막(IN3)을 사이에 두고 중첩된다. 차폐 전극(SE)은 정 전압원에 전기적으로 연결된다. 예를 들어, 차폐 전극(SE)은 고전위 전원 라인(L3)에 연결될 수 있다.

[0023] 좀 더 구체적으로, 본 발명에 따른 OLED 표시장치는 수평 라인(L1), 차폐 전극(SE), 데이터 라인(L2), 및 고전위 전원 라인(L3)을 포함할 수 있다. 수평 라인(L1)은 기관(SUB) 상에 형성된다. 수평 라인(L1)은 적어도 하나의 절연막(IN1)을 사이에 두고, 기관(SUB) 상에 형성될 수 있다.

[0024] 차폐 전극(SE)은 적어도 하나의 절연막(IN2)을 사이에 두고, 수평 라인(L1) 상에 형성된다. 차폐 전극(SE)은 수평 라인(L1)의 적어도 일부와 중첩되며, 차폐 전극(SE)과 수평 라인(L1) 사이에 구비된 적어도 하나의 절연막(IN2)에 의해 수평 라인(L1)과 절연 상태를 유지한다.

[0025] 데이터 라인(L2) 및 고전위 전원 라인(L3)은 적어도 하나의 절연막(IN3)을 사이에 두고, 차폐 전극(SE) 상에 형성된다. 데이터 라인(L2)은 수평 라인(L1)과 교차하며, 상기 교차 영역에서 수평 라인(L1)과 중첩된다. 상기 교차 영역에서, 데이터 라인(L2)과 수평 라인(L1) 사이에는 차폐 전극(SE)이 위치한다. 데이터 라인(L2)은, 데이터 라인(L2)과 차폐 전극(SE) 사이에 구비된 적어도 하나의 절연막(IN3)에 의해 차폐 전극(SE)과 절연 상태를 유지한다.

[0026] 고전위 전원 라인(L3)은 데이터 라인(L2)과 동일층에서 소정 간격 이격되어 위치할 수 있다. 고전위 전원 라인(L3)은, 고전위 전원 라인(L3)과 차폐 전극(SE) 사이에 구비된 적어도 하나의 절연막(IN3)을 관통하는 콘택홀(CH)을 통해, 차폐 전극(SE)과 전기적으로 연결된다.

[0027] 차폐 전극(SE)에 정 전압이 인가되기 때문에, 수평 라인(L1)은 차폐 전극(SE)과의 커플링에 기인한 리플 현상이 발생하지 않는다. 또한, 수평 라인(L1)은, 수평 라인(L1)과 데이터 라인(L2) 사이에 위치하며 정 전압원에 연결된 차폐 전극(SE)에 의해, 데이터 전압 변동에 민감하게 변하지 않는다. 달리 표현하면, 본 발명에 따른 OLED 표시장치는, 수평 라인(L1)이 차폐 전극(SE)에 의해 데이터 라인(L2)으로부터 차폐되어 있기 때문에, 데이터 전압의 변동에 기인하여 수평 라인(L1)에 인가된 전압에 리플이 발생하는 것을 최소화할 수 있다.

[0028] 이하, 본 발명에 따른 바람직한 실시예들을 통해 본 발명의 효과를 구체적으로 설명하기로 한다.

[0029] <제1 실시예>

[0030] 도 4는 본 발명의 제1 실시예에 따른 OLED 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다. 도 5는 도 4에 도시된 픽셀의 동작을 보여 주는 파형도이다. 도 6은 픽셀의 TFT(Thin Film Transistor)들의 온/오프 스위치 타이밍을 보여 주는 도면이다.

[0031] 도 4 내지 도 6를 참조하면, 픽셀들 각각은 OLED, 제1 내지 제4 TFT(T1~T4), 제1 및 제2 커패시터(C1, C2)를 포함한다. 이 픽셀은 4 개의 트랜지스터와 2 개의 커패시터를 포함한 4T2C 회로 구조이다.

[0032] 픽셀의 1 수평 기간(1H)은 초기화 기간(Ti), 샘플링 기간(Ts), 프로그래밍 기간(Tp), 및 에미션 기간(Te)으로 나뉘어 진다. 1 수평 기간(1H) 동안, 픽셀의 구동 소자인 제4 TFT(T4)의 문턱 전압이 샘플링되고 그 문턱 전압 만큼 데이터 전압을 보상한다. 따라서, 1 수평 기간(1H) 동안, 입력 영상의 데이터가 구동 소자의 문턱 전압 만큼 보상되어 픽셀에 기입된다.

[0033] 제1 스캔 신호(Scan1)는 대략 1 수평 기간(1H) 동안 온 레벨로 발생되어 제1 TFT(T1)를 턴-온(turn-on)시키고, 에미션 기간(Te)에 오프 레벨로 반전되어 제1 TFT(T1)를 턴-오프(turn-off)시킨다.

[0034] 제2 스캔 신호(Scan2)는 초기화 기간(Ti) 내에서 온 레벨로 발생되어 제3 TFT(T3)를 턴-온시키고, 나머지 기간 동안 오프 레벨을 유지하여 제3 TFT(T3)를 오프 상태로 제어한다.

[0035] 에미션 신호(EM)는 샘플링 기간(Ts) 내에서 온 레벨로 발생되어 제2 TFT(T2)를 턴-온시키고, 초기화 기간(Ti)과

프로그래밍 기간(Tp)에 오프 레벨로 반전되어 제2 TFT(T2)를 턴-오프시킨다. 그리고, 에미션 신호(EM)는 에미션 기간(Te) 동안 내에서 ON 레벨을 유지하여 제2 TFT(T2)를 온 상태로 유지시킨다.

- [0036] OLED는 제2 TFT(T2)로부터 공급되는 전류에 의해 발광한다. OLED의 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(n2)에 연결되고, 캐소드는 저전위 전압원(EVSS)(또는 기저 전압원(GND))에 연결된다.
- [0037] 제1 TFT(T1)는 제1 스캔 신호(Scan1)에 응답하여 스위칭됨으로써 데이터 라인(11)과 제1 노드(n1) 사이의 전류 패스를 온/오프하는 스위치 TFT이다. 제1 TFT(T1)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인은 데이터 라인(11)에 접속된다. 제1 TFT(T1)의 소스는 제1 노드(n1)에 접속된다.
- [0038] 제2 TFT(T2)는 에미션 신호(EM)에 응답하여 스위칭됨으로써 고전위 전원 라인(15)과 제4 TFT(T4)의 드레인 사이의 전류 패스를 온/오프하는 스위치 TFT이다. 제2 TFT(T2)의 게이트는 EM 라인(14)에 접속되고, 드레인은 고전위 전원 라인(15)에 접속된다. 제2 TFT(T2)의 소스는 제4 TFT(T4)의 드레인에 접속된다.
- [0039] 제3 TFT(T3)는 제2 스캔 신호(Scan2)에 응답하여 스위칭됨으로써 Vini 라인(13)과 제2 노드(n2)의 전류 패스를 온/오프하는 스위치 TFT이다. Vini 라인(13)은 초기화 신호 라인이다. 제3 TFT(T3)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인은 제2 노드(n2)에 접속된다. 제3 TFT(T3)의 소스는 Vini 라인(13)에 접속된다. Vini 라인(13)에는 초기화 신호(Vini)가 공급된다.
- [0040] 제4 TFT(T4)는 자신의 게이트-소스 간 전압(Vgs)에 따라 OLED의 전류를 제어하는 구동 TFT이다. 제4 TFT(T4)의 게이트는 제1 노드(n1)에 접속되고, 드레인은 제2 TFT(T2)의 소스에 연결된다. 소스는 OLED의 애노드에 접속된다.
- [0041] 제1 커패시터(C1)는 제1 노드(n1)와 제2 노드(n2) 사이에 접속되어 양단 간의 차 전압을 저장한다. 제1 커패시터(C1)는 소스팔로워(source-follower) 방식으로 구동 소자인 제4 TFT(T4)의 문턱 전압(Vth)을 샘플링한다. 제2 커패시터(C2)는 고전위 전원 라인(15)과 제2 노드(n2) 사이에 접속된다. 제1 및 제2 커패시터(C1,C2)는 프로그래밍 기간(Tp)에서 데이터 전압(Vdata)에 따라 제1 노드(n1)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(n2)에 반영한다.
- [0042] 도 7 내지 도 9를 더 참조하여, 본 발명의 제1 실시예에 따른 OLED 표시장치의 효과를 구체적으로 설명한다. 도 7 및 도 8은 OLED 표시장치에서 하나의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들로, 본 발명의 효과를 비교 설명하기 위한 도면들이다. 도 9는 도 8을 I-I'로 절취한 단면도이다. 도 7 및 도 8은 본 발명의 특징적 구성만을 도시한 것으로, 설명의 편의를 위해 수평 라인들과 수직 라인들만을 개략적으로 도시하였음에 주의하여야 한다.
- [0043] 도 7을 더 참조하면, 하나의 픽셀에는, 수평 방향으로 연장되는 제1 스캔 라인(12a)과 EM 라인(14)이 구비되고, 수직 방향으로 연장되는 데이터 라인(11)과 고전위 전원 라인(15)이 구비될 수 있다. 제1 스캔 라인(12a)에는, 제1 스캔 신호(Scan1)가 공급된다. EM 라인(14)에는, 에미션 신호(EM)가 공급된다. 데이터 라인(11)에는, 데이터 전압(Vdata)이 공급된다. 고전위 전원 라인(15)에는, 고전위 전원 전압(EVDD)이 공급된다.
- [0044] 제1 스캔 라인(12a)과 데이터 라인(11)은, 서로 교차하며, 교차 영역에서 적어도 하나의 절연막을 사이에 두고 중첩된다. 제1 스캔 라인(12a)과 데이터 라인(11) 사이에는, 기생 커패시터(Cg)가 형성된다. 제1 스캔 라인(12a)과 데이터 라인(11) 사이의 기생 커패시터(Cg)로 인하여 제1 스캔 라인(12a)과 데이터 라인(11)이 커플링되기 때문에, 제1 스캔 신호(Scan1)는 데이터 전압(Vdata)의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)에 동기되어 왜곡될 수 있다.
- [0045] 예를 들어, 타이밍 컨트롤러(110, 도 1)로부터 출력된 게이트 타이밍 제어 신호는 도시하지 않은 레벨 시프터(Level shifter)에 의해 게이트 온 전압(이하 'VGH 전압'이라 함)과 게이트 오프 전압(이하 'VGL 전압'이라 함)으로 스위칭하는 전압으로 변환한다. VGH 전압은 픽셀 어레이의 TFT와 스캔 구동부(104, 도 1)의 TFT의 문턱 전압보다 높은 전압이다. VGL 전압은 픽셀 어레이의 TFT와 스캔 구동부(104, 도 1)의 TFT의 문턱 전압보다 낮은 전압이다.
- [0046] EM 회로부는 스캔 회로부의 출력을 받아 동작한다. 따라서, 데이터 전압(Vdata)의 변동에 기인하여 제1 스캔 신호(Scan1)의 VGL 전압에 리플이 발생하게 되면, 스캔 회로부에 연결된 EM 회로부에 영향을 미친다. 즉, 제1

스캔 신호(Scan1)의 VGL 전압에 발생한 리플에 기인하여 EM 회로로부터 출력되는 에미션 신호(EM)의 하이 전압이 상대적으로 저하되는 불량이 발생할 수 있고, 이는 OLED 전류를 왜곡시켜 사용자에게 휘도 저하와 같은 구동 불량으로 인지될 수 있다.

[0047] 도 8 및 도 9를 참조하면, 본 발명의 제1 실시예에 따른 OLED 표시장치는 전술한 문제점을 방지하기 위해, 정전압원에 연결된 차폐 전극(SE)을 더 포함한다. 차폐 전극(SE)은 제1 스캔 라인(12a)과 데이터 라인(11)이 서로 교차하는 영역에 형성된다. 차폐 전극(SE)은 제1 스캔 라인(12a)과 데이터 라인(11)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN2)을 사이에 두고 제1 스캔 라인(12a)과 이격 배치된다. 차폐 전극(SE)은 제1 스캔 라인(12a)과 데이터 라인(11)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN3)을 사이에 두고 데이터 라인(11)과 이격 배치된다. 제1 스캔 라인(12a), 차폐 전극(SE), 데이터 라인(11)은 기판(SUB) 상에서 적어도 하나의 절연막(IN1, IN2, IN3)을 사이에 두고 서로 다른 층에 배치되어, 상호 이격된 상태를 유지한다.

[0048] 좀 더 구체적으로, 기판(SUB) 상에는 제1 스캔 라인(12a)이 형성된다. 기판(SUB)과 제1 스캔 라인(12a) 사이에는 적어도 하나의 절연막(IN1)이 더 구비될 수 있다. 제1 스캔 라인(12a) 상에는 적어도 하나의 절연막(IN2)을 사이에 두고 차폐 전극(SE)이 형성된다. 차폐 전극(SE) 상에는 적어도 하나의 절연막(IN3)을 사이에 두고 데이터 라인(11) 및 고전위 전원 라인(15)이 서로 이격 배치된다.

[0049] 데이터 라인(11)은 제1 스캔 라인(12a)과 교차된다. 차폐 전극(SE)은 데이터 라인(11)과 제1 스캔 라인(12a)이 교차되는 영역에 중첩되어 위치한다. 고전위 전원 라인(15)은, 고전위 전원 라인(15)과 차폐 전극(SE) 사이의 적어도 하나의 절연막(IN3)을 관통하는 콘택홀(CH)을 통해, 차폐 전극(SE)과 접속된다.

[0050] 본 발명의 제1 실시예에 따른 OLED 표시장치는 차폐 전극(SE)을 더 구비함으로써, 제1 스캔 라인(12a)과 데이터 라인(11) 간에 존재하는 기생 커패시턴스의 감소를 통해 제1 스캔 라인(12a)과 데이터 라인(11) 사이의 커플링을 제거할 수 있다. 이에 따라, 본 발명은 데이터 전압(Vdata)의 변동에 기인한 제1 스캔 신호(Scan1)의 VGL 전압의 리플을 최소화할 수 있어 표시 품질이 향상된 OLED 표시장치를 제공할 수 있다.

[0051] 도 10은 차폐 전극이 구비된 경우와 그렇지 않은 경우의 시뮬레이션 결과를 나타낸 도면이다. 도 10은 제1 스캔 신호의 VGL 전압의 변동을 측정된 것으로, 도 10의 (a)를 참조하면 차폐 전극(SE)이 구비되지 않은 경우 데이터 전압(Vdata)의 변동에 기인하여 제1 스캔 신호(Scan1)의 VGL 전압에 리플이 빈번하게 발생하고 있으나, 도 10의 (b)를 참조하면 차폐 전극(SE)이 구비되는 경우 데이터 전압(Vdata)의 변동에 기인한 제1 스캔 신호(Scan1)의 VGL 전압에 리플 발생이 최소화되었음을 알 수 있다.

[0053] <제2 실시예>

[0054] 도 11은 본 발명의 제2 실시예에 따른 OLED 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다. 도 12 및 도 13은 도 11에 도시된 픽셀의 동작을 보여 주는 파형도이다.

[0055] 도 11은 제n(n은 1 이상의 정수) 라인에 배치된 일 픽셀 구조를 나타낸 것이다. 도 11을 참조하면, 픽셀들 각각은 OLED, 제1 내지 제5 TFT(T11~T15), 구동 TFT(DT), 및 커패시터(Cstg)를 포함한다. 이 픽셀은 6 개의 트랜지스터와 1 개의 커패시터를 포함한 6T1C 회로 구조이다.

[0056] 유기발광 다이오드(OLED)는 구동 TFT(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광 다이오드(OLED)의 애노드와 캐소드 사이에는 다층의 유기 화합물층이 형성된다. 유기발광 다이오드(OLED)의 애노드는 제4 노드(N4)에 접속되고, 유기발광 다이오드(OLED)의 캐소드는 저전위 전압원(EVSS)의 입력단에 접속된다.

[0057] 구동 TFT(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광 다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 TFT(DT)의 소스는 고전위 전압원(EVDD) 입력단에 접속되고, 게이트는 제2 노드(N2)에 접속되고, 드레인은 제3 노드(N3)에 접속된다.

[0058] 제1 TFT(T11)는 제2 스캔 라인(112b)에 연결되는 게이트, 데이터 전압(Vdata)을 공급하는 데이터 라인(111)과 연결되는 소스, 제1 노드(N1)에 연결되는 드레인을 포함한다. 그 결과, 제1 TFT(T11)는 제2 스캔 신호(Scan2(n))에 응답하여, 데이터 라인(111)으로부터 공급받는 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다.

[0059] 제2 TFT(T12)는 제3 노드(N3)에 접속되는 소스, 제2 노드(N2)에 접속되는 드레인, 및 제1 스캔 라인(112a)에 연결되는 게이트를 포함한다. 제2 TFT(T12)는 제1 스캔 신호(Scan1(n))에 응답하여, 구동 TFT(DT)의 게이트-드레인을 다이오드 커넥팅시킨다.

- [0060] 제3 TFT(T13)는 EM 라인(114)에 연결되는 게이트, 제1 노드(N1)에 연결되는 소스, 기준 전압 라인(116)에 연결되는 드레인을 포함한다. 그 결과, 제3 TFT(T13)는 에미션 신호(EM(n))에 응답하여 기준 전압(Vref)을 제1 노드(N1)에 인가한다.
- [0061] 제4 TFT(T14)는 제3 노드(N3)에 접속하는 소스, 제4 노드(N4)에 접속하는 드레인 및 EM 라인(114)에 연결되는 게이트를 포함한다. 그 결과, 제4 TFT(T14)는 에미션 신호(EM(n))에 응답하여 제3 노드(N3)와 제4 노드(N4) 간의 전류 패스를 형성한다.
- [0062] 제5 TFT(T15)는 제4 노드(N4)에 연결되는 드레인, 기준 전압 라인(116)에 연결되는 소스 및 제1 스캔 라인(112a)에 연결되는 게이트를 포함한다. 제5 TFT(T15)는 제1 스캔 신호(Scan1(n))에 응답하여 기준 전압(Vref)을 제4 노드(N4)에 인가한다.
- [0063] 스토리지 커패시터(Cst)는 제1 노드(N1)에 연결되는 제1 전극 및 제2 노드(N2)에 연결되는 제2 전극을 포함한다.
- [0064] 도 12를 더 참조하면, OLED 표시장치에서 일 프레임 기간은 이니셜 기간(Ti), 샘플링 기간(Ts) 및 에미션 기간(Tm)으로 구분될 수 있다. 이니셜 기간(Ti)은 구동 TFT(DT)의 게이트 전압을 초기화하는 기간이다. 샘플링 기간(Ts)은 유기발광 다이오드(OLED)의 애노드의 전압을 초기화하며, 구동 TFT(DT)의 문턱전압을 샘플링하여 제2 노드(N2)에 저장하는 기간이다. 에미션 기간(Tm)은 샘플링된 문턱전압을 포함하여 구동 TFT(DT)의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광 다이오드(OLED)를 발광시키는 기간이다.
- [0065] 이니셜 기간(Ti) 동안, 제1 스캔 신호(Scan1(n)) 및 에미션 신호(EM(n))는 게이트 온 전압으로 인가된다. 그 결과, 제2 TFT(T12) 및 제5 TFT(T15)는 제1 스캔 신호(Scan1(n))에 의해서 턴-온되고, 제3 TFT(T13) 및 제4 TFT(T14)는 에미션 신호(EM(n))에 의해서 턴-온된다. 이니셜 기간(Ti) 동안, 제1 노드(N1)는 기준 전압(Vref)을 인가받고, 제2 노드(N2) 내지 제4 노드(N4)는 기준 전압(Vref)으로 초기화된다. 기준 전압(Vref)은 유기발광 다이오드(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택될 수 있으며, 저전위 전원 전압(EVSS)과 같거나 낮은 전압으로 설정될 수 있다.
- [0066] 샘플링 기간(Ts) 동안, 제1 스캔 신호(Scan1(n))는 게이트 온 전압을 유지하고, 에미션 신호(EM(n))는 게이트 오프 전압으로 반전된다. 그리고, 제2 스캔 신호(Scan2(n))는 게이트 온 전압으로 반전된다. 제2 TFT(T12) 및 제5 TFT(T15)는 턴-온 상태를 유지하고, 제3 TFT(T13) 및 제4 TFT(T14)는 턴-오프된다.
- [0067] 제3 TFT(T13)가 턴-온되어서, 제1 노드(N1)는 제1 TFT(T11)를 경유하는 데이터전압(Vdata)에 의해서 전압이 상승하고, 제2 노드(N2)는 제1 노드(N1)의 전압 상승에 따라 전압이 상승한다. 그 결과, 구동 TFT(DT)의 게이트-소스 전압 차이는 문턱전압(Vth) 이상이 되면서 턴-온된다.
- [0068] 구동 TFT(DT)의 소스-드레인을 경유하는 전류에 의해서 제3 노드(N3)의 전압은 점차 상승한다. 그리고, 구동 TFT(DT)의 게이트전극과 드레인전극은 다이오드 커넥션 된 상태이기 때문에, 제2 노드(N2)의 전압은 제3 노드(N3)의 전압을 따라 상승한다. 제2 노드(N2)의 전압이 상승함에 따라 구동 TFT(DT)의 게이트-소스 전압 차이는 점차 줄어들고, 구동 TFT(DT)의 게이트-소스 전압 차이가 문턱전압(Vth) 이하가 될 때 구동 TFT(DT)는 턴-오프된다. 결국, 샘플링 기간(Ts) 동안에 제2 노드(N2) 및 제3 노드(N3)는 고전위전압(VDD)과 문턱전압(Vth) 간의 전압 차이값에 해당하는 “VDD+Vth” 가 된다.
- [0069] 그리고 샘플링 기간(Ts) 동안 제1 TFT(T11)는 제2 스캔 신호(Scan2(n))에 응답하여 제1 노드(N1)에 데이터전압(Vdata)을 충전한다.
- [0070] 또한 샘플링 기간(Ts) 동안 제5 TFT(T15)는 제1 스캔 신호(Scan1(n))에 응답하여 제4 노드(N4)를 기준 전압(Vref)으로 초기화한다.
- [0071] 홀딩 기간(Th) 동안, 제1 스캔 신호(Scan1(n))는 게이트 오프 전압으로 반전되고, 에미션 신호(EM(n))는 게이트 오프 전압을 유지한다. 그 결과, 제1 노드(N1) 내지 제4 노드(N4)의 전압은 샘플링 기간(Ts)의 전압을 유지한다.
- [0072] 에미션 기간(Tm) 동안, 제1 스캔 신호(Scan1(n)) 및 제2 스캔 신호(Scan2(n))는 게이트 오프 전압을 유지하고, 에미션 신호(EM(n))는 게이트 온 전압으로 반전된다.
- [0073] 제3 TFT(T13)는 에미션 신호(EM(n))에 응답하여, 제1 노드(N1)에 기준 전압(Vref)을 인가한다. 샘플링 기간

(Ts) 동안 제1 노드(N1)는 데이터전압(Vdata)이기 때문에, 제1 노드(N1)의 전압 변화량은 “Vdata-Vref”가 된다. 제2 노드(N2)와 제1 노드(N1) 간의 커플링 현상에 의해서, 제1 노드(N1)의 전압 변화량은 제2 노드(N2)에 반영되고, 그 결과 제2 노드(N2)의 전압은 “VDD-Vth-(Vdata-Vref)”가 된다. 제2 노드(N2)의 전압 변화에 따라 구동 TFT(DT)의 소스-드레인을 경유하는 구동전류(Ioled)는 제4 노드(N4)를 경유하여 유기발광 다이오드(OLED)에 인가된다.

[0074] 이때, 제1 스캔 라인(112a)과 데이터 라인(111)은, 서로 교차하며, 교차 영역에서 적어도 하나의 절연막을 사이에 두고 중첩된다. 제1 스캔 라인(112a)과 데이터 라인(111) 사이에는, 기생 커패시터가 형성된다. 제1 스캔 라인(112a)과 데이터 라인(111) 사이의 기생 커패시터로 인하여 제1 스캔 라인(112a)과 데이터 라인(111) 커플링되기 때문에, 제1 스캔 신호(Scan1)는 데이터 전압(Vdata)의 변동에 동기되어 리플이 발생하는 등 왜곡될 수 있다.

[0075] 좀 더 구체적으로, 도 13을 더 참조하면, 제n+1 라인의 제1 스캔 신호(Scan1(n+1))는 제n 라인의 제1 스캔 신호(Scan1(n))에 이어서 온 레벨로 발생되고, 그 온 레벨 구간이 제1 스캔 신호(Scan1(n))의 후반부 1 수평 기간과 중첩된다. 즉, 제n 라인의 샘플링 기간(Ts(n))은 제n+1 라인의 초기화 기간(Ti(n+1))과 중첩된다. 제n 라인의 픽셀에 인가되는 데이터 전압(Vdata)은, n 및 n+1 라인들의 제1 스캔 신호(Scan1(n), Scan1(n+1))가 동시에 온 레벨로 발생될 때(즉, 제n 라인의 샘플링 기간(Ts(n))), 데이터 라인(111)들에 인가된다.

[0076] 이때, 데이터 라인(111)들과 제1 스캔 라인(112a) 간의 커플링에 의해, 제n+1 라인의 제1 스캔 신호(Scan1(n+1))에서 게이트 온 전압은 제n 라인의 샘플링 기간(Ts(n))에 인가되는 데이터 전압(Vdata(n))으로 인하여 영향을 받는다. 이에 따라, 제n+1 라인에서 휘/암선이 발생할 수 있고, 이는 사용자에게 수평 크로스토크(horizontal crosstalk)로 인지될 수 있다. 제n+1 번째 라인의 픽셀들에서 보이는 수평 크로스토크 현상은 제n 라인의 픽셀들에 기입된 데이터 전압(Vdata)에서 블랙 계조 전압이 많을수록 더욱 두드러지게 인지된다.

[0077] 도 14는 본 발명의 제2 실시예에 따른 OLED 표시장치에서 하나의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들이다. 도 15는 도 14를 II-II'로 절취한 단면도이다. 도 14는 본 발명의 특징적 구성만을 도시한 것으로, 설명의 편의를 위해 수평 라인들과 수직 라인들만을 개략적으로 도시하였음에 주의하여야 한다.

[0078] 도 14를 참조하면, 하나의 픽셀에는, 수평 방향으로 연장되는 제1 스캔 라인(112a), 제2 스캔 라인(112b), 및 EM 라인(114)이 구비되고, 수직 방향으로 연장되는 데이터 라인(111)과 고전위 전원 라인(115)이 구비될 수 있다. 제1 스캔 라인(112a)에는, 제1 스캔 신호(Scan1(n))가 공급된다. 제2 스캔 라인(112b)에는, 제2 스캔 신호(Scan2(n))가 공급된다. EM 라인(114)에는, 에미션 신호(EM(n))가 공급된다. 데이터 라인(111)에는, 데이터 전압(Vdata)이 공급된다. 고전위 전원 라인(115)에는, 고전위 전원 전압(EVDD)이 공급된다.

[0079] 본 발명의 제2 실시예에 따른 OLED 표시장치는 전술한 문제점을 방지하기 위해, 정 전압원에 연결된 차폐 전극(SE)을 더 포함한다. 차폐 전극(SE)은 제1 스캔 라인(112a)과 데이터 라인(111)이 서로 교차하는 영역에 형성된다. 차폐 전극(SE)은 제1 스캔 라인(112a)과 데이터 라인(111)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN2)을 사이에 두고 제1 스캔 라인(112a)과 이격 배치된다. 차폐 전극(SE)은 제1 스캔 라인(112a)과 데이터 라인(111)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN3)을 사이에 두고 데이터 라인(111)과 이격 배치된다. 제1 스캔 라인(112a), 차폐 전극(SE), 데이터 라인(111)은 기판(SUB) 상에서 적어도 하나의 절연막(IN1, IN2, IN3)을 사이에 두고 서로 다른 층에 배치되어, 상호 이격된 상태를 유지한다.

[0080] 좀 더 구체적으로, 도 15를 더 참조하면, 기판(SUB) 상에는 제1 스캔 라인(112a)이 형성된다. 기판(SUB)과 제1 스캔 라인(112a) 사이에는 적어도 하나의 절연막(IN1)이 더 구비될 수 있다. 제1 스캔 라인(112a) 상에는 적어도 하나의 절연막(IN2)을 사이에 두고 차폐 전극(SE)이 형성된다. 차폐 전극(SE) 상에는 적어도 하나의 절연막(IN3)을 사이에 두고 데이터 라인(111) 및 고전위 전원 라인(115)이 서로 이격 배치된다.

[0081] 데이터 라인(111)은 제1 스캔 라인(112a)과 교차된다. 차폐 전극(SE)은 데이터 라인(111)과 제1 스캔 라인(112a)이 교차되는 영역에 중첩되어 위치한다. 고전위 전원 라인(115)은, 고전위 전원 라인(115)과 차폐 전극(SE) 사이의 적어도 하나의 절연막(IN3)을 관통하는 콘택홀(CH)을 통해, 차폐 전극(SE)과 접속된다.

[0082] 본 발명의 제2 실시예에 따른 OLED 표시장치는 차폐 전극(SE)을 더 구비함으로써, 제1 스캔 라인(112a)과 데이터 라인(111) 간에 존재하는 기생 커패시턴스의 감소를 통해 제1 스캔 라인(112a)과 데이터 라인(111) 사이의 커플링을 제거할 수 있다. 이에 따라, 본 발명은 데이터 전압(Vdata)의 변동에 기인한 제1 스캔 신호(Scan1(n))의 리플을 최소화할 수 있어 표시 품질이 향상된 OLED 표시장치를 제공할 수 있다.

- [0083] <제3 실시예>
- [0084] 도 16, 도 17, 및 도 18a 내지 도 18d를 참조하여 본 발명의 제3 실시예에 따른 OLED 표시장치를 설명한다. 도 16은 도 11에 도시된 6T1C 구조의 어레이 구성 예를 도시한 평면도이다. 도 17은 도 16을 III-III' 및 도 IV-IV'로 절취한 단면도들이다. 도 18a 내지 도 18d는 도 16의 일부 층을 구분하여 개략적으로 도시한 도면이다. 도 11의 회로 구성도에 도시된 6T1C의 어레이 구조는 도 16, 도 17, 및 도 18a 내지 도 18d와 같이 구현될 수 있다.
- [0085] 도 11, 도 16, 도 17, 및 도 18a 내지 도 18d를 참조하면, 기관(SUB) 상에는 반도체 요소(AE)들이 형성된다. 반도체 요소(AE)는 각 트랜지스터(T11, T12, T13, T14, T15, DT)에 대응되는 반도체층(A)을 포함한다. 반도체 요소(AE) 위에는, 제1 절연막(IN1)이 도포된다. 제1 절연막(IN1)은 게이트 절연막으로 지칭될 수 있다. 도시하지는 않았으나, 제1 절연막(IN)은 반도체 요소(AE)들을 덮도록 기관(SUB) 전체 표면 상에 형성될 수도 있다.
- [0086] 제1 절연막(IN1) 위에는, 게이트 요소(GE)들이 형성된다. 게이트 요소(GE)는 각 트랜지스터(T11, T12, T13, T14, T15, DT)들의 게이트 전극(G)들과, 수평 방향으로 연장되는 제1 스캔 라인(112a), 제2 스캔 라인(112b), 및 EM 라인(114)을 포함한다. 각 트랜지스터(T11, T12, T13, T14, T15, DT)들의 게이트 전극(G)들과 중첩되는 반도체층(A)들의 일부 영역은 각각 채널 영역으로 정의될 수 있다. 채널 영역을 기준으로, 반도체층(A)의 일측은 소스 영역으로 정의되고, 반도체층(A)의 타측은 드레인 영역으로 정의될 수 있다. 게이트 요소(GE)들 위에는 제2 절연막(IN2)이 도포된다.
- [0087] 제2 절연막(IN2) 위에는, 보조 요소(TM)들이 형성된다. 보조 요소(TM)는 제1 전극, 및 차폐 전극(SE)을 포함한다. 제1 전극(CE)은 제1 TFT(T11)의 드레인(D)과 접촉되며, 구동 TFT(DT)의 게이트 전극(GT)과 제2 절연막(IN2)을 사이에 두고 중첩되어 스토리지 커패시터(Cstg)를 형성한다. 차폐 전극(SE)은 고전위 전원 라인(115)과 연결되며, 데이터 라인(111)과 제1 스캔 라인(112a)이 교차하는 영역에 중첩 배치된다. 차폐 전극(SE)은 제1 스캔 라인(112a)과 제2 절연막(IN2)을 사이에 두고 중첩된다. 보조 요소(TM)들 위에는 제3 절연막(IN3)이 도포된다.
- [0088] 제3 절연막(IN3) 위에는, 소스/드레인 요소(SD)들이 형성된다. 소스/드레인 요소(SD)들은 각 트랜지스터(T11, T12, T13, T14, T15, DT)들의 소스 전극(S)들 및 드레인 전극(D)들과, 수직 방향으로 연장되는 데이터 라인(111) 및 고전위 전원 라인(115)을 포함한다. 소스 전극(S)들은 제2 절연막(IN2) 및 제3 절연막(IN3)을 관통하는 콘택홀을 통해 각 트랜지스터(T11, T12, T13, T14, T15, DT)의 소스 영역에 각각 접속된다. 드레인 전극(D)들은 제2 절연막(IN2) 및 제3 절연막(IN3)을 관통하는 콘택홀을 통해 각 트랜지스터(T11, T12, T13, T14, T15, DT)의 드레인 영역에 각각 접속된다. 데이터 라인(111)은 제1 스캔 라인(112a)과 교차되며, 교차 영역에서 차폐 전극(SE)과 중첩된다. 데이터 라인(111)은 차폐 전극(SE)과 제3 절연막(IN3)을 사이에 두고 중첩된다. 고전위 전원 라인(115)은 제3 절연막(IN3)을 관통하는 콘택홀(CH)을 통해 차폐 전극(SE)과 접속된다.
- [0089] 본 발명의 제3 실시예는, 스토리지 커패시터(Cst)를 형성하기 위한 제1 전극(CE)을 형성하면서 차폐 전극(SE)을 동시에 형성할 수 있기 때문에, 차폐 전극(SE)을 형성하기 위한 별도의 추가 공정을 진행할 필요가 없다. 이에 따라, 본 발명의 제3 실시예는 공정 추가에 따른, 공정 시간, 공정 비용을 저감할 수 있고, 공정 불량률을 줄임에 따라 공정 수율을 현저히 향상시킬 수 있는 이점을 갖는다.
- [0090] <제4 실시예>
- [0091] 도 19 내지 도 21을 참조하여, 본 발명의 제4 실시예에 따른 OLED 표시장치의 효과를 구체적으로 설명한다. 도 19 및 도 20은 본 발명의 제3 실시예에 따른 OLED 표시장치에서 두 개의 픽셀에 구비된 수평 라인들 및 수직 라인들을 개략적으로 도시한 평면도들이다. 도 21은 도 20을 V-V'로 절취한 단면도이다.
- [0092] 도 19를 참조하면, 본 발명의 제3 실시예에 따른 OLED 표시장치는 수평 방향으로 이웃하는 제1 픽셀(P1) 및 제2 픽셀(P2)을 포함한다. 제1 픽셀(P1)은 수평 라인(L1)과 제1 데이터 라인(211_1)에 의해 정의될 수 있다. 제1 데이터 라인(211_1)은 제1 픽셀(P1)에 데이터 전압을 공급한다. 제2 픽셀(P2)은 수평 라인(L1)과 제2 데이터 라인(211_2)에 의해 정의될 수 있다. 제2 데이터 라인(211_2)은 제2 픽셀(P2)에 데이터 전압을 공급한다.
- [0093] 수평 방향으로 이웃하는 제1 픽셀(P1) 및 제2 픽셀(P2)은, 하나의 전원 라인(215)을 공유한다. 전원 라인(215)은 수평 라인(L1)과 교차하며, 제1 및 제2 데이터 라인(211_1, 211_2)과 나란하게 연장될 수 있다. 전원 라인(215)은 제1 및 제2 데이터 라인(211_1, 211_2) 사이에 구비될 수 있다. 전원 라인(215)은, 고전위 전원 압이 인가될 수 있다.

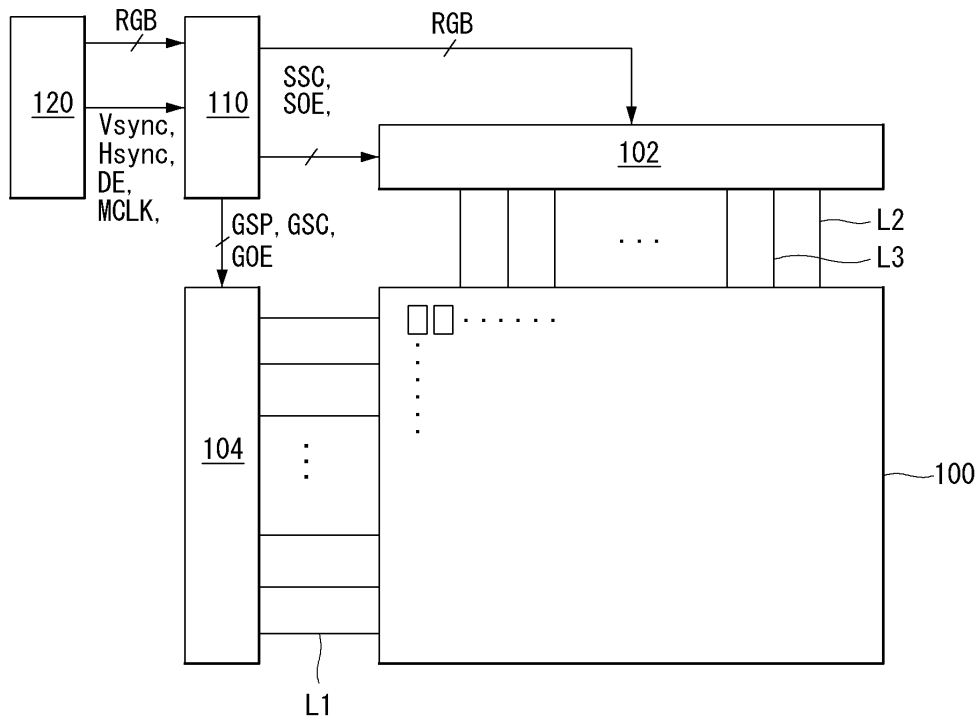
- [0094] 수평 라인(L1)과 제1 데이터 라인(211_1)은 서로 교차하며, 교차 영역에서 적어도 하나의 절연막을 사이에 두고 중첩된다. 수평 라인(L1)과 제1 데이터 라인(211_1) 사이에는, 기생 커패시터(Cg)가 형성된다. 수평 라인(L1)과 제2 데이터 라인(211_2)은 서로 교차하며, 교차 영역에서 적어도 하나의 절연막을 사이에 두고 중첩된다. 수평 라인(L1)과 제2 데이터 라인(211_2) 사이에는, 기생 커패시터(Cg)가 형성된다.
- [0095] 수평 라인(L1)과 제1 데이터 라인(211_1) 사이, 및 수평 라인(L1)과 제2 데이터 라인(211_2)의 기생 커패시터(Cg)로 인하여, 수평 라인(L1)과 제1 및 제2 데이터 라인(211_1, 211_2)이 커플링되기 때문에, 신호 간섭에 의한 화질 불량 발생할 수 있다. 예를 들어, 제1 실시예와 제2 실시예에 기재된 불량이 발생할 수 있다.
- [0096] 도 20 및 도 21을 참조하면, 본 발명의 제3 실시예에 따른 OLED 표시장치는 전원 라인(215)에 연결된 차폐 전극(SE)을 더 포함한다. 차폐 전극(SE)은 수평 라인(L1)과 제1 데이터 라인(211_1)이 교차하는 영역, 및 수평 라인(L1)과 제2 데이터 라인(211_2)이 교차하는 영역에 형성된다. 차폐 전극(SE)은 수평 라인(L1)과 제1 데이터 라인(211_1)이 중첩되는 영역 및 수평 라인(L1)과 제2 데이터 라인(211_2)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN2)을 사이에 두고 수평 라인(L1)과 이격 배치된다. 차폐 전극(SE)은 수평 라인(L1)과 제1 데이터 라인(211_1)이 중첩되는 영역 및 수평 라인(L1)과 제2 데이터 라인(211_2)이 중첩되는 영역에서, 적어도 하나 이상의 절연막(IN3)을 사이에 두고 제1 및 제2 데이터 라인(211_1, 211_2)과 이격 배치된다. 수평 라인(L1), 차폐 전극(SE), 제1 및 제2 데이터 라인(211_1, 211_2)은 기판(SUB) 상에서 적어도 하나의 절연막(IN1, IN2, IN3)을 사이에 두고 서로 다른 층에 배치되어, 상호 이격된 상태를 유지한다.
- [0097] 차폐 전극(SE)은, 수평 라인(L1)과 제1 데이터 라인(211_1)의 교차 영역으로부터 수평 라인(L1)과 제2 데이터 라인(211_2)의 교차 영역에까지 연장될 수 있다. 차폐 전극(SE)은, 제1 데이터 라인(211_1)과 제2 데이터 라인(211_2) 사이에 구비된 전원 라인(215)과 교차한다. 차폐 전극(SE)은, 적어도 하나 이상의 절연막(IN3)을 사이에 두고 전원 라인(215)과 이격 배치될 수 있고, 전원 라인(215)과 차폐 전극(SE) 사이에 구비된 절연막(IN3)을 관통하는 콘택홀(CH)을 통해 전원 라인(215)과 연결될 수 있다.
- [0098] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

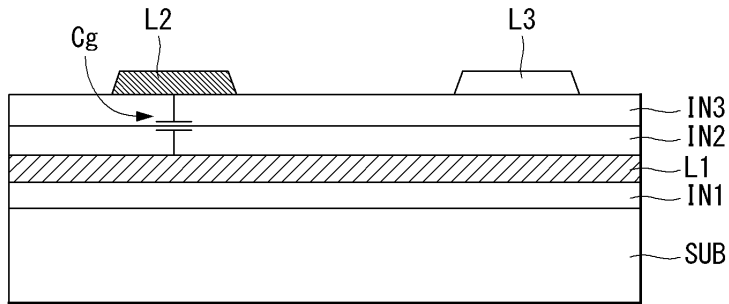
- [0099] 100 : 표시패널 102 : 데이터 구동부
- 104 : 스캔 구동부 110 : 타이밍 콘트롤러
- 120 : 호스트 시스템 L1 : 수평 라인
- L2 : 데이터 라인 L3 : 고전위 전원 라인

도면

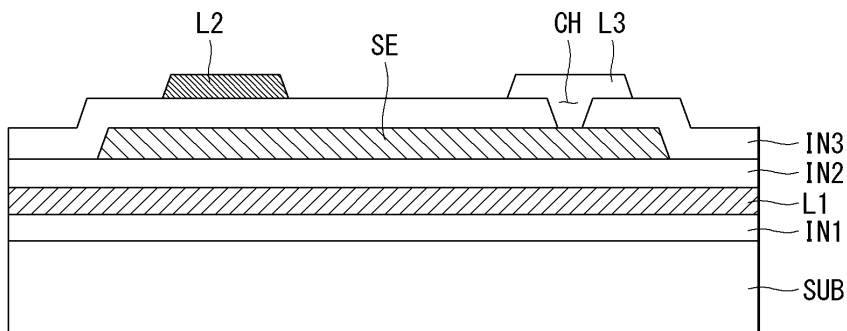
도면1



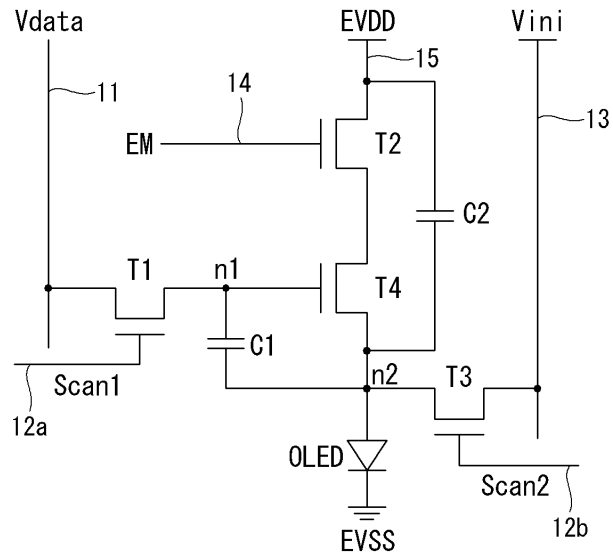
도면2



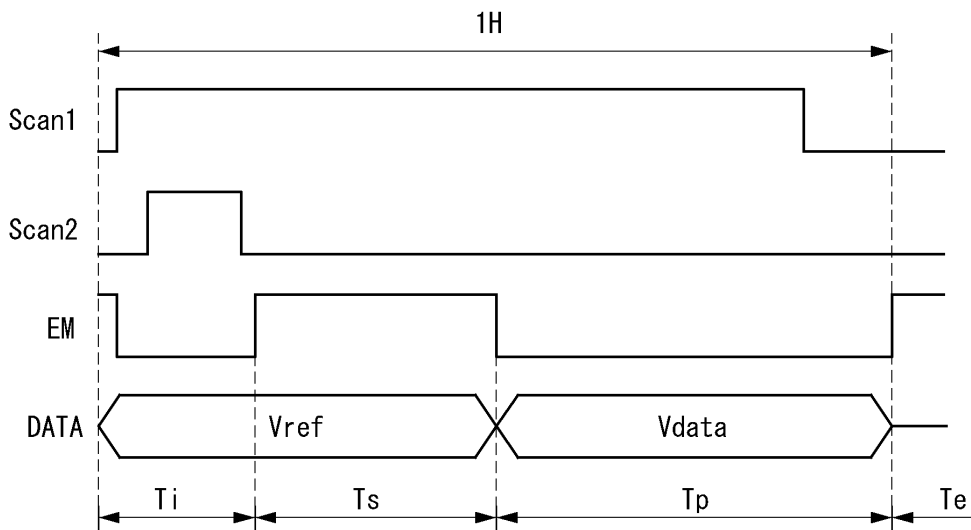
도면3



도면4



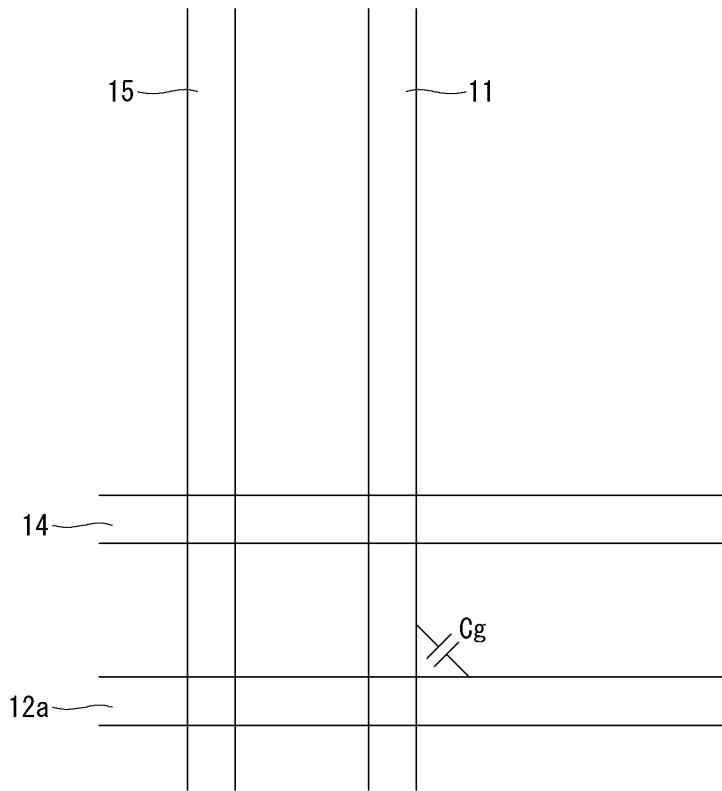
도면5



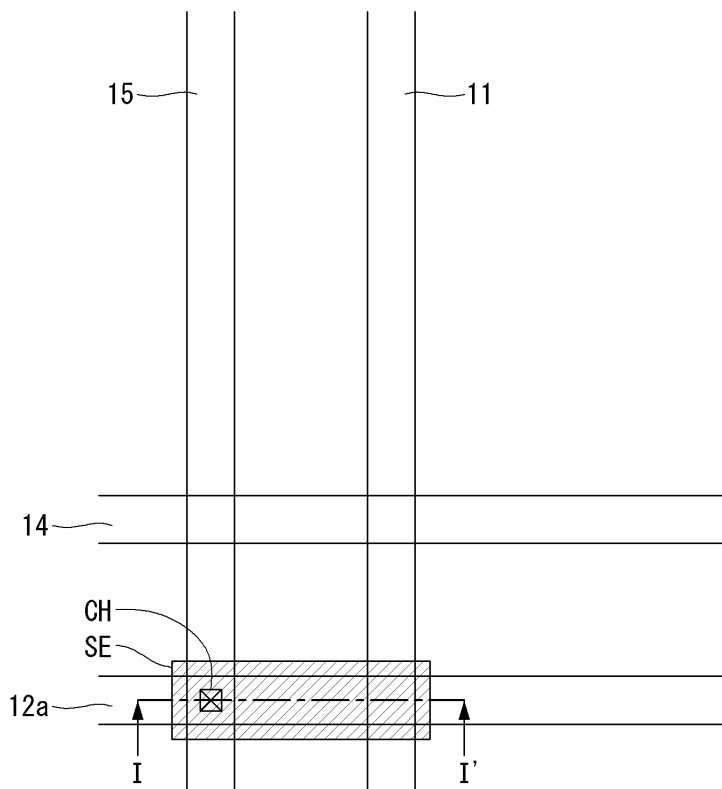
도면6

	Ti	Ts	Tp	Te
T4	Off	On	Off	On
T3	On	Off	Off	Off
T2	Off	On	Off	On
T1	On	On	On	Off

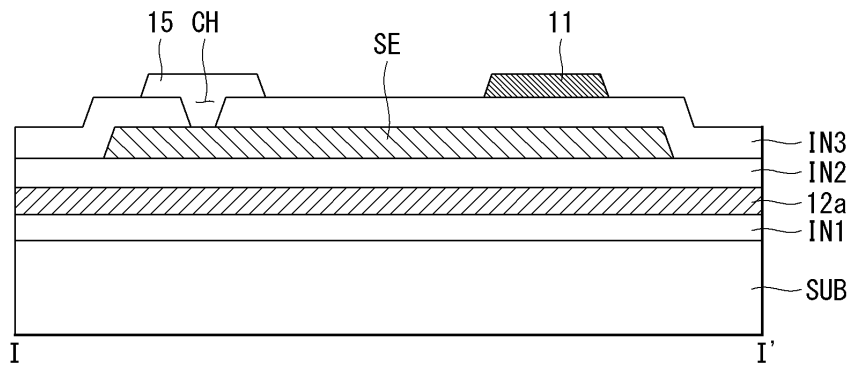
도면7



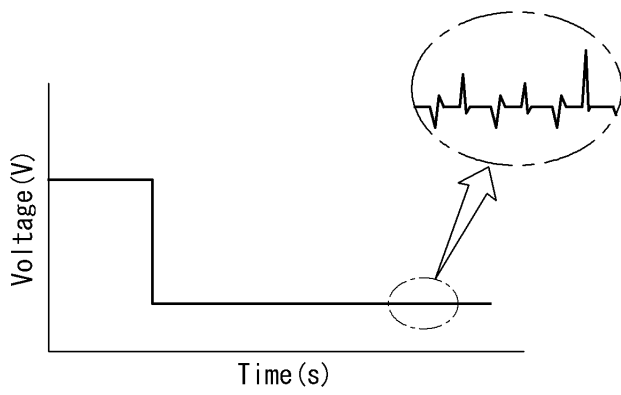
도면8



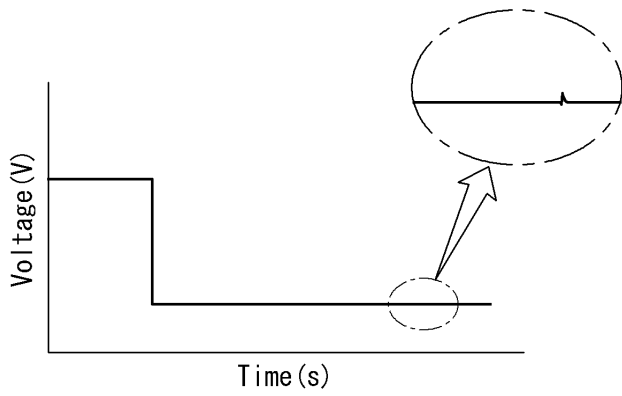
도면9



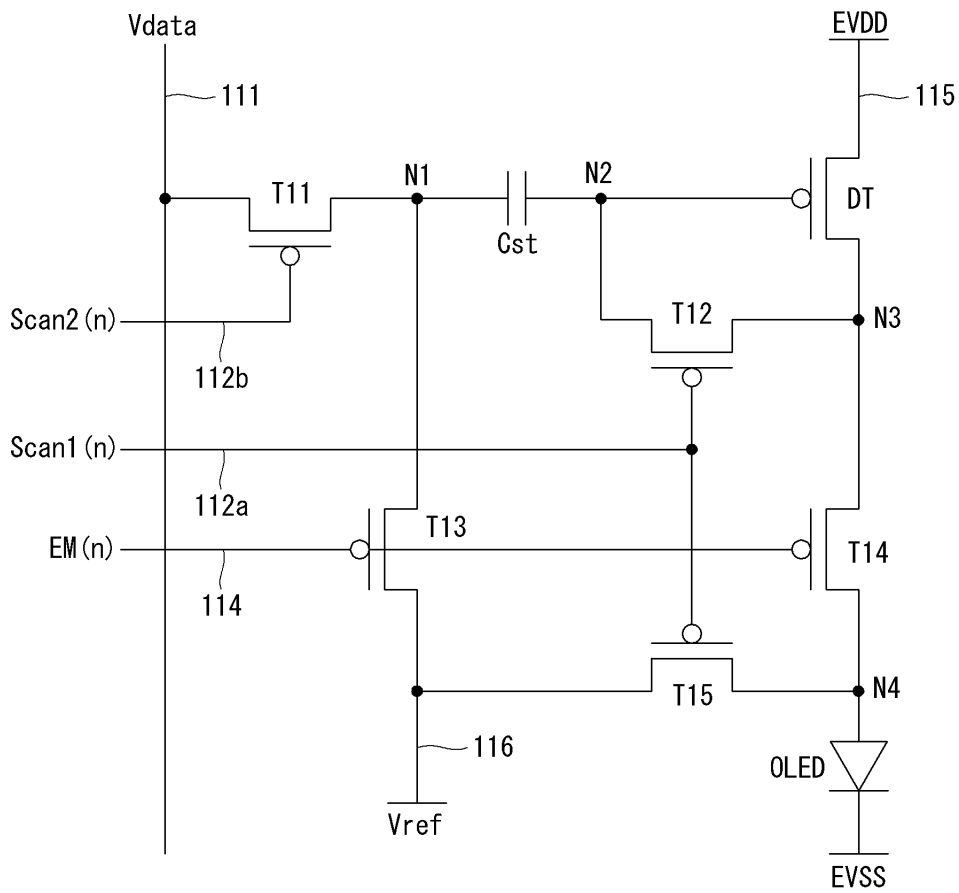
도면10a



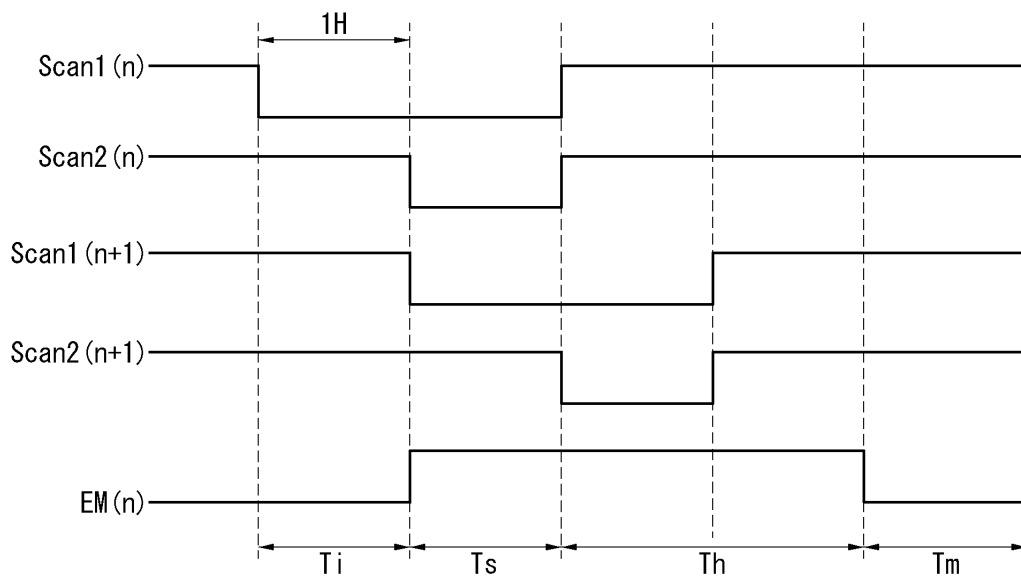
도면10b



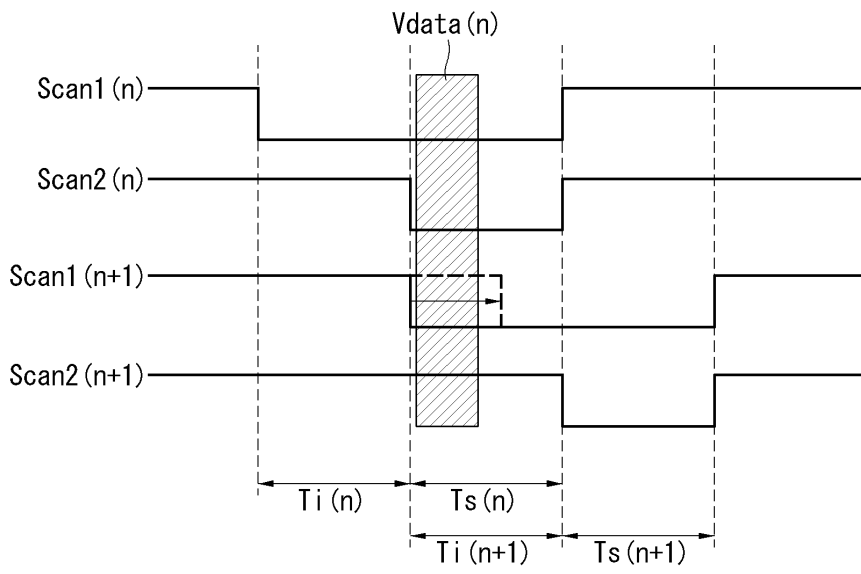
도면11



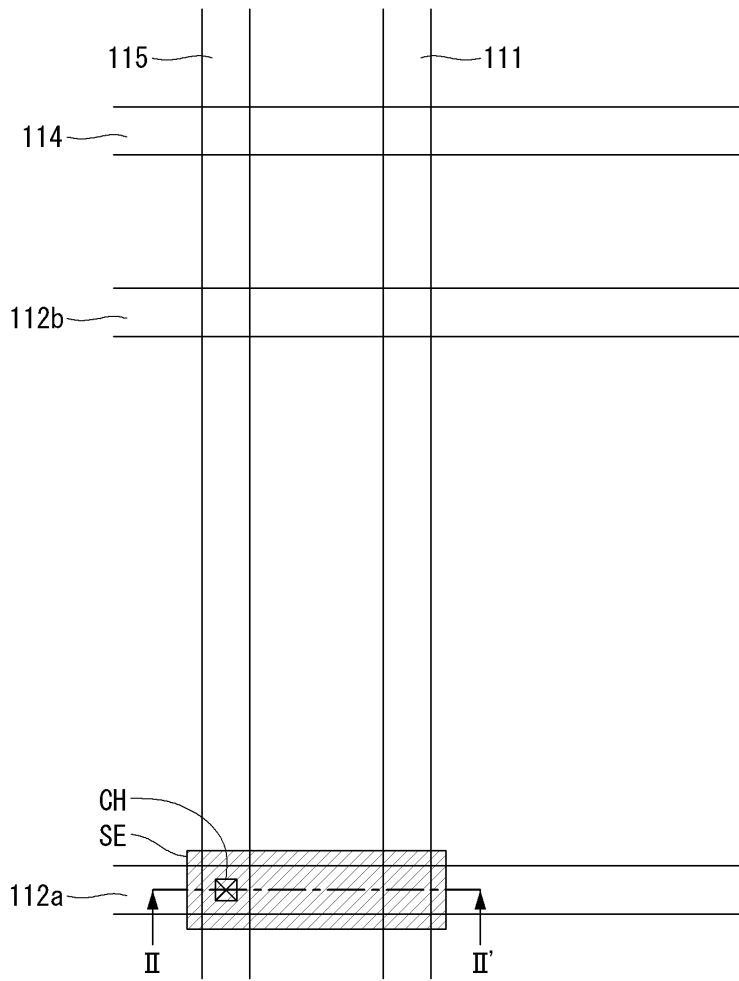
도면12



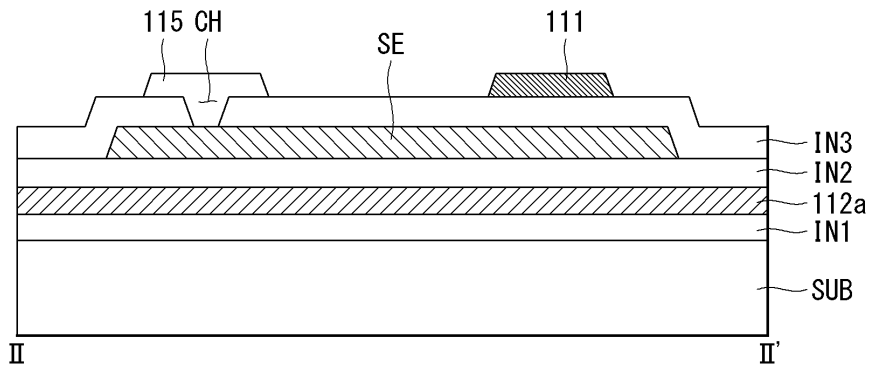
도면13



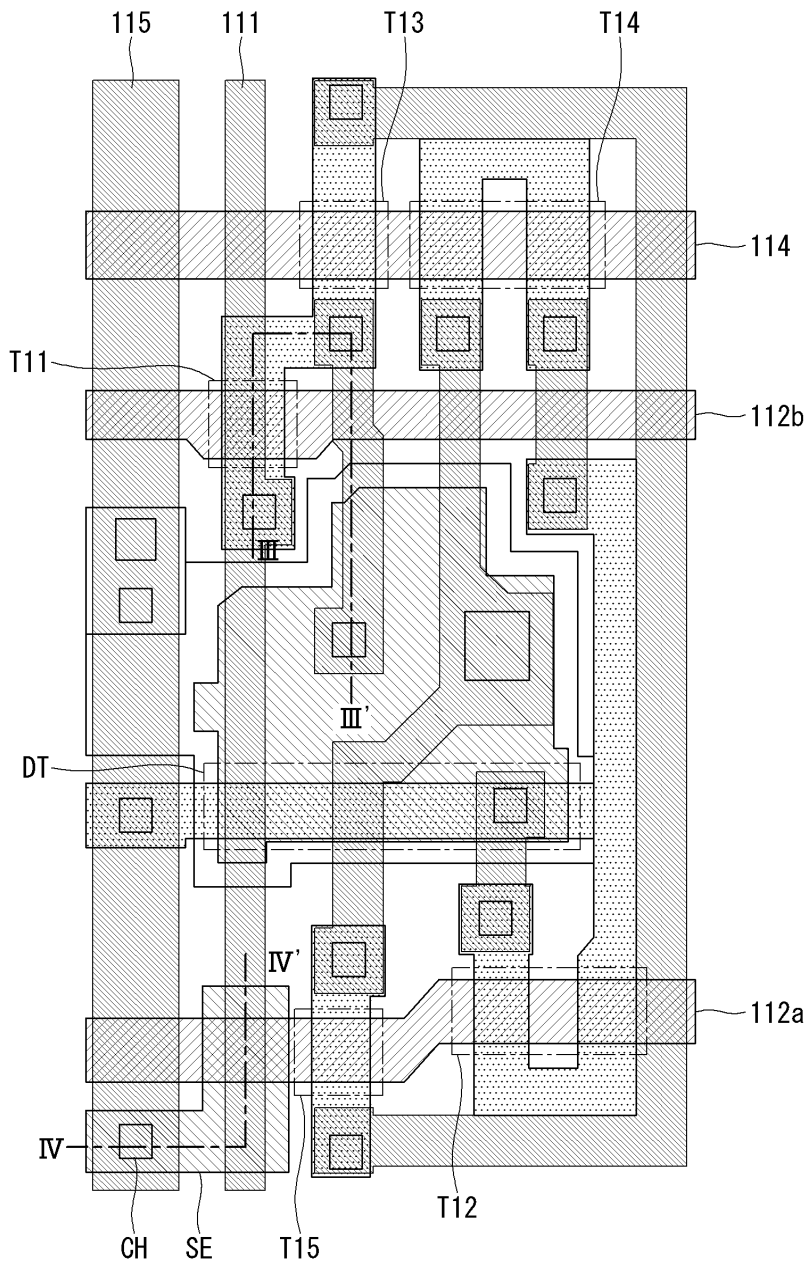
도면14



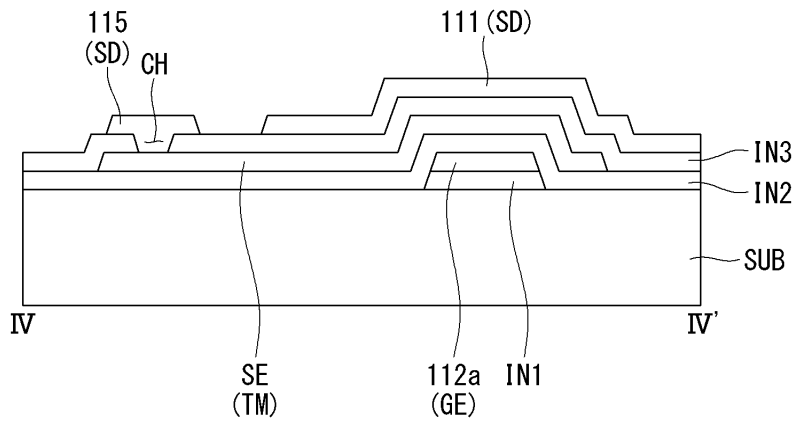
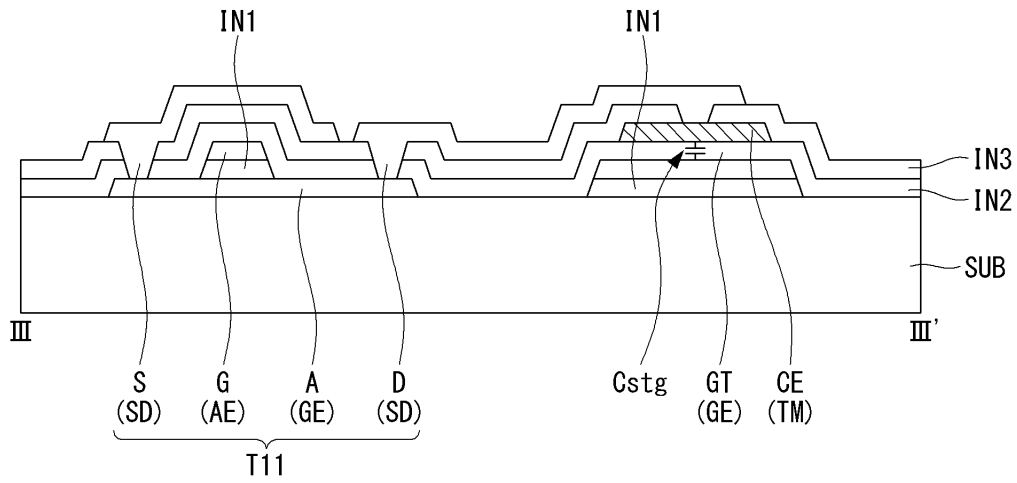
도면15



도면16

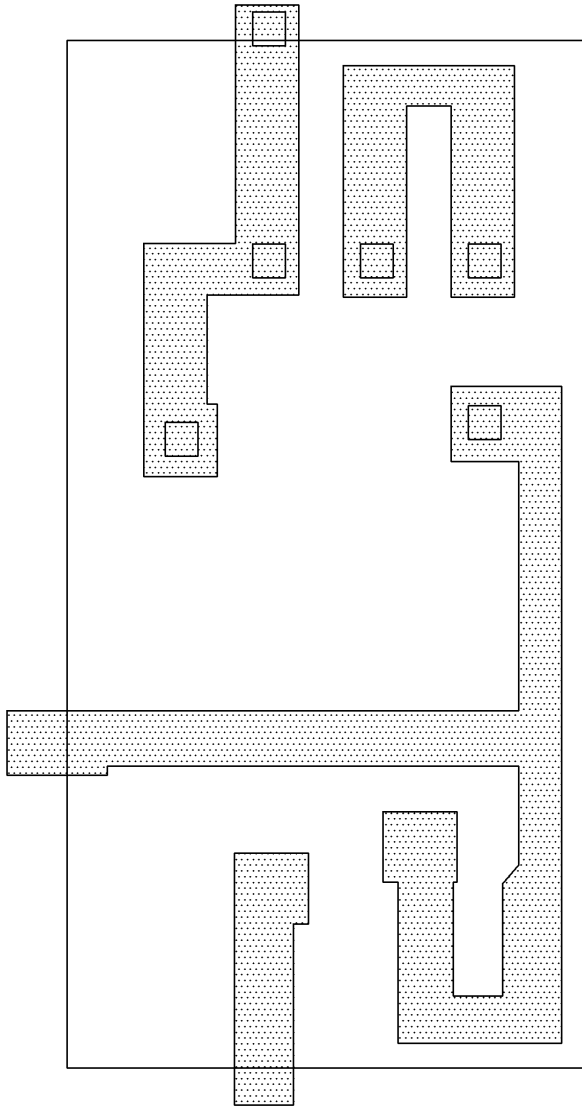


도면17



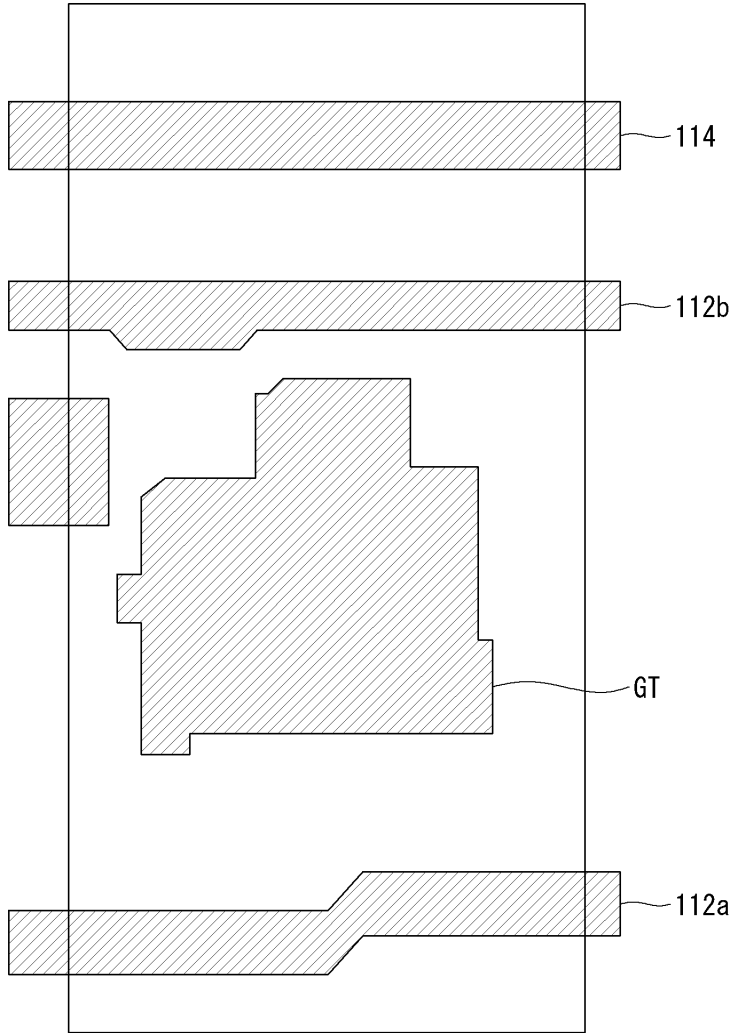
도면18a

AE



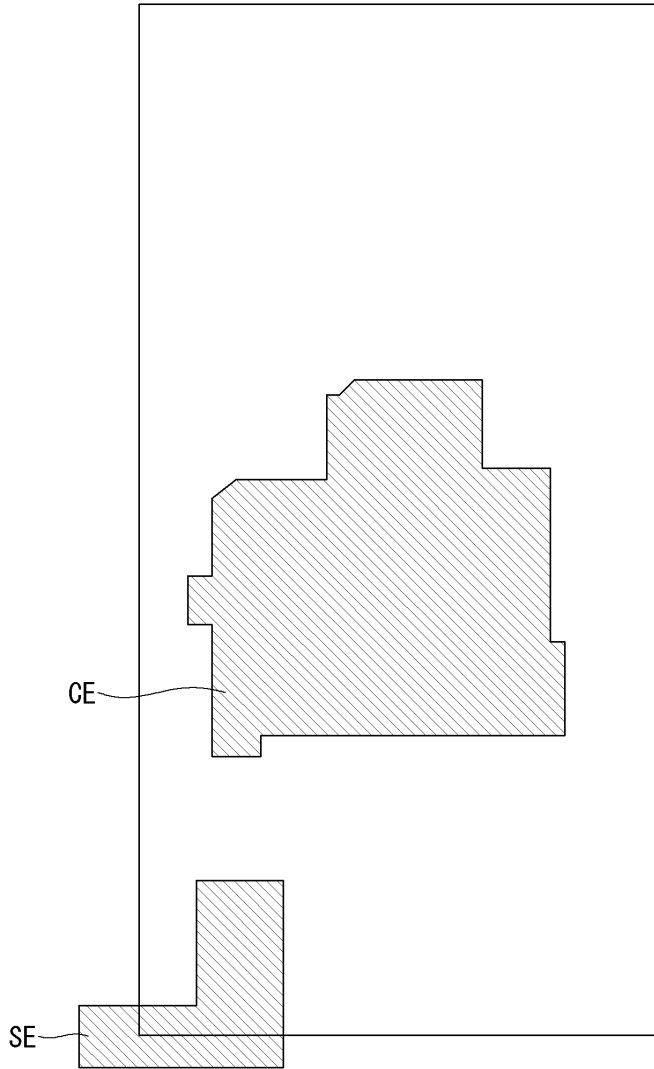
도면18b

GE



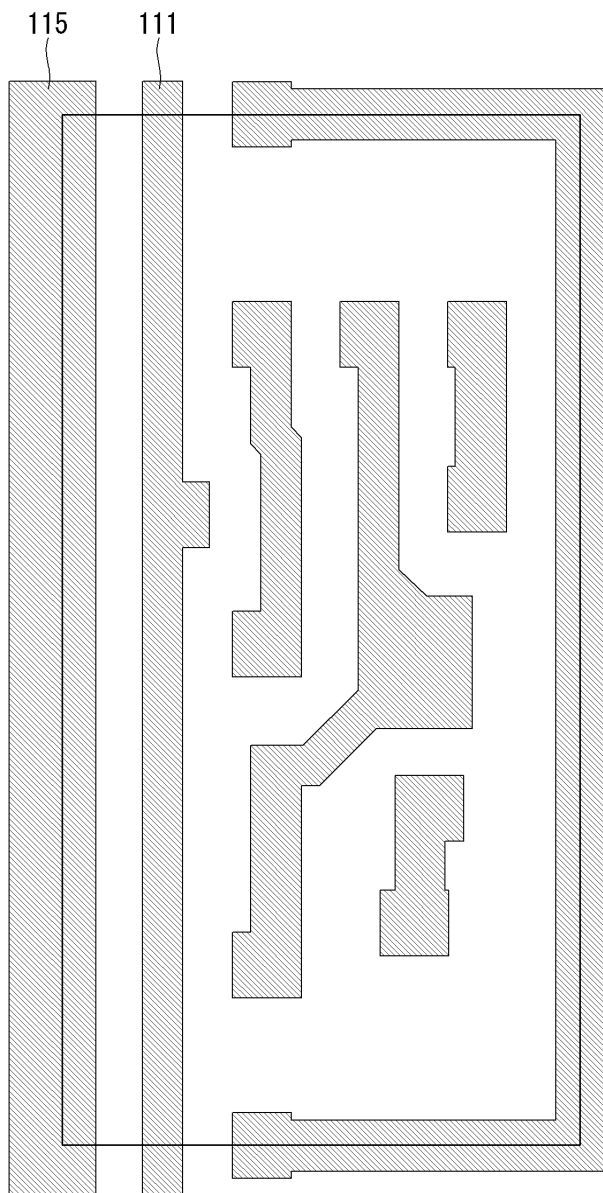
도면18c

TM

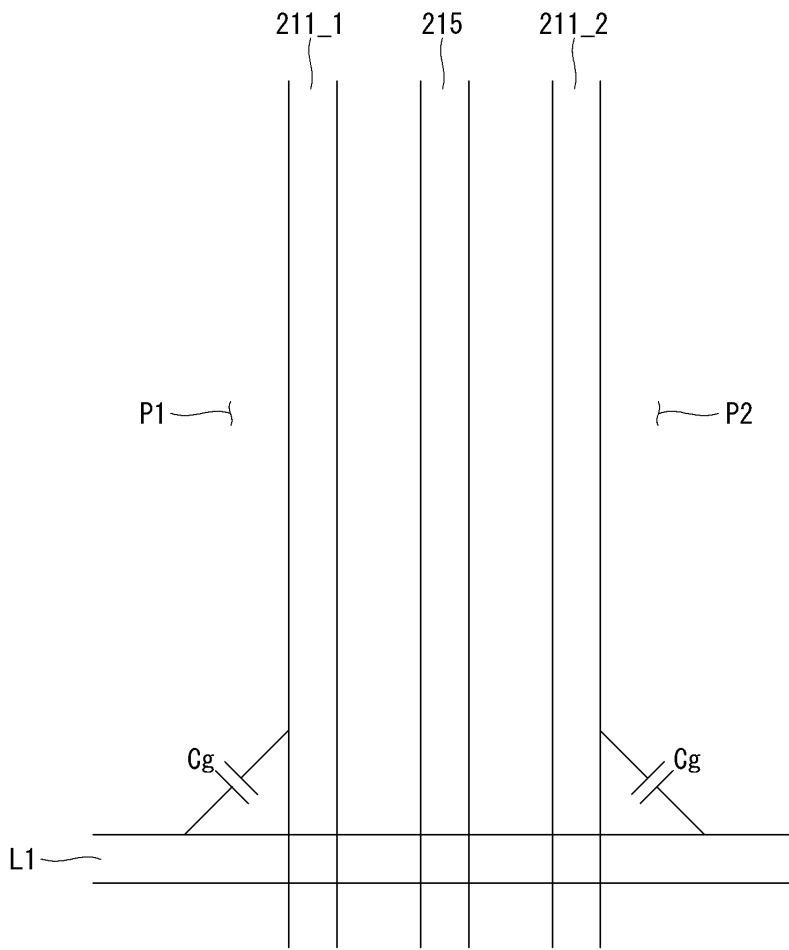


도면18d

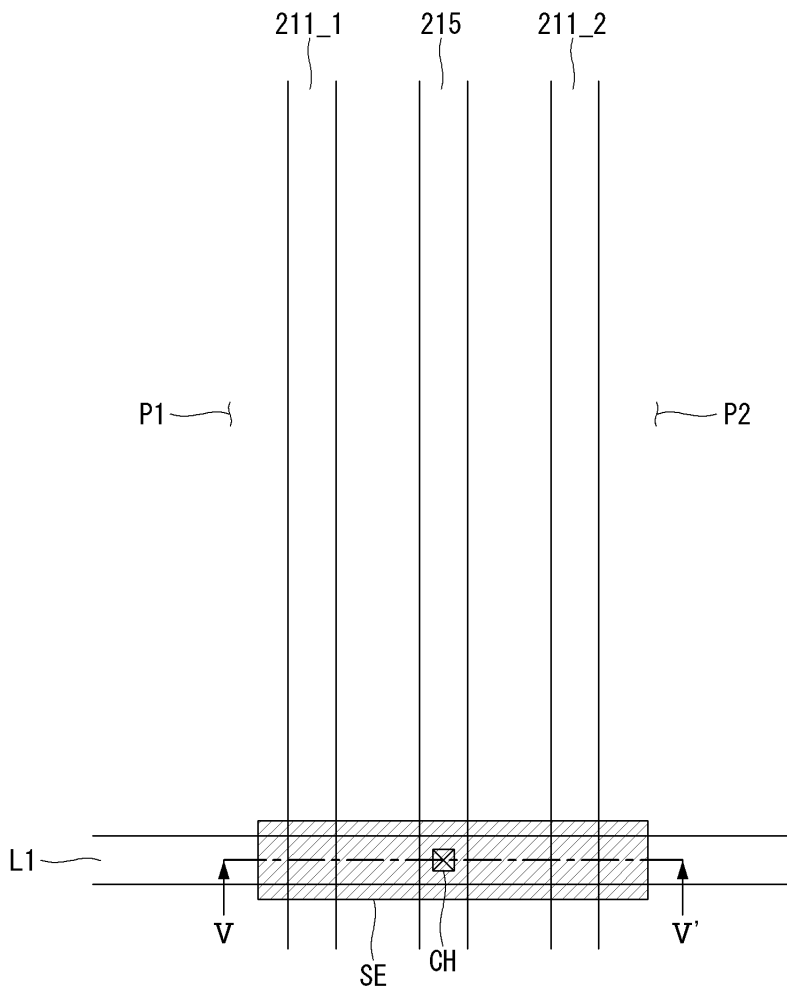
SD



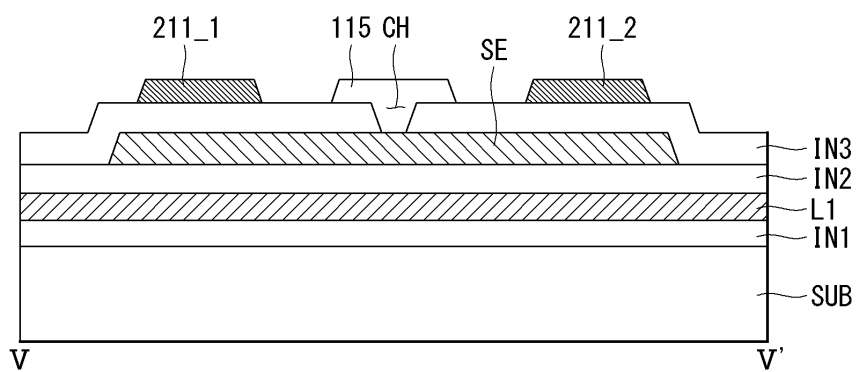
도면19



도면20



도면21



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020180071471A	公开(公告)日	2018-06-28
申请号	KR1020160173914	申请日	2016-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM SANG HYUN 임상현 OH CHUNG WAN 오충완 JO DAE GYU 조대규 SUNG KI YOUNG 성기영 PARK YOUNG JU 박영주		
发明人	임상현 오충완 조대규 성기영 박영주		
IPC分类号	H01L27/32 G09G3/3233 H01L27/12		
CPC分类号	H01L27/3276 H01L27/124 H01L27/3272 H01L27/3262 H01L27/3265 G09G3/3233 G09G2300/0426 G09G2300/0852 G09G2230/00 H01L27/3297 H01L27/1214 H01L27/127 H01L51/5203		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示器包括具有有机发光二极管的多个像素，并且包括水平线，屏蔽电极和数据线。水平线设置在基板上。屏蔽电极设置在水平线上，其间具有第一绝缘膜。数据线设置在屏蔽电极上，其间具有第二绝缘膜，并与水平线交叉。屏蔽电极设置在水平线和数据线之间，位于水平线和数据线的交叉区域中，并且电连接到恒压源。

