



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0050372
(43) 공개일자 2018년05월14일

- (51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G09G 3/3233 (2016.01)
- (52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3233 (2013.01)
- (21) 출원번호 10-2018-7009553
- (22) 출원일자(국제) 2017년03월16일
심사청구일자 2018년04월04일
- (85) 번역문제출일자 2018년04월04일
- (86) 국제출원번호 PCT/US2017/022808
- (87) 국제공개번호 WO 2017/172375
국제공개일자 2017년10월05일
- (30) 우선권주장
62/314,281 2016년03월28일 미국(US)
62/327,584 2016년04월26일 미국(US)

- (71) 출원인
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원
애플 파크 웨이
- (72) 발명자
위, 청-호
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2
피에이티 인피니트 루프 1
린, 친-웨이
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2
피에이티 인피니트 루프 1
(뒷면에 계속)
- (74) 대리인
장덕순, 백만기

전체 청구항 수 : 총 41 항

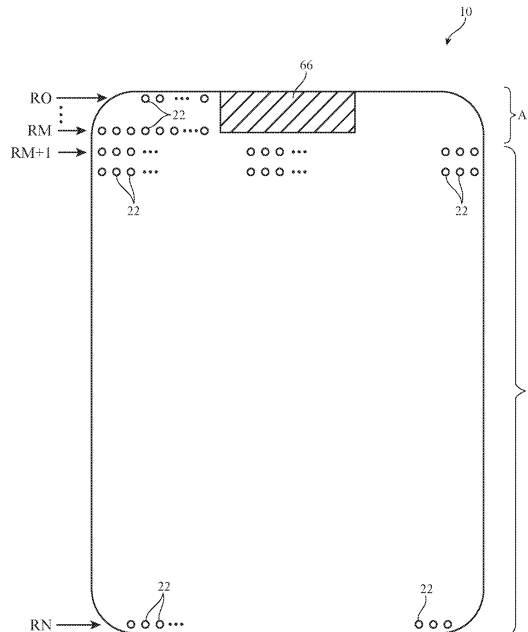
(54) 발명의 명칭 발광 다이오드 디스플레이

(57) 요약

디스플레이(10)는 픽셀들(22)의 어레이를 가질 수 있다. 디스플레이 드라이버 회로부는 픽셀들에 데이터 및 제어 신호들을 공급한다. 디스플레이의 제1 영역(A) 내의 행들(R0, RM)은 디스플레이의 제2 영역(B) 내의 행들(RM+1)보다 짧다. 디스플레이 드라이버 회로부는 디스플레이 내의 픽셀들의 상이한 행들에 상이한 게이트 라인

(뒷면에 계속)

대표도 - 도6



신호들을 제공하는 게이트 드라이버 회로들을 갖는다. 상이한 행들은 또한 상이한 게이트 드라이버 강도들 및 상이한 보충 게이트 라인 로딩 구조체(supplemental gate line loading structure)들을 가질 수 있다. 각각의 픽셀은 7개의 트랜지스터, 커패시터, 및 유기 발광 다이오드와 같은 발광 다이오드를 가질 수 있다. 7개의 트랜지스터는 수평 제어 라인들을 사용하여 제어 신호들을 수신할 수 있다. 각각의 픽셀은 구동 트랜지스터 및 그 픽셀의 발광 다이오드와 직렬로 결합되는 제1 및 제2 방출 인에이블 트랜지스터들을 가질 수 있다. 제1 및 제2 방출 인에이블 트랜지스터들은 공통 제어 라인에 결합될 수 있거나, 또는 온-바이어스 스트레스(on-bias stress)가 구동 트랜지스터에 효과적으로 인가될 수 있도록 별개로 제어될 수 있다.

(52) CPC특허분류

- G09G 2300/0426 (2013.01)
- G09G 2300/0842 (2013.01)
- G09G 2310/0232 (2013.01)
- G09G 2320/0223 (2013.01)
- G09G 2320/0233 (2013.01)

(72) 발명자

양, 쉬안

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

창, 텡-쿠오

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

차이, 충-팅

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

리우토르트-루이스, 워렌 에스.

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

창, 시-창

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

친, 위 칭

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

중, 존 제트.

미국 95014 캘리포니아주 쿠퍼티노 엠/에스 36-2피
에이티 인피니트 루프 1

명세서

청구범위

청구항 1

디스플레이로서,

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부에 결합된 데이터 라인들;

상기 디스플레이 드라이버 회로부에 결합된 게이트 라인들; 및

열들 및 행들을 갖는 픽셀들의 어레이를 포함하며, 상기 디스플레이의 제1 영역 내의 상기 행들은 상기 디스플레이의 제2 영역 내의 상기 행들보다 짧고, 상기 디스플레이 드라이버 회로부는 상이한 상기 제1 및 제2 영역들 내의 상기 행들의 상기 게이트 라인들 상의 게이트 라인 신호들을 제공하도록 구성되는, 디스플레이.

청구항 2

제1항에 있어서, 상기 디스플레이 드라이버 회로부는 제1 클록 신호를 생성하는 제1 클록 생성기 및 제2 클록 신호를 생성하는 제2 클록 생성기를 포함하는, 디스플레이.

청구항 3

제2항에 있어서, 상기 디스플레이 드라이버 회로부는 상기 제1 클록 신호를 수신하는 제1 입력, 상기 제2 클록 신호를 수신하는 제2 입력, 및 클록 경로에 결합된 출력을 갖는 멀티플렉서를 포함하는, 디스플레이.

청구항 4

제3항에 있어서, 상기 디스플레이 드라이버 회로부는 상기 행들 각각 내의 게이트 드라이버 회로들을 갖는 게이트 드라이버 회로부를 포함하고, 상기 게이트 드라이버 회로들은 상기 클록 경로를 통해 신호들을 수신하는, 디스플레이.

청구항 5

제4항에 있어서, 상기 제1 영역은 픽셀-프리 노치(pixel-free notch)를 갖고, 상기 디스플레이 드라이버 회로부는 상기 제1 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 상기 제1 클록 신호를 공급하고 상기 제2 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 상기 제2 클록 신호를 공급하도록 상기 멀티플렉서에 지시하도록 구성되는, 디스플레이.

청구항 6

제5항에 있어서, 상기 제1 클록 신호 및 상기 제1 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 상기 제2 클록 신호 및 상기 제2 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들보다 느린 슬루레이트(slew rate)를 갖는, 디스플레이.

청구항 7

제5항에 있어서, 상기 제1 클록 신호 및 상기 제1 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 상기 제2 클록 신호 및 상기 제2 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들보다 짧은 펄스 지속시간을 갖는, 디스플레이.

청구항 8

제5항에 있어서, 상기 제1 클록 신호 및 상기 제1 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 2-단계 프로파일(two-step profile)을 갖고, 상기 제2 클록 신호 및 상

기 제2 영역의 상기 행들 내의 상기 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 1-단계 프로파일을 갖는, 디스플레이.

청구항 9

제5항에 있어서, 각각의 픽셀은 7개의 트랜지스터 및 하나의 커패시터를 갖는, 디스플레이.

청구항 10

제9항에 있어서, 각각의 픽셀 내의 상기 7개의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함하는, 디스플레이.

청구항 11

제1항에 있어서,

각각의 행에서, 상기 디스플레이 드라이버 회로로부터 상기 행의 상기 픽셀들에 제1 방출 제어 신호를 전달하는 제1 방출 제어 라인, 및 상기 디스플레이 드라이버 회로로부터 상기 행의 상기 픽셀들에 제2 방출 제어 신호를 전달하는 제2 방출 제어 라인을 추가로 포함하는, 디스플레이.

청구항 12

제11항에 있어서, 각각의 픽셀은 7개의 트랜지스터 및 하나의 커패시터를 갖는, 디스플레이.

청구항 13

제12항에 있어서, 각각의 픽셀 내의 상기 7개의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함하는, 디스플레이.

청구항 14

제13항에 있어서, 각각의 행 내의 상기 제1 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 상기 제2 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제2 방출 트랜지스터에 결합되는, 디스플레이.

청구항 15

디스플레이로서,

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부에 결합된 데이터 라인들;

상기 디스플레이 드라이버 회로부에 결합된 게이트 라인들;

열들 및 행들을 갖는 픽셀들의 어레이 - 각각의 픽셀은 복수의 트랜지스터 및 적어도 하나의 커패시터를 가지며, 각각의 픽셀 내의 상기 복수의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함함 -; 및

각각의 행에서, 상기 디스플레이 드라이버 회로로부터 상기 행의 상기 픽셀들에 제1 방출 제어 신호를 전달하는 제1 방출 제어 라인, 및 상기 디스플레이 드라이버 회로로부터 상기 행의 상기 픽셀들에 제2 방출 제어 신호를 전달하는 제2 방출 제어 라인을 포함하는, 디스플레이.

청구항 16

제15항에 있어서, 각각의 행 내의 상기 제1 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 상기 제2 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제2 방출 트랜지스터에 결합되는, 디스플레이.

청구항 17

디스플레이로서,

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부에 결합된 데이터 라인들;

상기 디스플레이 드라이버 회로부에 결합된 게이트 라인들;

열들 및 행들을 갖는 픽셀들의 어레이 - 각각의 픽셀은 복수의 p-채널 금속 산화물 반도체 트랜지스터 및 적어도 하나의 커패시터를 가지며, 각각의 픽셀 내의 상기 트랜지스터들은 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함함 -;

상기 디스플레이 드라이버 회로부로부터 각각의 행의 상기 픽셀들에 제1 방출 제어 신호를 전달하는 상기 각각의 행 내의 제1 방출 제어 라인;

상기 디스플레이 드라이버 회로부로부터 각각의 행의 상기 픽셀들에 제2 방출 제어 신호를 전달하는 상기 각각의 행 내의 제2 방출 제어 라인; 및

각각의 행 내의 각각의 픽셀의 상기 트랜지스터들 중 적어도 제1 및 제2 스위칭 트랜지스터들을 제어하는 상기 각각의 행 내의 제1 및 제2 게이트 라인들을 포함하는, 디스플레이.

청구항 18

제17항에 있어서, 상기 디스플레이 드라이버 회로부는 제1 클록 신호를 생성하는 제1 클록 생성기 및 제2 클록 신호를 생성하는 제2 클록 생성기를 포함하고, 상기 제1 클록 신호를 수신하는 제1 입력, 상기 제2 클록 신호를 수신하는 제2 입력, 및 클록 경로에 결합된 출력을 갖는 멀티플렉서를 포함하는, 디스플레이.

청구항 19

제18항에 있어서, 각각의 행 내의 상기 제1 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 상기 제2 방출 라인은 상기 행 내의 각각의 픽셀의 상기 제2 방출 트랜지스터에 결합되는, 디스플레이.

청구항 20

제19항에 있어서, 상기 디스플레이 드라이버 회로부는 상기 클록 경로를 통해 신호들을 수신하는 상기 행들 각각 내의 게이트 드라이버 회로를 포함하는, 디스플레이.

청구항 21

디스플레이로서,

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부에 결합된 데이터 라인들; 상기 디스플레이 드라이버 회로부에 결합된 게이트 라인들;

행들 및 열들을 갖는 픽셀들의 어레이 - 상기 디스플레이의 제1 영역 내의 행들의 상기 게이트 라인들은

상기 디스플레이의 제2 영역 내의 행들의 상기 게이트 라인들이 결합되는 것보다 적은, 상기 픽셀들의 어레이 내의 상기 픽셀들에 결합됨 -; 및

상기 제1 영역 내의 상기 게이트 라인들 중 적어도 일부에 결합되는 보충 게이트 라인 로딩 구조체 (supplemental gate line loading structure)들을 포함하며, 상기 보충 게이트 라인 로딩 구조체들은 상기 제1 영역 내의 상기 게이트 라인들 상의 로딩을 제공하는, 디스플레이.

청구항 22

제21항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은, 상기 디스플레이의 상기 제1 및 제2 영역들 사이의 디스플레이 밝기 변동들이 2% 미만인 되도록 구성되는, 디스플레이.

청구항 23

제22항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 광을 방출하지 않는 더미 픽셀들을 포함하는, 디스플레이.

레이.

청구항 24

제23항에 있어서, 상기 더미 픽셀들은 발광 다이오드들을 위한 방출 재료를 포함하지 않는, 디스플레이.

청구항 25

제22항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 커패시터들을 포함하는, 디스플레이.

청구항 26

제22항에 있어서, 상기 제1 영역 내의 상기 행들 중 제1 행은 상기 제1 영역의 상기 행들 중 제2 행 내의 보충 게이트 라인 로딩 구조체에 결합되는, 디스플레이.

청구항 27

제26항에 있어서, 상기 행들 중 상기 제1 행의 상기 픽셀들은 상기 게이트 라인들 중 주어진 하나의 게이트 라인과 연관되고, 상기 게이트 라인들 중 상기 주어진 하나의 게이트 라인은 상기 행들 중 상기 제1 행으로부터 상기 행들 중 상기 제2 행으로 연장되는 게이트 라인 연장부를 갖는, 디스플레이.

청구항 28

제22항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 상기 제2 영역과 상기 제1 영역의 상기 게이트 라인들 사이의 점진적으로 증가하는 거리들에서 상기 제1 영역의 상기 게이트 라인들 상에 점진적으로 감소하는 양들의 로딩을 부과하는, 디스플레이.

청구항 29

유기 발광 다이오드 디스플레이로서,

노치를 갖는 기판;

상기 기판 상의 유기 발광 다이오드 픽셀들;

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부 및 상기 유기 발광 다이오드 픽셀들에 결합된 데이터 라인들;

상기 디스플레이 드라이버 회로부 및 상기 유기 발광 다이오드 픽셀들에 결합된 게이트 라인들 - 상기 유기 발광 다이오드 픽셀들은 열들 및 행들로 배열되고, 상기 노치를 포함하는 상기 디스플레이의 제1 영역 내의 행들은 상기 디스플레이의 제2 영역 내의 행들이 결합되는 것보다 적은 상기 픽셀들에 결합됨 -; 및

상기 제1 영역 내의 상기 게이트 라인들의 적어도 일부분에 결합되어, 상기 게이트 라인들 상의 게이트 라인 로딩을 증가시키고 이에 의해 상기 제1 및 제2 영역들 내의 게이트 라인들 사이의 게이트 라인 로딩의 차이들을 감소시키기 위한 보충 게이트 라인 로딩 구조체들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 30

제29항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 상기 게이트 라인들의 상기 일부분 내의 상기 게이트 라인들에 결합된 커패시터들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 31

제30항에 있어서, 상기 게이트 라인들의 상기 일부분 내의 각각의 게이트 라인은 복수의 상기 커패시터에 결합되는, 유기 발광 다이오드 디스플레이.

청구항 32

제31항에 있어서, 상기 커패시터들 각각은 상위 전극 및 하위 전극을 갖는, 유기 발광 다이오드 디스플레이.

청구항 33

제31항에 있어서, 상기 커패시터들 각각은 제1 전도성 층, 제2 전도성 층, 및 제3 전도성 층을 갖고, 상기 제1 및 제3 전도성 층들은 함께 단락되고 제1 커패시터 전극을 형성하며, 상기 제2 전도성 층은 상기 제1 및 제3 전도성 층들 사이에 개재되고 제2 커패시터 전극을 형성하는, 유기 발광 다이오드 디스플레이.

청구항 34

제29항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 상기 제1 영역 내의 상이한 게이트 라인들에 상이한 양들의 커패시턴스를 인가하는, 유기 발광 다이오드 디스플레이.

청구항 35

제34항에 있어서, 상기 게이트 드라이버 회로부는 각각의 행 내의 상기 게이트 라인들 중 하나에 결합된 게이트 드라이버를 포함하고, 상기 제1 영역 내의 상기 게이트 드라이버들 중 적어도 하나는 상기 제2 영역 내의 상기 게이트 드라이버들 중 적어도 하나와 상이한 강도를 갖는, 유기 발광 다이오드 디스플레이.

청구항 36

제35항에 있어서, 상기 디스플레이 드라이버 회로부는 상이한 슬루레이트들을 갖는, 상기 제1 및 제2 영역들 내의 상기 행들의 상기 게이트 라인들 상의 게이트 라인 신호들을 제공하도록 구성되는, 유기 발광 다이오드 디스플레이.

청구항 37

유기 발광 다이오드 디스플레이로서,

노치를 갖는 기관 - 상기 기관은 폭을 가짐 -;

상기 기관 상의 유기 발광 다이오드 픽셀들;

디스플레이 드라이버 회로부;

상기 디스플레이 드라이버 회로부에 결합되고 상기 픽셀들에 결합된 데이터 라인들; 및

상기 디스플레이 드라이버 회로부에 결합되고 상기 픽셀들에 결합된 게이트 라인들을 포함하며, 상기 픽셀들은 열들 및 행들을 갖고, 상기 디스플레이의 제1 영역 내의 상기 행들의 상기 게이트 라인들은 제2 영역 내의 상기 행들의 상기 게이트 라인들이 결합되는 것보다 적은 상기 픽셀들에 결합되고, 상기 제1 영역 및 상기 제2 영역들 모두 내의 상기 행들의 상기 게이트 라인들은 상기 기관의 상기 폭에 걸쳐 이어지고(span), 상기 제1 영역 내의 상기 행들의 상기 게이트 라인들 각각은 어떠한 픽셀들에도 결합되지 않는 부분을 갖고, 각각의 부분의 위치는 상기 노치에 대해 위치설정되는, 유기 발광 다이오드 디스플레이.

청구항 38

제37항에 있어서, 상기 제1 영역 내의 게이트 라인들의 제1 세트에 결합되어, 상기 게이트 라인들의 제1 세트 상의 게이트 라인 로딩을 증가시키고 이에 의해 상기 게이트 라인들의 제1 세트와 상기 제2 영역 내의 게이트 라인들의 제2 세트 사이의 게이트 라인 로딩의 차이들을 감소시키기 위한 보충 게이트 라인 로딩 구조체들을 추가로 포함하는, 유기 발광 다이오드 디스플레이.

청구항 39

제38항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 더미 픽셀들을 포함하는, 유기 발광 다이오드 디스플레이.

청구항 40

제38항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 상기 게이트 라인들의 제1 세트 내의 각각의 게이트 라인에 결합된 적어도 하나의 커패시터를 포함하는, 유기 발광 다이오드 디스플레이.

청구항 41

제38항에 있어서, 상기 보충 게이트 라인 로딩 구조체들은 상기 게이트 라인들의 제1 세트에 결합된 커패시터들을 포함하고, 상기 게이트 라인들의 제1 세트 내의 상기 게이트 라인들 중 적어도 주어진 하나의 게이트 라인은

상기 게이트 라인들 중 상기 주어진 하나의 게이트 라인과 상이한 행 내의 커패시터에 결합되는, 유기 발광 다이오드 디스플레이.

발명의 설명

기술 분야

[0001] 본 출원은, 2016년 3월 28일자로 출원된 미국 가특허 출원 제62/314,281호, 및 2016년 4월 26일자로 출원된 미국 가특허 출원 제62/327,584호에 대한 우선권을 주장하며, 그 전문이 본 명세서에 참조로서 편입된다.

배경 기술

[0002] 본 출원은 일반적으로 디스플레이에 관한 것으로, 보다 상세하게는 발광 다이오드들로 형성된 픽셀들을 갖는 디스플레이에 관한 것이다.

[0003] 전자 디바이스는 종종 디스플레이를 포함한다. 예를 들어, 셀룰러 전화기 및 휴대용 컴퓨터는 사용자에게 정보를 제시하기 위한 디스플레이들을 포함한다.

[0004] 유기 발광 다이오드 디스플레이와 같은 디스플레이는 발광 다이오드들에 기초한 픽셀들의 어레이들을 가진다. 이러한 유형의 디스플레이에서, 각각의 픽셀은 발광 다이오드, 및 광을 생성하기 위한 발광 다이오드에 대한 신호의 인가를 제어하기 위한 박막 트랜지스터들을 포함한다. 박막 트랜지스터들은 구동 트랜지스터들을 포함한다. 각각의 구동 트랜지스터는 개개의 발광 다이오드와 직렬로 결합되고 그 발광 다이오드를 통하는 전류 흐름을 제어한다.

[0005] 유기 발광 다이오드 디스플레이 내의 구동 트랜지스터들의 임계 전압들은 동작 이력 효과로 인해 달라질 수 있으며, 이는 밝기 불균일을 초래할 수 있다. 밝기 변동들은 또한 비-직사각형 형상들을 갖는 디스플레이들에서의 제어 문제들로 인해 발생할 수 있다. 주의를 기울이지 않으면, 이들과 같은 효과는 디스플레이 성능에 악영향을 미칠 수 있다.

발명의 내용

[0006] 디스플레이는 픽셀들의 어레이를 가질 수 있다. 디스플레이 드라이버 회로부는 픽셀들에 데이터 및 제어 신호들을 공급할 수 있다. 각각의 픽셀은 7개의 트랜지스터, 커패시터, 및 유기 발광 다이오드와 같은 발광 다이오드를 가질 수 있거나, 또는 다른 박막 트랜지스터 회로부를 가질 수 있다.

[0007] 각각의 픽셀의 트랜지스터들은 수평 제어 라인들을 사용하여 제어 신호들을 수신할 수 있다. 각각의 픽셀은 구동 트랜지스터 및 발광 다이오드와 직렬로 결합되는 제1 및 제2 방출 인에이블 트랜지스터들을 가질 수 있다. 제1 및 제2 방출 인에이블 트랜지스터들은 공통 수평 제어 라인에 결합될 수 있거나, 또는 별개의 수평 제어 라인들을 통해 공급되는 별개의 제어 신호들을 사용하여 별개로 제어될 수 있다. 픽셀의 방출 인에이블 트랜지스터들이 개별적으로 제어되는 경우, 온-바이어스 스트레스(on-bias stress)가 그 픽셀의 구동 트랜지스터에 효과적으로 인가될 수 있는데, 이는 구동 트랜지스터의 소스 노드가 플로팅되기보다는 픽셀의 양의(positive) 전력 공급 단자에 단락될 수 있기 때문이다.

[0008] 디스플레이 내의 행들 모두가 동일한 수의 픽셀들을 갖는 것은 아닐 수 있으며, 따라서 상이한 양들의 용량성 로딩에 의해 특성화될 수 있다. 디스플레이에 대한 밝기 균일성을 보장하기 위하여, 디스플레이 드라이버 회로부는 디스플레이 내의 픽셀들의 상이한 행들에 상이한 게이트 라인 신호들을 제공하는 게이트 드라이브 회로들을 가질 수 있다. 이는 디스플레이 드라이버 회로부가 상이한 행들 내의 상이한 용량성 로딩 효과로부터의 디스플레이 밝기의 변동들을 중화시키기 위해 행-위치-의존적 게이트 라인 신호들을 생성할 수 있게 한다. 디스플레이들에는 또한, 밝기 변동들을 완만하게 위해 행-의존적 보충 게이트 라인 로딩 구조체(row-dependent supplemental gate line loading structure)들 및/또는 상이한 행들 내의 상이한 강도들의 게이트 드라이버들이 제공될 수 있다.

도면의 간단한 설명

[0009] 도 1은 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 개략도이다.

도 2는 일 실시예에 따른 예시적인 디스플레이의 개략도이다.

도 3은 일 실시예에 따른 예시적인 픽셀 회로의 도면이다.

도 4는 일 실시예에 따른, 도 3에 도시된 유형의 픽셀 회로를 사용하는 것에 관련된 동작들을 도시하는 타이밍도이다.

도 5는 일 실시예에 따른, 도 3에 도시된 유형의 픽셀 내의 스위칭 트랜지스터들을 제어하기 위한 예시적인 방출 인에이블 제어 신호 및 예시적인 게이트 라인 신호들을 도시하는 도면이다.

도 6은 일 실시예에 따른, 상부 에지를 따른 픽셀-프리(pixel-free) 노치를 갖고 따라서 디스플레이의 상이한 행들 내의 상이한 용량성 로딩을 갖는 예시적인 디스플레이의 도면이다.

도 7은 일 실시예에 따른, 상이한 행들 내의 상이한 용량성 로딩 효과에 대해 중화시키기 위해 상이한 게이트 라인 신호들을 픽셀들의 상이한 행들에 제공하는 데 사용될 수 있는 유형의 디스플레이 드라이버 회로부의 도면이다.

도 8, 도 9 및 도 10은 각각 일 실시예에 따른, 개개의 제1 및 제2 상이한 용량성 로딩 효과에 의해 특성화되는 디스플레이 내의 행들의 제1 및 제2 세트들에 각각 제공될 제1 및 제2 예시적인 게이트 라인 신호들을 도시한다.

도 11은 일 실시예에 따른 개별적으로 제어되는 방출 인에이블 트랜지스터들을 갖는 예시적인 픽셀 회로의 도면이다.

도 12는 일 실시예에 따른, 어떻게 온-바이어스 스트레스가 디스플레이 내의 픽셀들에 인가될 수 있는지를 도시하고 어떻게 데이터 기입 동작들이 수행될 수 있는지를 도시하는 타이밍도이다.

도 13은 일 실시예에 따른, 디스플레이 밝기 변동들을 최소화하는 것을 돕기 위해 어떻게 게이트 라인 로딩이 디스플레이 내의 행 위치의 함수로서 조정될 수 있는지를 도시하는 그래프이다.

도 14는 일 실시예에 따른, 밝기 변동들을 안정되게 하기 위해 어떻게 더미 픽셀 구조체들과 같은 보충 데이터 라인 로딩 구조체들이 디스플레이 내의 행들에 추가될 수 있는지를 도시하는 도면이다.

도 15는 일 실시예에 따른, 밝기 변동들을 안정되게 하기 위해 어떻게 상이한 양들의 보충 게이트 라인 로딩 구조체들이 디스플레이 내의 행들에 추가될 수 있는지를 도시하는 도면이다.

도 16은 일 실시예에 따른, 다른 행 내의 게이트 라인 로딩을 증가시키기 위해 어떻게 디스플레이의 하나의 행 내에 위치한 게이트 라인 로딩 구조체들이 사용될 수 있는지를 도시하는 도면이다.

도 17은 일 실시예에 따른, 행 위치의 함수로서 짧은 행들에 대한 게이트 라인 폭을 증가시킴으로써 어떻게 행-의존적 보충 게이트 라인 로딩 구조체들이 구현될 수 있는지를 도시하는 디스플레이의 일부분의 도면이다.

도 18은 일 실시예에 따른, 어떻게 게이트 드라이버 강도가 행 위치의 함수로서 변화될 수 있는지를 도시하는 디스플레이의 일부분의 도면이다.

도 19는 일 실시예에 따른, 게이트 라인에 로딩을 추가하기 위해 어떻게 커패시터들이 게이트 라인에 결합될 수 있는지를 도시하는 회로도이다.

도 20 및 도 21은 일 실시예에 따른 예시적인 커패시터들의 측단면도이다.

도 22는 일 실시예에 따른, 게이트 라인 로딩을 제공하기 위한 커패시터들을 갖는 디스플레이 내의 예시적인 행의 도면이다.

도 23은 일 실시예에 따른, 게이트 라인 로딩을 조정하기 위해 게이트 라인에 사행 경로 세그먼트(meandering path segment)가 제공된 디스플레이 내의 예시적인 행의 도면이다.

도 24는 일 실시예에 따른, 보충 게이트 라인 로딩 구조체들로서 기능하는 감소된-포트프린트의 비-방출 픽셀 회로들이 게이트 라인에 로딩된, 디스플레이 내의 예시적인 행의 도면이다.

도 25는 일 실시예에 따른, 디스플레이의 비활성 영역을 가로질러 노치를 지나 연장되는 연장부들을 갖는 게이트 라인들을 갖는 예시적인 디스플레이의 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 전자 디바이스에 디스플레이가 제공될 수 있다. 디스플레이를 갖는 예시적인 전자 디바이스의 개략도가 도 1에 도시되어 있다. 도 1의 디바이스(10)는, 랩톱 컴퓨터와 같은 컴퓨팅 디바이스, 내장형 컴퓨터를 포함하는 컴퓨터 모니터, 태블릿 컴퓨터, 셀룰러 전화기, 미디어 재생기, 또는 다른 핸드헬드 또는 휴대용 전자 디바이스, 손목-시계 디바이스(예컨대, 손목 스트랩을 갖는 시계)와 같은 보다 작은 디바이스, 펜던트(pendant) 디바이스, 헤드폰 또는 이어피스(earpiece) 디바이스, 안경 또는 사용자의 머리에 착용되는 다른 장비 내에 내장된 디바이스, 또는 다른 웨어러블 또는 소형 디바이스, 텔레비전, 내장형 컴퓨터를 포함하지 않는 컴퓨터 디스플레이, 게이밍 디바이스, 내비게이션 디바이스, 디스플레이를 갖는 전자 장비가 키오스크(kiosk) 또는 자동차에 장착되는 시스템과 같은 내장형 시스템, 이들 디바이스들 중 2개 이상의 기능을 구현하는 장비, 또는 다른 전자 장비일 수 있다.
- [0011] 도 1에 도시된 바와 같이, 전자 디바이스(10)는 제어 회로부(16)를 가질 수 있다. 제어 회로부(16)는 디바이스(10)의 동작을 지원하기 위한 저장 및 프로세싱 회로부를 포함할 수 있다. 저장 및 프로세싱 회로부는 하드 디스크 드라이브 저장장치, 비휘발성 메모리(예를 들어, 플래시 메모리, 또는 솔리드 스테이트 드라이브(solid state drive)를 형성하도록 구성된 다른 전기적 프로그래밍가능 판독 전용 메모리), 휘발성 메모리(예를 들어, 정적 또는 동적 랜덤 액세스 메모리) 등과 같은 저장장치를 포함할 수 있다. 제어 회로부(16) 내의 프로세싱 회로부는 디바이스(10)의 동작을 제어하는 데 사용될 수 있다. 프로세싱 회로부는 하나 이상의 마이크로프로세서, 마이크로컨트롤러, 디지털 신호 프로세서, 기저대역 프로세서, 전력 관리 유닛, 오디오 칩, 응용 주문형 집적회로 등에 기초할 수 있다.
- [0012] 입출력 디바이스들(18)과 같은 디바이스(10)의 입출력 회로부는 데이터가 디바이스(10)에 공급되고 데이터가 디바이스(10)로부터 외부 디바이스들로 제공될 수 있게 하는 데 사용될 수 있다. 입출력 디바이스들(18)은 버튼, 조이스틱, 스크롤링 휠, 터치 패드, 키 패드, 키보드, 마이크로폰, 스피커, 톤 생성기, 진동기, 카메라, 센서, 발광 다이오드 및 다른 상태 표시기, 데이터 포트 등을 포함할 수 있다. 사용자는 입출력 디바이스들(18)을 통해 커맨드들을 공급함으로써 디바이스(10)의 동작을 제어할 수 있고, 입출력 디바이스들(18)의 출력 리소스들을 사용하여 디바이스(10)로부터 상태 정보 및 다른 출력을 수신할 수 있다.
- [0013] 입출력 디바이스들(18)은 디스플레이(14)와 같은 하나 이상의 디스플레이를 포함할 수 있다. 디스플레이(14)는 사용자로부터 터치 입력을 수집하기 위한 터치 센서를 포함하는 터치 스크린 디스플레이일 수 있거나, 디스플레이(14)는 터치에 불감응형일 수 있다. 디스플레이(14)를 위한 터치 센서는 용량성 터치 센서 전극들의 어레이, 음향 터치 센서 구조체들, 저항성 터치 컴포넌트들, 힘-기반 터치 센서 구조체들, 광-기반 터치 센서, 또는 다른 적합한 터치 센서 배열들에 기초할 수 있다.
- [0014] 제어 회로부(16)는 운영 체제 코드 및 애플리케이션들과 같은 디바이스(10) 상의 소프트웨어를 실행하는 데 사용될 수 있다. 디바이스(10)의 동작 동안, 제어 회로부(16) 상에서 실행되는 소프트웨어는 디스플레이(14) 상에 이미지들을 표시할 수 있다.
- [0015] 디스플레이(14)는 유기 발광 다이오드 디스플레이, 각각이 결정형 반도체 다이로 형성되는 개별적인 발광 다이오드들의 어레이로 형성된 디스플레이, 또는 임의의 다른 적합한 유형의 디스플레이일 수 있다. 디스플레이(14)의 픽셀들이 발광 다이오드들을 포함하는 구성들은 때때로 본 명세서에서 예로서 기술된다. 그러나, 이는 단지 예시적인 것이다. 원하는 경우, 임의의 적합한 유형의 디스플레이가 디바이스(10)에 사용될 수 있다.
- [0016] 도 2는 예시적인 디스플레이의 도면이다. 도 2에 도시된 바와 같이, 디스플레이(14)는 기관 층(26)과 같은 층들을 포함할 수 있다. 층(26)과 같은 기관 층들은 직사각형 평면의 재료의 층들 또는 다른 형상들(예를 들어, 원형 형상들 또는 하나 이상의 만곡 및/또는 직선 에지들을 갖는 다른 형상들)을 갖는 재료의 층들로 형성될 수 있다. 디스플레이(14)의 기관 층들은 유리 층들, 중합체 층들, 중합체 및 무기 재료들을 포함하는 복합체 필름들, 금속 포일들 등을 포함할 수 있다.
- [0017] 디스플레이(14)는 픽셀 어레이(28)와 같은, 사용자를 위한 이미지들을 표시하기 위한 픽셀들(22)의 어레이를 가질 수 있다. 어레이(28) 내의 픽셀들(22)은 행들 및 열들로 배열될 수 있다. 어레이(28)의 에지들은 직선 또는 만곡될 수 있다(즉, 어레이(28) 내의 픽셀들(22)의 각각의 행 및/또는 픽셀들(22)의 각각의 열은 동일한 길이를 가질 수 있거나 상이한 길이를 가질 수 있다). 어레이(28)에는 임의의 적합한 수의 행들 및 열들이 있을 수 있다(예를 들어, 10개 이상, 100개 이상, 또는 1000개 이상 등). 디스플레이(14)는 상이한 컬러들의 픽셀들(22)을 포함할 수 있다. 예로서, 디스플레이(14)는 적색 픽셀들, 녹색 픽셀들, 및 청색 픽셀들을 포함할 수 있다. 원하는 경우, 백라이트 유닛이 디스플레이(14)의 백라이트 조명을 제공할 수 있다.

- [0018] 픽셀들(22)의 동작을 제어하기 위해 디스플레이 드라이버 회로부(20)가 사용될 수 있다. 디스플레이 드라이버 회로부(20)는 집적회로, 박막 트랜지스터 회로, 및/또는 다른 적합한 회로부로 형성될 수 있다. 도 2의 예시적인 디스플레이 드라이버 회로부(20)는 디스플레이 드라이버 회로부(20A), 및 게이트 드라이버 회로부(20B)와 같은 추가적인 디스플레이 드라이버 회로부를 포함한다. 게이트 드라이버 회로부(20B)는 디스플레이(14)의 하나 이상의 에지를 따라 형성될 수 있다. 예를 들어, 게이트 드라이버 회로부(20B)는 도 2에 도시된 바와 같이 디스플레이(14)의 좌변 및 우변을 따라 배열될 수 있다.
- [0019] 도 2에 도시된 바와 같이, 디스플레이 드라이버 회로부(20A)(예를 들어, 하나 이상의 디스플레이 드라이버 집적회로, 박막 트랜지스터 회로부 등)는 신호 경로(24)를 통해 시스템 제어 회로부와 통신하기 위한 통신 회로부를 포함할 수 있다. 경로(24)는 가요성 인쇄 회로 상의 트레이스들 또는 다른 케이블로 형성될 수 있다. 제어 회로부는 전자 디바이스(10) 내의 하나 이상의 인쇄 회로 상에 위치될 수 있다. 동작 동안, 제어 회로부(예를 들어, 도 1의 제어 회로부(16))는 디스플레이(14) 상에 표시될 이미지들에 대한 이미지 데이터를 회로부(20) 내의 디스플레이 드라이버 집적회로와 같은 회로부에 공급할 수 있다. 도 2의 디스플레이 드라이버 회로부(20A)는 디스플레이(14)의 상부에 위치된다. 이는 단지 예시적인 것이다. 디스플레이 드라이버 회로부(20A)는 디스플레이(14)의 하부 에지를 따라, 디스플레이(14)의 상부 및 하부 둘 모두에, 또는 디바이스(10)의 다른 부분들에 위치될 수 있다.
- [0020] 픽셀들(22) 상에 이미지들을 표시하기 위해, 디스플레이 드라이버 회로부(20A)는 신호 경로들(30)을 통해 게이트 드라이버 회로부(20B)와 같은 지원 디스플레이 드라이버 회로부에 제어 신호들을 발행하면서 대응하는 이미지 데이터를 데이터 라인들(D)에 공급할 수 있다. 도 2의 예시적인 배열에 따라, 데이터 라인들(D)은 디스플레이(14)에 걸쳐 수직으로 이어지고, 픽셀들(22)의 개개의 열들과 연관된다.
- [0021] 게이트 드라이버 회로부(20B)(때때로 게이트 라인 드라이버 회로부 또는 수평 제어 신호 회로부로 지칭됨)는 하나 이상의 집적회로를 사용하여 구현될 수 있고/있거나 기판(26) 상의 박막 트랜지스터 회로부를 사용하여 구현될 수 있다. 수평 제어 라인들(G)(때때로 게이트 라인들, 스캔 라인들, 방출 제어 라인들 등으로 지칭됨)은 디스플레이(14)에 걸쳐 수평으로 이어진다. 각각의 게이트 라인(G)은 픽셀들(22)의 개개의 행과 연관된다. 원하는 경우, 픽셀들의 각각의 행과 연관된 게이트 라인들(G)과 같은 다수의 수평 제어 라인이 있을 수 있다(예를 들어, 제1 게이트 라인 신호(G1) 및 제2 게이트 라인 신호(G2), 하나 이상의 방출 제어 신호 등). 디스플레이(14) 내의 개별적으로 제어된 그리고/또는 글로벌 신호 경로들이 또한 다른 신호들(예를 들어, 전력 공급 신호들 등)을 분배하기 위해 사용될 수 있다.
- [0022] 게이트 드라이버 회로부(20B)는 디스플레이(14) 내의 게이트 라인들(G) 상에 게이트 신호들을 활성화설정할(assert) 수 있다. 예를 들어, 게이트 드라이버 회로부(20B)는 경로들(30) 상에서 회로부(20A)로부터 클록 신호들 및 다른 제어 신호들을 수신할 수 있고, 수신된 신호들에 응답하여, 어레이(28) 내의 픽셀들(22)의 제1 행에서의 게이트 라인 신호(G)를 시작으로, 순서대로 게이트 라인들(G) 상의 게이트 라인 신호를 활성화설정할 수 있다. 각각의 게이트 라인이 활성화설정됨에 따라, 데이터 라인들(D)로부터의 데이터는 픽셀들의 대응하는 행 내에 로딩될 수 있다. 이러한 방식으로, 디스플레이 드라이버 회로부(20A, 20B)와 같은 제어 회로부는 원하는 이미지를 디스플레이(14) 상에 표시하도록 픽셀들(22)에 지시하는 신호들을 픽셀들(22)에 제공할 수 있다. 각각의 픽셀(22)은 디스플레이 드라이버 회로부(20)로부터의 제어 및 데이터 신호들에 응답하는 발광 다이오드 및 회로부(예를 들어, 기판(26) 상의 박막 회로부)를 가질 수 있다.
- [0023] 어레이(28) 내의 각각의 픽셀(22)에 사용될 수 있는 유형의 예시적인 픽셀 회로가 도 3에 도시된다. 도 3의 예에서, 픽셀 회로(22)는 7개의 트랜지스터(T1, T2, T3, T4, T5, T6, TD) 및 하나의 커패시터(Cst)를 가지므로, 픽셀 회로(22)는 때때로 7T1C 픽셀 회로로서 지칭될 수 있다. 원하는 경우, 다른 수의 트랜지스터들 및 커패시터들이 픽셀들(22)에 사용될 수 있다(예를 들어, 더 적은 트랜지스터들, 더 많은 트랜지스터들, 더 많은 커패시터들 등). 트랜지스터들은 p-채널 트랜지스터들(예를 들어, 도 3에 도시된 바와 같은 p-채널 금속 산화물 반도체 트랜지스터들)일 수 있고/있거나 n-채널 트랜지스터들 또는 다른 유형의 트랜지스터들일 수 있다. 픽셀 회로(22)를 위한 박막 트랜지스터들의 활성 영역들 및 디스플레이(14)의 다른 부분들은 실리콘(예를 들어, 폴리실리콘 채널 영역들), 반도체성 산화물들(예를 들어, 인듐 갈륨 아연 산화물 채널 영역들), 또는 다른 적합한 반도체 박막 층들로 형성될 수 있다.
- [0024] 도 3에 도시된 바와 같이, 픽셀 회로(22)는 발광 다이오드(44)(예를 들어, 유기 발광 다이오드, 결정형 마이크로 발광 다이오드 다이 등)를 포함한다. 발광 다이오드(44)는 트랜지스터(TD)에 의해 발광 다이오드(44)를 통해 구동되는 전류(I)의 양에 비례하여 광(46)을 방출할 수 있다. 트랜지스터(TD), 트랜지스터(T4), 트랜지스터

(T5), 및 발광 다이오드(44)는 개개의 전력 공급 단자들 사이에서 직렬로 결합될 수 있다(예를 들어, 양의 전력 공급 단자(ELVDD) 및 접지 전력 공급 단자(ELVSS) 참조). 트랜지스터(TD)는 노드(Nb)에 결합된 소스 단자, 트랜지스터(T5)에 결합된 드레인 단자, 및 노드(Na)에 결합된 게이트 단자를 가질 수 있다. 트랜지스터(TD)의 게이트에서의 노드(Na) 상의 전압은 트랜지스터(TD)에 의해 생성되는 전류(I)의 양을 제어한다. 이 전류는 발광 다이오드(44)를 통해 구동되므로, 트랜지스터(TD)는 때때로 구동 트랜지스터로 지칭될 수 있다.

[0025] 트랜지스터들(T4, T5)은 트랜지스터(TD)와 다이오드(44) 사이의 전류 흐름을 차단하도록 턴 오프될 수 있고, 트랜지스터들(T4, T5)은 트랜지스터(TD)와 다이오드(44) 사이의 전류 흐름을 가능하게 하도록 턴 온될 수 있다. 방출 인에이블 제어 신호(EM)는 공유된 게이트 라인으로부터 트랜지스터들(T4, T5)의 게이트들에 인가될 수 있다. 동작 동안, 트랜지스터들(T4, T5)은 방출 인에이블 제어 신호(EM)에 의해 제어되고, 따라서 때때로 방출 트랜지스터들 또는 방출 인에이블 트랜지스터들로서 지칭된다. 때때로 스위칭 트랜지스터 제어 신호들, 스캔 신호들, 또는 게이트 라인 신호들(예를 들어, 게이트 초기화 및 게이트 기입 신호들, 게이트 신호들 등)로 지칭될 수 있는 제어 신호들(GW, GI)은 스위칭 트랜지스터들(T1, T2, T3, T6)의 게이트들에 인가되고 트랜지스터들(T1, T2, T3, T6)의 동작을 제어한다.

[0026] 제어 신호들(EM, GI, GW)은 디스플레이(14)의 동작 동안 디스플레이(14)의 픽셀들(22)을 상이한 상태들에 두기 위해 디스플레이 드라이버 회로부(20)에 의해 제어될 수 있다. 이러한 상이한 상태들 동안, 이미지 데이터가 픽셀들(22) 내에 로딩되고, 픽셀들(22)은 발광 다이오드들(44)을 사용하여 로딩된 픽셀 데이터에 비례하여 광(46)을 방출한다. 트랜지스터 이력(예를 들어, Vgs 이력 값들)의 차이들로 인한 임계 전압 변동들을 최소화하기 위하여, 픽셀들 각각은 알려진 전압 스트레스(때때로 온-바이어스 스트레스로 지칭됨)를 구동 트랜지스터들(TD)에 의도적으로 인가함으로써 조정될 수 있다.

[0027] 예로서, 디스플레이 드라이버 회로부(20)는 (도 4의 단계(62)와 같은 제2 동작 모드에서) 픽셀들을 사용하여 광을 방출하기 전에, 제어 신호들(EM, GI, GW)을 사용하여 셀들(22)을 제1 동작 모드(예를 들어, 도 4의 단계(60) 참조)에 둘 수 있다. 동작 동안, 단계들(60, 62)은 반복적으로 교번할 수 있다.

[0028] 때때로 전처리(preconditioning) 단계, 또는 온-바이어스 스트레스, 데이터 기입, 및 임계 전압 보상 단계로 지칭될 수 있는 단계(60) 동안, 온-바이어스 스트레스가 각각의 픽셀(22)의 구동 트랜지스터(TD)에 인가될 수 있고, 데이터 라인으로부터의 데이터(D)가 그 픽셀(22)의 커패시터(Cst)(노드 Na) 상으로 로딩될 수 있다. 때때로 방출 단계로 지칭될 수 있는 단계(62) 동안, 각각의 픽셀(22)의 구동 트랜지스터(TD)는 그 픽셀의 발광 다이오드(44)에 구동 전류(I)를 공급하여, 발광 다이오드(44)가 광(46)을 방출하도록 한다. 단계(60) 동안, 커패시터(Cst) 상에 로딩된 데이터는 구동 트랜지스터(TD)의 임계 전압(Vt)과 동일한 양만큼 Vdata(데이터 라인(D) 상의 전압)로부터 이동될 수 있어, 트랜지스터(TD)의 구동 전류(I)는 방출 단계(62) 동안 Vt에 독립적이다(즉, 도 3의 픽셀 회로는 내부 임계 전압 보상 방식을 구현하는 데 사용될 수 있다).

[0029] 도 5는 단계(60) 동안 픽셀(22)의 방출 신호(EM) 및 게이트 라인 신호들(GI, GW)에 대한 예시적인 신호 트레이스들을 도시한다.

[0030] 도 5에 도시된 바와 같이, 방출 신호(EM)는 시간(t1)에서 하이(high)로 취해지고 단계(60) 동안 하이에서 유지될 수 있으며, 이에 의해 트랜지스터들(T4, T5)을 턴 오프시키고 전류(I)가 발광 다이오드(44)를 통과하는 것을 방지한다. EM이 하이이면서, 게이트 라인 신호(GI)는 시간(t1)에서 로우(low)로 취해질 수 있다. 이것은 트랜지스터(T3)를 턴 온시키고 이에 의해 구동 트랜지스터(TD)의 게이트에서의 노드(Na) 상에 초기화 전압(Vini)(예를 들어, -2 볼트와 같은 낮은 전압 신호 또는 다른 적합한 전압)을 배치한다(즉, 알려진 온-바이어스 스트레스가 구동 트랜지스터(TD)에 인가되어 트랜지스터(TD)를 전처리하고 이에 의해 트랜지스터(TD)의 동작 이력으로 인한 트랜지스터(TD)의 임계 전압(Vt)의 임계 전압 변동들을 최소화하는 것을 돕는다). 이어서 트랜지스터(T3)는 시간(t2)에서 신호(GI)를 하이로 취함으로써 턴 오프될 수 있다. 시간(t3)에서, 게이트 라인 신호(GW)는 로우로 취해질 수 있다. 이것은 트랜지스터들(T1, T2, TD)을 턴 온시켜, 데이터 라인(D)으로부터의 데이터(Vdata)가 경로(64)를 통해 노드(Na) 상에 로딩되도록 한다. 원하는 경우, 트랜지스터(TD)를 전처리하고 Vdata를 노드(Na) 상에 만족스럽게 로딩하는 것을 돕기 위해 신호들(GI, GW)을 로우로 취하는 프로세스가 반복될 수 있다(예를 들어, 도 5에 도시된 바와 같이 3회 또는 다른 적합한 횟수).

[0031] 디스플레이(14)가 디스플레이(14)의 각 행에서 동일한 수의 픽셀들(22)을 갖는 디바이스(10)에 대한 구성들에서, 디스플레이(14)의 게이트 라인들 상의 용량성 로딩은 디스플레이(14)의 행들 모두에 걸쳐 비교적 균등할 것이다. 도 6의 예시적인 구성과 같은 디스플레이(14)의 다른 구성들에서, 디스플레이(14)의 상이한 행들은 상이한 수의 픽셀들(22)을 포함할 수 있다. 이것은 게이트 라인들(예를 들어, 신호들(GI, GW)과 같은 신

호들을 캐리(carry)하는 게이트 라인들) 상에 행-의존적 용량성 로딩을 발생시킬 수 있으며, 이는 전처리 동작들 및 노드(Na) 상에 로딩된 데이터 및 그에 따라 각 행의 픽셀들(22) 내의 광(46)의 결과적인 밝기에 영향을 미칠 수 있다.

[0032] 도 6의 예시적인 배열에서, 디스플레이(14)는 4개의 만곡된 코너 및 리세스(즉, 픽셀-프리 노치형 영역(66))를 갖는 직사각형 형상을 갖는다. 노치는 픽셀들(22)의 행들을 차단하여, 디스플레이(14)의 기관의 폭에 걸쳐 이어지는(span) 정상적인 길이의 행들보다 적은 픽셀들을 갖는 짧은 행들을 생성한다. 디스플레이(14)의 만곡된 코너들로 인해, 디스플레이(14)의 상부 및 하부 에지 내의 각각의 행은 약간 상이한 양의 용량성 로딩을 가질 것이다. 디스플레이(14)의 상부 및 하부 에지들에서의 디스플레이(14)의 주변 에지의 점진적으로 만곡된 형상으로 인해, 게이트 라인들을 로딩하는 픽셀들(22)의 수의 행간(row-to-row) 변화는 이 영역들에서 점진적일 것이다. 그 결과, 인접한 행들 사이의 행 길이(및 따라서 픽셀 카운트)의 변화들로 인한 휘도 변동들은 최소화될 것이고 디스플레이(14)의 뷰어에게 눈에 띄지 않을 것이다.

[0033] 노치(66)로 인한 디스플레이(14)에서의 변화들과 같은 더 급격한 형상 변화들은 게이트 라인들 상의 픽셀 로딩에서의 더 큰 변화들을 도입할 것이다. 도 6의 디스플레이(14) 내의 행(RM+1... RN)과 같은 행들은 서로 동일한 픽셀 카운트들을 갖는다(또는, 디스플레이(14)의 하부 에지 근처의 행들의 경우, 거의 동일하다). 행들(R0... RM)과 같은 행들은 행들(RM+1...RN)의 픽셀 카운트들의 절반 미만인 픽셀 카운트들을 가질 것이다. 이것은 행들(R0...RM) 내의 각각의 게이트 라인이 영역(66)의 좌측 또는 우측 경계로만 연장될 것이며 영역(66)을 가로지를 수 없을 것이기 때문이다.

[0034] 디스플레이(14)의 영역(A) 내의 게이트 라인들(즉, 영역(66)에 인접한 디스플레이(14)의 상부 에지 내의 행들(R0...RM)의 게이트 라인들) 및 디스플레이(14)의 영역(B) 내의 게이트 라인들(즉, 행들(RM+1... RN)의 게이트 라인들)은 도 6의 예에서 상이한 양들의 로딩을 겪기 때문에, 영역들(A, B) 내의 픽셀들(22)은 그들 데이터 라인들 상에 동일한 Vdata 값들이 존재하는 경우에도 그들의 저장 커패시터들(Cst) 상에 상이한 전압들로 로딩될 위험이 있다. 이들 행-의존적 게이트 라인 로딩 효과를 보상하기 위하여, 디스플레이 드라이버 회로부(20)는 행의 함수로서 변화하는 게이트 라인 신호들(G)을 생성할 수 있다. 예를 들어, 디스플레이 드라이버 회로부(20)는 영역(B) 내의 행들에 대한 게이트 라인 신호들보다 짧은 펄스 폭들을 갖는, 영역(A) 내의 행들에 대한 게이트 라인 신호들을 생성할 수 있다. 이어서 영역(A)에서 사용되는 더 짧은 펄스 폭들을 갖는 게이트 라인 신호들은, 영역(B)에서 사용되는 더 긴 펄스 폭들을 갖는 게이트 라인 신호들이 영역(B) 내의 픽셀들을 로딩하게 될 동일한 방식으로, 영역(A) 내의 픽셀들을 로딩할 것이다.

[0035] 영역(B) 내의 픽셀들(22)의 행들과 상이한 게이트 라인 신호들을 영역(A) 내의 픽셀들(22)의 행들에 제공하기 위한 예시적인 디스플레이 드라이버 회로부가 도 6에 도시된다. 도 7에 도시된 바와 같이, 디스플레이 드라이버 회로부(20A)(예를 들어, 집적회로, 박막 트랜지스터 회로부 등)는 상이한 클럭 신호들(예를 들어, 펄스 폭, 펄스 슬루레이트(slew rate), 및/또는 다른 속성들이 상이한 클럭 신호들)을 생성하는 클럭 생성기들(70, 72)과 같은 클럭 생성기들을 포함할 수 있다. 이들 신호는 멀티플렉서(74) 및 클럭 분배 경로(76)를 통해 게이트 드라이버 회로부(20B)의 게이트 드라이버 회로들(78)의 클럭 입력들에 제공될 수 있다. 각각의 게이트 드라이버 회로(78)의 출력(G)은 후속 게이트 드라이버 회로(78)에 제공되어 시프트 레지스터를 형성할 수 있다. 도 7의 예에서, 각각의 게이트 드라이버 회로는 픽셀들(22)의 개개의 행에 대한 게이트 라인 신호를 생성한다. 원하는 경우, 회로부(20B)는 각각의 행에 대한 다수의 게이트 라인 출력 신호(예를 들어, 신호들(GI, GW))를 생성할 수 있다. 회로들(78)로 형성된 시프트 레지스터는 게이트 라인 신호(또는 각각의 회로(78)가 각각의 행 내의 다수의 게이트 라인에 대응하는 다수의 출력을 갖는 경우의 게이트 라인 신호들)가 디스플레이(14)의 각각의 행에서 차례로 활성화되는 것을 허용한다.

[0036] 라인(76)으로부터의 클럭 신호들은 각각의 게이트 드라이버 회로(78)의 클럭 입력들에 분배되며, 각각의 게이트 드라이버 회로(78)는 이어서 이들 클럭을 대응하는 출력 신호들(G)을 생성할 때 사용한다. 주어진 게이트 라인 신호가 생성되고 있을 때 라인(76) 상의 클럭 신호의 형상은 주어진 게이트 라인 신호의 형상을 제어하는 데 사용될 수 있다. 특히, 라인(76) 상의 클럭 신호들에 대한 클럭 신호 속성들(예를 들어, 펄스 폭)은 게이트 라인 신호 속성들(예를 들어, 펄스 폭)에 영향을 미치므로, 경로(76) 상의 클럭 신호들에 대한 변경은 게이트 라인 신호들(G)을 제어하는 데 사용될 수 있다.

[0037] 제1 유형의 클럭 신호를 게이트 드라이버 회로부(20B)의 게이트 드라이버 회로들(78)에 공급하는 것이 요구될 때(예를 들어, 영역(A) 내의 픽셀들에 대한 게이트 라인 신호들을 생성할 때), 디스플레이 드라이버 회로부(20A)는 클럭 생성기(70)의 출력(CLKA)이 경로(76)를 통해 회로부(20A) 내의 게이트 드라이버 회로들(78)로 라

우팅되도록 멀티플렉서(74)를 구성할 수 있다. 제2 유형의 클록 신호를 게이트 드라이버 회로부(20B)의 게이트 드라이버 회로들(78)에 공급하는 것이 요구될 때(예를 들어, 영역(B) 내의 픽셀들에 대한 게이트 라인 신호들을 생성할 때), 디스플레이 드라이버 회로부(20A)는 클록 생성기(72)의 출력(CLKB)이 경로(76)를 통해 회로부(20A) 내의 게이트 드라이버 회로들(78)로 라우팅되도록 멀티플렉서(74)를 구성할 수 있다. 이미지 데이터의 각각의 프레임 동안, 멀티플렉서(74)는 영역(A)의 행들 동안 그것의 제1 상태(클록 생성기(70)를 경로(76)에 결합함)에 배치될 수 있고 영역(B)의 행들 동안 그것의 제2 상태(클록 생성기(72)를 경로(76)에 결합함)에 배치될 수 있다.

[0038] 도 8, 도 9 및 도 10은 영역들(B, A) 사이의 휘도 변동들을 감소시키기 위해 개개의 영역들(B, A)에 제공될 수 있는 유형의 예시적인 신호들(CLKB, CLKA)을 도시한다. 도 8의 예에서, 클록들(CLKB, CLKA)의 슬루레이트는 상이하다. 트랜지스터(T2)의 게이트와 노드(Na) 사이에는 기생 커패시턴스가 존재하여, CLKB 신호와 같은 더 빠른 슬루레이트 신호들이 CLKA 신호와 같은 더 느린 슬루레이트 신호들보다 더 많은 데이터를 데이터 라인(D)으로부터 노드(Na) 상으로 전달할 수 있게 한다. (게이트 라인들이 픽셀들(22)에 의해 더 과하게 로딩되는) 영역(B)에서 더 빠른 슬루레이트 신호(CLKB)를 사용하고 (게이트 라인들이 픽셀들(22)에 의해 덜 과하게 로딩되는) 영역(A)에서 더 느린 슬루레이트 신호(CLKA)를 사용함으로써, 데이터 신호들(Vdata)은 영역들(A, B)에서 노드들(Na) 상으로 균일하게 로딩될 것이며, 이에 의해 영역들(A, B) 사이의 바람직하지 않은 픽셀 밝기 변동들을 감소시킨다. 도 9의 예에서, 신호(CLKA)의 펄스 폭(펄스 지속시간)은 신호(CLKB)의 펄스 폭(펄스 지속시간)보다 작다. 영역(B)에서 사용되는 CLKB의 더 긴 펄스 폭은 영역(B) 내의 픽셀들의 행들 내의 게이트 라인들 상의 추가적인 로딩을 보상하는 것을 돕는다. 도 10의 예에서, 클록 신호들(CLKA)은 CLKB(이는 1-단계 프로파일(one-step profile)을 가짐)보다 더 짧은 펄스 형상 및 더 느린 슬루레이트를 갖는 CLKA의 펄스들을 제공하는 2-단계 프로파일을 가져서, 영역(A)에 비해 영역(B) 내의 픽셀들의 행들 내의 게이트 라인들 상의 추가적인 로딩을 보상하는 것을 돕는다. 도 8, 도 9, 및 도 10의 예들은 클록들(CLKA, CLKB)(및 따라서 디스플레이(14)의 개개의 영역들(A, B) 내의 픽셀들(22)에 공급되는 게이트 라인 신호들(G))에 사용될 수 있는 신호 프로파일들의 예들이다. 원하는 경우, 다른 유형의 신호들 및 신호들(CLKA, CLKB)의 다른 조합들이 사용될 수 있다.

[0039] 구동 트랜지스터(TD)의 알려진 온-바이어스 스트레스의 인가의 유효성을 향상시키기 위하여, 도 11의 픽셀(22)에 대한 예시적인 픽셀 회로에 도시된 바와 같이, 방출 신호(EM)를 2개의 개개의 독립적으로 제어된 방출 신호들(EM1, EM2)로 분리하는 것이 바람직할 수 있다. 도 11의 예에서, 방출 제어 신호(방출 인에이블 신호)(EM2)는 방출 트랜지스터(T4)를 제어하는 데 사용되고, 방출 제어 신호(방출 인에이블 신호)(EM1)는 방출 트랜지스터(T5)를 제어하는 데 사용된다. 도 3의 픽셀 회로(22)에 의해 도시된 유형의 배열들에서, 방출 신호(EM)는 전압(Vini)이 트랜지스터(T3)을 통해 노드(Na) 상으로 구동되고 있는 온-바이어스 스트레스 동작들 동안에 하이이다. EM이 하이이기 때문에, 도 3의 트랜지스터(T4)는 단계(60)의 온-바이어스 스트레스 동작들 동안 오프이고 도 3의 트랜지스터(TD)의 소스에서의 노드(Nb) 상의 전압은 플로팅되고 이에 의해 구동 트랜지스터(TD)에 걸친 Vgs 전압을 감소시킬 수 있다. 대조적으로, 도 11의 신호(EM2)는 온-바이어스 스트레스 동작들 동안 로우로 유지되어 트랜지스터(T4)를 턴 온시키고 이에 의해 노드(Nb)(트랜지스터(TD)의 소스)를 양의 전력 공급 전압(ELVDD)에서 하이로 유지하여, 트랜지스터(TD)를 구동하기 위해 큰 게이트-소스 전압(Vgs)을 효과적으로 인가할 수 있다. 이것은 도 12에 도시되며, 이는 온-바이어스 스트레스 단계 동안 GI가 로우로 취해질 때 어떻게 EM1이 하이이고 EM2가 로우인지를 도시한다.

[0040] 원하는 경우, 디스플레이 드라이버 회로부(20)는 행-의존적 게이트 라인 신호들을 픽셀들(22)에 공급하여, 픽셀들이 공통적으로 제어된 방출 제어 트랜지스터들을 갖거나(예를 들어, 도 3의 픽셀들(22) 참조) 픽셀들이 독립적으로 제어된 방출 트랜지스터들을 갖는 디스플레이에서의 행간 휘도 변동을 감소시킬 수 있다.

[0041] 데이터 라인(D)으로부터 각각의 픽셀(22)의 노드(Na) 상으로 로딩되는 전하의 양(신호(Vdata))은 그 픽셀에 대한 게이트 라인 신호들의 특성들에 의존적이다. 데이터 로딩 동작들 동안, 게이트 라인 신호(GW)(즉 도 5의 세 번째 GW 펄스)는 트랜지스터들(T1, TD, T2)을 통해 데이터 라인(D)으로부터 노드(Na) 상으로 데이터를 로딩하기 위해 활성화된다(도 5의 예에서 로우로 취해짐). 도 3의 트랜지스터(T3)의 기생 커패시턴스(Cgs)로 인해, 더 빠른 슬루레이트들 및 더 긴 펄스 지속시간들을 갖는 신호들(GW)은 더 느린 슬루레이트들 및 더 짧은 지속시간들을 갖는 신호들(GW)보다 더 큰 전압(Vdata)을 노드(Na) 상으로 로딩하는 경향이 있다.

[0042] 게이트 라인 로딩은 게이트 라인들 상의 게이트 라인 펄스들의 형상에 영향을 미치며, 따라서 픽셀 밝기에 영향을 미칠 수 있다. 더 큰 양들의 게이트 라인 로딩을 갖는 게이트 라인들은 더 작은 양들의 게이트 라인 로딩을 갖는 게이트 라인들보다 더 어두운 경향이 있을 것이다. 디스플레이(14) 내의 행들에는, 밝기 변동들을 감소시키는 것을 돕기 위해 상이한 양들의 게이트 라인 로딩이 제공될 수 있다. 이러한 게이트 라인 로딩 조정들은,

도 8, 도 9 및 도 10과 관련하여 기술된 바와 같이 행 의존적 밝기 변동들을 감소시키기 위해 디스플레이(14) 내의 픽셀들의 행들에 제공되는 게이트 라인 펄스들의 형상이 조정되는 기술들의 사용에 더하여 그리고/또는 그 대신에 수행될 수 있다. 예로서, 더 적은 픽셀들을 갖는 더 짧은 행들에는 보충 로드들(때때로 더미 로드들 또는 보충 게이트 라인 로딩 구조체들)이 제공되어, 그러한 행들이 디스플레이 내의 더 긴 행들과 유사하게 또는 그와 동일하게 행동하게 만드는 것을 도울 수 있다.

[0043] 동일하지 않은 길이들의 픽셀들(상이한 수의 픽셀들)의 행들을 갖는 디스플레이에서의 밝기 변동들을 완만하게 하는 것을 돕기 위해 사용될 수 있는 다양한 로딩 방식들의 영향을 예시하는 그래프가 도 13에 도시되어 있다. 도 13의 예에서, 게이트 라인 로딩(로드)이 (예를 들어, 도 6의 행(R0)에서 시작하여 디스플레이(14)의 상부 부분에 대하여) 행 수의 함수로서 플로팅되었다. 직선(90)은 어떠한 보충 로딩 구조체들도 없는 도 6에 도시된 유형의 디스플레이에 대응한다. 행(RM)보다 작은 행들(즉, 도 6의 영역(A) 내의 행들)은 점진적으로 증가하는 양들의 로딩을 겪는다. 행(RM) 이후에(즉, 영역(B)에서), 로딩은 로드 값(LM)에 도달한다. 보상되지 않은 디스플레이 구성(직선(90))에서, 개개의 행들(RM) 및 행(RM+1)의 게이트 라인들에 의해 겪게 되는 로딩의 양에서의 비교적 급격한 불연속(로딩 차이(DLM))이 있을 수 있다. 이 불연속은 행(RM) 내의 픽셀들의 밝기와 행(RM+1) 내의 픽셀들의 밝기 사이의 눈에 띄는 변동을 초래할 수 있다. 예를 들어, 로드가 연속적인 행들 사이에서 10% 초과로 변화하는 경우, 연속적인 행들 내의 픽셀들의 밝기는 10% 초과 또는 다른 뚜렷한 양만큼 변화할 수 있다.

[0044] 이들과 같은 밝기 변동들은 디스플레이(14)의 적절한 행들(예를 들어, 그렇지 않으면 그러한 행들의 게이트 라인들 상의 픽셀들의 부족으로 인해 언더로딩되었을(underloaded) 그러한 행들)에 보충 게이트 라인 로딩 구조체들을 추가함으로써 완만하게 될 수 있다. 예를 들어, 주어진 수의 픽셀들에 게이트 라인들이 결합되는 디스플레이의 제1 영역과, 주어진 수의 픽셀들보다 적은 픽셀들에 게이트 라인들이 결합되는 디스플레이의 제2 영역 사이의 밝기 변동들은, 10% 미만의 밝기 변동, 20% 미만의 밝기 변동, 50% 미만, 15% 미만, 5% 미만, 2% 미만, 1% 미만, 또는 다른 적합한 밝기 변동 값들 미만인 밝기 변동으로 감소될 수 있다. 라인(92)에 의해 도시되는 하나의 예시적인 배열에서, 게이트 라인 로딩은 행들(98)의 게이트 라인들에 보충 로드들을 추가함으로써 완만하게 된다. 원하는 경우, (예를 들어, 라인(94)에 의해 도시된 바와 같이, 행들(R0 내지 RM)의 게이트 라인들 각각에 변화하는 양들의 로드들을 추가함으로써) 추가적인 완만화가 달성될 수 있다. 원하는 경우, 행들(R0 내지 RM) 내의 게이트 라인들은 디스플레이(14) 내의 모든 행들의 게이트 라인들 상의 로딩을 균등화하기에 충분한 보충 게이트 라인 로딩을 추가함으로써 보상될 수 있다(예를 들어, 도 13의 예시적인 로딩 라인(96) 참조). 일반적으로, 임의의 적합한 양의 보충 로딩이 디스플레이(14)의 적절한 행들에 추가될 수 있다. 보충 로드들은 상당할 수 있거나(예를 들어, 라인(96)에 의해 도시된 바와 같이 모든 행들에 대한 로딩을 완전히 균등화하기 위해), 보통일 수 있거나(예를 들어, 라인(94)에 의해 도시된 바와 같이 로딩을 완만하게 하기 위해), 또는 비교적 작을 수 있다(예를 들어, 라인(92)에 의해 도시된 바와 같이, 비교적 보통인 수의 행들(예를 들어, 행들(98))에 로딩을 추가함으로써 행들(RM/RM+1)에서의 로드 불연속을 완만하게 하는 것을 돕기 위해). 이들 방식 중 임의의 것은 또한 도 8, 도 9 및 도 10과 관련하여 기술된 유형의 행-의존적 게이트 신호 형상화 방식들 및/또는 다른 디스플레이 밝기 완만화 배열들(이는 또한 밝기 불연속들을 완만하게 하는 것을 돕기 위해 디스플레이(14) 내의 임의의 적합한 수의 행들 위로 연장될 수 있음)과 조합될 수 있다.

[0045] 디스플레이(14)의 적절한 행들의 게이트 라인들에 보충 로드들을 추가하기 위한 예시적인 배열들이 도 14 내지 도 25에 도시된다.

[0046] 도 14의 예시적인 구성에 도시된 바와 같이, 선택된 게이트 라인들(G)(예를 들어, 도 3의 게이트 라인들(GI 및/또는 GW) 또는 다른 적합한 게이트 라인들)에는, 더미 픽셀들(22D)과 같은 보충 로딩 구조체들(보충 게이트 라인 로딩 구조체들)에 결합되는 게이트 라인 연장부들(GE)과 같은 연장된 부분들이 제공될 수 있다. 도 14의 디스플레이(14)는 픽셀-프리 노치(66)와 같은 노치 또는 다른 픽셀-프리 영역을 갖는다. 디스플레이(14)는 기관(102)과 같은 하나 이상의 기관 층을 가질 수 있다. 기관(104)은 에지(104)와 같은 에지를 가질 수 있다. 에지(104)는 (도 14의 예에서와 같이) 직선이거나 만곡될 수 있다. 디스플레이 노치에 인접한 기관(102)의 더 좁은 경계 부분(즉, 비활성 영역(IA))에는 픽셀들(22)이 없지만, 더미 픽셀들(22D)과 같은 보충 게이트 라인 로딩 구조체들을 포함할 수 있다. 도 14에서, 비활성 영역(IA)은 점선(100)에 의해 활성 영역(AA)(이는 활성 픽셀들(22)을 포함함)으로부터 분리된다. 더미 픽셀들(22D)이 비활성 영역(IA) 내로 너무 멀리 침입하지 않도록 보장하기 위해(즉, 더미 픽셀들(22D)이 기관(102)의 에지(104)에 너무 가깝게 있지 않도록 보장하기 위해), 더미 픽셀들(22D)의 레이아웃은 만곡된 에지(104)를 수용할 수 있다. 행들(RM+1)((때때로 긴 행들로 지칭됨) 내의 게이트 라인들(G)에 의해 겪게 되는 큰 양의 로딩과, 행들(R0 내지 RM)(때때로 짧은 행들로 지칭됨) 내의 게이트

라인들(G)에 의해 겪게 되는 더 작은 양의 로딩 사이에서 완만하게 전이하기 위해, 비교적 큰 양의 보충 로딩이 행(RM)에서 공급될 수 있고(예를 들어, 도 14의 예에서의 4개의 더미 픽셀(22D)), 점진적으로 더 작은 양들의 보충 로딩이 행(RM)으로부터 점진적으로 더 먼 행들에서 공급될 수 있다(예를 들어, 2개의 보충 더미 픽셀(22D)이 도 14의 예에서의 행(RM-1) 내의 게이트 라인에 결합될 수 있는 등). 도 14의 예시적인 구성에서, 2개의 행(RM, RM-1)에만 보충 로딩이 공급되었지만, 일반적으로, 임의의 적합한 수의 행들에 보충 로딩이 공급될 수 있다(예를 들어, 2개 내지 20개의 행들, 2개 내지 100개의 행들, 50개 내지 1000개의 행들, 25개 초과, 2000개 미만의 행들 등). 임의의 적합한 수의 더미 픽셀들(22D)(예를 들어, 1개 내지 1000개, 10개 초과, 500개 미만 등)이 디스플레이(14)의 각각의 행 내의 게이트 라인(GW)(예를 들어, 도 3의 게이트 라인(GW) 참조)에 결합될 수 있고/있거나 행-의존적 밝기 변동들을 감소시키기 위해 디스플레이(14) 내의 다른 적합한 수평 제어 라인들에 결합될 수 있다.

[0047] 더미 픽셀들(22D)은, 이 픽셀들이 광을 방출하는 것을 방지하는 작지만 중요한 수정들을 갖는 일반 픽셀들(22)의 픽셀 회로부의 전부를 포함할 수 있다. 활성 픽셀들(22)을 더미 픽셀들(22D)로 변환하기 위해 행해질 수 있는 수정들의 예는 다음을 포함한다: 픽셀들(22)로부터 픽셀들(22)의 방출 재료를 생략하는 것, 픽셀들(22)의 애노드들을 생략하는 것, 픽셀들(22) 내의 박막 트랜지스터 회로부를 픽셀들(22) 내의 발광다이오드들에 결합하는 금속 트레이스들의 작은 부분들을 생략하여 개방 회로들을 생성하는 것 등. 도 14의 픽셀들(22D) 각각의 풋프린트(위에서 볼 때 외곽선)는 픽셀들(22) 각각의 풋프린트와 동일할 수 있다.

[0048] 원하는 경우, 커패시터들로 형성된 보충 로딩 구조체들이 사용될 수 있다. 이러한 유형의 배열이 도 15에 도시되어 있다. 도 15의 예에서, 행들(k+1, k+2) 사이의 로딩 불연속을 완만하게 하는 것을 돕기 위해 행들(k, k+1)에서 보충 로드들(22LD)이 제공되었다. 도 15의 회로도, 어떻게 게이트 라인들(GI, GW) 상의 게이트 라인 신호들이 게이트 드라이버 회로부(20B) 내의 동일한 게이트 드라이버들에 의해 생성될 수 있는지를 도시한다. 예를 들어, 게이트 라인 신호 GI(k+1)는 행(k+1) 내의 GI 라인을 행(k) 내의 게이트 라인(GW)에 대한 게이트 드라이버(20B-D)의 출력에 결합함으로써 생성될 수 있다(즉, GI(k+1) = GW(k)). 보충 게이트 라인 로딩 구조체들(보충 게이트 라인 로드들)(22LD)은 각각의 행 내의 게이트 라인(GI) 및 게이트 라인(GW) 둘 모두에 결합될 수 있거나, 또는 도 15에 도시된 바와 같이, 게이트 라인 연장부들(GE)에 의해 소모되는 면적을 감소시키기 위해 각각의 행 내의 단일 게이트 라인(즉, 게이트 라인(GW))에만 결합될 수 있다.

[0049] 도 15의 예에서, 각각의 보충 로드(22LD)는 그것이 결합되는 게이트 라인과 동일한 행에 위치된다. 원하는 경우, 게이트 라인 연장부들(GE)은 다수의 행에 걸쳐 이어지는 도 16의 부분들(GE')과 같은 구부러진 부분들을 가질 수 있다. 이것은 로딩 구조체들 중 일부가 그들이 결합되는 게이트 라인들 이외의 행들에 위치될 수 있게 한다. 도 16의 배열에서, 예를 들어, 보충 로딩 구조체(22LD')는 행(RM)에 위치되지만, 게이트 라인 연장부(GE')를 사용하여 행(RM-2) 내의 게이트 라인(GW)에 결합된다. 이러한 유형의 배열은 보충 로딩 구조체들의 배치를 최적화하는 것을 돕는 데 사용될 수 있다(예를 들어, 더 많은 보충 로딩 구조체들이 경계(IA) 내에 포함될 수 있으면서, 이들 구조체를 기판 예지(104)에 너무 가깝게 위치시키거나 경계(IA)의 크기를 과도하게 증가시키지 않도록).

[0050] 도 17의 예시적인 디스플레이(14)는 상이한 행들 내의 상이한 폭들의 게이트 라인들을 포함한다. 긴 행(RM+1)은 정상적인 크기의 게이트 라인(G)(즉, 폭(W2)의 게이트 라인)을 갖는다. 짧은 행들에는, 로딩을 향상시키기 위해 적절하게 확대된 게이트 라인들이 제공될 수 있다. 예를 들어, 보충 로딩 구조체는 행(RM)에 대하여, 행(RM) 내의 게이트 라인(G)의 폭을 W2보다 큰 값(W1)으로 증가시킴으로써 형성될 수 있다. 게이트 라인(G)의 폭을 향상시킴으로써 제공된 추가적인 커패시턴스는, 추가적인 폭이 보충 게이트 라인 로딩 구조체로서 기능할 수 있게 한다.

[0051] 도 18은 상이한 수의 픽셀들을 갖는 행들을 보상하기 위해 게이트 드라이버들(20B-D)과 같은 게이트 드라이버들의 강도가 어떻게 변화될 수 있는지를 도시한다. 예를 들어, 행(RM+1)과 같은 정상적인(긴) 행들 내의 출력 버퍼들(게이트 드라이버들)(20B-D)은 출력 버퍼들이 정상적인 강도로 게이트 라인들(G) 상으로 게이트 라인 신호들을 구동하도록 정상적인 크기의 트랜지스터들을 가질 수 있는 반면에, 행(RM)과 같은 짧은 행들 내의 출력 버퍼들(20B-D)은 감소된 강도들을 가질 수 있다(예를 들어, 긴 행들의 게이트 드라이버들 내의 트랜지스터들보다 작고 따라서 그들보다 약한 트랜지스터들). 행-의존적 게이트 드라이버 강도 조정들은 하나 이상의 다른 밝기 불연속 완만화 배열들과 조합하여 수행될 수 있다(예를 들어, 보충 로딩 구조체들, 게이트 라인 신호 슬루레이프 수정들 등).

[0052] 도 19는 게이트 라인(G)과 접지 라인(GND) 사이에서 평행하게 사이에 결합된 2개의 커패시터(C)로 형성된 예시

적인 보충 로딩 구조체의 회로도이다. 접지 라인(GND)은 접지 전력 공급 라인(예를 들어, ELVSS), 게이트 드라이버 접지(예를 들어, VGL), 또는 다른 적합한 신호 경로로 형성될 수 있다. 도 19의 커패시터들(C)은 (예로서) 도 20 및 도 21에 도시된 유형의 구조체들로 형성될 수 있다.

[0053] 도 20의 예에서, 커패시터(C)는 유전체(114)에 의해 분리된 제1 전극(110) 및 제2 전극(112)을 갖는다. 유전체(114)는 디스플레이(14) 내의 무기 및/또는 유기 유전체 재료의 하나 이상의 층으로 형성될 수 있다. 전극들(110, 112)은 금속 층들, 전도성 반도체 층들(예를 들어, 도핑된 폴리실리콘 등), 또는 다른 전도성 층들로 형성될 수 있다. 예를 들어, 전극들(110, 112)은 전도성 층들, 예컨대 제1 게이트 금속 층, 제2 게이트 금속 층, 소스-드레인 금속 층, 실리콘 층, 또는 디스플레이(14)의 박막 트랜지스터 회로부 내의 다른 적합한 전도성 층들로 형성될 수 있다. 특히, 전극(110)은 제2 게이트 금속 층으로 형성된 상위 전극일 수 있고 전극(112)은 제1 게이트 금속 층으로 형성된 하위 전극일 수 있거나, 상위 전극(110)은 소스-드레인 금속 층으로 형성될 수 있고 하위 전극(112)은 제2 게이트 금속 층으로 형성될 수 있거나, 또는 상위 전극(110)은 제1 게이트 금속 층 또는 소스-드레인 금속 층으로 형성될 수 있고 하위 전극(112)은 도핑된 폴리실리콘 층 또는 다른 도핑된 반도체 층으로 형성될 수 있다.

[0054] 도 21의 예시적인 구성에서, 커패시터(C)에 대한 제1 전극은, 함께 단락되는 상위 층(116A) 및 하위 층(116B)으로 형성된다. 도 21의 커패시터(C)에 대한 제2 전극은 전도성 층(118)으로 형성된다. 유전체(114)는 제1 및 제2 전극들을 분리시킬 수 있다. 전극 층(116A)은 소스-드레인 금속 층으로 형성될 수 있고 전극 층(116B)은 도핑된 반도체 층(예를 들어, 도핑된 폴리실리콘 층)과 같은 전도성 층으로 형성될 수 있다. 전극(118)은 게이트 금속 층(예를 들어, 디스플레이(14)가 다수의 게이트 금속 층을 갖는 구성에서의 제1 게이트 금속 층)으로 형성될 수 있다.

[0055] 원하는 경우, 다른 커패시터 배열들이 사용될 수 있다. 도 20 및 도 21의 예시적인 커패시터 구조체들은 단지 예시적인 것이다. 커패시터들(C)은 신호 라인들(예를 들어, 게이트 라인들 및 접지 라인)을 사용해 함께 결합되는 개별적인 커패시터 전극들로 형성될 수 있다. 얼마나 많은 보충 게이트 라인 로딩이 제공될지를 조정하기 위해 상이한 수의 커패시터들이 추가되거나 각각의 행으로부터 제거될 수 있거나, 또는 디스플레이(14)의 각각의 행은 보충 로딩을 위한 단일의 분리되지 않은 커패시터 구조체를 가질 수 있다. 신호 라인들(예를 들어, 게이트 라인들 및 접지 라인들)에 의해 함께 결합되는 다수의 더 작은 커패시터들의 사용은, (예를 들어, 임의의 주어진 커패시터에 저장된 전하의 양을 감소시킴으로써) 제조 동안 정전기 방전 이벤트들로부터의 손상의 위험을 감소시키는 것을 도울 수 있다.

[0056] 도 22는, 보충 로딩 구조체(22D)가, 게이트 라인(G)에 결합되고 연관된 접지 라인(GND)에 결합된 다수의 커패시터(C)(예를 들어, 도 20 및/또는 도 21에 도시된 유형의 커패시터들)로 형성된, 예시적인 구성의 디스플레이(14)의 행을 도시한다.

[0057] 도 23은, 사행 경로 형상을 갖는 부분(122)과 같은 게이트 라인 연장부들(GE)의 부분을 제공함으로써 게이트 라인 연장부(GE) 내의 게이트 라인(G)의 저항이 어떻게 조정될 수 있는지를 도시한다. 게이트 라인 연장부(G)는 하나 이상의 커패시터(C) 또는 다른 로딩 구조체들로 형성된 로딩 구조체들(22D)과 같은 보충 로드들에 결합될 수 있다. 라인 부분(GE)의 저항에 대한 조정은 게이트 라인(G) 상에 부과된 로딩 효과를 조정하는 것을 도울 수 있다(즉, 사행 경로는 행 내의 보충 게이트 라인 로딩 구조체들의 일부를 형성하는 것으로 간주될 수 있다).

[0058] 도 24는 어떻게 보충 로딩 구조체들(22D)이 작은 픽셀-같은 더미 픽셀 회로들로 형성될 수 있는지를 도시한다. 이들 회로는 정상적인 픽셀들(22)의 동일한 트랜지스터들, 커패시터들, 신호 트레이스들, 및 다른 박막 회로부를 포함할 수 있지만, 픽셀들(22)의 컴포넌트들의 일부가 생략되었기 때문에 더 작은 풋프린트들을 갖는다. 픽셀들(22)로부터의 하나 이상의 픽셀 컴포넌트의 제거는, 더미 픽셀 회로들의 풋프린트가 감소될 수 있게 하고 더미 픽셀 회로들이 광을 방출할 수 없게 만든다. 동시에, 게이트 라인들(G) 상에 부과된 로딩의 양은 정상적인 픽셀들(22)에 의해 부과된 양과 동일하거나 거의 동일할 수 있다. 도 24의 보충 로딩 구조체들(22D)에 대한 감소된 크기의(압축된) 더미 픽셀 회로들을 형성하기 위해 픽셀들(22)로부터 제거될 수 있는 픽셀 컴포넌트의 예는 발광다이오드(44)의 애노드(이는 보통 비교적 큰 양의 픽셀 면적을 소비함)이다. 정상적인 픽셀(22)에 대하여 더미 픽셀 회로의 크기를 감소시키기 위하여, 픽셀 회로의 레이아웃은 애노드가 제거된 후 축소될 수 있다. 대조적으로, 도 14에 도시된 유형의 더미 픽셀들(22D)은 픽셀들(22)과 동일한 풋프린트를 가질 수 있다.

[0059] 원하는 경우, 영역(A) 내의 게이트 라인들 각각은, 디스플레이(14) 내의 노치를 지나 연장되고 그 게이트 라인에 대한 로딩을 증가시키는 것을 돕는 픽셀-프리 영역(게이트 라인 연장 부분)을 가질 수 있다. 도 25에 도시된 바와 같이, 예를 들어, 게이트 라인 연장부들(GE)은, 비록 노치(66)의 존재로 인해 짧은 행들이 긴 행들보다

적은 픽셀들을 포함하지만, 짧은 행들 내의 게이트 라인들 각각이 디스플레이(14)(즉, 디스플레이(14)의 기관)의 폭에 걸쳐 이어질 수 있도록 충분히 연장될 수 있다. 도 25의 게이트 라인 연장부들(GE)은, 추가적인 보충 게이트 라인 로딩 구조체들 및/또는 게이트 신호 슬루레이트 수정들, 게이트 드라이버 회로 수정들 등에 대한 필요성을 부분적으로 또는 완전히 제거하기에 충분한 로딩을 디스플레이(14)의 짧은 행들 상에 부과할 수 있다.

- [0060] 도 25의 예시적인 구성에서, 게이트 드라이버 회로부(20B)는 게이트 라인들(G)의 좌측 및 우측 단부들 둘 모두에 결합된 게이트 드라이버들(20B-D)을 포함한다. 디스플레이(14)의 긴 행들에서(즉, 영역(B)에서), 각각의 게이트 라인의 좌측 및 우측 단부들 둘 모두 상에서의 드라이버들의 사용은 만족스러운 데이터 로딩을 보장하는 것을 도울 수 있다. 짧은 행들에서(즉, 영역(A)에서), 좌측 및 우측 드라이버들 둘 모두가 필요하지는 않을 수 있고 이들 드라이버 중 하나는 디스플레이 밝기 변동들을 감소시키는 것을 돕도록 생략될 수 있다. 이러한 유형의 배열에서, 디스플레이(14)의 예지들 중 하나(예를 들어, 도 25의 우측 예지)를 따른 게이트 드라이버들(20B-D)의 일부 또는 전부는 디스플레이(14)의 짧은 행들로부터 제거됨으로써 짧은 행들의 일부 또는 전부가 하나의 게이트 라인 단부(예를 들어, 게이트 라인들(G)의 좌측 단부)에만 결합된 게이트 드라이버들에 의해 구동될 수 있는 반면에, 긴 행들 모두는 게이트 라인들(G)의 대향 단부들 둘 모두에(예를 들어, 각각의 게이트 라인(G)의 좌측 및 우측 단부들에) 결합된 게이트 드라이버들에 의해 구동될 수 있다. (각각의 게이트 라인에 결합된 게이트 드라이버들의 수가 상이한 행들 사이에서 변화되는) 이러한 유형의 구성들은 디스플레이 밝기 변동들(행-의존적 게이트 라인 신호 슬루레이트 변동들, 행-의존적 게이트 드라이버 강도들, 행-의존적 보충 로딩 변동들 등)을 완만하게 하기 위한 하나 이상의 다른 배열과 조합될 수 있다.
- [0061] 일 실시예에 따르면, 디스플레이가 제공되는데, 이는 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부에 결합된 데이터 라인들, 디스플레이 드라이버 회로부에 결합된 게이트 라인들, 및 열들 및 행들을 갖는 픽셀들의 어레이를 포함하며, 디스플레이의 제1 영역 내의 행들은 디스플레이의 제2 영역 내의 행들보다 짧고, 디스플레이 드라이버 회로부는 상이한 제1 및 제2 영역들 내의 행들의 게이트 라인들 상의 게이트 라인 신호들을 제공하도록 구성된다.
- [0062] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 제1 클록 신호를 생성하는 제1 클록 생성기 및 제2 클록 신호를 생성하는 제2 클록 생성기를 포함한다.
- [0063] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 제1 클록 신호를 수신하는 제1 입력, 제2 클록 신호를 수신하는 제2 입력, 및 클록 경로에 결합된 출력을 갖는 멀티플렉서를 포함한다.
- [0064] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 행들 각각 내의 게이트 드라이버 회로들을 갖는 게이트 드라이버 회로부를 포함하며, 게이트 드라이버 회로들은 클록 경로를 통해 신호들을 수신한다.
- [0065] 다른 실시예에 따르면, 제1 영역은 픽셀-프리 노치를 갖고, 디스플레이 드라이버 회로부는 제1 영역의 행들 내의 게이트 드라이버 회로들에 제1 클록 신호를 공급하고 제2 영역의 행들 내의 게이트 드라이버 회로들에 제2 클록 신호를 공급하도록 멀티플렉서에 지시하도록 구성된다.
- [0066] 다른 실시예에 따르면, 제1 클록 신호 및 제1 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 제2 클록 신호 및 제2 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들보다 낮은 슬루레이트를 갖는다.
- [0067] 다른 실시예에 따르면, 제1 클록 신호 및 제1 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 제2 클록 신호 및 제2 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들보다 짧은 펄스 지속시간을 갖는다.
- [0068] 다른 실시예에 따르면, 제1 클록 신호 및 제1 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 2-단계 프로파일을 갖고, 제2 클록 신호 및 제2 영역의 행들 내의 게이트 드라이버 회로들에 의해 생성된 대응하는 게이트 라인 신호들은 1-단계 프로파일을 갖는다.
- [0069] 다른 실시예에 따르면, 각각의 픽셀은 7개의 트랜지스터 및 하나의 커패시터를 갖는다.
- [0070] 다른 실시예에 따르면, 각각의 픽셀 내의 7개의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함한다.
- [0071] 다른 실시예에 따르면, 디스플레이는, 각각의 행에서, 디스플레이 드라이버 회로부로부터 그 행의 픽셀들에 제1 방출 제어 신호를 전달하는 제1 방출 제어 라인, 및 디스플레이 드라이버 회로부로부터 그 행의 픽셀들에 제2

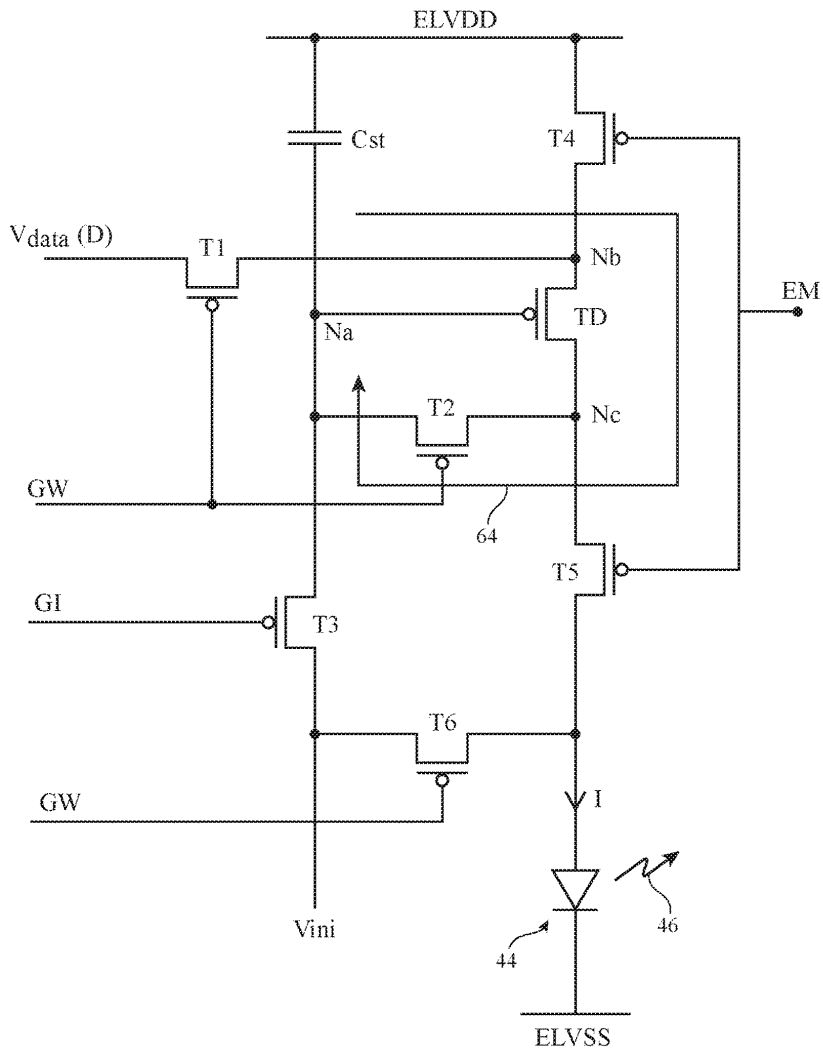
방출 제어 신호를 전달하는 제2 방출 제어 라인을 포함한다.

- [0072] 다른 실시예에 따르면, 각각의 픽셀은 7개의 트랜지스터 및 하나의 커패시터를 갖는다.
- [0073] 다른 실시예에 따르면, 각각의 픽셀 내의 7개의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함한다.
- [0074] 다른 실시예에 따르면, 각각의 행 내의 제1 방출 라인은 그 행 내의 각각의 픽셀의 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 제2 방출 라인은 그 행 내의 각각의 픽셀의 제2 방출 트랜지스터에 결합된다.
- [0075] 일 실시예에 따르면, 디스플레이가 제공되는데, 이는 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부에 결합된 데이터 라인들, 디스플레이 드라이버 회로부에 결합된 게이트 라인들, 열들 및 행들을 갖는 픽셀들의 어레이 - 각각의 픽셀은 7개의 트랜지스터 및 하나의 커패시터를 갖고, 각각의 픽셀 내의 7개의 트랜지스터는 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함함 -, 및 각각의 행에서, 디스플레이 드라이버 회로부로부터 그 행의 픽셀들에 제1 방출 제어 신호를 전달하는 제1 방출 제어 라인, 및 디스플레이 드라이버 회로부로부터 그 행의 픽셀들에 제2 방출 제어 신호를 전달하는 제2 방출 제어 라인을 포함한다.
- [0076] 다른 실시예에 따르면, 각각의 행 내의 제1 방출 라인은 그 행 내의 각각의 픽셀의 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 제2 방출 라인은 그 행 내의 각각의 픽셀의 제2 방출 트랜지스터에 결합된다.
- [0077] 일 실시예에 따르면, 디스플레이가 제공되는데, 이는 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부에 결합된 데이터 라인들, 디스플레이 드라이버 회로부에 결합된 게이트 라인들, 열들 및 행들을 갖는 픽셀들의 어레이 - 각각의 픽셀은 적어도 7개의 p-채널 금속 산화물 반도체 트랜지스터 및 적어도 하나의 커패시터를 가지며, 각각의 픽셀 내의 트랜지스터들은 제1 및 제2 전력 공급 단자들 사이에서 유기 발광 다이오드와 직렬로 결합된 구동 트랜지스터 및 제1 및 제2 방출 트랜지스터들을 포함함 -, 디스플레이 드라이버 회로부로부터 각각의 행의 픽셀들에 제1 방출 제어 신호를 전달하는 그 행 내의 제1 방출 제어 라인, 디스플레이 드라이버 회로부로부터 각각의 행의 픽셀들에 제2 방출 제어 신호를 전달하는 그 행 내의 제2 방출 제어 라인, 및 각각의 행 내의 각각의 픽셀의 트랜지스터들 내의 적어도 제1 및 제2 스위칭 트랜지스터들을 제어하는 그 행 내의 제1 및 제2 게이트 라인들을 포함한다.
- [0078] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 제1 클럭 신호를 생성하는 제1 클럭 생성기 및 제2 클럭 신호를 생성하는 제2 클럭 생성기를 포함하고, 제1 클럭 신호를 수신하는 제1 입력, 제2 클럭 신호를 수신하는 제2 입력, 및 클럭 경로에 결합된 출력을 갖는 멀티플렉서를 포함한다.
- [0079] 다른 실시예에 따르면, 각각의 행 내의 제1 방출 라인은 그 행 내의 각각의 픽셀의 제1 방출 트랜지스터에 결합되고, 각각의 행 내의 제2 방출 라인은 그 행 내의 각각의 픽셀의 제2 방출 트랜지스터에 결합된다.
- [0080] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 클럭 경로를 통해 신호들을 수신하는 행들 각각 내의 게이트 드라이버 회로를 포함한다.
- [0081] 일 실시예에 따르면, 디스플레이가 제공되는데, 이는 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부에 결합된 데이터 라인들, 디스플레이 드라이버 회로부에 결합된 게이트 라인들, 행들 및 열들을 갖는 픽셀들의 어레이 - 디스플레이의 제1 영역 내의 행들의 게이트 라인들은 디스플레이의 제2 영역 내의 행들이 결합되는 것보다 적은, 픽셀들의 어레이 내의 픽셀들에 결합됨 -, 및 제1 영역 내의 게이트 라인들 중 적어도 일부에 결합되어, 그 게이트 라인들 상의 로딩을 증가시키고 이에 의해 디스플레이의 제1 및 제2 영역들 사이의 디스플레이 밝기 변동들을 완만하게 하기 위한 보충 게이트 라인 로딩 구조체들을 포함한다.
- [0082] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 광을 방출하지 않는 더미 픽셀들을 포함한다.
- [0083] 다른 실시예에 따르면, 더미 픽셀들은 발광 다이오드들을 위한 방출 재료를 포함하지 않는다.
- [0084] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 커패시터들을 포함한다.
- [0085] 다른 실시예에 따르면, 제1 영역 내의 행들 중 제1 행은 제1 영역의 행들 중 제2 행 내의 보충 게이트 라인 로딩 구조체에 결합된다.
- [0086] 다른 실시예에 따르면, 행들 중 제1 행의 픽셀들은 게이트 라인들 중 주어진 하나의 게이트 라인에 연관되고, 게이트 라인들 중 주어진 하나의 게이트 라인은 행들 중 제1 행으로부터 행들 중 제2 행으로 연장되는 게이트

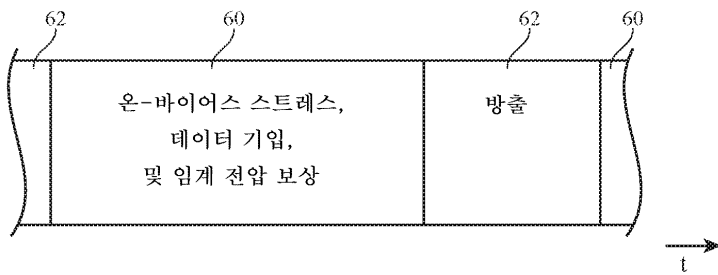
라인 연장부를 갖는다.

- [0087] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 제2 영역으로부터 제1 영역으로 점진적으로 증가하는 거리들에서 제1 영역의 게이트 라인들 상에 점진적으로 감소하는 양들의 로딩을 부과한다.
- [0088] 실시예에 따르면, 유기 발광 다이오드 디스플레이가 제공되는데, 이는 노치를 갖는 기관, 기관 상의 유기 발광 다이오드 픽셀들, 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부 및 유기 발광 다이오드 픽셀들에 결합된 데이터 라인들, 디스플레이 드라이버 회로부 및 유기 발광 다이오드 픽셀들에 결합된 게이트 라인들 - 유기 발광 다이오드 픽셀들은 열들 및 행들로 배열되고, 노치를 포함하는 디스플레이의 제1 영역 내의 행들은 디스플레이의 제2 영역 내의 행들이 결합되는 것보다 적은 픽셀들에 결합됨 -, 및 제1 영역 내의 게이트 라인들의 적어도 일부분에 결합되어, 게이트 라인들 상의 그 게이트 라인 로딩을 증가시키고 이에 의해 제1 및 제2 영역들 내의 게이트 라인들 사이의 게이트 라인 로딩의 차이들을 감소시키기 위한 보충 게이트 라인 로딩 구조체들을 포함한다.
- [0089] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 게이트 라인들의 일부분 내의 게이트 라인들에 결합된 커패시터들을 포함한다.
- [0090] 다른 실시예에 따르면, 게이트 라인들의 일부분 내의 각각의 게이트 라인은 복수의 커패시터에 결합된다.
- [0091] 다른 실시예에 따르면, 커패시터들 각각은 상위 전극 및 하위 전극을 갖는다.
- [0092] 다른 실시예에 따르면, 커패시터들 각각은 제1 전도성 층, 제2 전도성 층, 및 제3 전도성 층을 갖고, 제1 및 제3 전도성 층들은 함께 단락되고 제1 커패시터 전극을 형성하며, 제2 전도성 층은 제1 및 제3 전도성 층들 사이에 개재되고 제2 커패시터 전극을 형성한다.
- [0093] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 제1 영역 내의 상이한 게이트 라인들에 상이한 양들의 커패시턴스를 인가한다.
- [0094] 다른 실시예에 따르면, 게이트 드라이버 회로부는 각각의 행 내의 게이트 라인들 중 하나에 결합된 게이트 드라이버를 포함하고, 제1 영역 내의 게이트 드라이버들 중 적어도 하나는 제2 영역 내의 게이트 드라이버들 중 적어도 하나와 상이한 강도를 갖는다.
- [0095] 다른 실시예에 따르면, 디스플레이 드라이버 회로부는 상이한 슬루레이트들을 갖는, 제1 및 제2 영역들 내의 행들의 게이트 라인들 상의 게이트 라인 신호들을 제공하도록 구성된다.
- [0096] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이가 제공되는데, 이는 노치를 갖는 기관 - 기관은 폭을 가짐 -, 기관 상의 유기 발광 다이오드 픽셀들, 디스플레이 드라이버 회로부, 디스플레이 드라이버 회로부에 결합되고 픽셀들에 결합된 데이터 라인들, 및 디스플레이 드라이버 회로부에 결합되고 픽셀들에 결합된 게이트 라인들을 포함하며, 픽셀들은 열들 및 행들을 갖고, 디스플레이의 제1 영역 내의 행들의 게이트 라인들은 제2 영역의 행들의 게이트 라인들이 결합되는 것보다 적은 픽셀들에 결합되고, 제1 영역 및 제2 영역 둘 모두 내의 행들의 게이트 라인들은 기관의 폭에 걸쳐 이어지고, 제1 영역 내의 행들의 게이트 라인들은 각각 노치를 지나 연장되는 픽셀-프리 부분을 갖는다.
- [0097] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는, 제1 영역 내의 게이트 라인들의 제1 세트에 결합되어, 게이트 라인들의 제1 세트 상의 게이트 라인 로딩을 증가시키고 이에 의해 게이트 라인들의 제1 세트와 제2 영역 내의 게이트 라인들의 제2 세트 사이의 게이트 라인 로딩의 차이들을 감소시키기 위한 보충 게이트 라인 로딩 구조체들을 포함한다.
- [0098] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 더미 픽셀들을 포함한다.
- [0099] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 게이트 라인들의 제1 세트 내의 각각의 게이트 라인에 결합된 적어도 하나의 커패시터를 포함한다.
- [0100] 다른 실시예에 따르면, 보충 게이트 라인 로딩 구조체들은 게이트 라인들의 제1 세트에 결합된 커패시터들을 포함하고, 게이트 라인들의 제1 세트 내의 게이트 라인들 중 적어도 주어진 하나의 게이트 라인은 게이트 라인들 중 주어진 하나의 게이트 라인과 상이한 행 내의 커패시터에 결합된다.
- [0101] 전술한 내용은 단지 예시적인 것에 불과하며, 기술된 실시예들의 범주 및 기술적 사상으로부터 벗어나지 않고, 본 발명이 속한 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 수정들이 이루어질 수 있다. 전술한 실시

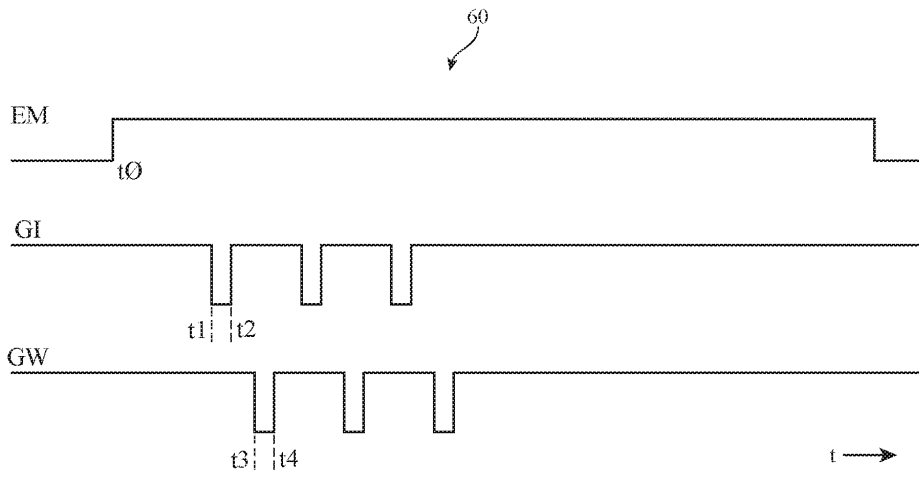
도면3



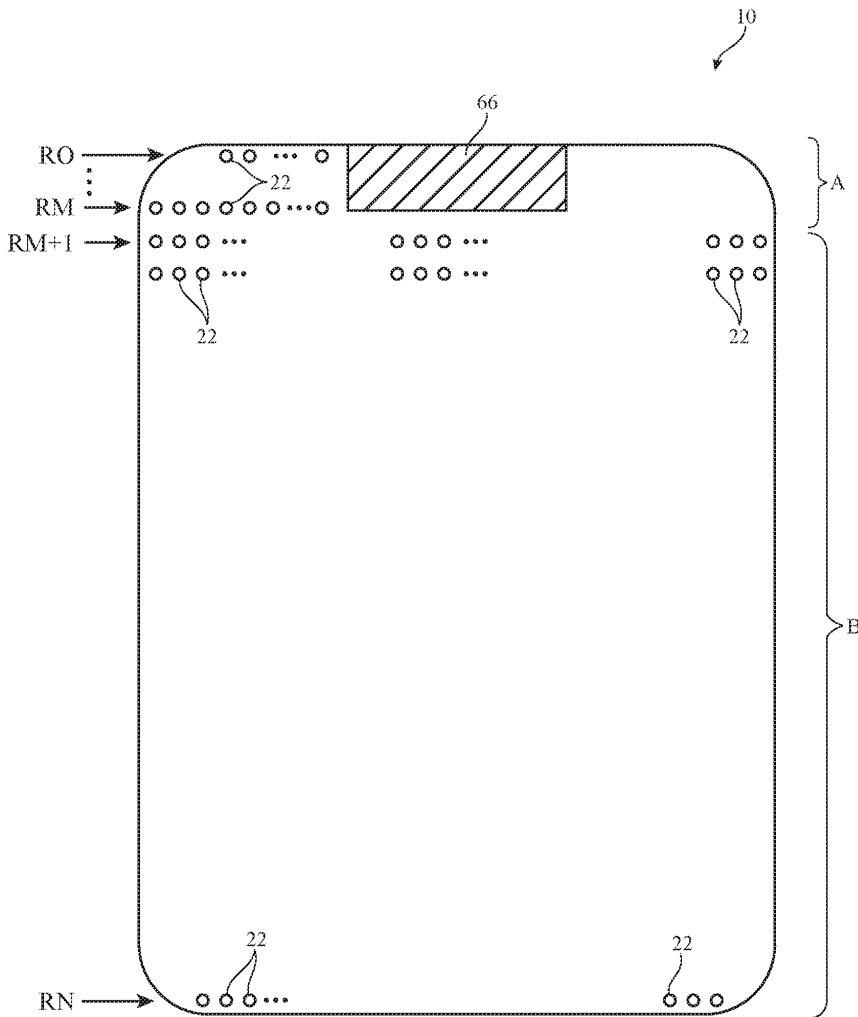
도면4



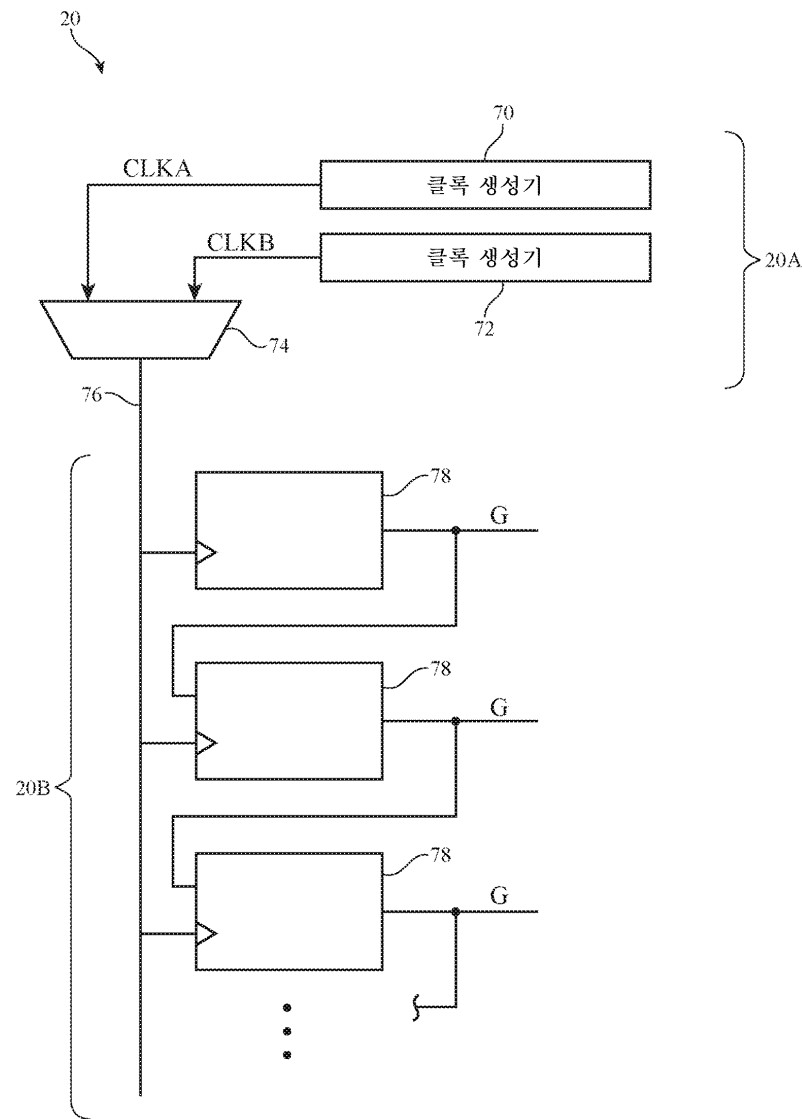
도면5



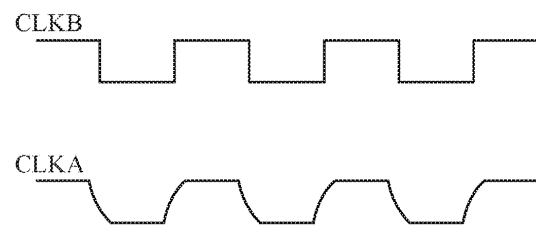
도면6



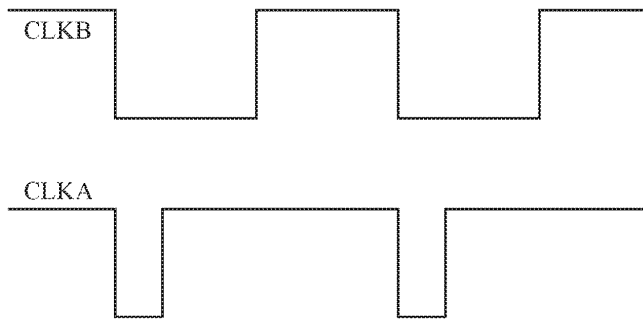
도면7



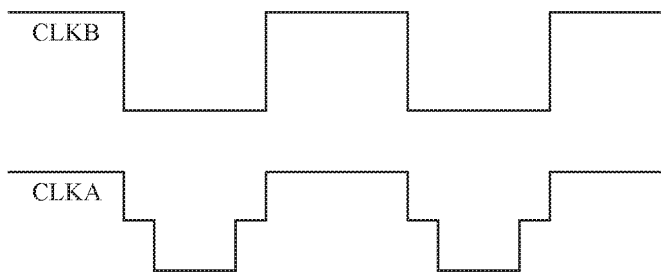
도면8



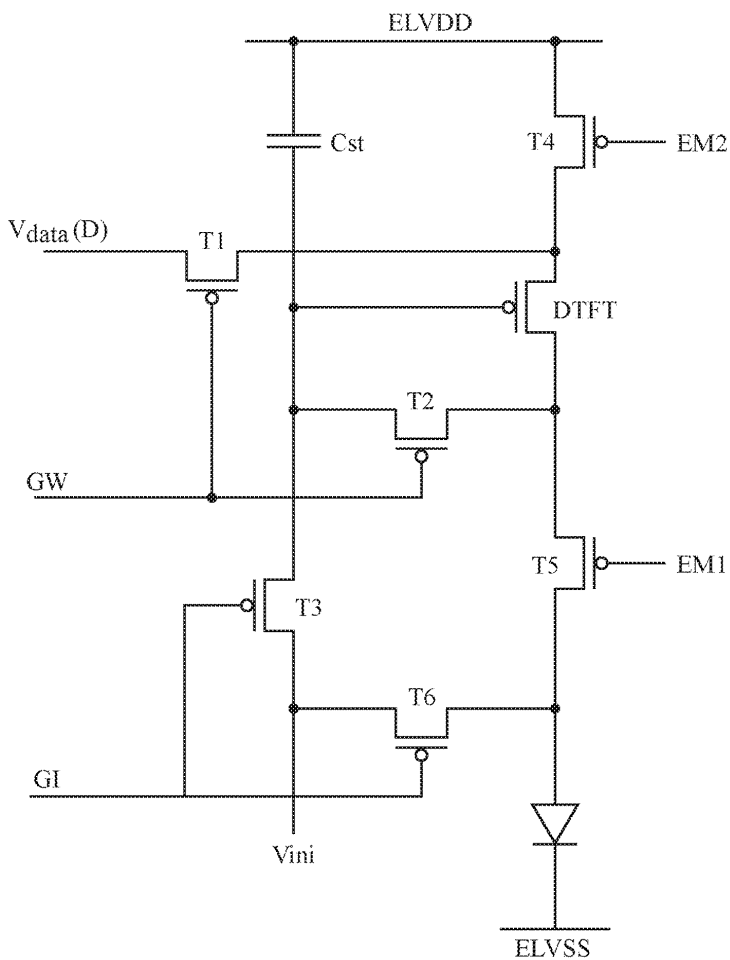
도면9



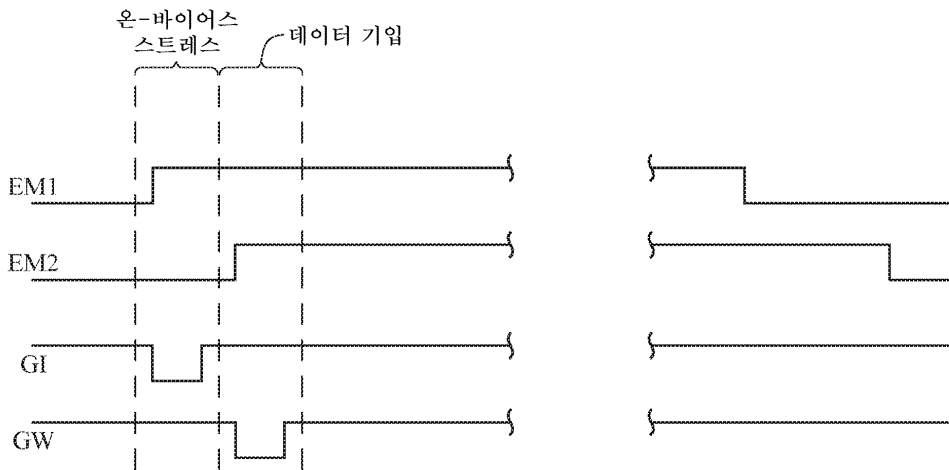
도면10



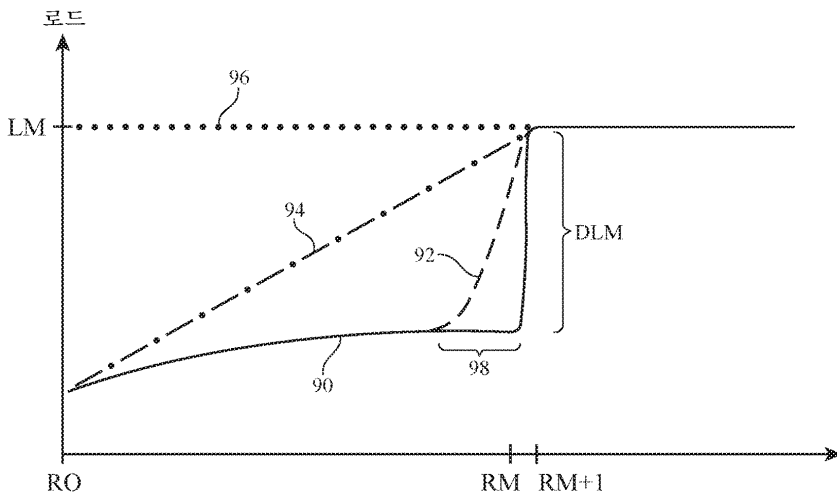
도면11



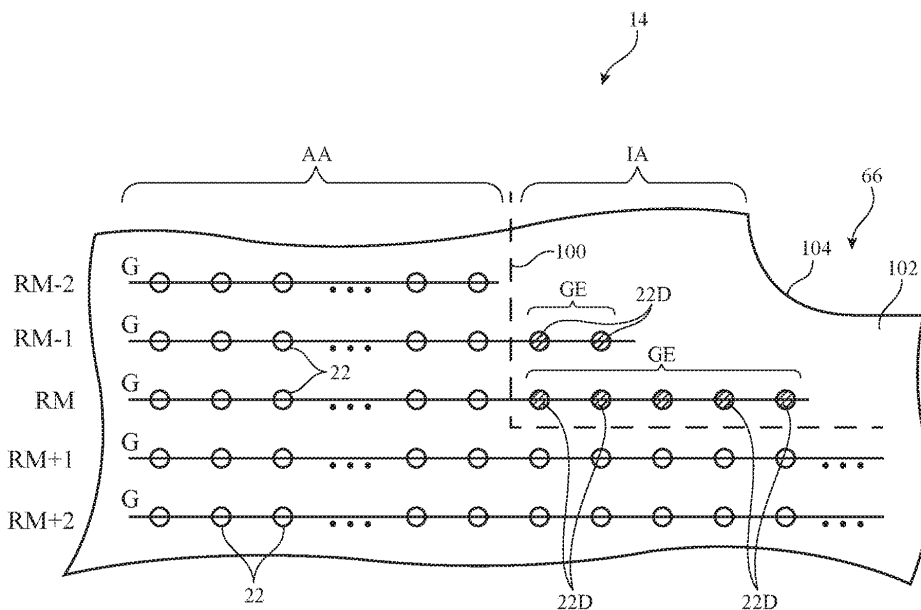
도면12



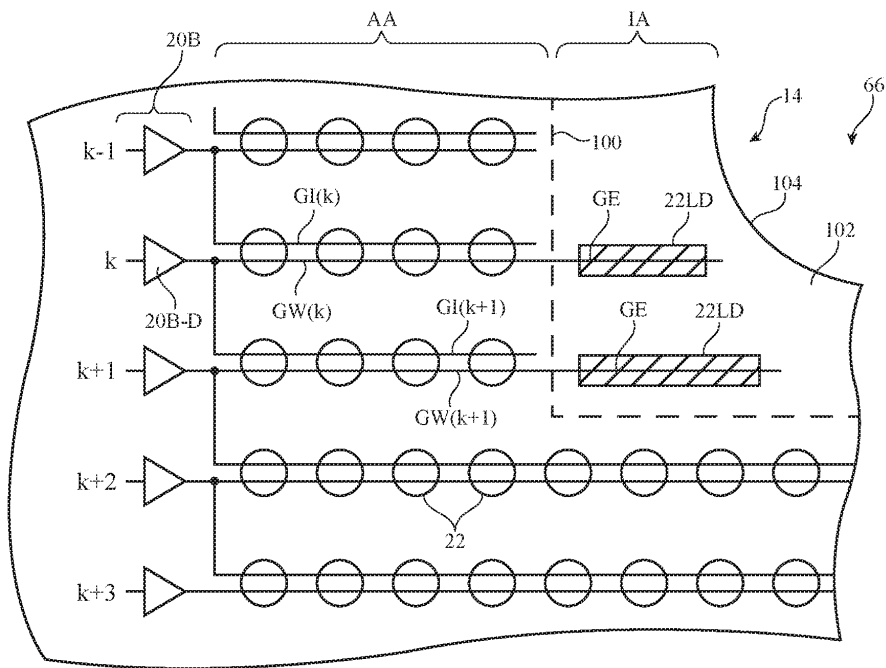
도면13



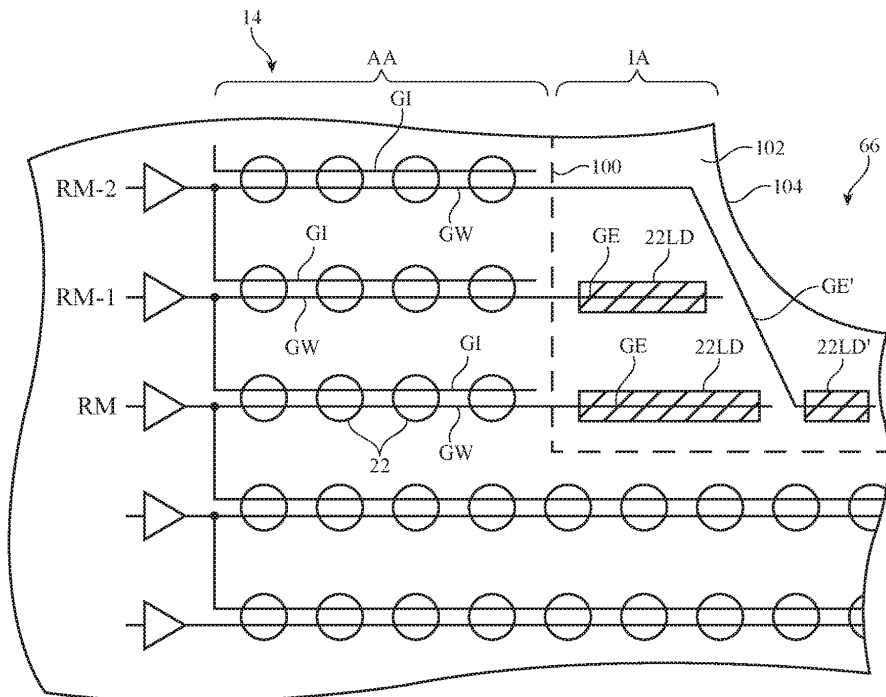
도면14



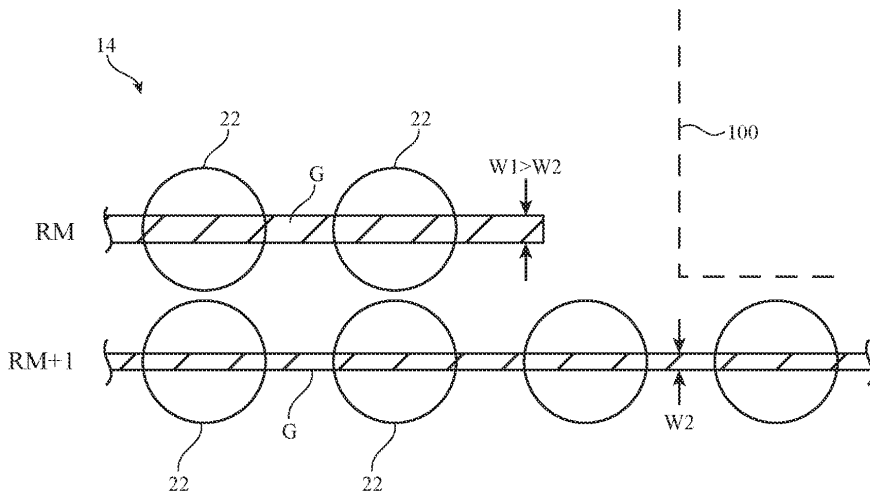
도면15



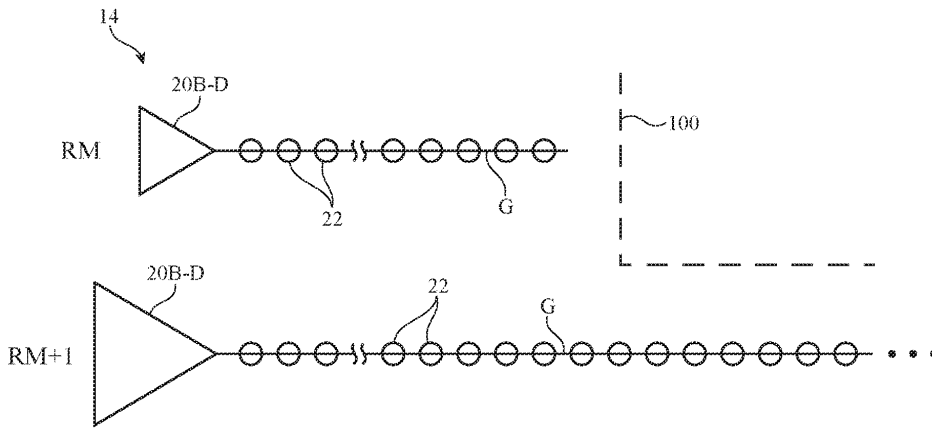
도면16



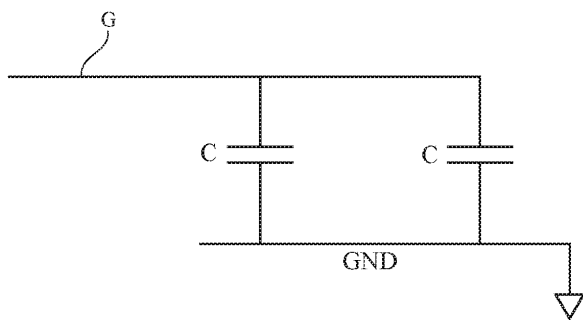
도면17



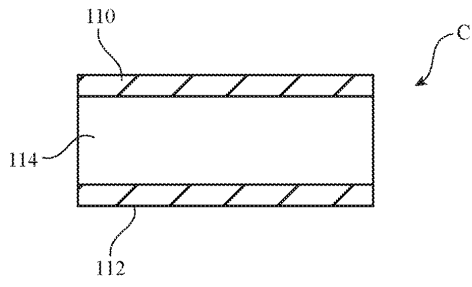
도면18



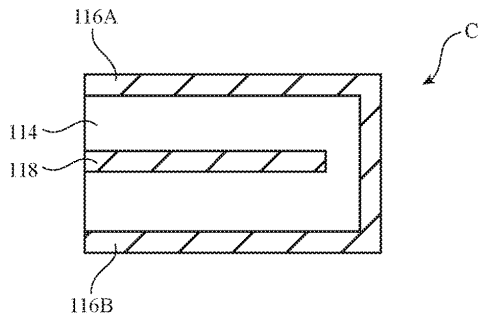
도면19



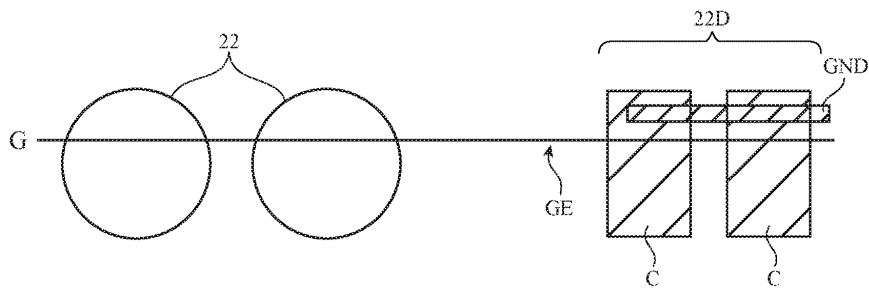
도면20



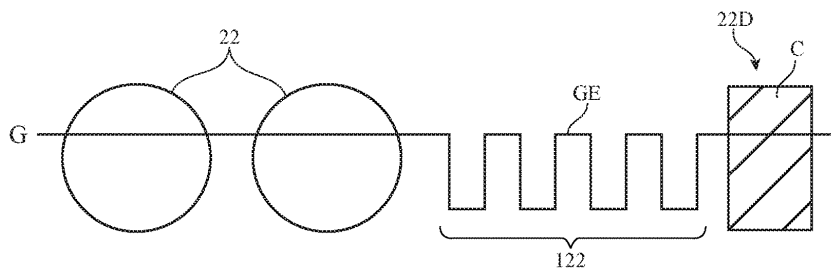
도면21



도면22



도면23



专利名称(译)	发光二极管显示器		
公开(公告)号	KR1020180050372A	公开(公告)日	2018-05-14
申请号	KR1020187009553	申请日	2017-03-16
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	YU CHENG HO 위청호 LIN CHIN WEI 린친웨이 YANG SHYUAN 양쉬안 CHANG TING KUO 창팅쿠오 TSAI TSUNG TING 차이츙팅 RIEUTORT LOUIS WARREN S 리우토르트루이스워렌에스 CHANG SHIH CHANG CHEN YU CHENG 천위청 ZHONG JOHN Z 종존제트		
发明人	위,청 호 린,친 웨이 양,쉬안 창,팅 쿠오 차이,츙 텅 리우토르트 루이스,워렌에스. 창,시 창 천,위청 종,존제트.		
IPC分类号	G09G3/3266 G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2320/0233 G09G2320/0223 G09G3/3266 G09G2310/0232 G09G2300/0842 G06F3/044 G09G2300/0413 H01L27/3223 H01L27/3276 G09G2300/0809 H01L27 /323 H01L2227/32		
代理人(译)	Jangdeoksun Baekmangi		
优先权	62/314281 2016-03-28 US 62/327584 2016-04-26 US		
其他公开文献	KR102006114B1		
外部链接	Espacenet		
摘要(译)			

显示器10可以具有像素阵列22。显示驱动器电路向像素提供数据和控制信号。显示器的第一区域A中的行R0和RM短于显示器的第二区域B中的行RM + 1。显示驱动器电路具有栅极驱动器电路，其向显示器中的不同像素行提供不同的栅极线信号。不同的行也可以具有不同的栅极驱动器强度和不同的补充栅极线负载结构。每个像素可以具有七个晶体管，电容器和诸如有机发光二极管的发光二极管。七个晶体管可以使用水平控制线接收控制信号。每个像素可以具有驱动晶体管以及与像素的发光二极管串联耦合的第一和第二发射使能晶体管。第一和第二发射使能晶体管可以耦合到公共控制线，或者可以单独控制，使得导通偏置应力可以有效地施加到驱动晶体管。

