



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081030
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0191731

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김홍석

부산광역시 해운대구 해운대로191번길 42 B동 10
1호 (재송동, 지정파크빌라)

정재훈

인천광역시 서구 고산후로 398 102동 1502호 (불
로동, 대림E편한세상아파트)

(뒷면에 계속)

(74) 대리인

김은구, 송해모

전체 청구항 수 : 총 18 항

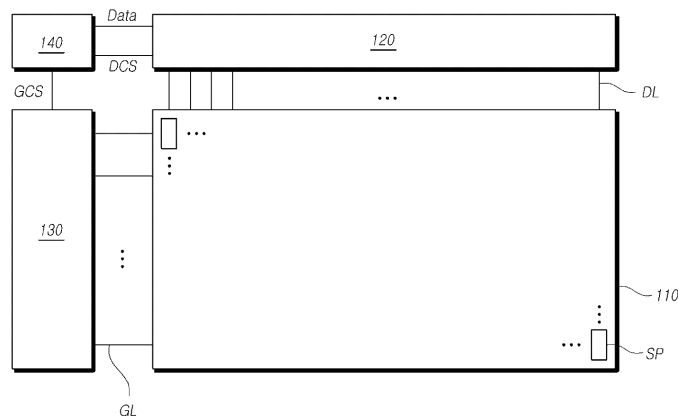
(54) 발명의 명칭 유기발광표시패널 및 유기발광표시장치

(57) 요약

본 실시예들은, 유기발광표시패널 및 유기발광표시장치에 관한 것으로서, 더욱 상세하게는, 각 서브픽셀 내 트랜지스터들의 영역에 라이트 쉘드를 위치시켜, 빛에 의한 트랜지스터의 특성 변화를 저감시키면서도, 각 트랜지스터의 기능 및 역할에 따라 각 트랜지스터의 영역에 위치하는 라이트 쉘드의 형태 및 연결 위치를 다르게 하는 구조를 갖는다. 이에 따라, 바디 효과(Body Effect)의 영향을 효과적으로 줄여줄 수 있고, 이를 통해, 화상 이상 현상을 방지해줄 수 있다.

대표도

100



(72) 발명자

신홍재

서울특별시 강동구 양재대로 1340 321동 301호 (둔
촌동, 주공아파트)

정한아름

대구광역시 북구 동북로37길 58-17 11동 603호 (산
격동, 에텐3차아파트)

최기민

대전광역시 중구 문화로78번길 29 305호 (산성동,
산성연립)

김수용

광주광역시 광산구 내상로33번안길 23 (송정동)

명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기 발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 구동 트랜지스터의 제2노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 각 서브픽셀에서, 구동 트랜지스터, 제1 트랜지스터 및 제2 트랜지스터 각각의 영역에는 라이트 쉘드가 위치하며,

제1 서브픽셀의 구동 트랜지스터의 영역에 위치하는 라이트 쉘드는, 상기 제1 서브픽셀의 구동 트랜지스터의 제2노드와 전기적으로 연결되고,

상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는, 상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나, 상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드에 대응되는 등전위 패턴과 전기적으로 연결되는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 대응되는 등전위 패턴은,

상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되어 동일한 신호가 인가되는 패턴으로서,

상기 제1 서브픽셀과 동일한 서브픽셀 라인에 위치한 다른 서브픽셀인 제2 서브픽셀의 제2 트랜지스터의 게이트 노드이거나,

상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드에 전기적으로 연결된 게이트 라인이거나,

상기 제2 서브픽셀의 제1 트랜지스터의 게이트 노드인 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 각 서브픽셀에서 제1 트랜지스터의 게이트 노드와 제2 트랜지스터의 게이트 노드는 서로 다른 게이트 라인에 연결되는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드와 상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는 서로 다른 분리형 라이트 쉘드이고,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀의 제1 트랜지스터의 게이트 노드와 전기적으로 연결되거나,

상기 제1 서브픽셀의 제1 트랜지스터의 게이트 노드와 대응되는 등전위 패턴과 전기적으로 연결되는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀을 포함하는 둘 이상의 서브픽셀 각각의 제1 트랜지스터의 영역 모두에 공통으로 위치하는 제1 룬 패턴이고,

상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀을 포함하는 둘 이상의 서브픽셀 각각의 제2 트랜지스터의 영역 모두에 공통으로 위치하는 제2 룬 패턴인 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제1 룬 패턴인 라이트 쉘드는,

상기 둘 이상의 서브픽셀 중 적어도 하나의 제1 트랜지스터의 게이트 노드와 전기적으로 연결되거나, 상기 둘 이상의 서브픽셀 각각의 제1 트랜지스터의 게이트 노드에 연결된 제1 게이트 라인과 액티브 영역에서 전기적으로 연결되고,

상기 제2 룬 패턴인 라이트 쉘드는,

상기 둘 이상의 서브픽셀 중 적어도 하나의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나, 상기 둘 이상의 서브픽셀 각각의 제2 트랜지스터의 게이트 노드에 연결된 제2 게이트 라인과 액티브 영역에서 전기적으로 연결되는 유기발광표시장치.

청구항 7

제5항에 있어서,

상기 둘 이상의 서브픽셀은 하나의 픽셀을 구성하는 서브픽셀들인 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀의 구동 트랜지스터의 제2노드와 전기적으로 연결되는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드와, 상기 제1 서브픽셀의 구동 트랜지스터의 영역에 위치하는 라이트 쉘드는, 일체형 라이트 쉘드인 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드는 바이어스 전압이 미 인가되는 플로팅 패턴인 유기발광표시장치.

청구항 11

제1항에 있어서,

상기 제1 트랜지스터의 게이트 노드와 상기 제2 트랜지스터의 게이트 노드가 하나의 게이트 라인에 공통으로 연결되는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 제1 서브픽셀의 제1 트랜지스터의 영역에 위치하는 라이트 쉘드와 상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는, 일체형 라이트 쉘드인 유기발광표시장치.

청구항 13

제12항에 있어서,

상기 일체형 라이트 쉘드는,

상기 제1 서브픽셀을 포함하는 둘 이상의 서브픽셀 각각의 제1 트랜지스터 및 제2 트랜지스터의 영역 모두에 공통으로 위치하는 룬 패턴인 유기발광표시장치.

청구항 14

제13항에 있어서,

상기 일체형 라이트 쉘드는,

상기 둘 이상의 서브픽셀 중 적어도 하나의 제1 트랜지스터 또는 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나,

상기 둘 이상의 서브픽셀 각각의 제1 트랜지스터의 게이트 노드와 제2 트랜지스터의 게이트 노드에 공통으로 연결된 게이트 라인과 액티브 영역에서 전기적으로 연결되는 유기발광표시장치.

청구항 15

제13항에 있어서,

상기 둘 이상의 서브픽셀은 하나의 픽셀을 구성하는 서브픽셀들인 유기발광표시장치.

청구항 16

제1항에 있어서,

상기 제2 트랜지스터의 게이트 노드가 위치한 게이트 물질층과, 상기 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는 연결 패턴에 의해 연결되고,

상기 연결 패턴은,

상기 라이트 쉘드의 상면 또는 배면과 접촉하고, 상기 게이트 물질층의 측면과 접촉하는 유기발광표시장치.

청구항 17

제1항에 있어서,

상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는 추가 게이트인 유기발광표시장치.

청구항 18

다수의 데이터 라인;

다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 상기 구동 트랜지스터의 제2노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 각 서브픽셀에서, 구동 트랜지스터, 제1 트랜지스터 및 제2 트랜지스터 각각의 영역에는 라이트 쉘드가 위치하며,

제1 서브픽셀의 구동 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀의 구동 트랜지스터의 제2노드와 전기적으로 연결되고,

상기 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는,

상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나,

상기 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 대응되는 등전위 패턴과 전기적으로 연결되는 유기발광표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시장치 및 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는, 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써, 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치의 유기발광표시패널에는 각 서브픽셀 별로 유기발광다이오드 및 각종 트랜지스터가 배치된다.

[0004] 유기발광표시패널에서, 트랜지스터 등의 회로 소자는, 구동 시간에 따라 회로 소자가 열화 되어 소자 특성이 변하기도 하지만, 빛(예: 외부 광)에 노출되어 소자 특성이 변하기도 한다.

[0005] 진술한 바와 같이, 유기발광표시패널에서 각 회로 소자가 구동 시간에 따라 소자 특성이 변하거나, 외부 광 노출에 의해 소자 특성이 변하는 경우, 비정상적으로 구동을 하여 화면 이상 현상을 발생시킬 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 실시예들의 목적은, 각 서브픽셀 내 트랜지스터들의 영역에 라이트 쉘드를 위치시켜, 빛에 의한 트랜지스터의 특성 변화를 저감시키면서도, 각 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0007] 본 실시예들의 다른 목적은, 각 트랜지스터의 기능 및 역할에 따라 각 트랜지스터의 영역에 위치하는 라이트 쉘드의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여줄 수 있고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0008] 본 실시예들의 또 다른 목적은, 각 서브픽셀 내 구동 트랜지스터의 게이트 노드로 데이터 전압을 전달하기 위한 제1 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0009] 본 실시예들의 또 다른 목적은, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 제2 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있는 멀티 라이트 쉘드 구조를 갖는 유

기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

[0010] 본 실시예들의 또 다른 목적은, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 기준전압 라인과 구동 트랜지스터의 소스 노드(또는 드레인 노드) 사이의 기생 캐패시터를 저감시켜 센싱 정확도를 향상시킬 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

[0011] 일 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0012] 이러한 유기발광표시장치에서 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 제2노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

[0013] 각 서브픽셀에서, 구동 트랜지스터, 제1 트랜지스터 및 제2 트랜지스터 각각의 영역에는 라이트 쉘드가 위치할 수 있다.

[0014] 제1 서브픽셀의 구동 트랜지스터의 영역에 위치하는 라이트 쉘드는, 제1 서브픽셀의 구동 트랜지스터의 제2노드와 전기적으로 연결될 수 있다.

[0015] 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는, 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나, 제1 서브픽셀의 제2 트랜지스터의 게이트 노드에 대응되는 등전위 패턴과 전기적으로 연결될 수 있다.

[0016] 다른 측면에서, 본 실시예들은, 다수의 데이터 라인과, 다수의 게이트 라인과, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되고 매트릭스 타입으로 배열된 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.

[0017] 이러한 유기발광표시패널에서 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터와, 구동 트랜지스터의 제2노드와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

[0018] 각 서브픽셀에서, 구동 트랜지스터, 제1 트랜지스터 및 제2 트랜지스터 각각의 영역에는 라이트 쉘드가 위치할 수 있다.

[0019] 제1 서브픽셀의 구동 트랜지스터의 영역에 위치하는 라이트 쉘드는, 제1 서브픽셀의 구동 트랜지스터의 제2노드와 전기적으로 연결될 수 있다.

[0020] 제1 서브픽셀의 제2 트랜지스터의 영역에 위치하는 라이트 쉘드는, 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 전기적으로 연결되거나, 제1 서브픽셀의 제2 트랜지스터의 게이트 노드와 대응되는 등전위 패턴과 전기적으로 연결될 수 있다.

발명의 효과

[0021] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 각 서브픽셀 내 트랜지스터들의 영역에 라이트 쉘드를 위치시켜, 빛에 의한 트랜지스터의 특성 변화를 저감시키면서도, 각 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

[0022] 또한, 본 실시예들에 의하면, 각 트랜지스터의 기능 및 역할에 따라 각 트랜지스터의 영역에 위치하는 라이트 쉘드의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여줄 수 있고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

[0023] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터의 게이트 노드로 데이터 전압을 전달하기 위한 제1 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있고, 이를 통해, 이전 서브픽셀 라인 또는 다음 서브픽셀 라인에서 공급되는 데이터 전압이 현재 서브픽셀 라인에서 영향을 끼치게 되는 데이터 섞임 현상을 방지할 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

[0024] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 제2 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있고, 이를 통해, 센싱 정확도를 향상시킬 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

[0025] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 기준전압 라인과 구동 트랜지스터의 소스 노드(또는 드레인 노드) 사이의 기생 캐패시터를 저감시켜 센싱 정확도를 향상시킬 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널 및 유기발광표시장치를 제공할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.

도 2 및 도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도들이다.

도 4는 본 실시예들에 따른 유기발광표시장치에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기 위하여, 라이트 쉘드를 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.

도 5는 본 실시예들에 따른 유기발광표시장치에서 각 서브픽셀의 회로 영역에 형성된 라이트 쉘드와, 라이트 쉘드가 형성된 서브픽셀의 등가회로이다.

도 6은 본 실시예들에 따른 유기발광표시장치에서, 구동 트랜지스터의 동작 특성을 개선하기 위해, 라이트 쉘드를 구동 트랜지스터의 제2노드에 연결한 싱글 라이트 쉘드 구조를 나타낸 도면이다.

도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치에서, 싱글 라이트 쉘드 구조에 의해 발생할 수 있는 이상 구동 현상을 설명하기 위한 도면이다.

도 9 및 도 10은 본 실시예들에 따른 유기발광표시장치에서 멀티 라이트 쉘드 구조를 간략하게 나타낸 도면이다.

도 11a, 도 11b 및 도 12는 본 실시예들에 따른 유기발광표시장치의 A 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b는 본 실시예들에 따른 유기발광표시장치의 B 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 16a 및 도 16b는 본 실시예들에 따른 유기발광표시장치의 C 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 17a 및 도 17b는 본 실시예들에 따른 유기발광표시장치의 D 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 18a 및 도 18b는 본 실시예들에 따른 유기발광표시장치의 E 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 19a, 도 19b, 도 20a, 도 20b, 도 21a 및 도 21b는 본 실시예들에 따른 유기발광표시장치의 F 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.

도 22a 및 도 22b는 본 실시예들에 따른 유기발광표시장치의 G 타입의 멀티 라이트 쉘드 구조의 예시도이다.

도 23은 본 실시예들에 따른 유기발광표시장치에서, 제1 트랜지스터 또는 제2 트랜지스터의 영역에 위치한 라이트 쉘드의 연결 구조 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조

부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

- [0028] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0029] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.
- [0030] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0031] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0032] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0033] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0034] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0035] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0036] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0037] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0038] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0039] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0040] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0041] 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0042] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable)

등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.

- [0043] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0044] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0045] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0046] 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0047] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 유기발광표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0048] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0049] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0050] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0051] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0052] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0053] 본 실시예들에 따른 유기발광표시장치(100)는 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0054] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 필름이 연결될 수 있다.
- [0055] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0056] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0057] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible

Flat Cable) 등일 수 있다.

- [0058] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0059] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0060] 일 예로, 유기발광표시패널(110)이 유기발광표시패널인 경우, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0061] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0062] 도 2 및 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도들이다.
- [0063] 도 2 및 도 3을 참조하면, 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT: Driving Transistor)와, 제1 스캔신호(SCAN1)에 의해 제어되며 구동 트랜지스터(DT)의 제1 노드(N1)와 데이터 라인(DL: Data Line) 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 제2 스캔신호(SCAN2)에 의해 제어되며 구동 트랜지스터(DT)의 제2 노드(N2)와 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(C1)를 포함하여 구성될 수 있다.
- [0064] 도 2 및 도 3에서와 같이, 하나의 서브픽셀(SP)이 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(C1)를 포함하여 구성되는 구조를 3T(Transistor)1C(Capacitor) 구조라고 한다.
- [0065] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0066] 구동 트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터로서, 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동한다.
- [0067] 이러한 구동 트랜지스터(DT)에서, 제1 노드(N1)는 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극 및 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0068] 제1 트랜지스터(T1)는 데이터 라인(DL)과 구동 트랜지스터(DT)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 노드에 인가된 제1 스캔신호(SCAN1)에 의해 온-오프가 제어될 수 있다.
- [0069] 이러한 제1 트랜지스터(T1)는 제1 스캔신호(SCAN1)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 제1 노드(N1)로 전달해줄 수 있다.
- [0070] 제2 트랜지스터(T2)는 기준 전압 라인(RVL)과 구동 트랜지스터(DT)의 제2 노드(N2) 사이에 전기적으로 연결되고, 게이트 노드에 인가된 제2 스캔신호(SCAN2)에 의해 온-오프가 제어될 수 있다.
- [0071] 이러한 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 의해 턴-온 되어 기준 전압 라인(RVL)으로부터 공급된 기준 전압(Vref)을 구동 트랜지스터(DT)의 제2 노드(N2)로 전달해줄 수 있다.
- [0072] 또한, 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달해줄 수도 있다. 이는, 각 서브픽셀(SP) 내 구동 트랜지스터(DT), 유기발광다이오드(OLED) 등의 회로 소자에 대한 특성치(예: 문턱전압, 이동도 등)를 센싱할 때 이루어지는 현상이다.
- [0073] 스토리지 캐패시터(C1)는 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되어 한 프레임 시간 동안 일정 전압을 유지해주는 역할을 한다.
- [0074] 이러한 스토리지 캐패시터(C1)는, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DT)의 외부에 의도적

으로 설계한 외부 캐패시터(External Capacitor)이다.

- [0075] 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 n 타입의 트랜지스터일 수도 있고, p 타입의 트랜지스터일 수도 있다.
- [0076] 한편, 도 2를 참조하면, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드는 동일한 게이트 라인(GL)에 연결될 수 있다.
- [0077] 이에 따라, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 제1 스캔신호(SCAN1)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 제2 스캔신호(SCAN2)는 동일한 스캔신호(SCAN)일 수 있다.
- [0078] 도 2와 같이, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드가 1개의 게이트 라인(GL)에 공통으로 연결된 경우, 서브픽셀(SP)은 "1 스캔 구조"를 갖는다고 한다.
- [0079] 각 서브픽셀(SP)을 1 스캔 구조를 설계하는 경우, 1개의 서브픽셀 라인마다 1개의 게이트 라인(GL)만 필요하기 때문에, 유기발광표시패널(110)의 개구율을 상당히 높여줄 수 있다.
- [0080] 다른 한편, 도 3을 참조하면, 제1 트랜지스터(T1)의 게이트 노드는 제1 게이트 라인(GL1)에 연결되고, 제2 트랜지스터(T2)의 게이트 노드는 제1 게이트 라인(GL1)과는 다른 제2 게이트 라인(GL2)에 연결될 수 있다.
- [0081] 이에 따라, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 제1 스캔신호(SCAN1)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 제2 스캔신호(SCAN2)는 별개의 신호이다.
- [0082] 도 3과 같이, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드가 2개의 게이트 라인(GL1, GL2)에 대응되어 연결된 경우, 서브픽셀(SP)은 "2 스캔 구조"를 갖는다고 한다.
- [0083] 이와 같이, 각 서브픽셀(SP)을 2 스캔 구조를 설계하는 경우, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 개별적으로 제어할 수 있게 되어, 서브픽셀(SP)을 보다 정밀하고 다양하게 구동할 수 있다.
- [0084] 한편, 구동 트랜지스터(DT) 등의 트랜지스터는 구동 시간이 길어짐에 따라 열화가 진행되어 문턱전압, 이동도 등의 특성이 변할 수 있다.
- [0085] 또한, 각 트랜지스터마다 구동 시간의 차이가 있기 때문에 열화 정도도 다를 수 있고, 각 트랜지스터 간의 특성치 변화도 서로 다를 수 있다. 이에 따라, 각 트랜지스터 간의 특성치 편차가 발생할 수 있다.
- [0086] 각 트랜지스터 간의 특성치 편차는 유기발광표시패널(110)의 휘도 불균일을 초래하여 화상 품질을 크게 떨어뜨릴 수 있다.
- [0087] 이와 같이, 화상 품질 저하의 요인이 되는 트랜지스터의 특성치 변화는 빛에 의해서도 발생할 수 있다.
- [0088] 가령, 외부 광이 트랜지스터(특히, 채널 영역)에 닿으면, 트랜지스터의 문턱전압이 네거티브(-) 방향으로 쉬프트(Shift) 하는 현상이 발생하여 트랜지스터 소자 특성이 나빠지게 된다.
- [0089] 도 4는 본 실시예들에 따른 유기발광표시장치에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기 위하여, 라이트 쉴드(LS: Light Shield)를 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.
- [0090] 도 4를 참조하면, 소스 노드(S), 드레인 노드(D) 및 게이트 노드(G) 등으로 이루어진 트랜지스터에 빛이 조사되는 경우, 특히, 트랜지스터의 채널에 빛이 조사되는 경우, 트랜지스터의 소자 특성(예: 문턱전압 등)이 크게 변할 수 있다.
- [0091] 이에, 트랜지스터의 영역(예: 하부)에 라이트 쉴드(LS)를 형성해둔다.
- [0092] 이에 따라, 라이트 쉴드(LS)에 의해 트랜지스터에 빛이 닿는 것을 방지해줄 수 있고, 트랜지스터의 소자 특성 변화도 방지해줄 수 있다.
- [0093] 이러한 라이트 쉴드(LS)는 빛이 투과되는 것을 차단할 수 있는 금속 물질로 되어 있을 수 있다.
- [0094] 한편, 라이트 쉴드(LS)는 트랜지스터의 게이트 노드(게이트 전극)의 하부에 절연층을 사이에 두고 위치하며, 트랜지스터의 바디(B)의 역할을 할 수 있다.
- [0095] 도 5는 본 실시예들에 따른 유기발광표시장치(100)에서 각 서브픽셀(SP)의 회로 영역(CA: Circuit Area)에 형성된 라이트 쉴드(LS)과, 라이트 쉴드(LS)이 형성된 서브픽셀(SP)의 등가회로이다.
- [0096] 도 5를 참조하면, 각 서브픽셀(SP)은 유기발광다이오드(OLED)에 의해 발광하는 발광 영역(EA: Emission Area)과

유기발광다이오드(OLED)를 구동하기 위한 회로가 형성된 회로 영역(CA)으로 이루어진다.

- [0097] 도 5를 참조하면, 빛에 의해 트랜지스터 특성 변화를 방지하기 위하여, 라이트 쉴드(LS)을 트랜지스터들(DT, T1, T2)이 위치한 회로 영역(CA)의 전면에 패터닝 할 수 있다.
- [0098] 이 경우, 라이트 쉴드(LS)은 전압이 인가되지 않는 플로팅 패턴(Floating Pattern)이다.
- [0099] 한편, 전술한 바와 같이, 라이트 쉴드(LS)은 각 트랜지스터(DT, T1, T2)의 바디 역할을 한다.
- [0100] 이에 따라, 라이트 쉴드(LS)은 각 트랜지스터(DT, T1, T2)의 또 다른 게이트 노드(일명, 뒷문 게이트 노드(Back Gate Node)라고도 함)의 역할을 할 수 있다. 이에 따라, 각 트랜지스터(DT, T1, T2)의 문턱전압이 변하거나 원하는 동작을 하지 못하는 현상이 발생할 수 있다. 이러한 현상을 "바디 효과(Body Effect)"라고 한다.
- [0101] 도 6은 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DT)의 동작 특성을 개선하기 위해, 라이트 쉴드(LS)을 구동 트랜지스터(DT)의 제2 노드(N2)에 연결한 싱글 라이트 쉴드(Single-LS: Single Light Shield) 구조를 나타낸 도면이다.
- [0102] 도 6을 참조하면, 각 서브픽셀(SP)의 전체 구동 특성에 큰 영향을 끼치는 구동 트랜지스터(DT)가 바디 효과의 영향을 받지 않도록 하고, 구동 트랜지스터(DT)의 동작 특성을 개선하기 위하여, 회로 영역(CA)의 전면에 패터닝 된 라이트 쉴드(LS)을 구동 트랜지스터(DT)의 제2 노드(N2)에 연결할 수 있다.
- [0103] 이러한 라이트 쉴드 구조는, 구동 트랜지스터(DT)의 제2 노드(N2)에 연결되는 라이트 쉴드(LS)이 각 서브픽셀(SP)마다 1개씩 존재하기 때문에, "싱글 라이트 쉴드 구조"라고 한다.
- [0104] 도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치(100)에서, 싱글 라이트 쉴드 구조에 의해 발생할 수 있는 이상 구동 현상을 설명하기 위한 도면이다.
- [0105] 도 7 및 도 8을 참조하면, 싱글 라이트 쉴드 구조에 따르면, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압이 바이어스 전압(BV)으로서 라이트 쉴드(LS)에 인가된다.
- [0106] 도 7에 도시된 바와 같이, 제1 트랜지스터(T1)를 턴-오프 시키기 위하여, 제1 트랜지스터(T1)의 게이트 노드에 턴-오프 레벨 전압(VGL)에 해당하는 제1 스캔신호(SCAN1)를 인가한 경우, 라이트 쉴드(LS)에 인가된 바이어스 전압(BV)이 제1 트랜지스터(T1)의 또 다른 게이트 전압 역할을 하여, 바디 효과가 발생할 수 있고, 이에 따라, 제1 트랜지스터(T1)가 원치 않게 턴-온 될 수도 있다.
- [0107] 또한, 도 8에 도시된 바와 같이, 제2 트랜지스터(T2)를 턴-오프 시키기 위하여, 제2 트랜지스터(T2)의 게이트 노드에 턴-오프 레벨 전압(VGL)에 해당하는 제2 스캔신호(SCAN2)를 인가한 경우, 라이트 쉴드(LS)에 인가된 바이어스 전압(BV)이 제2 트랜지스터(T2)의 또 다른 게이트 전압 역할을 하여, 바디 효과가 발생할 수 있고, 이에 따라, 제2 트랜지스터(T2)가 원치 않게 턴-온 될 수도 있다.
- [0108] 도 7 및 도 8에 도시된 바와 같이, 바디 효과의 영향으로 인해, 제1 트랜지스터(T1) 및/또는 제2 트랜지스터(T2)가 원치 않게 턴-온 되는 상황은, 영상 구동 시에도 발생할 수 있고, 센싱 구동 시에도 발생할 수 있다.
- [0109] 예를 들어, 턴-오프 되어야 하는 제1 트랜지스터(T1)가 턴-온 되는 경우, 이전 서브픽셀 라인(이전 서브픽셀 행) 또는 다음 서브픽셀 라인(다음 서브픽셀 행)에서의 서브픽셀에 공급되는 데이터 전압이 해당 제1 트랜지스터(T1)가 있는 서브픽셀로 공급되어, 화상 이상 현상이 발생할 수 있다. 이러한 현상을 "데이터 섞임 현상"이라고 한다.
- [0110] 다른 예를 들어, 아날로그 디지털 컨버터(Analog to Digital)과 전기적으로 연결되어 센싱 라인 역할을 하는 기준 전압 라인(RVL)과 전기적으로 연결된 제1 서브픽셀에 대하여, 구동 트랜지스터(DT)의 문턱전압을 센싱하기 위한 센싱 구동이 진행되고 있는 동안, 다른 서브픽셀 행에서 기준 전압 라인(RVL)과 함께 전기적으로 연결된 제2 서브픽셀에서 턴-오프 되어야 하는 제2 트랜지스터(T2)가 불필요하게 턴-온 되면, 불필요하게 턴-온 된 제2 트랜지스터(T2)는, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)으로 전달한다.
- [0111] 이로 인해, 아날로그 디지털 컨버터는 제1 서브픽셀 내 구동 트랜지스터(DT)의 제2 노드(N2)의 전압을 정확하게 센싱하지 못하여, 센싱 오류가 발생할 수 있다. 이러한 센싱 오류는 문턱전압 편차에 대한 보상값 연산에도 오류를 발생시켜 화상 이상 현상을 발생시킬 수 있다.
- [0112] 따라서, 본 실시예들은, 바디 효과의 영향으로 인한 제1 트랜지스터(T1) 및/또는 제2 트랜지스터(T2)의 이상 구동 현상(불필요하게 턴-온 되는 현상)을 방지해주기 위하여 각 서브픽셀(SP)마다 2개 이상의 라이트 쉴드를 갖

는 멀티 라이트 쉴드(Multi-LS: Multi-Light Shield) 구조를 제안한다.

- [0113] 도 9 및 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 멀티 라이트 쉴드 구조를 간략하게 나타낸 도면이다.
- [0114] 도 9 및 도 10을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준 전압 라인 사이에 전기적으로 연결된 제2 트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(C1) 등을 포함하여 구성될 수 있다.
- [0115] 여기서, 구동 트랜지스터(DT)의 제1 노드(N1)는 게이트 노드일 수 있고, 구동 트랜지스터(DT)의 제2 노드(N2)는 소스 노드 또는 드레인 노드일 수 있다.
- [0116] 각 서브픽셀에서, 구동 트랜지스터(DT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각의 영역(예: 하부)에는 라이트 쉴드(LSd, LS1, LS2)가 존재할 수 있다.
- [0117] 아래에서는, 설명의 편의를 위해, 임의의 제1 서브픽셀을 기준으로 라이트 쉴드 구조를 설명한다.
- [0118] 도 9 및 도 10을 참조하면, 제1 서브픽셀의 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉴드(LSd)는, 해당 제1 서브픽셀의 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결될 수 있다.
- [0119] 도 9를 참조하면, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)는, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 전기적으로 연결될 수 있다.
- [0120] 도 10을 참조하면, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)는, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드에 대응되는 등전위 패턴(PTN2)과 전기적으로 연결될 수 있다.
- [0121] 전술한 바와 같이, 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)를 구동 트랜지스터(DT)의 제2 노드(N2)가 아닌 다른 지점에 전기적으로 연결해줌으로써, 제2 트랜지스터(T2)가 턴-오프 되어야 하는 상황에서, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압에 의해 제2 트랜지스터(T2)가 의도치 않게 턴-온 되는 현상을 방지해 줄 수 있다. 다시 말해, 제2 트랜지스터(T2)는 바디 효과의 영향을 적게 받게 되어 정상적인 구동을 할 수 있고, 이를 통해, 화면 이상 현상을 방지해줄 수 있다.
- [0122] 또한, 본 실시예들에 따른 멀티 라이트 쉴드 구조를 적용하면, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있다.
- [0123] 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있다. 이러한 정확한 전압 센싱에 따라, 정확한 특성치 보상이 가능해져서 화상 품질을 향상시킬 수 있다.
- [0124] 도 9 및 도 10을 참조하면, 전술한 바와 같이, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)는, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 전기적으로 연결되거나, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 등전위를 갖는 등전위 패턴(PTN2)과 전기적으로 연결됨으로써, 추가 게이트에 해당할 수 있다.
- [0125] 이에 따라, 제1 서브픽셀의 제2 트랜지스터(T2)는 라이트 쉴드(LS2)를 활용하여 더블-게이트(Double-Gate) 구조를 갖는다.
- [0126] 전술한 바와 같이, 제1 서브픽셀의 제2 트랜지스터(T2)는, 라이트 쉴드(LS2)를 활용하여 더블-게이트(Double-Gate) 구조를 가짐으로써, 바디 효과의 영향을 줄일 수 있고, 정확한 온-오프 동작을 할 수 있다.
- [0127] 본 실시예들에서의 더블-게이트 구조 및 이에 따른 더블-게이트 동작은 트랜지스터들의 하부 영역에 존재할 수 있는 바디에 의해 자연 발생적으로 생긴 것이 아니라, 트랜지스터의 이상 동작 방지 등의 다양한 목적을 위해, 바디 역할을 하는 라이트 쉴드를 원하는 목적에 맞게 특정 지점에 전기적으로 연결하여 의도적으로 만들어진 것이다.
- [0128] 한편, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 대응되는 등전위 패턴(PTN2)은, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 전기적으로 연결되고, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 동일한 신호가 인가되며, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 등전위를 갖는 패턴이다.

- [0129] 이러한 등전위 패턴(PTN2)은, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드와 동일한 전압을 갖는 패턴(전극, 노드, 신호 라인 등을 모두 포괄함)일 수 있다.
- [0130] 일 예로, 각 서브픽셀이 1 스캔 구조 또는 2 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀과 동일한 서브픽셀 라인에 위치한 다른 서브픽셀인 제2 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드일 수 있다.
- [0131] 다른 예로, 각 서브픽셀이 1 스캔 구조 또는 2 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드에 전기적으로 연결된 게이트 라인일 수 있다.
- [0132] 또 다른 예로, 각 서브픽셀이 1 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀과 동일한 서브픽셀 라인에 위치한 다른 서브픽셀인 제2 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드일 수도 있다.
- [0133] 전술한 바와 같이, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가, 제1 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드 뿐만 아니라, 해당 제1 서브픽셀 외부에 위치한 등전위 패턴(PTN2)과도 전기적으로 연결될 수 있음으로써, 제2 트랜지스터(T2)의 더블 게이트 구조를 다양하게 만들어줄 수 있다.
- [0134] 아래에서는, 이상에서 간략하게 설명한 멀티 라이트 쉘드 구조에 대한 다양한 타입의 예시들을 설명한다.
- [0135] 먼저, 도 11a 내지 도 17b를 참조하여 각 서브픽셀이 2 스캔 구조를 갖는 경우에 대한 멀티 라이트 쉘드 구조에 대한 다양한 예시들을 설명하고, 이어서, 도 18a 내지 22b를 참조하여 1 스캔 구조를 갖는 경우에 대한 멀티 라이트 쉘드 구조에 대한 다양한 예시들을 설명한다.
- [0136] 단, 멀티 라이트 쉘드 구조의 다양한 예시들에서, 구동 트랜지스터(DT)의 영역에 위치한 라이트 쉘드(Ld)의 구조는 크게 변하지 않기 때문에, 제1 트랜지스터(T1)의 영역에 위치한 라이트 쉘드(L1)와 제2 트랜지스터(T2)의 영역에 위치한 라이트 쉘드(L2)를 위주로 설명한다.
- [0137] 도 11a, 도 11b 및 도 12는 본 실시예들에 따른 유기발광표시장치(100)의 A 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.
- [0138] 도 11a는 멀티 라이트 쉘드 구조를 갖는 제1 서브픽셀의 등가 회로이고, 도 11b는 도 11a에서 라이트 쉘드(LSd, LS1, LS2)의 영역 및 형상을 개략화하여 나타낸 도면이다.
- [0139] 도 11a, 도 11b 및 도 12를 참조하면, 구동 트랜지스터(DT)의 영역에 위치한 라이트 쉘드(LSd)와, 제1 트랜지스터(T1)의 영역에 위치한 라이트 쉘드(L1)와, 제2 트랜지스터(T2)의 영역에 위치한 라이트 쉘드(L2)는, 전기적으로 모두 분리되어 있을 수 있다.
- [0140] 도 11a, 도 11b 및 도 12를 참조하면, A 타입의 멀티 라이트 쉘드 구조는, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)와, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가, 모두 서로 다른 분리형 라이트 쉘드로 되어 있는 구조이다.
- [0141] 도 11a 및 도 11b를 참조하면, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)는, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 콘택홀(Contact Hole)을 통해 전기적으로 연결될 수 있다.
- [0142] 한편, 도 12를 참조하면, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)는, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 직접적으로 연결되는 것이 아니라, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 대응되는 등전위 패턴(PTN1)과 전기적으로 연결될 수도 있다.
- [0143] 여기서, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 대응되는 등전위 패턴(PTN1)은, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 전기적으로 연결되고, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 동일한 신호가 인가되며, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 등전위를 갖는 패턴이다.
- [0144] 이러한 등전위 패턴(PTN1)은, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 동일한 전압을 갖는 패턴(전극, 노드, 신호 라인 등을 모두 포괄함)일 수 있다.
- [0145] 일 예로, 각 서브픽셀이 1 스캔 구조 또는 2 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀과 동일한 서브픽셀 라인에 위치한 다른 서브픽셀인 제2 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드일 수 있다.
- [0146] 다른 예로, 각 서브픽셀이 1 스캔 구조 또는 2 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드에 전기적으로 연결된 게이트 라인일 수 있다.

- [0147] 또 다른 예로, 각 서브픽셀이 1 스캔 구조인 경우, 등전위 패턴(PTN2)은, 제1 서브픽셀과 동일한 서브픽셀 라인에 위치한 다른 서브픽셀인 제2 서브픽셀의 제2 트랜지스터(T2)의 게이트 노드일 수도 있다.
- [0148] 전술한 바와 같이, A 타입의 멀티 라이트 쉴드 구조의 경우, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉴드(LS1)를 구동 트랜지스터(DT)의 제2 노드(N2)가 아닌 다른 지점에 전기적으로 연결해줌으로써, 제1 트랜지스터(T1)가 턴-오프 되어야 하는 상황에서, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압에 의해 제1 트랜지스터(T1)가 의도치 않게 턴-온 되는 현상을 방지해줄 수 있다. 다시 말해, 제1 트랜지스터(T1)는 바디 효과의 영향을 적게 받게 되어 위에서 언급한 데이터 섞임 현상을 방지해줄 수 있어 화상 품질 개선 효과를 얻을 수 있다.
- [0149] 또한, A 타입의 멀티 라이트 쉴드 구조를 적용하면, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉴드(LSd)와, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉴드(LS1)와, 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)가, 모두 서로 다른 분리형 라이트 쉴드로 되어 있기 때문에, 3 가지 트랜지스터(DT, T1, T2) 각각의 역할 및 기능에 맞는 바디(Body)의 바이어스 전압 상태를 만들어줄 수 있다.
- [0150] 또한, A 타입의 멀티 라이트 쉴드 구조의 경우, 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 라이트 쉴드(LSd)의 크기가 싱글 라이트 쉴드 구조에 비해 감소하여, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있다.
- [0151] 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있다. 이러한 정확한 전압 센싱에 따라, 정확한 특성치 보상이 가능해져서 화상 품질을 향상시킬 수 있다.
- [0152] 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b는 본 실시예들에 따른 유기발광표시장치(100)의 B 타입의 멀티 라이트 쉴드 구조에 대한 예시도들이다.
- [0153] 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b에서는, 동일한 서브픽셀 라인에 위치한 제1 서브픽셀(SP1), 제2 서브픽셀(SP2), 제3 서브픽셀(SP3), 제4 서브픽셀(SP4)에서의 멀티 라이트 쉴드 구조를 나타낸다.
- [0154] 도 13b는 도 13a의 등가 회로에서 라이트 쉴드(LSd, LS1, LS2)의 영역 및 형상을 개략화하여 나타낸 도면이고, 도 14b는 도 14a의 등가 회로에서 라이트 쉴드(LSd, LS1, LS2)의 영역 및 형상을 개략화하여 나타낸 도면이고, 도 15b는 도 15a의 등가 회로에서 라이트 쉴드(LSd, LS1, LS2)의 영역 및 형상을 개략화하여 나타낸 도면이다.
- [0155] 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b에 예시된 B 타입의 멀티 라이트 쉴드 구조는, 도 11a, 도 11b 및 도 12에 예시된 A 타입의 멀티 라이트 쉴드 구조와 마찬가지로, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉴드(LSd)와, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉴드(L1)와, 제2 트랜지스터(T2)의 영역에 위치한 라이트 쉴드(L2)는, 전기적으로 모두 분리되어 있다.
- [0156] 하지만, 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b에 예시된 B 타입의 멀티 라이트 쉴드 구조는, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉴드(LS1)와 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)가 롱 패턴으로 되어 있다.
- [0157] 이로 인해, 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b에 예시된 B 타입의 멀티 라이트 쉴드 구조는, 도 11a, 도 11b 및 도 12에 예시된 A 타입의 멀티 라이트 쉴드 구조에 비해, 컨택홀 개수를 저감시킬 수 있고, 이로 인해, 유기발광표시패널(110)의 개구율을 높여줄 수 있다.
- [0158] 도 13a, 도 13b, 도 14a, 도 14b, 도 15a 및 도 15b를 참조하면, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉴드(LS1)는, 제1 서브픽셀을 포함하는 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제1 트랜지스터(T1)의 영역 모두에 공통으로 위치하는 제1 롱 패턴이다.
- [0159] 그리고, 제1 서브픽셀(SP1)의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉴드(LS2)는, 제1 서브픽셀(SP1)을 포함하는 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제2 트랜지스터(T2)의 영역 모두에 공통으로 위치하는 제2 롱 패턴이다.
- [0160] 도 13a, 도 13b, 도 14a, 도 14b를 참조하면, 제1 롱 패턴인 라이트 쉴드(LS1)는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중 적어도 하나의 제1 트랜지스터(T1)의 게이트 노드와 전기적으로 연결될 수 있다.
- [0161] 일 예로, 도 13a, 도 13b의 멀티 라이트 쉴드 구조에서는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중에서 제1 롱 패턴인 라이트 쉴드(LS1)과 전기적으로 연결되는 제1 트랜지스터(T1)를 포함하는 서브픽셀은 제2 서브픽셀(SP

2)이다.

- [0162] 다른 예로, 도 14a, 도 14b의 멀티 라이트 쉘드 구조에서는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중에서 제1 룡 패턴인 라이트 쉘드(LS1)과 전기적으로 연결되는 제1 트랜지스터(T1)를 포함하는 서브픽셀은 제1 서브픽셀(SP1)이다.
- [0163] 한편, 도 15a 및 도 15b를 참조하면, 제1 룡 패턴인 라이트 쉘드(LS1)는, 제1 트랜지스터(T1)의 게이트 노드에 직접 연결되지 않고, 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제1 트랜지스터(T1)의 게이트 노드에 연결된 제1 게이트 라인(GL1)과 액티브 영역(A/A)에서 전기적으로 연결될 수 있다.
- [0164] 도 13a, 도 13b, 도 14a, 도 14b를 참조하면, 제2 룡 패턴인 라이트 쉘드(LS2)는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중 적어도 하나의 제2 트랜지스터(T2)의 게이트 노드와 전기적으로 연결될 수 있다.
- [0165] 여기서, 둘 이상의 서브픽셀(SP1, ..., SP4)은 동일한 서브픽셀 라인에 위치하는 서브픽셀들이다.
- [0166] 일 예로, 도 13a, 도 13b의 멀티 라이트 쉘드 구조에서는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중에서 제2 룡 패턴인 라이트 쉘드(LS2)과 전기적으로 연결되는 제2 트랜지스터(T2)를 포함하는 서브픽셀은 제2 서브픽셀(SP2)이다.
- [0167] 다른 예로, 도 14a, 도 14b의 멀티 라이트 쉘드 구조에서는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중에서 제2 룡 패턴인 라이트 쉘드(LS2)과 전기적으로 연결되는 제2 트랜지스터(T2)를 포함하는 서브픽셀은 제1 서브픽셀(SP1)이다.
- [0168] 한편, 도 15a 및 도 15b를 참조하면, 제2 룡 패턴인 라이트 쉘드(LS2)는, 제2 트랜지스터(T2)의 게이트 노드에 직접 연결되지 않고, 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제2 트랜지스터(T2)의 게이트 노드에 연결된 제2 게이트 라인(GL2)과 액티브 영역(A/A)에서 전기적으로 연결될 수도 있다.
- [0169] 전술한 B 타입의 멀티 라이트 쉘드 구조를 적용하는 경우, 제1, 제2 트랜지스터(T1, T2)에 관련된 2가지의 라이트 쉘드(LS1, LS2)가 각 서브픽셀 마다 개별적으로 존재하는 것이 아니라, 둘 이상의 서브픽셀(SP1, ..., SP4)에 걸쳐서 룡 패턴 형태로 존재하기 때문에, 컨택 홀 개수가 상당히 줄어들 수 있고, 이로 인해, 유기발광표시패널(110)의 개구율도 높아질 수 있다.
- [0170] 한편, B 타입의 멀티 라이트 쉘드 구조의 경우, 1개의 제1 룡 패턴 형태의 라이트 쉘드(LS1)와 1개의 제2 룡 패턴 형태의 라이트 쉘드(LS2)를 활용하여 멀티 라이트 쉘드 구조가 형성된 둘 이상의 서브픽셀(SP1, ..., SP4)은, 일 예로, 하나의 픽셀을 구성하는 서브픽셀들일 수 있다.
- [0171] 예를 들어, 1개의 픽셀은, 적색 광(R)을 발광하는 제1 서브픽셀(SP), 흰색 광(W)을 발광하는 제2 서브픽셀(SP2), 청색 광(B)을 발광하는 제3 서브픽셀(SP3) 및 녹색 광(G)을 발광하는 제4 서브픽셀(SP4)로 구성될 수 있다.
- [0172] 전술한 바와 같이, 1개의 픽셀 단위로 B 타입의 멀티 라이트 쉘드 구조를 형성함으로써, 유사한 구동 특성을 갖는 트랜지스터들에 대한 이상 구동 현상을 효율적으로 방지해줄 수 있다.
- [0173] 위에서 예시된 멀티 라이트 쉘드 구조들은, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)가, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd) 및 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)와 분리된 형태로 형성되어 있다.
- [0174] 아래에서는, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)가, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)와 일체화 되어 있는 멀티 라이트 쉘드 구조를 도 16a 및 도 16b를 참조하여 설명한다.
- [0175] 도 16a 및 도 16b는 본 실시예들에 따른 유기발광표시장치(100)의 C 타입의 멀티 라이트 쉘드 구조에 대한 예시도이다.
- [0176] 도 16a는 멀티 라이트 쉘드 구조를 갖는 제1 서브픽셀의 등가 회로이고, 도 16b는 도 16a에서 라이트 쉘드(LSd, LS1, LS2)의 영역 및 형상을 개략화하여 나타낸 도면이다.
- [0177] 도 16a 및 도 16b에 예시된 C 타입의 멀티 라이트 쉘드 구조는, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)가 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)와 연결 또는 일체화된 구조이다.
- [0178] 도 16a를 참조하면, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)는, 제1 서브픽셀

의 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결될 수 있다.

- [0179] 이에 따라, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와, 제1 서브픽셀의 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)는, 동일한 전압 상태를 가질 수 있다.
- [0180] 또한, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와, 제1 서브픽셀의 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)는, 물리적으로 일체화(통합화)되어 있다.
- [0181] 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와, 제1 서브픽셀의 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)가 일체화된 것을 일체형 라이트 쉘드(LSa)라고 한다.
- [0182] 이러한 일체형 라이트 쉘드(LSa)는 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결될 수 있다.
- [0183] 전술한 바에 따르면, C 타입의 멀티 라이트 쉘드 구조를 적용하면, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와, 제1 서브픽셀의 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)를 일체로 형성하여 라이트 쉘드 구조 설계를 용이하게 하면서도, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압 상태와 무관하게, 제2 트랜지스터(T2)가 정상적인 구동(영상 구동, 센싱 구동)을 수행할 수 있게 되어, 화상 품질 향상에 도움을 줄 수 있다.
- [0184] 또한, C 타입의 멀티 라이트 쉘드 구조의 경우, 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 라이트 쉘드(LSd)의 크기가 싱글 라이트 쉘드 구조에 비해 감소하여, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있다.
- [0185] 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있다. 이러한 정확한 전압 센싱에 따라, 정확한 특성치 보상이 가능해져서 화상 품질을 향상시킬 수 있다.
- [0186] 도 17a 및 도 17b는 본 실시예들에 따른 유기발광표시장치(100)의 D 타입의 멀티 라이트 쉘드 구조에 대한 예시 도이다.
- [0187] 도 17a 및 도 17b를 참조하면, D 타입의 멀티 라이트 쉘드 구조의 경우, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)는 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결되고, 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)는 제2 트랜지스터(T2)의 게이트 노드 또는 이와 대응되는 등전위 패턴(PTN2)과 전기적으로 연결되며, 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)는 바이어스 전압이 인가되지 않는 플로팅 패턴이다.
- [0188] 전술한 D 타입의 멀티 라이트 쉘드 구조의 경우, 싱글 라이트 쉘드 구조에 비해, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압 상태에 의해 제1 트랜지스터(T1)가 원치 않게 턴-온 되는 현상을 방지해주어, 데이터 섞임 현상이 방지될 수 있고, 이에 따라, 화상 이상 현상을 막아줄 수 있다.
- [0189] 또한, D 타입의 멀티 라이트 쉘드 구조의 경우, A, B, C 타입의 멀티 라이트 쉘드 구조와 마찬가지로, 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 라이트 쉘드(LSd)의 크기가 싱글 라이트 쉘드 구조에 비해 감소하여, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있고, 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있게 되어, 정확한 보상을 통해 화상 품질을 향상시킬 수 있다.
- [0190] 전술한 D 타입의 멀티 라이트 쉘드 구조는, 1 스캔 구조 및 2 스캔 구조 모두에 적용될 수 있다.
- [0191] 아래에서는, 서브픽셀이 1 스캔 구조를 갖는 경우에 적용될 수 있는 멀티 라이트 쉘드 구조에 대하여 설명한다.
- [0192] 도 18a 및 도 18b는 본 실시예들에 따른 유기발광표시장치(100)의 E 타입의 멀티 라이트 쉘드 구조에 대한 예시 도이다.
- [0193] 도 18a 및 도 18b를 참조하면, E 타입의 멀티 라이트 쉘드 구조의 경우, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)는 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결되고, 제1 서브픽셀의 제1 트랜

지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가 일체화 될 수 있다.

- [0194] 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가 일체화 된 것을 일체형 라이트 쉘드(LSa)라고 한다.
- [0195] 전술한 E 타입의 멀티 라이트 쉘드 구조의 경우, 싱글 라이트 쉘드 구조에 비해, 구동 트랜지스터(DT)의 제2노드(N2)의 전압 상태에 의해 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 원치 않게 턴-온 되는 현상을 방지해 주어, 데이터 섞임 현상 및 센싱 데이터 오류 등이 방지될 수 있고, 이에 따라, 화상 이상 현상을 막아줄 수 있다.
- [0196] 또한, E 타입의 멀티 라이트 쉘드 구조의 경우, A, B, C, D 타입의 멀티 라이트 쉘드 구조와 마찬가지로, 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 라이트 쉘드(LSd)의 크기가 싱글 라이트 쉘드 구조에 비해 크게 감소하여, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있고, 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있게 되어, 정확한 보상을 통해 화상 품질을 향상시킬 수 있다.
- [0197] 도 19a, 도 19b, 도 20a, 도 20b, 도 21a 및 도 21b는 본 실시예들에 따른 유기발광표시장치(100)의 F 타입의 멀티 라이트 쉘드 구조에 대한 예시도들이다.
- [0198] 도 19a, 도 19b, 도 20a, 도 20b, 도 21a 및 도 21b에서는, 동일한 서브픽셀 라인에 위치한 제1 서브픽셀(SP1), 제2 서브픽셀(SP2), 제3 서브픽셀(SP3), 제4 서브픽셀(SP4)에서의 멀티 라이트 쉘드 구조를 나타낸다.
- [0199] 도 19a, 도 19b, 도 20a, 도 20b, 도 21a 및 도 21b를 참조하면, F 타입의 멀티 라이트 쉘드 구조는, E 타입의 멀티 라이트 쉘드 구조를 기본으로 하여, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가 일체화 된 일체형 라이트 쉘드(LSa)가 롱 패턴으로 되어 있다.
- [0200] 이로 인해, 도 19a, 도 19b, 도 20a, 도 20b, 도 21a 및 도 21b에 예시된 F 타입의 멀티 라이트 쉘드 구조는, E 타입의 멀티 라이트 쉘드 구조에 비해, 컨택홀 개수를 저감시킬 수 있고, 이로 인해, 유기발광표시패널(110)의 개구율을 높여줄 수 있다.
- [0201] 전술한 바와 같이, F 타입의 멀티 라이트 쉘드 구조에서, 일체형 라이트 쉘드(LSa)는, 제1 서브픽셀(SP1)을 포함하는 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 영역 모두에 공통으로 위치하는 롱 패턴이다.
- [0202] 도 19a 및 도 19b에 도시된 바와 같이, 일체형 라이트 쉘드(LSa)는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중 적어도 하나의 제1 트랜지스터(T1)의 게이트 노드와 전기적으로 연결될 수 있다.
- [0203] 또는, 도 20a 및 도 20b에 도시된 바와 같이, 일체형 라이트 쉘드(LSa)는, 둘 이상의 서브픽셀(SP1, ..., SP4) 중 적어도 하나의 제2 트랜지스터(T2)의 게이트 노드와 전기적으로 연결될 수 있다.
- [0204] 또는, 도 201a 및 도 21b에 도시된 바와 같이, 일체형 라이트 쉘드(LSa)는, 둘 이상의 서브픽셀(SP1, ..., SP4) 각각의 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드에 공통으로 연결된 게이트 라인(GL)과 액티브 영역(A/A)에서 전기적으로 연결될 수 있다.
- [0205] 전술한 F 타입의 멀티 라이트 쉘드 구조를 적용하는 경우, 제1, 제2 트랜지스터(T1, T2)에 관련된 일체형 라이트 쉘드(LSa)가 각 서브픽셀마다 개별적으로 존재하는 것이 아니라, 둘 이상의 서브픽셀(SP1, ..., SP4)에 걸쳐서 롱 패턴 형태로 존재하기 때문에, 컨택 홀 개수가 상당히 줄어들 수 있고, 이로 인해, 유기발광표시패널(110)의 개구율도 높아질 수 있다.
- [0206] 한편, F 타입의 멀티 라이트 쉘드 구조의 경우, 1개의 제1 롱 패턴 형태의 일체형 라이트 쉘드(LSa)를 활용하여 멀티 라이트 쉘드 구조가 형성된 둘 이상의 서브픽셀(SP1, ..., SP4)은, 일 예로, 하나의 픽셀을 구성하는 서브픽셀들일 수 있다.
- [0207] 예를 들어, 1개의 픽셀은, 적색 광(R)을 발광하는 제1 서브픽셀(SP), 흰색 광(W)을 발광하는 제2 서브픽셀(SP2), 청색 광(B)을 발광하는 제3 서브픽셀(SP3) 및 녹색 광(G)을 발광하는 제4 서브픽셀(SP4)로 구성될 수 있다.

- [0208] 전술한 바와 같이, 1개의 픽셀 단위로 F 타입의 멀티 라이트 쉘드 구조를 형성함으로써, 유사한 구동 특성을 갖는 트랜지스터들에 대한 이상 구동 현상을 효율적으로 방지해줄 수 있다.
- [0209] 도 22a 및 도 22b는 본 실시예들에 따른 유기발광표시장치(100)의 G 타입의 멀티 라이트 쉘드 구조에 대한 예시 도이다.
- [0210] G 타입의 멀티 라이트 쉘드 구조는, 구동 트랜지스터(DT)의 영역에 위치하는 라이트 쉘드(LSd)가 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결되고, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가 일체화 되어 있다. ... 일체형 라이트 쉘드(LSa)일 수 있다.
- [0211] 제1 서브픽셀의 제1 트랜지스터(T1)의 영역에 위치하는 라이트 쉘드(LS1)와 제1 서브픽셀의 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(LS2)가 일체화 된 것을 일체형 라이트 쉘드(LSa)라고 한다.
- [0212] 이러한 일체형 라이트 쉘드(LSa)는, 제1 서브픽셀의 제1 트랜지스터(T1)의 영역과 제2 트랜지스터(T2)의 영역 모두에 공통으로 위치한다.
- [0213] 또한, 일체형 라이트 쉘드(LSa)는, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드와 전기적으로 연결되거나, 제1 서브픽셀의 제1 트랜지스터(T1)의 게이트 노드에 대응되는 등전위 패턴(PTN1)과 전기적으로 연결될 수 있다.
- [0214] 전술한 G 타입의 멀티 라이트 쉘드 구조의 경우, 싱글 라이트 쉘드 구조에 비해, 구동 트랜지스터(DT)의 제2 노드(N2)의 전압 상태에 의해 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 원치 않게 턴-온 되는 현상을 방지해 주어, 데이터 섞임 현상 및 센싱 데이터 오류 등이 방지될 수 있고, 이에 따라, 화상 이상 현상을 막아줄 수 있다.
- [0215] 또한, G 타입의 멀티 라이트 쉘드 구조의 경우, 다른 타입의 멀티 라이트 쉘드 구조와 마찬가지로, 구동 트랜지스터(DT)의 제2 노드(N2)와 전기적으로 연결된 라이트 쉘드(LSd)의 크기가 싱글 라이트 쉘드 구조에 비해 크게 감소하여, 구동 트랜지스터(DT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이에 존재하는 기생 캐패시터를 상당히 줄여줄 수 있고, 이에 따라, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DT) 또는 유기발광다이오드(OLED)의 특성치를 센싱하기 위한 전압 센싱 시, 특성치를 더욱 정확하게 반영하는 전압을 센싱할 수 있게 되어, 정확한 보상을 통해 화상 품질을 향상시킬 수 있다.
- [0216] 도 23은 본 실시예들에 따른 유기발광표시장치(100)에서, 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)의 영역에 위치한 라이트 쉘드(LS1 또는 LS2, 2330)의 연결 구조 단면도이다.
- [0217] 도 23을 참조하면, 기판(2310) 상에 버퍼층(2320)이 위치하고, 버퍼층(2320) 상에 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)의 영역에 라이트 쉘드(2330)가 위치한다.
- [0218] 라이트 쉘드(2330) 상에 게이트 절연막(2340)이 오고, 그 위에 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)의 게이트 노드가 위치하는 게이트 물질층(2350)이 위치한다.
- [0219] 게이트 물질 층(2350) 상에 층간 절연막(2360)이 위치한다.
- [0220] 도 23을 참조하면, 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)의 게이트 노드가 위치한 게이트 물질층(2350)과, 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)의 영역에 위치하는 라이트 쉘드(2330)는 연결 패턴(2370)에 의해 연결될 수 있다.
- [0221] 연결 패턴(2370)은, 측면 컨택홀을 통해, 라이트 쉘드(2330)의 상면 또는 배면과 접촉하고, 게이트 물질층(2350)의 측면과 접촉한다.
- [0222] 이러한 연결 방식을 측면 연결(Side Contact) 방식이라고도 한다.
- [0223] 여기서, 연결 패턴(2370)은, 일 예로, 소스-드레인 물질일 수 있다.
- [0224] 일반적으로, 2가지의 전극(배선)을 제3의 전극(배선)으로 연결할 경우, 2개의 컨택홀이 필요하지만, 측면 연결 방식의 경우 1개의 컨택홀(측면 컨택홀)만으로도, 2가지의 전극, 즉, 라이트 쉘드(2330)와 게이트 물질층(2350)을 제3의 전극인 연결 패턴(2370)을 연결할 수 있다.
- [0225] 또한, 측면 컨택홀을 이용하는 경우, 컨택홀이 차지하는 면적이 줄어들어 유기발광표시패널(110)의 개구율을 높

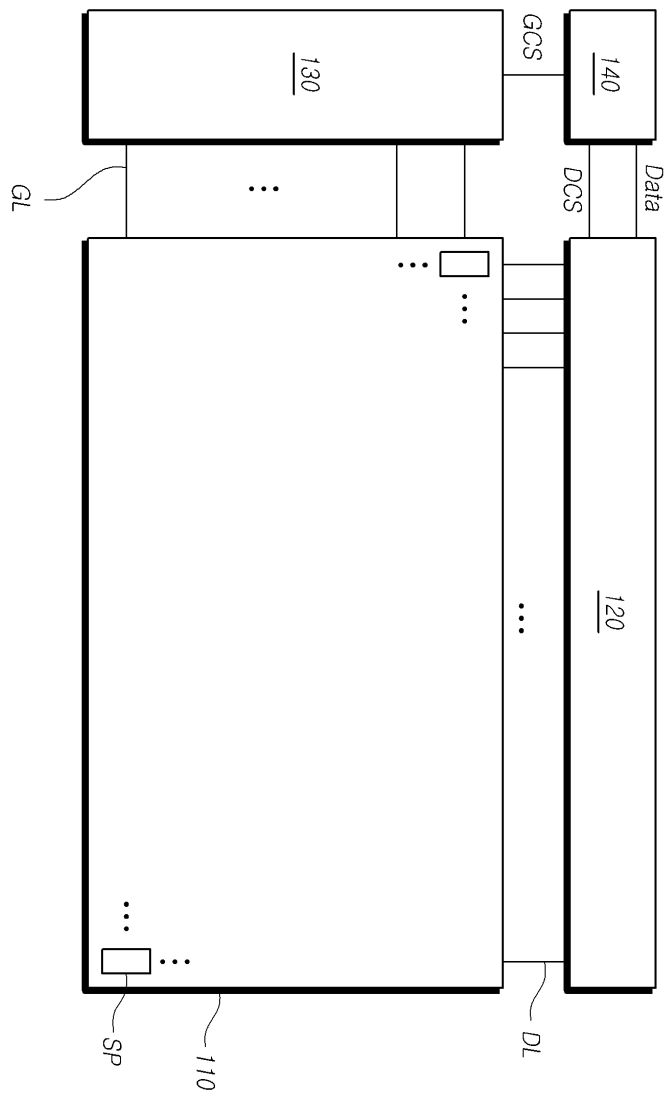
여줄 수 있다.

- [0226] 또한, 연결 패턴(2370)을 통한 라이트 쉘드(2330)와 게이트 물질층(2350) 간의 측면 연결 시, 연결 패턴(2370)의 폭만큼 라이트 쉘드(2330)와 게이트 물질층(2350) 간의 전기적인 연결 폭이 커져서 배선 저항을 줄일 수 있어서, 전기적 특성을 향상시킬 수 있다.
- [0227] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 각 서브픽셀 내 트랜지스터들의 영역에 라이트 쉘드를 위치시켜, 빛에 의한 트랜지스터의 특성 변화를 저감시키면서도, 각 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 라이트 쉘드 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0228] 또한, 본 실시예들에 의하면, 각 트랜지스터의 기능 및 역할에 따라 각 트랜지스터의 영역에 위치하는 라이트 쉘드의 형태 및 연결 위치를 다르게 하여, 바디 효과(Body Effect)의 영향을 효과적으로 줄여줄 수 있고, 이를 통해, 화상 이상 현상을 방지해줄 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0229] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터의 게이트 노드로 데이터 전압을 전달하기 위한 제1 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있고, 이를 통해, 이전 서브픽셀 라인 또는 다음 서브픽셀 라인에서 공급되는 데이터 전압이 현재 서브픽셀 라인에서 영향을 끼치게 되는 데이터 섞임 현상을 방지해줄 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0230] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 제2 트랜지스터가 원치 않게 턴-온 되는 현상을 방지할 수 있고, 이를 통해, 센싱 정확도를 향상시킬 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0231] 또한, 본 실시예들에 의하면, 각 서브픽셀 내 구동 트랜지스터 또는 유기발광다이오드의 특성치를 센싱하는 데 이용되는 기준전압 라인과 구동 트랜지스터의 소스 노드(또는 드레인 노드) 사이의 기생 캐패시터를 저감시켜 센싱 정확도를 향상시킬 수 있는 멀티 라이트 쉘드 구조를 갖는 유기발광표시패널(110) 및 유기발광표시장치(100)를 제공할 수 있다.
- [0232] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0233] 100: 유기발광표시장치
110: 유기발광표시패널
120: 데이터 드라이버
130: 게이트 드라이버
140: 컨트롤러

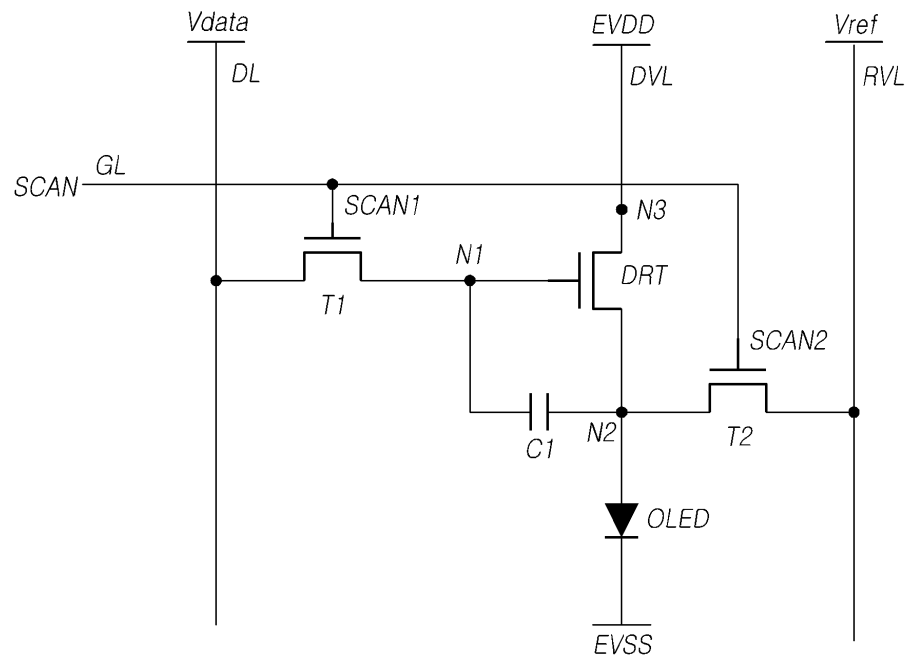
100



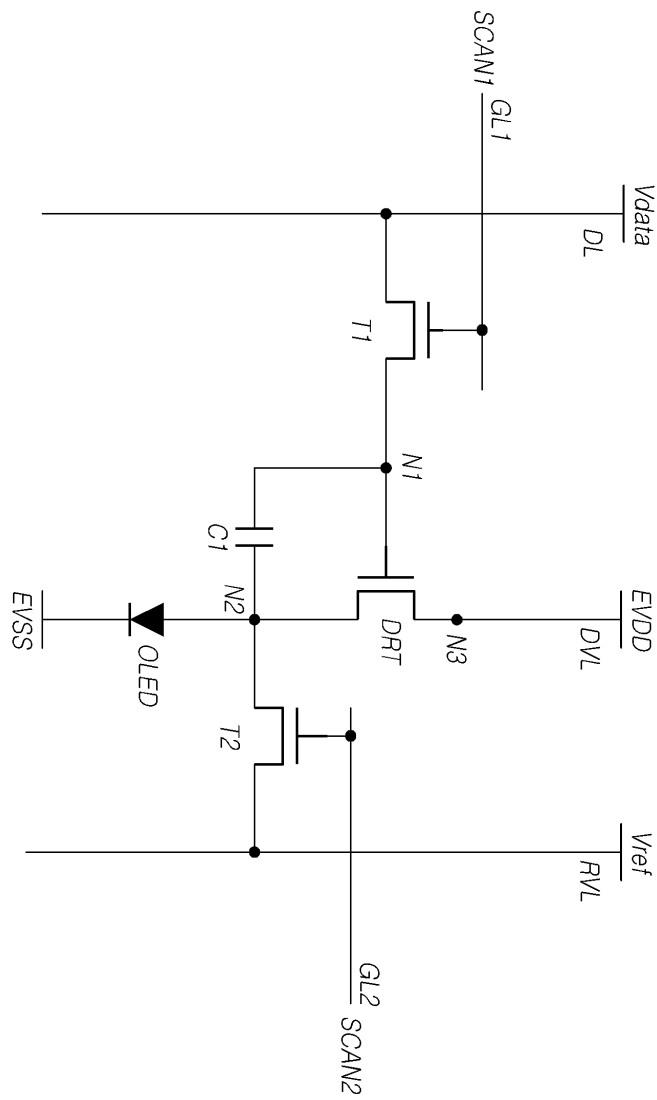
도면

도면1

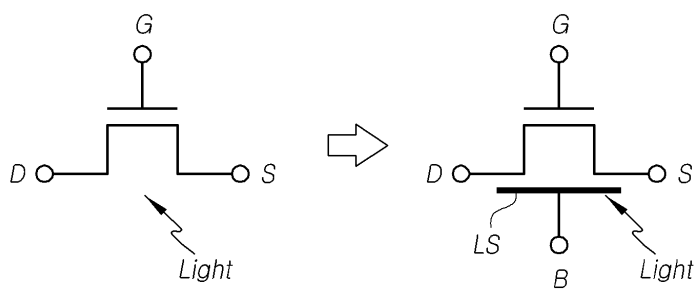
도면2



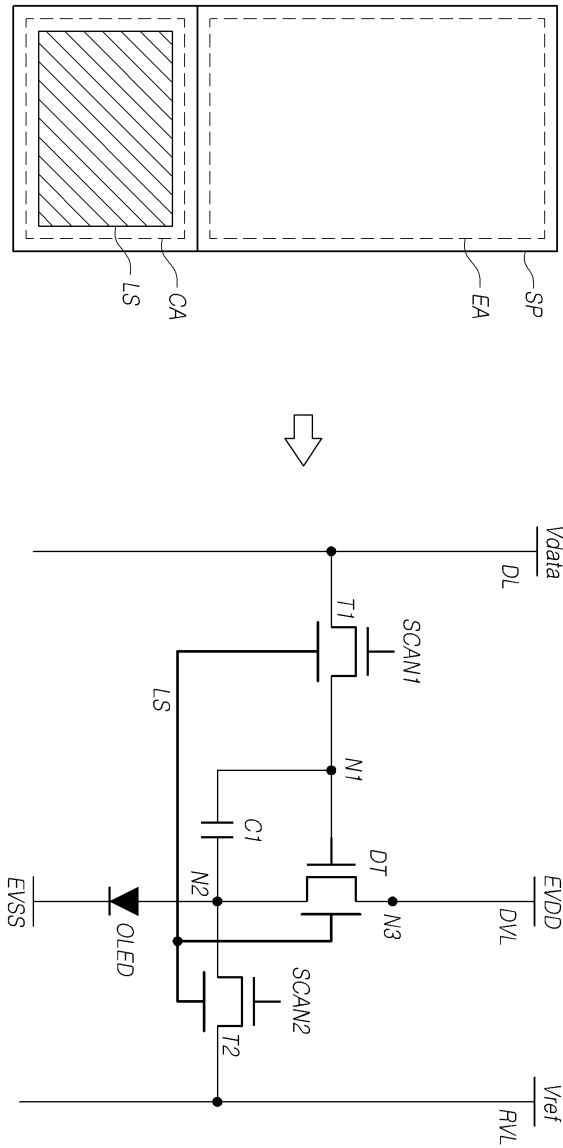
도면3



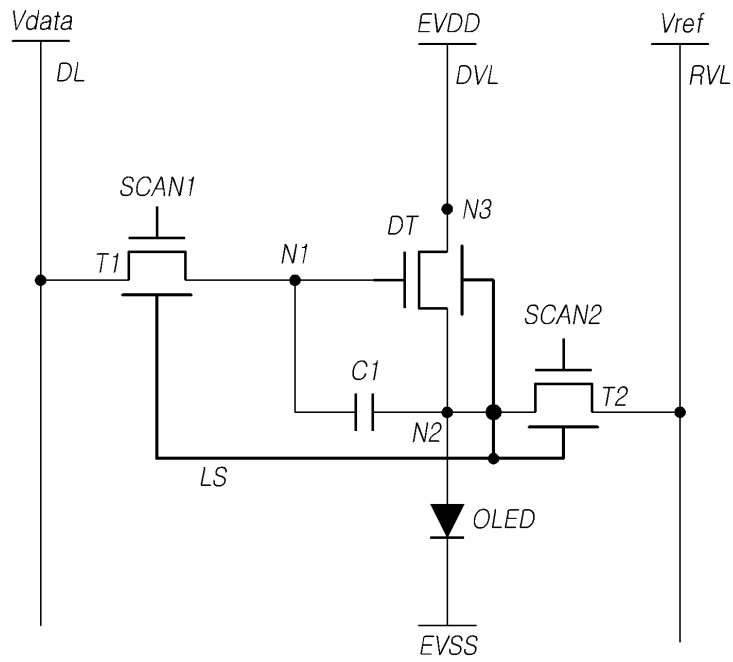
도면4



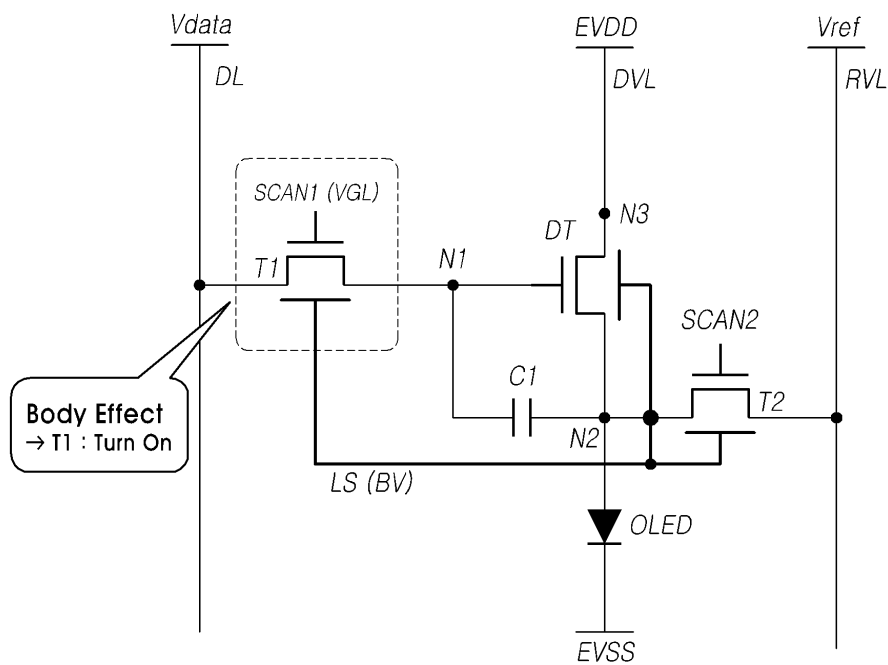
도면5



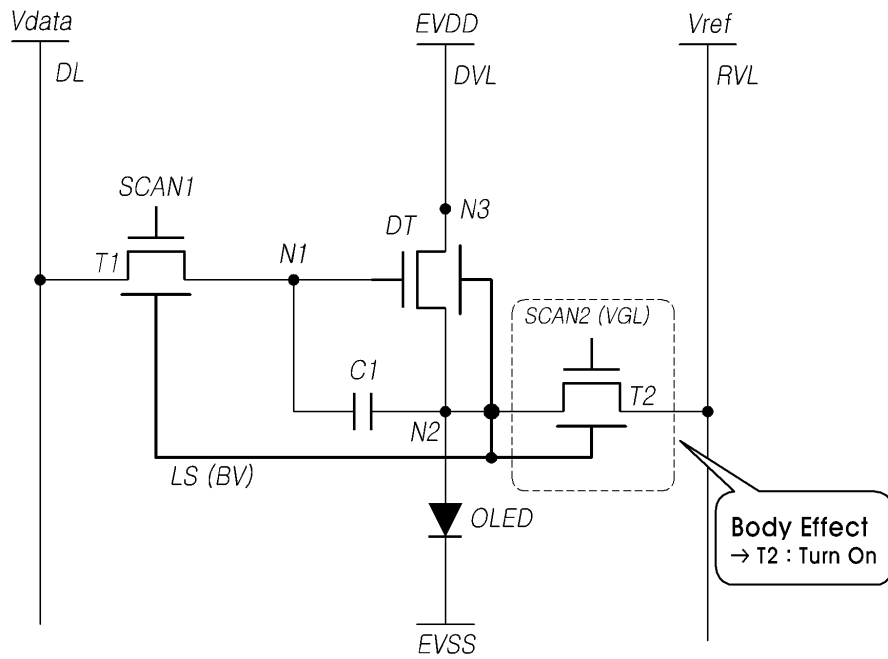
도면6



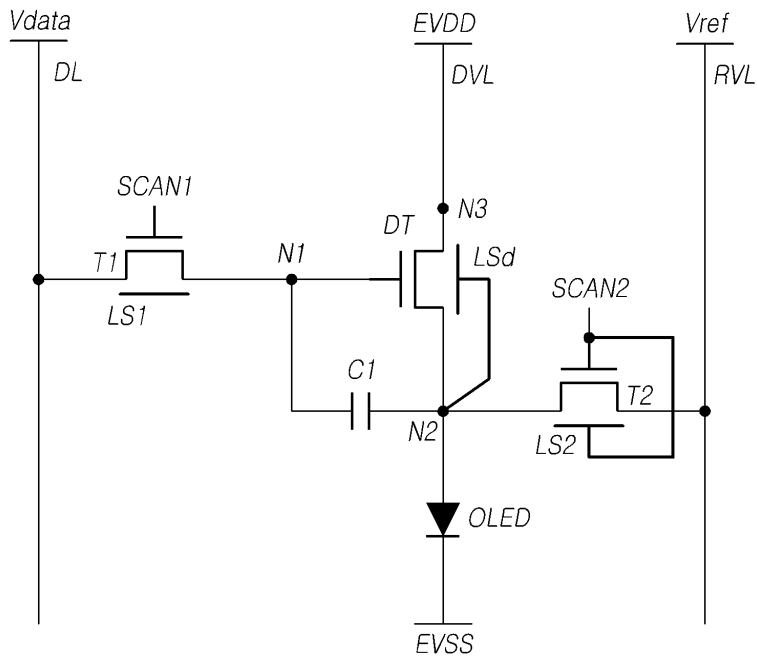
도면7



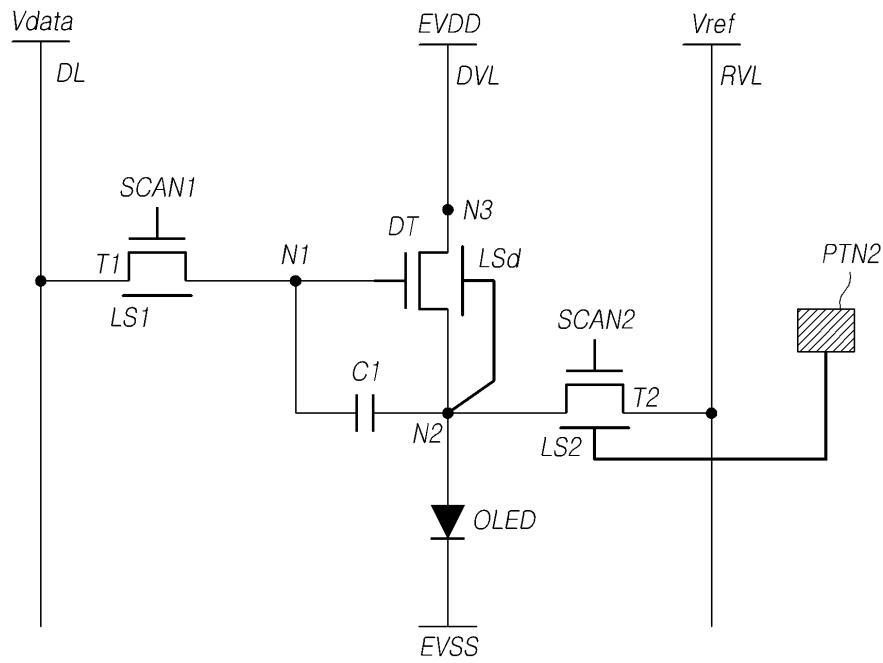
도면8



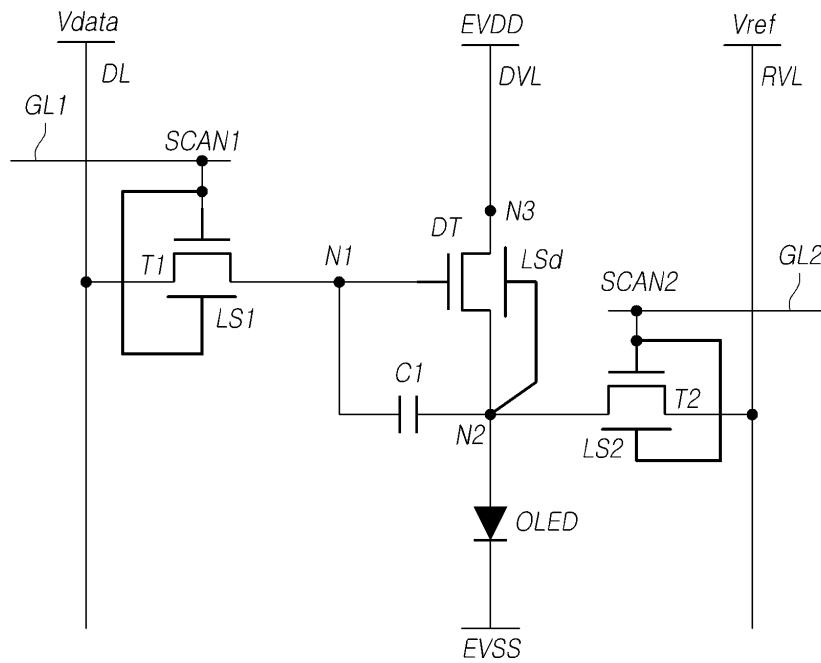
도면9



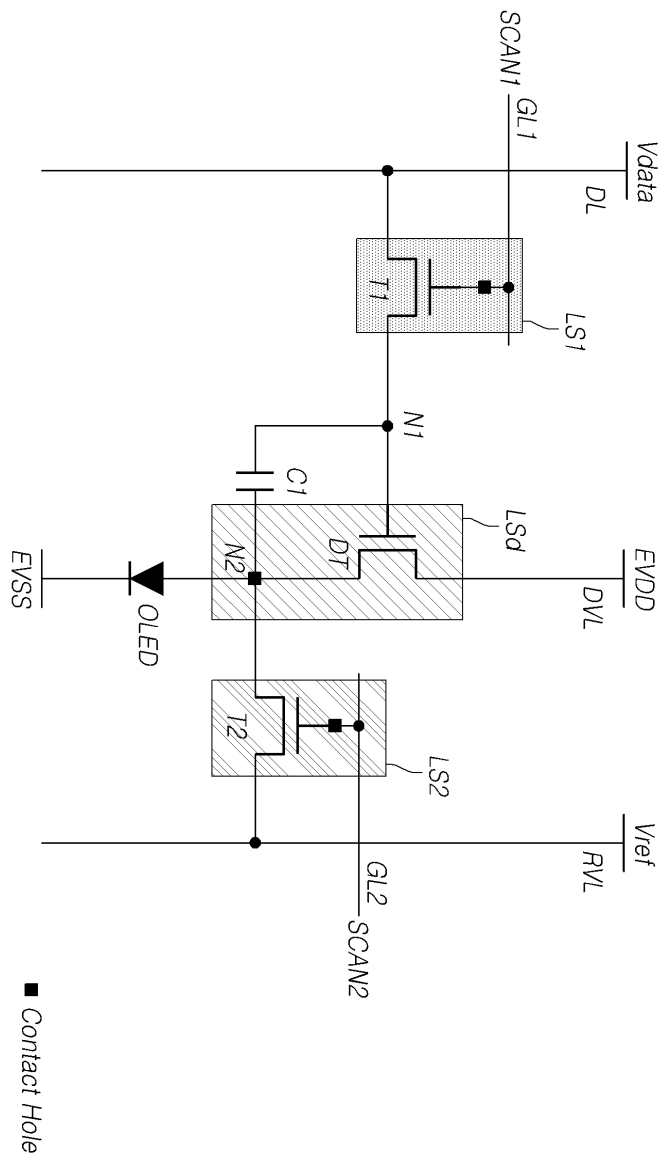
도면10



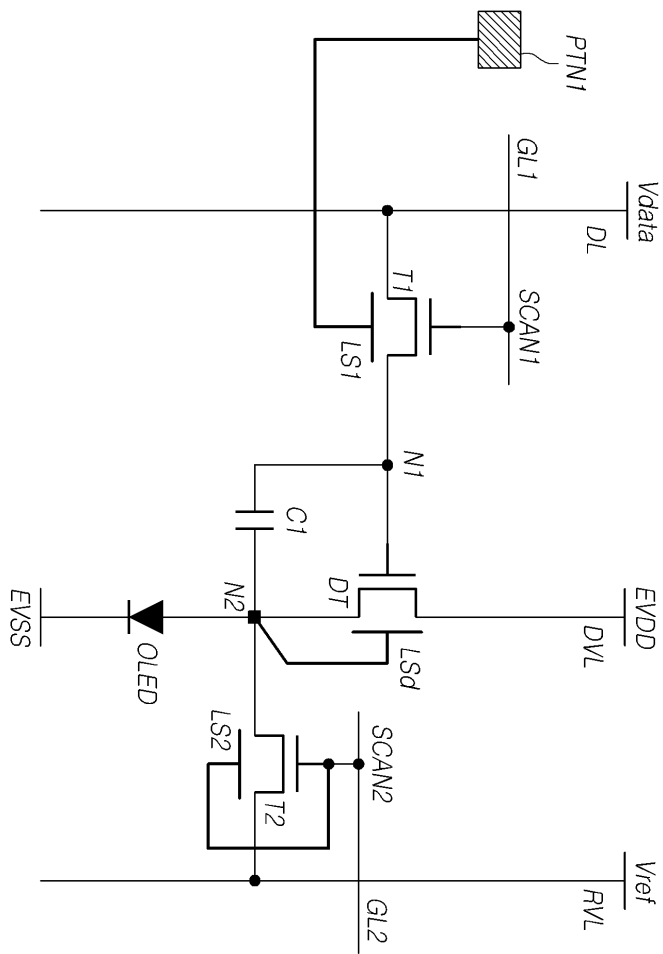
도면11a



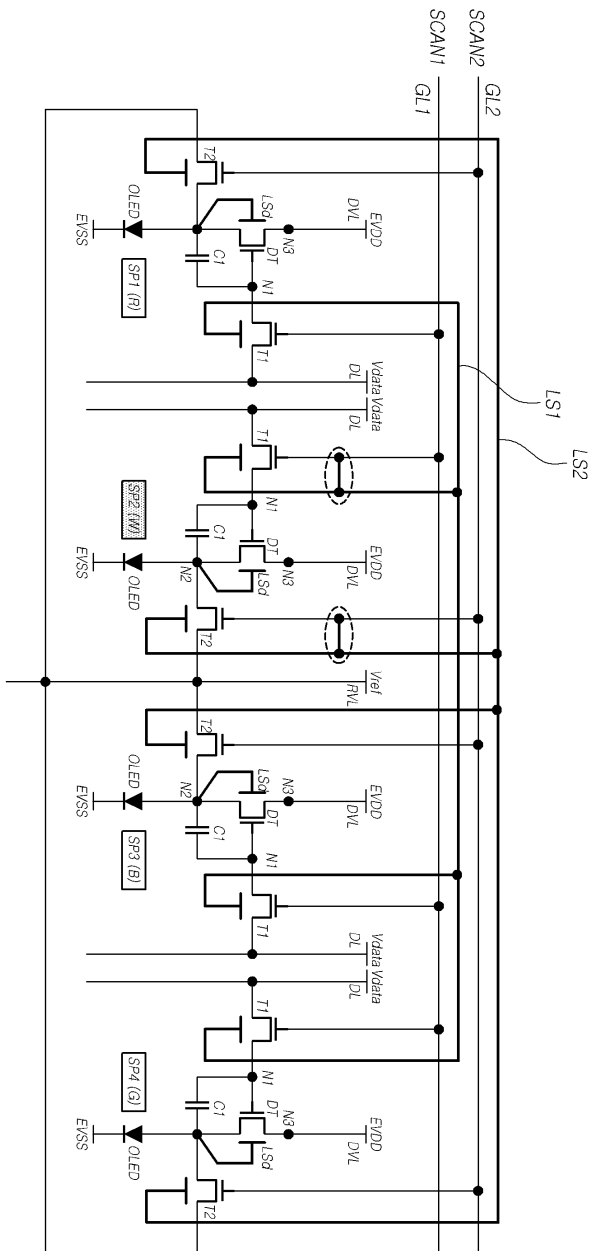
도면11b



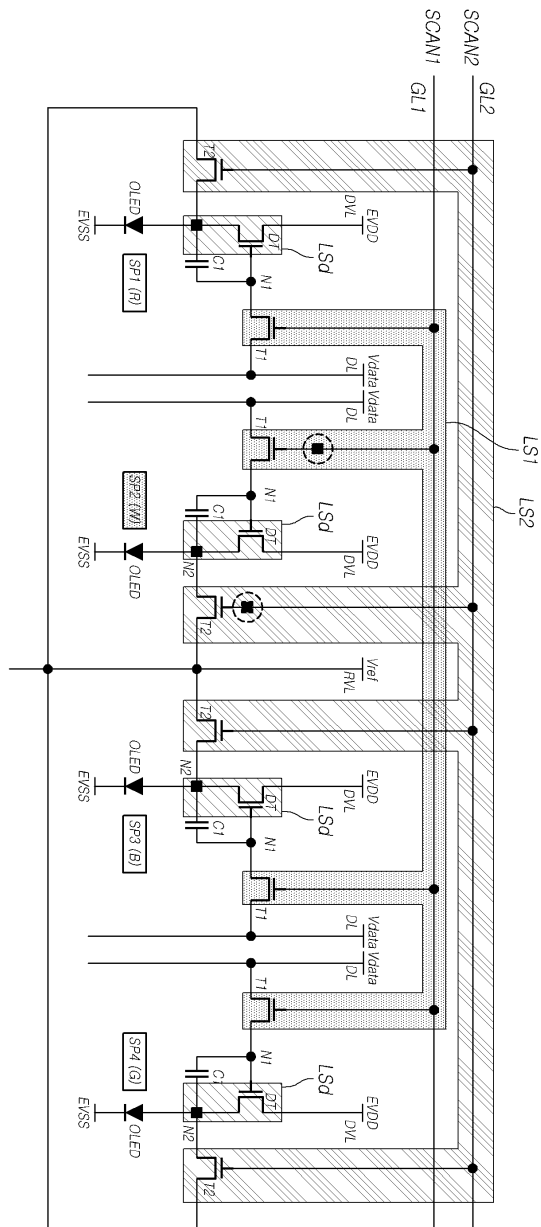
도면12



도면13a

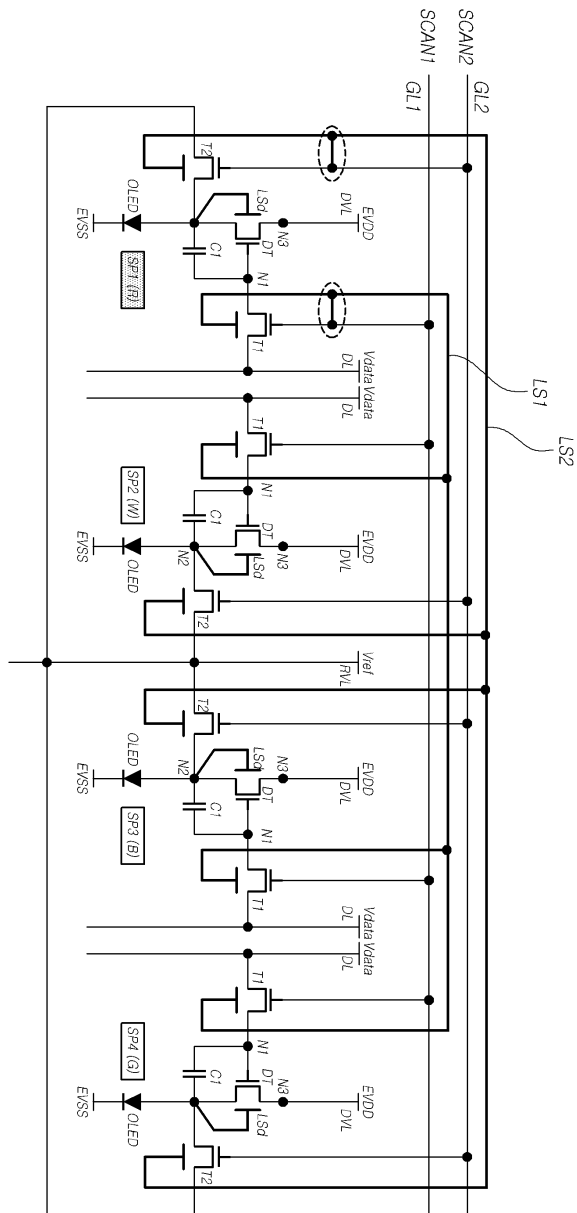


도면13b

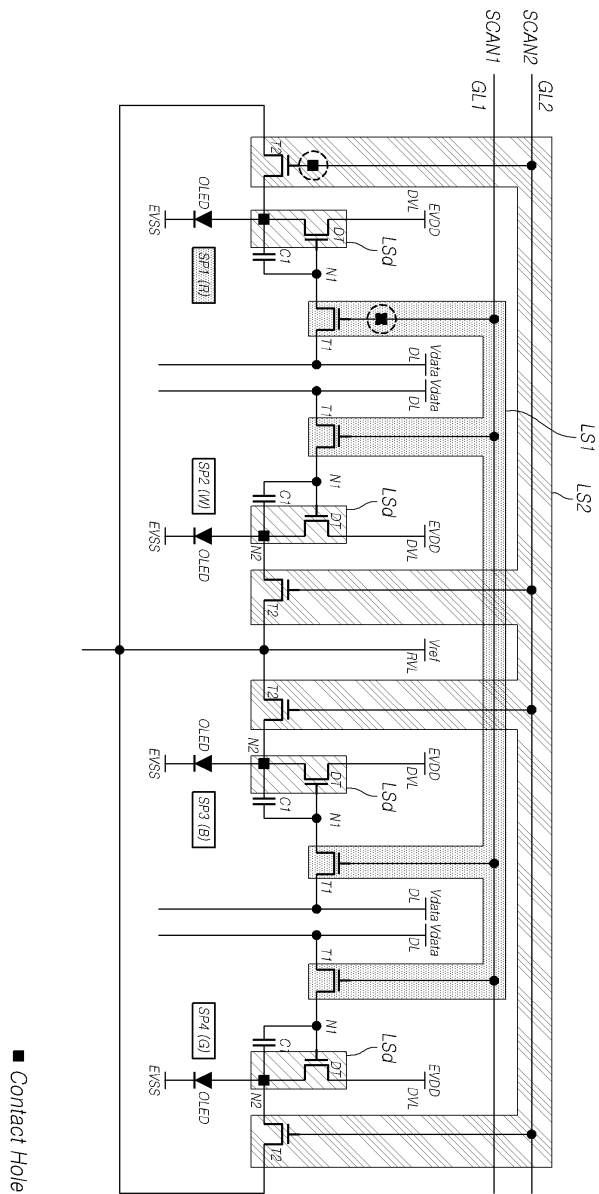


■ Contact Hole

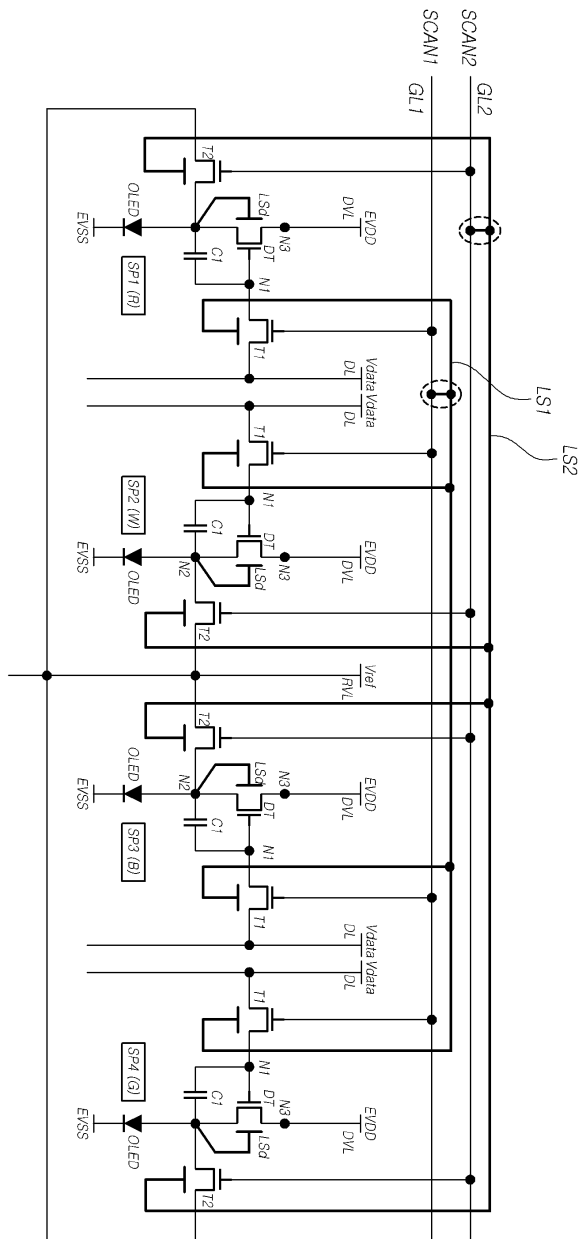
도면14a



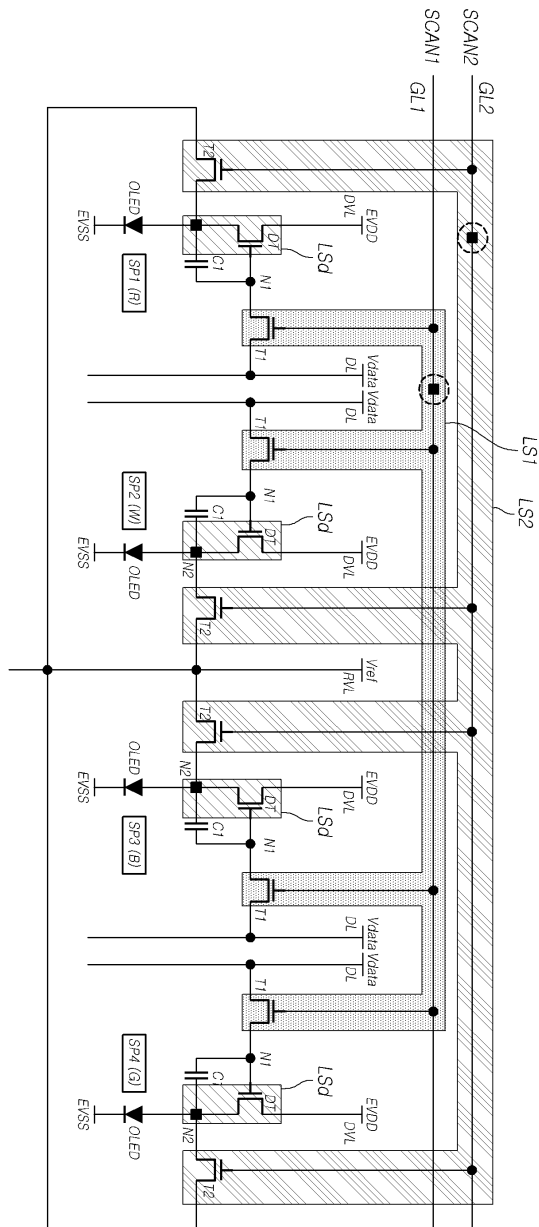
도면14b



도면15a

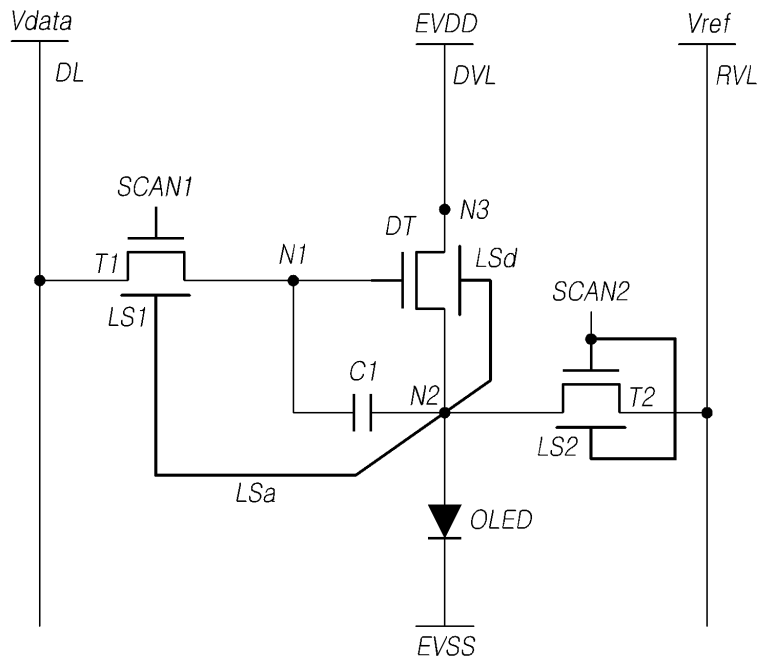


도면15b



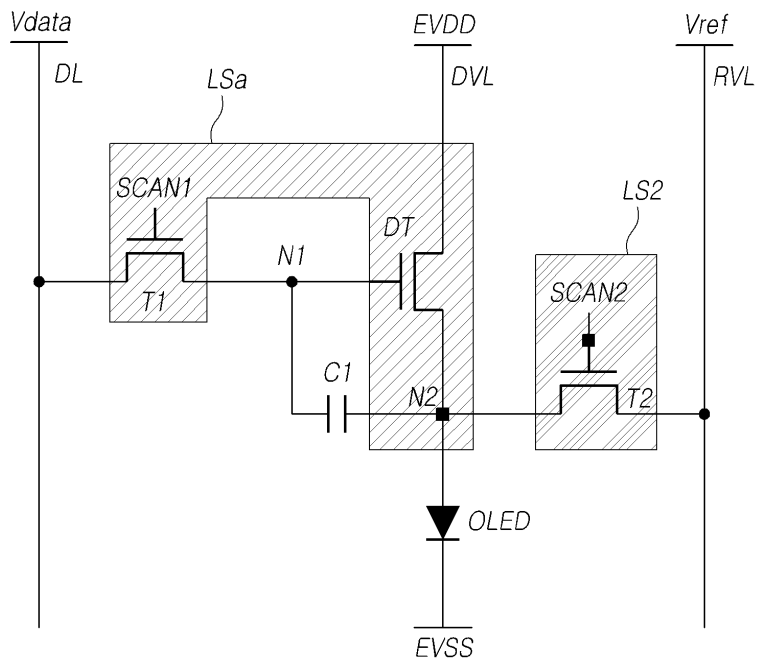
■ Contact Hole

도면16a



$$LS1 = LSd = LSa$$

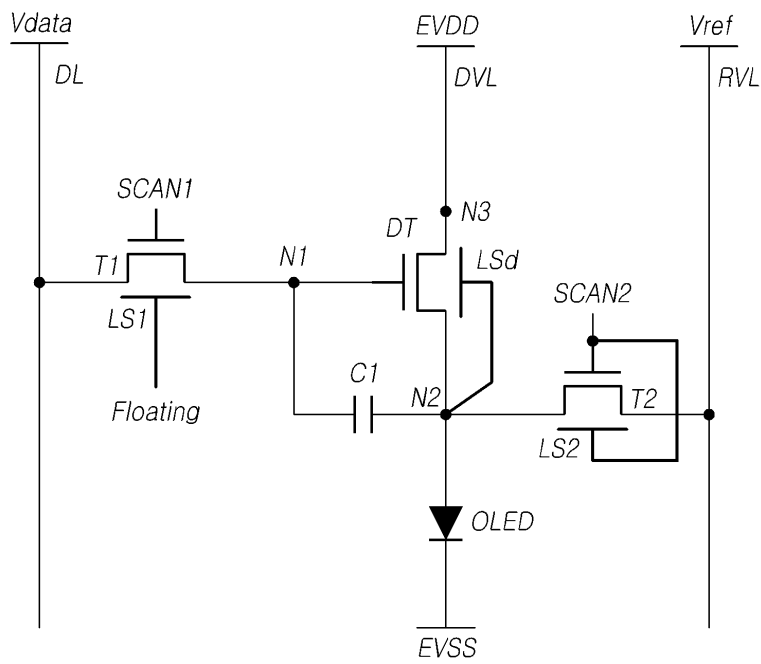
도면16b



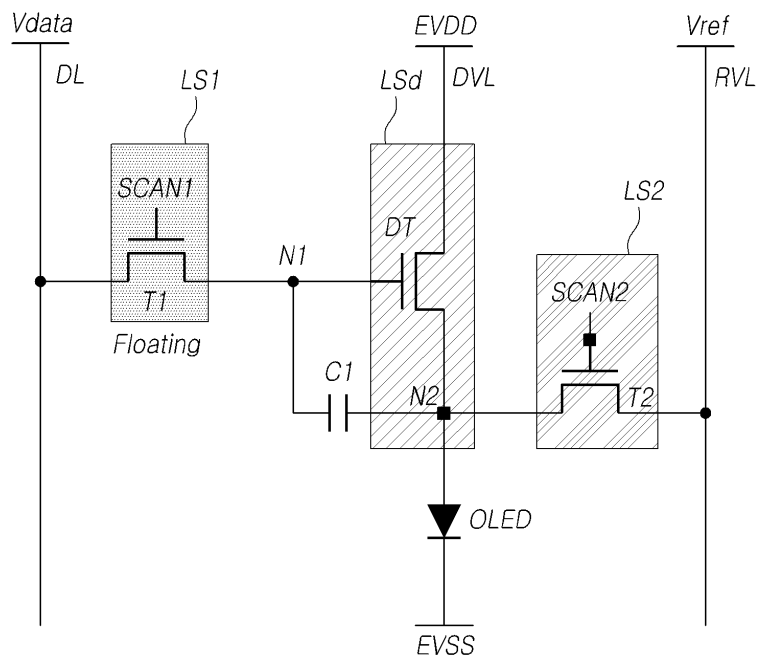
$$LS1 = LSd = LSa$$

■ Contact Hole

도면17a

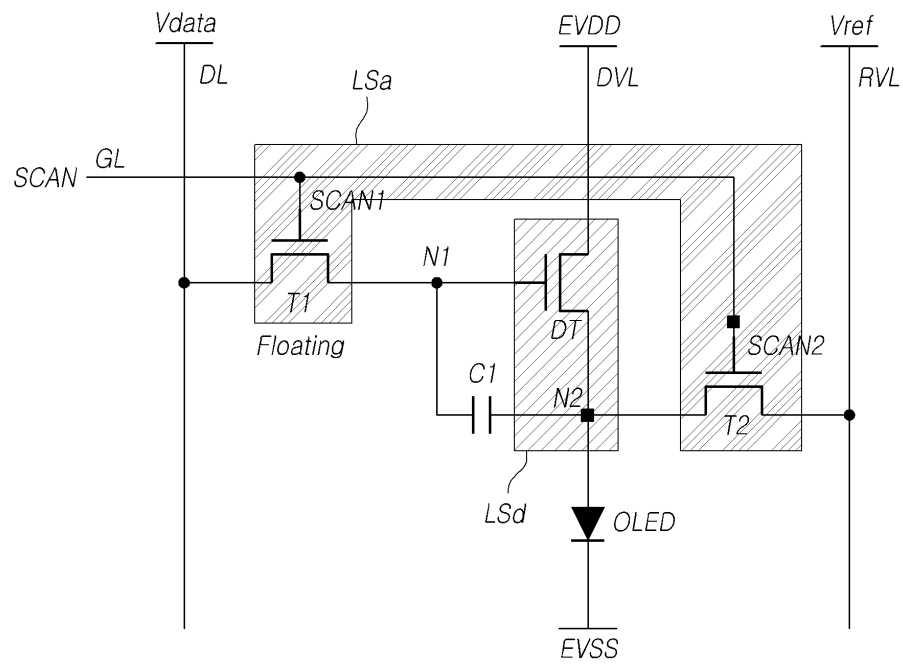


도면17b



■ Contact Hole

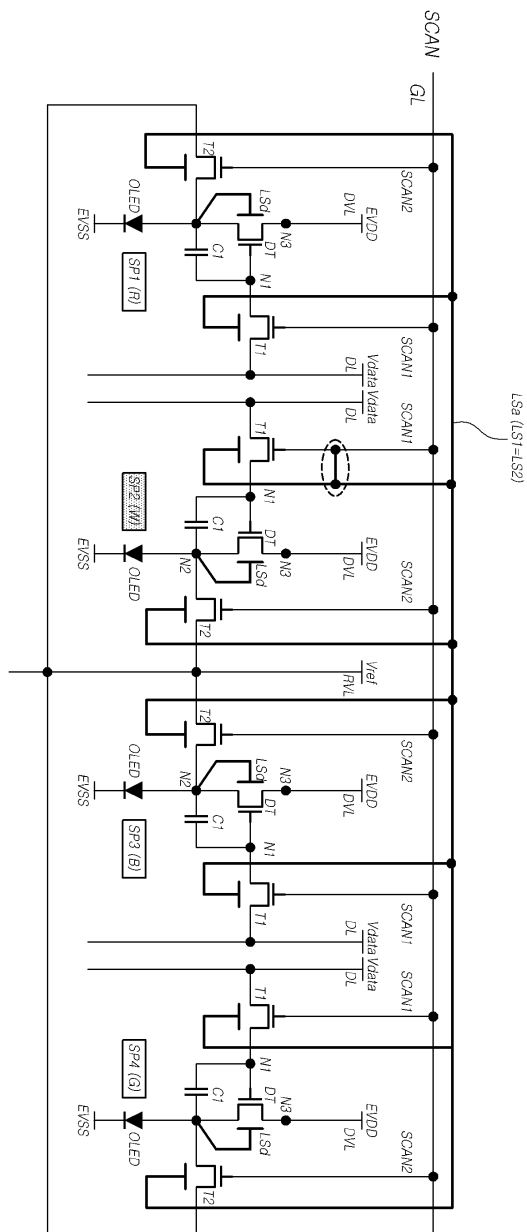
도면18b



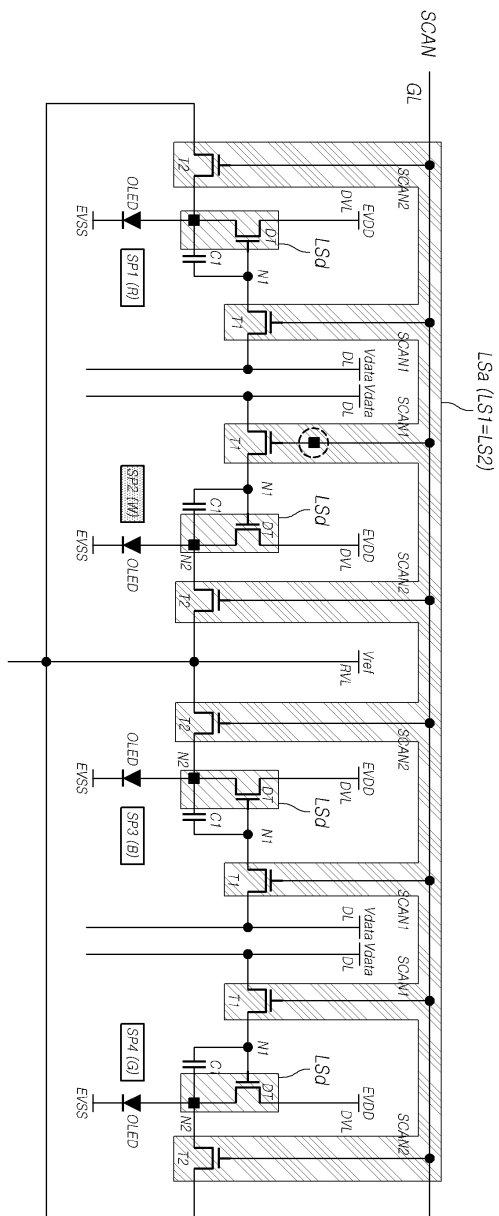
$$LS1 = LSd = LSa$$

■ Contact Hole

도면19a

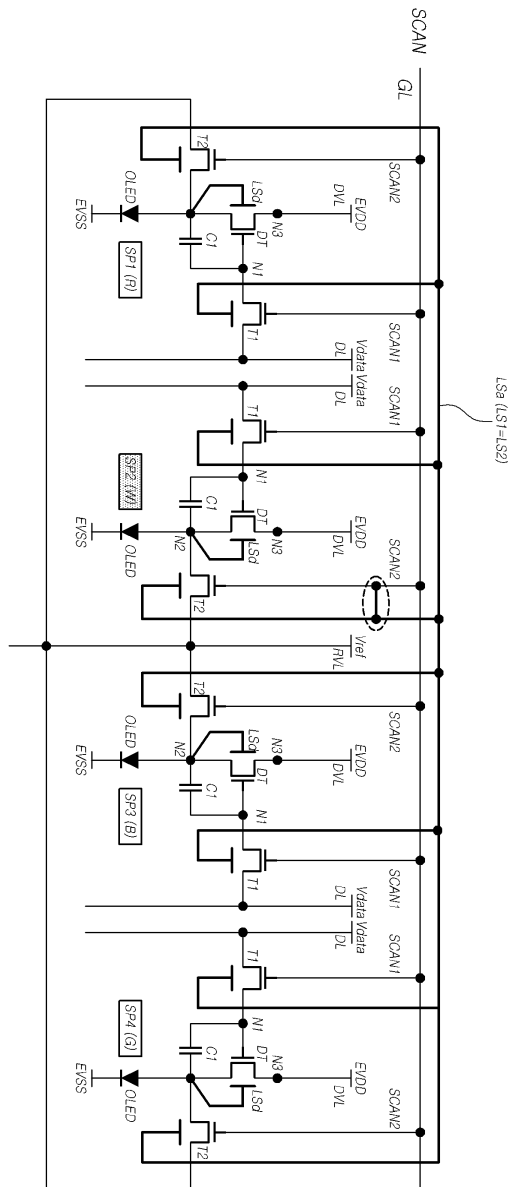


도면 19b

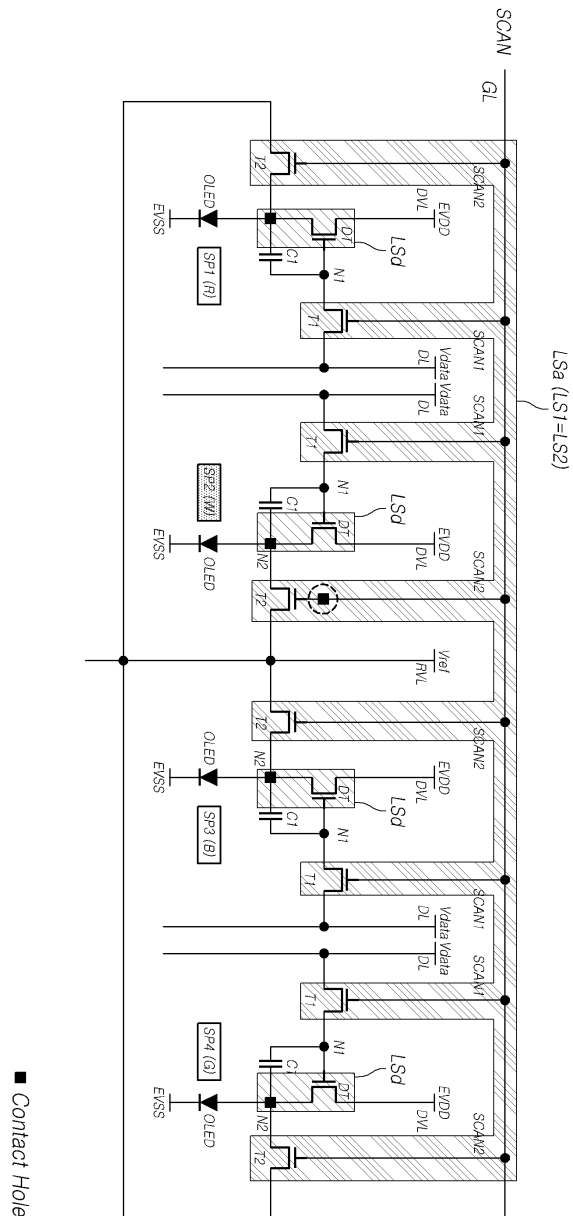


- *Contact Hole*

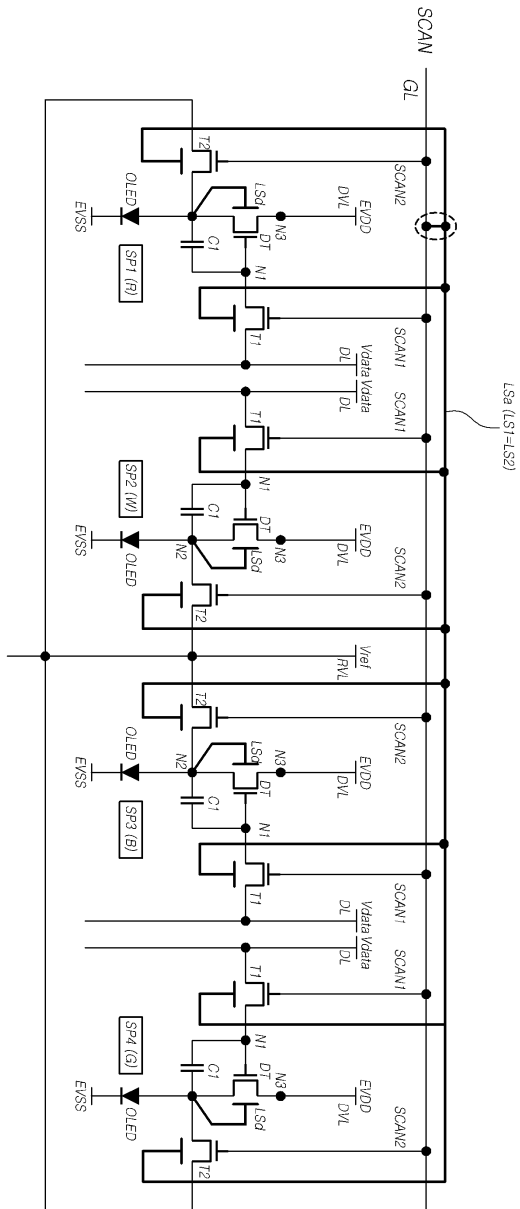
도면20a



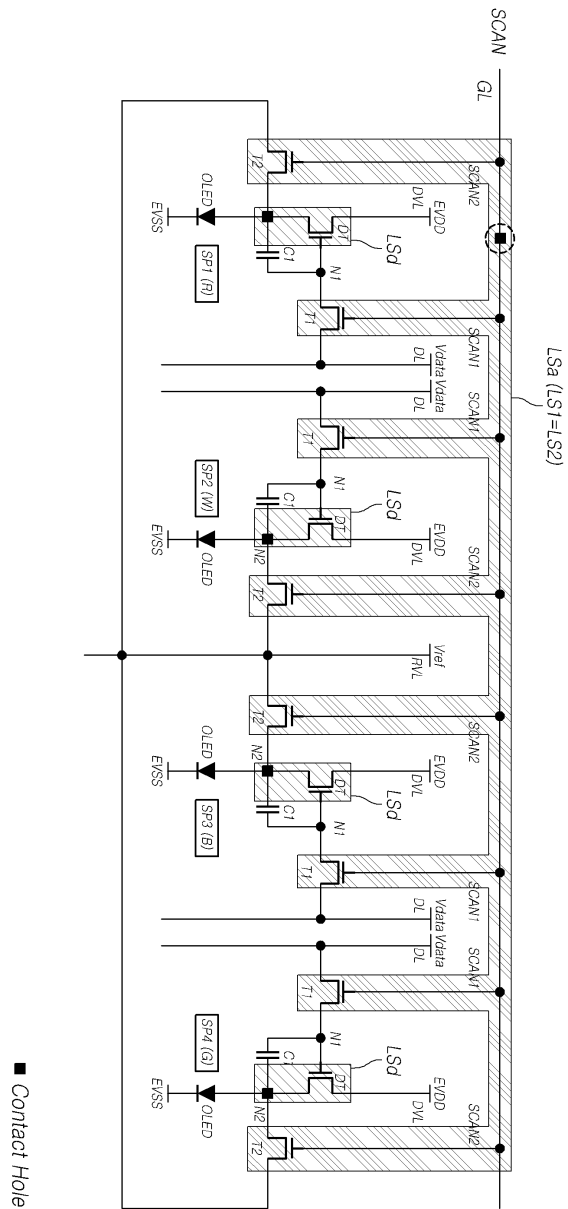
도면20b



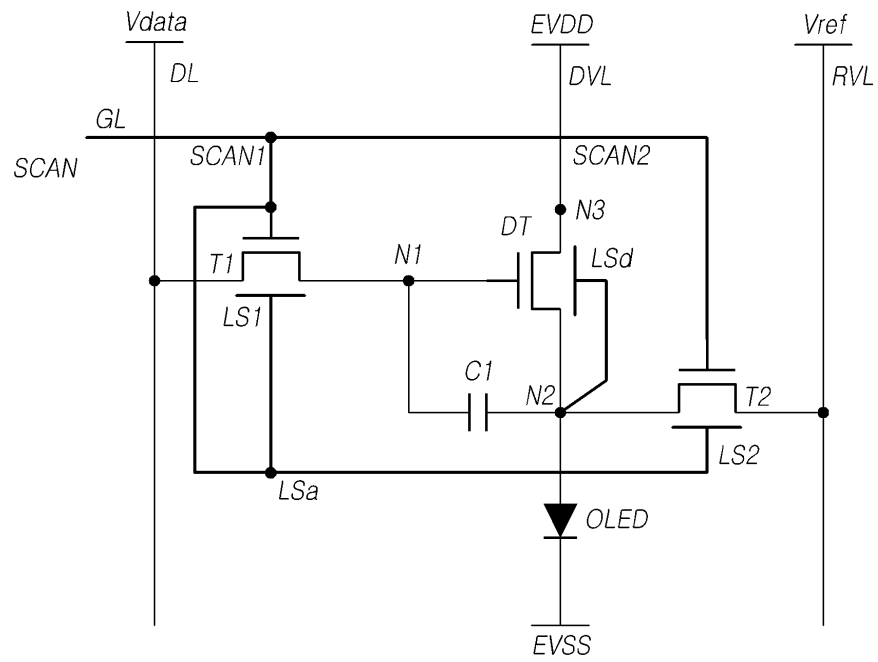
도면21a



도면21b

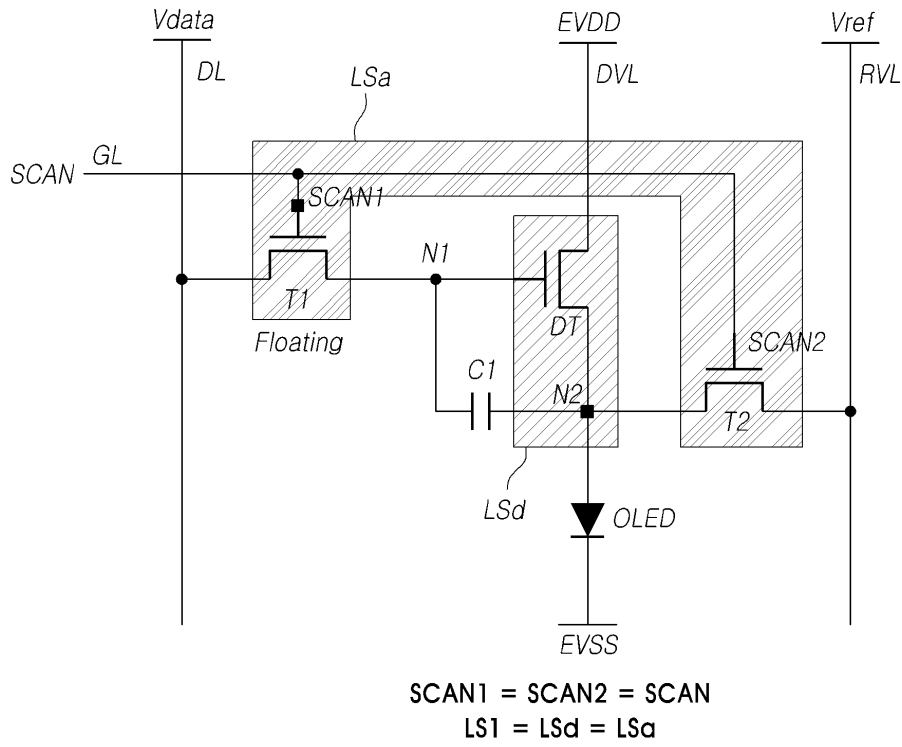


도면22a



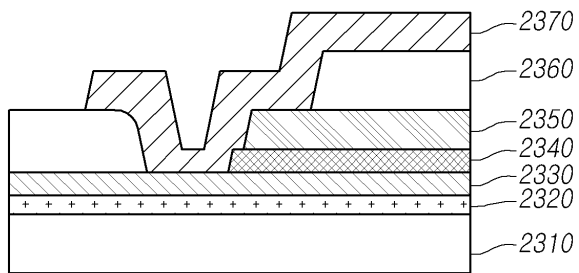
$$LS1 = LS2 = LSa$$

도면22b



■ Contact Hole

도면23



专利名称(译)	标题：有机发光显示板和有机发光显示装置		
公开(公告)号	KR1020170081030A	公开(公告)日	2017-07-11
申请号	KR1020150191731	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HONG SUK 김홍석 JEONG JAE HUN 정재훈 SHIN HONG JAE 신흥재 JUNG HAN AR EUM 정한아름 CHOI KI MIN 최기민 KIM SOO YONG 김수용		
发明人	김홍석 정재훈 신흥재 정한아름 최기민 김수용		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

这些实施例具有有机发光显示面板和将光屏蔽定位在更具体地位于每个子像素的区域的区域的结构，作为与有机发光显示装置有关的发明，并且减小晶体管的特性变化。根据每个晶体管的功能和作用，使得位于每个晶体管的域中的光屏蔽的形式和连接位置不同。因此，可以有效地减小身体效果的影响，并且由此可以防止图像异常现象。

