



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0078175  
(43) 공개일자 2017년07월07일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
H01L 51/00 (2006.01) H01L 51/50 (2006.01)  
H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 51/5203 (2013.01)  
H01L 27/3223 (2013.01)

(21) 출원번호 10-2015-0188439

(22) 출원일자 2015년12월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

남경진

경기도 파주시 한빛로 70, 515동 802호(야당동, 한빛마을5단지 캐슬&칸타빌)

김정오

경기도 고양시 일산서구 고양대로 624, 106동 1503호 (일산동, 일산태영테시앙1단지아파트)

(뒷면에 계속)

(74) 대리인

박영복

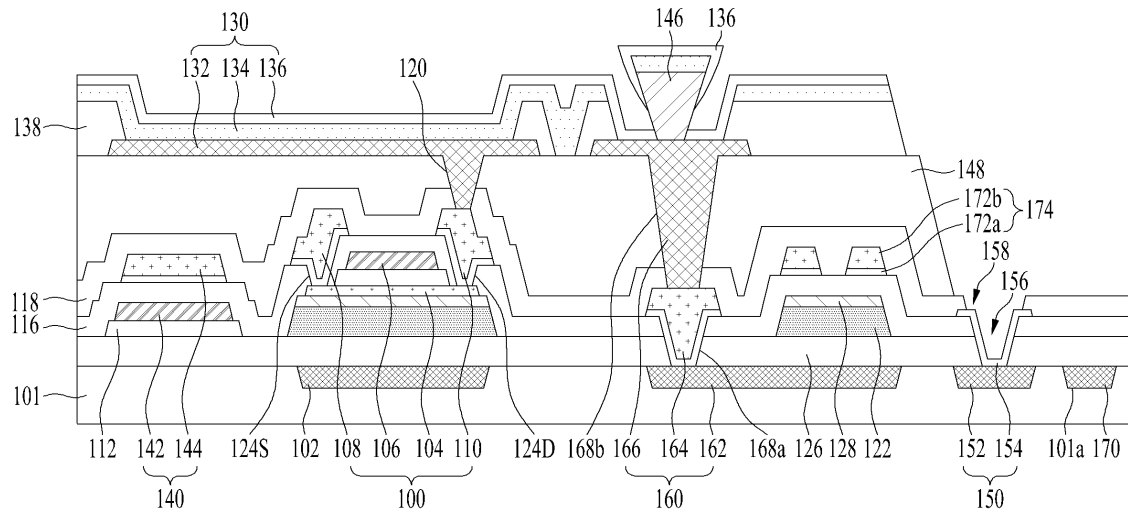
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

**(57) 요약**

본 발명은 구조를 단순화할 수 있고 마스크 공정 수를 저감할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법은 기판 상에 배치되는 박막트랜지스터와; 그 박막트랜지스터와 접속되는 발광 소자와; 발광 소자의 애노드 전극 및 캐소드 전극 중 어느 하나와 접속되는 보조 상부 전극과; 보조 상부 전극과 접속되는 보조 하부 전극을 구비하며, 보조 하부 전극은 기판의 트렌치 내에 매립됨으로써 구조 안정성을 확보할 수 있다.

**대표도 - 도1**



(52) CPC특허분류

*H01L 27/3225* (2013.01)  
*H01L 27/3258* (2013.01)  
*H01L 27/3262* (2013.01)  
*H01L 51/0018* (2013.01)  
*H01L 51/5012* (2013.01)  
*H01L 51/5212* (2013.01)  
*H01L 51/5228* (2013.01)  
*H01L 51/5281* (2013.01)  
*H01L 51/56* (2013.01)

**박은영**

경상북도 포항시 남구 해동로60번길 26-2, 1층 (송도동)

(72) 발명자

**김용민**

경기도 안양시 동안구 학의로 120, 307동 2202호(관양동, 한가람한양아파트)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 트렌치를 가지는 기관과;  
 상기 기관 상에 배치되는 박막트랜지스터와;  
 상기 박막트랜지스터와 접속되는 발광 소자와;  
 상기 발광 소자의 애노드 전극 및 캐소드 전극 중 어느 하나와 접속되는 보조 상부 전극과;  
 상기 트렌치 내에 매립되며 상기 보조 상부 전극과 접속되는 보조 하부 전극을 구비하는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
 상기 박막트랜지스터와 중첩되는 영역에 배치되며, 상기 트렌치 내에 매립되는 차광층과;  
 상기 차광층과 상기 박막트랜지스터 사이에 순차적으로 적층되는 제1 버퍼막, 내열 버퍼층 및 제2 버퍼막을 더 구비하는 유기 발광 표시 장치.

#### 청구항 3

제 2 항에 있어서,  
 상기 내열 버퍼층은 제1 및 제2 버퍼막에 비해 유전율이 낮은 유기막 재료로 형성되는 유기 발광 표시 장치.

#### 청구항 4

제 3 항에 있어서,  
 상기 보조 하부 전극 상부에 위치하는 신호 링크와,  
 상기 신호 링크와 접속되는 신호 패드를 더 구비하며,  
 상기 보조 하부 전극과 상기 신호 링크 사이에는 상기 제1 버퍼막, 상기 내열 버퍼층 및 상기 제2 버퍼막이 순차적으로 적층되며,  
 상기 신호 패드는  
 상기 트렌치 내에 매립되는 패드 하부 전극과;  
 상기 제1 버퍼막 및 층간 절연막을 관통하는 패드 컨택홀을 통해 노출된 상기 패드 하부 전극과 접속되는 패드 상부 전극을 구비하는 유기 발광 표시 장치.

#### 청구항 5

제 4 항에 있어서,  
 상기 트렌치 내에 매립되거나 상기 기관 상에 배치되는 얼라인키를 더 구비하는 유기 발광 표시 장치.

#### 청구항 6

보조 하부 전극이 매립된 다수의 트렌치를 가지는 기관을 마련하는 단계와;  
 상기 보조 하부 전극이 형성된 기관 상에 박막트랜지스터를 형성하는 단계와;  
 상기 박막트랜지스터와 접속되는 애노드 전극 및 상기 보조 하부 전극과 접속되는 보조 상부 전극을 형성하는 단계와;

상기 애노드 전극 상에 유기 발광층을 형성하는 단계와;  
 상기 유기 발광층 상에 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 7**

제 6 항에 있어서,  
 상기 보조 하부 전극이 매립된 다수의 트렌치를 가지는 기판을 마련하는 단계는  
 상기 기판 상에 포토레지스트 패턴을 형성하는 단계와;  
 상기 포토레지스트 패턴을 이용한 상기 기판의 식각 공정을 통해 상기 다수의 트렌치를 형성하는 단계와;  
 상기 포토레지스트 패턴이 잔존하는 기판 상에 시드 금속을 전면 증착하는 단계와'  
 상기 포토레지스트 패턴과, 상기 포토 레지스트 패턴 상의 시드 금속을 제거하는 단계와;  
 상기 시드 금속을 성장시켜 상기 트렌치 내에 매립되는 상기 보조 하부 전극 및 얼라인키를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 8**

제 6 항에 있어서,  
 상기 보조 하부 전극이 매립된 다수의 트렌치를 가지는 기판을 마련하는 단계는  
 상기 기판 상에 불투명 금속층과, 그 불투명 금속층 상에 다단차 포토레지스트 패턴을 형성하는 단계와;  
 상기 다단차 포토레지스트 패턴을 이용한 상기 기판 및 상기 불투명 금속층의 식각 공정을 통해 상기 다수의 트렌치를 형성하는 단계와;  
 상기 다단차 포토레지스트 패턴을 에칭하는 단계와;  
 상기 에칭된 포토레지스트 패턴을 이용한 상기 불투명 금속층의 식각 공정을 통해 얼라인키를 형성하는 단계와;  
 상기 얼라인키가 형성된 기판의 트렌치 내에 매립되는 상기 보조 하부 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 9**

제 7 항 또는 제 8 항에 있어서,  
 상기 박막트랜지스터와 중첩되는 영역에 배치되며, 상기 트렌치 내에 매립되는 차광층을 상기 보조 하부 전극과 동시에 형성하는 단계와;  
 상기 차광층, 상기 보조 하부 전극 및 얼라인키이 형성된 기판 상에 제1 버퍼막을 형성하는 단계와;  
 상기 제1 버퍼막 상에 상기 차광층과 중첩되는 내열 버퍼층, 제2 버퍼막 및 상기 박막트랜지스터의 반도체층을 형성함과 동시에 상기 보조 하부 전극과 중첩되는 내열 버퍼층 및 제2 버퍼막을 형성하는 단계와;  
 상기 박막트랜지스터의 반도체층 상에 게이트 절연 패턴 및 박막트랜지스터의 게이트 전극을 형성하는 단계와;  
 상기 박막트랜지스터의 게이트 전극 상에 층간 절연막을 형성하는 단계와;  
 상기 층간 절연막 상에 상기 박막트랜지스터의 소스 및 드레인 전극과, 신호 링크를 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 구조를 단순화할 수 있고 마스크 공정 수를 저감할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

[0001]

**배경 기술**

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이러한, 유기 발광 표시장치를 제조하기 위해서는 포토 마스크를 이용한 마스크 공정이 다수번 수행된다. 각 마스크 공정은 세정, 노광, 현상 및 식각 등의 부속 공정들을 수반한다. 이에 따라, 한 번의 마스크 공정이 추가될 때마다, 유기 발광 표시장치를 제조하기 위한 제조 시간 및 제조 비용이 상승하고, 불량 발생률이 증가하여 제조 수율이 낮아지는 문제점이 있다. 따라서, 생산비를 절감하고, 생산수율 및 생산효율을 개선하기 위해서 구조를 단순화하고 마스크 공정 수를 줄이기 위한 방안이 요구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 구조를 단순화할 수 있고 마스크 공정 수를 저감할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 기판 상에 배치되는 박막트랜지스터와; 박막트랜지스터와 접속되는 발광 소자와; 발광 소자의 애노드 전극 및 캐소드 전극 중 어느 하나와 접속되는 보조 상부 전극과; 보조 상부 전극과 접속되는 보조 하부 전극을 구비하며, 보조 하부 전극은 기판의 트렌치 내에 매립됨으로써 구조 안정성을 확보할 수 있다.

**발명의 효과**

[0006] 본 발명에서는 차광층과, 보조 하부 전극을 동일한 하나의 마스크 공정을 통해 형성하고, 산화물 반도체층과, 내열 버퍼층 및 제2 버퍼막을 동일한 하나의 마스크 공정을 통해 형성한다. 이에 따라, 본 발명에 따른 유기 발광 표시 장치는 종래보다 적어도 총 2회의 마스크 공정 수를 저감할 수 있어 생산성을 향상시킬 수 있으며 비용을 절감할 수 있다.

[0007] 또한, 본 발명에서는 보조 하부 전극이 기판의 트렌치 내에 매립되고, 기판 상에 내열 버퍼층이 배치되므로 내열 버퍼층에 의한 보조 하부 전극을 포함하는 신호 라인의 침식 불량을 방지할 수 있어 구조 안정성을 확보할 수 있다.

**도면의 간단한 설명**

[0008] 도 1은 본 발명에 따른 유기 발광 표시 장치의 제1 실시 예를 나타내는 단면도이다.  
 도 2는 본 발명에 따른 유기 발광 표시 장치의 제2 실시 예를 나타내는 단면도이다.  
 도 3a 내지 도 3d는 도 1에 도시된 차광층, 보조 하부 전극, 패드 하부 전극 및 얼라인키와, 트렌치의 제조 방법을 설명하기 위한 단면도이다.  
 도 4a 내지 도 4e는 도 2에 도시된 차광층, 보조 하부 전극, 패드 하부 전극 및 얼라인키와, 트렌치의 제조 방법을 설명하기 위한 단면도이다.  
 도 5는 기판 상에 표면 처리를 실시하지 않은 비교예와 기판 상에 표면 처리를 실시한 실시예를 비교한 도면이다.  
 도 6a 내지 도 6h는 도 1에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0009] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

- [0010] 도 1은 본 발명에 따른 유기 발광 표시 장치의 단면도이다.
- [0011] 도 1에 도시된 바와 같이, 본 발명에 따른 유기 발광 표시 장치는 스위칭 박막 트랜지스터(도시하지 않음), 구동 박막 트랜지스터(100), 유기발광 다이오드(130)와, 스토리지 커패시터(140)와, 보조 전극(160), 신호 패드(150) 및 얼라인키(170)를 구비한다.
- [0012] 구동 박막트랜지스터(100)는 게이트 전극(106), 소스 전극(108), 드레인 전극(110) 및 산화물 반도체층(104)을 구비한다. 한편, 스위칭 박막트랜지스터는 구동 박막트랜지스터(110)와 동일 구조로 형성되므로, 구동 박막트랜지스터(100)와 동일한 구성요소를 구비한다.
- [0013] 게이트 전극(106)은 그 게이트 전극(106)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(106)은 게이트 절연 패턴(112)을 사이에 두고, 산화물 반도체층(104)과 중첩된다. 이러한 게이트 전극(106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0014] 소스 전극(108)은 층간 절연막(116)을 관통하는 소스 컨택홀(124S)을 통해 산화물 반도체층(104)과 접속된다. 드레인 전극(110)은 층간 절연막(116)을 관통하는 드레인 컨택홀(124D)을 통해 산화물 반도체층(104)과 접속된다. 또한, 드레인 전극(110)은 보호막(118) 및 평탄화층(148)을 관통하도록 형성된 화소 컨택홀(120)을 통해 애노드 전극(132)과 접속된다.
- [0015] 이러한 소스 전극(108) 및 드레인 전극(110)은 투명 도전층(172a)과, 그 투명 도전층(172a) 상에 형성되는 불투명 도전층(172b)으로 이루어진다. 투명 도전층(172a)은 ITO 등의 투명 도전성 물질로 이루어지며, 불투명 도전층(172b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다.
- [0016] 산화물 반도체층(104)은 게이트 절연 패턴(112) 상에 게이트 전극(106)과 중첩되게 형성되어 제1 소스 및 제1 드레인 전극(108,110) 사이에 채널을 형성한다. 이 산화물 반도체층(104)은 Zn, Cd, Ga, In, Sn, Hf, Zr 중 선택된 적어도 하나 이상의 금속을 포함하는 산화물로 형성된다. 이러한 산화물 반도체층(104)과 차광층(102) 사이와, 신호 링크(174) 및 보조 하부 전극(162) 사이에는 제1 버퍼막(126), 내열 버퍼층(122) 및 제2 버퍼막(128)이 순차적으로 적층되어 소자의 안정성을 효과적으로 확보할 수 있다. 여기서, 내열 버퍼층(122) 및 제2 버퍼막(128)은 동일 패턴으로 형성된다.
- [0017] 내열 버퍼층(122)은 제1 및 제2 버퍼막(126,128)에 비해 유전율이 낮은 유기막 재질, 예를 들어 아크릴 수지로 형성된다. 이러한 내열 버퍼층(122)은 스위칭 및 구동 박막트랜지스터(100)의 산화물 반도체층(104) 하부에 형성된다. 또한, 내열 버퍼층(122)은 게이트 라인, 데이터 라인 및 전원 라인 중 적어도 어느 하나의 신호 라인과, 신호 패드(150) 사이를 연결하는 신호 링크들(174) 사이의 하부에 형성된다. 뿐만 아니라, 내열 버퍼층(122)은 신호 라인과, 그 신호 라인과 교차(중첩)하는 보조 하부 전극(162) 사이에도 형성된다. 이에 따라, 신호 라인 및 신호 링크 각각과, 기판(101)의 트렌치(101)에 매립된 보조 하부 전극(162) 사이와, 스위칭 및 구동 박막트랜지스터(100)의 전극들 각각과, 차광층(102) 사이의 기생 커패시터의 용량값은 내열 버퍼층(122)의 유전율에 비례하여 감소된다. 이에 따라, 신호 라인 및 신호 링크 각각과, 기판(101)의 트렌치(101)에 매립된 보조 하부 전극(162) 간의 신호 간섭, 및 스위칭 및 구동 박막트랜지스터(100)의 전극들 각각과, 보조 하부 전극(162)과 연결된 차광층(102) 간의 신호신호 간섭을 최소화할 수 있다.
- [0018] 제2 버퍼막(128)은 내열 버퍼층(122)과 동일 패턴으로 내열 버퍼층(122) 상에 형성되어 유기막 재질의 내열 버퍼층(122)에서 발생하는 가스(fume)를 차단하므로, 그 가스에 의한 박막트랜지스터(100)의 열화 등을 방지할 수 있다. 이러한 제2 버퍼막(128)은 제1 버퍼막(126)과 마찬가지로 SiNx 또는 SiOx로 형성된다.
- [0019] 산화물 반도체층(104)과 중첩되는 차광층(102)은 기판(101)의 트렌치 내에 매립된다. 이 차광층(102)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 산화물 반도체층(104)으로 입사되는 광을 최소화할 수 있다. 이러한 차광층(102)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni, Au, Ag, Sn, Zn과 같은 불투명 금속으로 형성된다.
- [0020] 스토리지 커패시터(140)는 층간 절연막(116)을 사이에 두고 중첩되는 스토리지 하부 전극(142)과 스토리지 상부 전극(144)을 구비한다. 이 때, 스토리지 하부 전극(142)은 게이트 전극(106)과 동일층인 게이트 절연 패턴(112) 상에, 게이트 전극(106)과 동일재질로 형성된다. 스토리지 상부 전극(144)은 소스 전극(108)과 동일층인 층간 절연막(116) 상에, 소스 전극(108)과 동일 재질로 형성된다.
- [0021] 발광 소자(130)는 박막 트랜지스터(100)의 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132)

상에 형성되는 유기 발광층(134)과, 유기 발광층(134) 위에 형성된 캐소드 전극(136)을 구비한다.

- [0022] 애노드 전극(132)은 보호막(118) 및 평탄화층(148)을 관통하는 화소 컨택홀(120)을 통해 노출된 드레인 전극(110)과 접속된다. 한편, 애노드 전극(132)은 전면 발광형 유기 발광 표시 장치인 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전층과, 알루미늄(Al), 은(Ag), APC(Ag;Pb;Cu) 등을 포함하는 금속층이 적층된 구조로 형성된다.
- [0023] 유기 발광층(134)은 बैं크(138)에 의해 마련된 발광 영역의 애노드 전극(132) 상에 형성된다. 유기 발광층(134)은 애노드 전극(132) 상에 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다.
- [0024] बैं크(138)는 유기 발광층(134)과 접촉하는 내측면과, 애노드 전극(132)의 측면을 덮도록 애노드 전극(132)의 측면을 따라 배치되는 외측면을 가진다. 이에 따라, बैं크(138)는 발광 영역을 제외한 애노드 전극(132)의 테두리를 따라 애노드 전극(132)의 측면을 덮도록 형성되므로, 발광 영역이 개방된 섬(island)모양을 갖는다. 이러한 बैं크(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैं크(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재를 포함한다.
- [0025] 캐소드 전극(136)은 유기 발광층(134)을 사이에 두고 애노드 전극(132)과 대향하도록 유기 발광층(134) 및 बैं크(138)의 상부면 및 측면 상에 형성된다. 이 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치인 경우, 투명 전도성 산화막(Transparent Conductive Oxide; TCO)으로 형성된다.
- [0026] 이러한 유기 발광 표시 장치가 대면적화 될수록 증가하는 캐소드 전극(136)의 저항 성분을 감소시키기 위해, 보조 전극(160)이 형성된다. 보조 전극(160)은 보조 하부 전극(162), 보조 중간 전극(164) 및 보조 상부 전극(166)을 구비한다.
- [0027] 보조 하부 전극(162)은 기관(101)의 트렌치(101a) 내에 매립되며, 차광층(102)과 동일 재질로 형성된다. 이러한 기관(101)의 트렌치(101) 내에 보조 하부 전극(162)이 매립되어 신호 간섭을 차단하는 내열 버퍼층(후막) 하부에 형성되므로, 종래 후막인 유기막 상에 형성되는 보조 하부 전극에 비해 침식 등 공정 불량을 방지할 수 있어 구조 안정성을 확보할 수 있다.
- [0028] 보조 중간 전극(164)은 제1 버퍼막(126) 및 층간 절연막(116)을 관통하는 제1 보조 컨택홀(168a)을 통해 노출된 보조 하부 전극(162)과 전기적으로 접속된다. 이 보조 중간 전극(164)은 투명 도전층(172a)과, 그 투명 도전층(172a) 상에 형성되는 불투명 도전층(172b)으로 이루어진다.
- [0029] 보조 상부 전극(166)은 보호막(118) 및 평탄화층(148)을 관통하는 제2 보조 컨택홀(168b)을 통해 노출된 보조 중간 전극(164)과 전기적으로 접속된다. 이 보조 상부 전극(166)은 애노드 전극(132)과 동일 재질로 동일 평면 상에 형성된다.
- [0030] 보조 상부 전극(166) 상에 형성되는 격벽(146)은 하부면에서 상부면으로 갈수록 폭이 점차적으로 증가하는 역테이퍼 형상으로 형성된다. 이러한 격벽(146)에 의해 직진성을 가지고 성막되는 유기 발광층(134)은 격벽(146)의 상부면 및 बैं크(138)에 의해 노출된 발광 영역에 위치하는 애노드 전극(132)의 상부면 상에만 형성된다. 반면에, 유기 발광층(134)보다 스텝 커버리지가 좋은 캐소드 전극(136)은 격벽(146) 및 बैं크(138)의 측면에도 형성되므로 보조 상부 전극(166)과의 접촉이 용이하다. 한편, 보조 상부 전극(162)이 캐소드 전극(136)과 접속되는 것을 예로 들어 설명하였지만, 이외에도 보조 상부 전극(162)은 애노드 전극(132)과도 접속될 수 있다.
- [0031] 신호 패드(150)는 신호 링크(174)를 통해 게이트 라인, 데이터 라인 및 전원 라인 중 적어도 어느 하나의 신호 라인과 접속된다. 이 신호 패드(150)는 패드 하부 전극(152) 및 패드 상부 전극(154)을 구비한다.
- [0032] 패드 하부 전극(152)은 차광층(102)과 동일 재질로 기관(101)에 형성된 트렌치(101a) 내에 매립된다. 패드 상부 전극(154)은 버퍼막(126) 및 층간 절연막(116)을 관통하는 패드 컨택홀(156)을 통해 노출된 패드 하부 전극(152)과 전기적으로 접속된다. 이 패드 상부 전극(154)은 투명 도전층(172a)으로 형성된다. 이러한 패드 상부 전극(154)은 제1 보호막(118)을 관통하는 패드홀(158)을 통해 외부로 노출된다.
- [0033] 얼라인키(170)는 기관(101) 상에 박막층 형성시 이용되는 제조 장치(예를 들어 포토마스크, 새도우 마스크 등)와, 기관(101) 간의 위치를 정렬하는 기준이 된다. 이러한 얼라인 키(170)는 도 1에 도시된 바와 같이 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152)과 함께 기관(101)의 트렌치(101a) 내에 매립되거나, 도 2에 도시된 바와 같이 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152)이 트렌치(101) 내에 매립된 기관(101) 상에 형성된다.

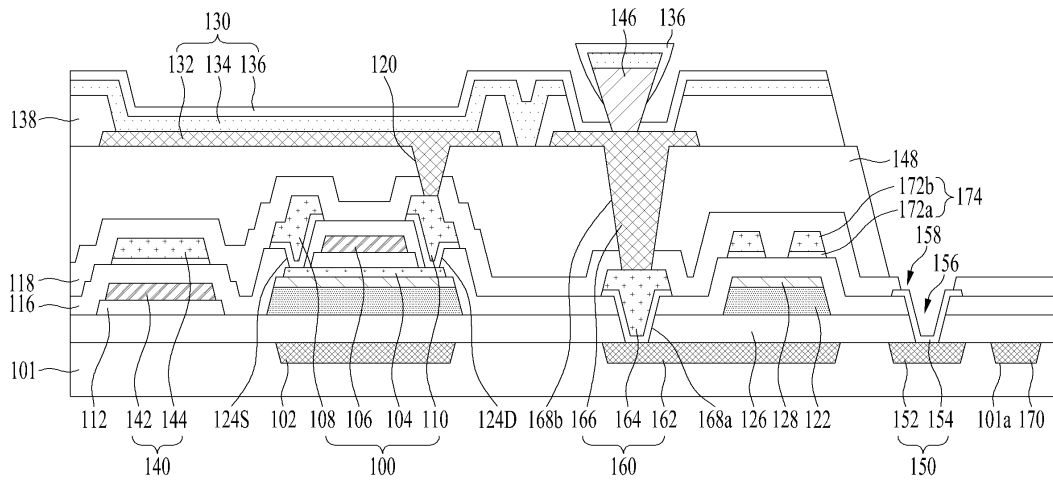
- [0034] 도 1에 도시된 얼라인키(170)는 도 3a 내지 도 3d에 도시된 바와 같이 전해 도금법 또는 무전해 도금법을 이용하여 형성된다. 구체적으로, 도 3a에 도시된 바와 같이 기판(101) 상에 포토리소그래피공정을 통해 포토레지스트 패턴(182)을 형성한 후, 그 포토레지스트 패턴(182)을 마스크로 이용한 식각 공정을 통해 기판(101)을 패터닝함으로써 기판(101)에 다수개의 트렌치(101a)가 형성된다. 그런 다음, 도 3b에 도시된 바와 같이 포토레지스트 패턴(182)이 잔존하는 기판(101) 상에 시드(Seed) 금속(184)을 상온에서 증착한다. 여기서, 시드 금속(184)은 저저항 금속인 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 주석(Sn), 아연(Zn) 등이 이용된다. 그런 다음, 도 3c에 도시된 바와 같이 포토레지스트 패턴(182)을 스트립(strip)함으로써 포토레지스트 패턴(182)과, 그 포토레지스트 패턴(182) 상의 시드 금속(184)은 제거된다. 그런 다음, 트렌치(101a) 내에서 잔존하는 시드 금속(184)이 성장함으로써 도 3d에 도시된 바와 같이 트렌치(101a) 내에 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152) 및 얼라인 키(170)가 동시에 형성된다. 한편, 전해 도금법 또는 무전해 도금법을 이용하여 시드 금속(Cu)으로 형성되는 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152) 및 얼라인 키(170)는 증착 공정을 통해 구리(Cu)로 형성되는 박막층과 동등 수준의 비저항 특성을 가진다.
- [0035] 도 2에 도시된 얼라인키(170)는 도 4a 내지 도 4d에 도시된 바와 같이 다단차 포토레지스트 패턴(186)을 이용하여 형성된다. 구체적으로, 도 4a에 도시된 바와 같이 기판(101) 상에 불투명 금속층(170a)이 전면 증착된 다음, 그 불투명 금속층(170a) 상에 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 불투명 금속층(170a) 상에 다단차 포토레지스트 패턴(186)이 형성된다. 다단차 포토레지스트 패턴(186)은 제1 두께를 가지는 제1 포토레지스트 패턴(186a)과, 제1 두께보다 두꺼운 제2 두께를 가지는 제2 포토레지스트 패턴(186b)을 구비한다. 이러한 다단차 포토레지스트 패턴(186)을 마스크로 이용한 식각 공정을 통해 불투명 금속층(170a) 및 기판(101)을 식각함으로써 도 4b에 도시된 바와 같이 다단차 포토레지스트 패턴(186)과 기판(101) 사이에 위치하는 불투명 금속층(170a)이 잔존하게 되고, 기판(101)에 트렌치(101a)가 형성된다.
- [0036] 그런 다음, 다단차 포토레지스트 패턴(186)을 에칭함으로써 제2 포토레지스트 패턴(186b)은 두께가 얇아지고, 제1 포토레지스트 패턴(186a)은 제거된다. 두께가 얇아진 제2 포토레지스트 패턴(186b)을 마스크로 불투명 금속층(170a)을 식각함으로써 도 4c에 도시된 바와 같이 제2 포토레지스트 패턴(186b)의 하부에 위치하는 불투명 금속층(170a)을 제외한 나머지 불투명 금속층(170a)은 제거되며, 제2 포토레지스트 패턴(186b)의 하부에 위치하는 불투명 금속층(170a)은 잔존하여 얼라인키(170)가 된다. 얼라인 키(170) 상에 잔존하는 포토레지스트 패턴(186b)은 도 4d에 도시된 바와 같이 스트립 공정을 통해 제거된다. 얼라인키(170) 형성후, 트렌치(101a)가 형성된 기판(101) 상에 불투명 금속층을 증착한 후, 포토리소그래피 공정과 식각 공정으로 불투명 금속층을 패터닝함으로써 도 4e에 도시된 바와 같이 트렌치(101a) 내에 차광층(102), 보조 하부 전극(162) 및 패드 하부 전극(152)이 동시에 형성된다.
- [0037] 한편, 기판(101)에 트렌치(101a)를 형성하기 위해서는 포토레지스트 패턴(182)을 마스크로 이용한 식각공정이 필요하다. 그러나, 기판(101)과 포토레지스트 패턴(182) 사이의 접착력이 좋지 않은 비교예의 경우, 도 5에 도시된 바와 같이 기판(101)과 포토레지스트 패턴(182) 사이의 식각액이 침투하게 된다. 이에 따라, 기판(101)의 측면과 포토레지스트 패턴(182) 사이에는 제1 폭(D1)만큼의 언더컷이 발생된다. 인접한 트렌치들(101a) 사이에 위치하는 기판(101)의 폭이 좁아져 트렌치(101a) 내에 매립되는 전극들 간에 전기적 단락이 발생할 수 있으며, 트렌치(101a) 내에 매립되는 전극의 테일이 길어져 고해상도 적용이 어려워지게 된다.
- [0038] 반면에, 본 발명의 실시 예에서는 기판(101) 상에 포토레지스트를 도포하기 전에 기판(101) 상에 HMDS(Hexamethyldisilazane)를 도포하여 표면 처리한다. 이 HMDS는 기판(101)과 포토레지스트 간의 접착력을 향상시키므로, 기판(101) 식각시 기판(101)과 포토레지스트 패턴(182) 사이로 식각액이 침투하는 것을 방지할 수 있다. 이에 따라, 기판(101)의 측면과 포토레지스트 패턴(182) 사이에는 비교예보다 작은 제2 폭(D2)만큼의 언더컷이 발생된다. 인접한 트렌치들(101a) 사이에 위치하는 기판(101)의 폭이 비교예보다 넓어져 트렌치(101a) 내에 매립되는 전극들 간에 전기적 단락을 방지할 수 있으며, 트렌치(101a) 내에 매립되는 전극의 테일이 길어도 짧아져 고해상도 적용이 용이하다.
- [0039] 도 6a 내지 도 6h는 도 1에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 한편, 도 2에 도시된 유기 발광 표시 장치의 제조 방법은 제1 버퍼막(126) 형성부터 도 1에 도시된 유기 발광 표시 장치의 제조 방법과 동일하므로, 도 2에 도시된 유기 발광 표시 장치의 제조 방법의 설명은 생략하기로 한다.
- [0040] 도 6a를 참조하면, 도 3a 내지 도 3d를 결부하여 앞서 설명한 바와 같이 기판(101)에 다수개의 트렌치(101a)가 형성되고, 그 트렌치(101a) 내에 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152) 및 얼라인 키(170)가 매립된다.

- [0041] 도 6b를 참조하면, 트렌치(101a) 내에 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152) 및 얼라인 키(170)가 형성된 기판(101) 상에 제1 버퍼막(126)이 형성되고, 그 제1 버퍼막(126) 상에 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)이 형성된다.
- [0042] 구체적으로, 트렌치(101a) 내에 차광층(102), 보조 하부 전극(162), 패드 하부 전극(152) 및 얼라인 키(170)가 형성된 기판(101) 증착 방법을 통해 버퍼막(104), 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)이 형성된다. 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)을 선택적으로 식각한다. 이에 따라, 차광층(102)과 중첩되는 영역에는 동일 패턴의 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)이 순차적으로 적층된 구조로 형성되며, 보조 하부 전극(162)과 중첩되는 영역에는 동일 패턴의 내열 버퍼층(122) 및 제2 버퍼막(128)이 순차적으로 적층된 구조로 형성된다.
- [0043] 이와 같이, 내열 버퍼층(122) 및 제2 버퍼막(128)이, 산화물 반도체층(104)과 동일 마스크 공정으로 형성된다. 이 경우, 제2 버퍼막(128) 및 산화물 반도체층(104)과 식각 특성이 다른 내열 버퍼층(122)이 하부에 배치되므로, 식각 공정 후 언더컷 발생 등의 공정 불량을 방지할 수 있어 공정 안정성을 확보할 수 있다.
- [0044] 도 6c를 참조하면, 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)이 형성된 기판(101) 상에 게이트 절연 패턴(112), 스토리지 하부 전극(142) 및 게이트 전극(106)이 형성된다.
- [0045] 구체적으로, 내열 버퍼층(122), 제2 버퍼막(128) 및 산화물 반도체층(104)이 형성된 기판(101) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 게이트 금속층이 형성된다. 게이트 절연막으로는 SiO<sub>x</sub>, SiN<sub>x</sub> 등과 같은 무기 절연 물질이 이용된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 게이트 금속층 및 게이트 절연막을 동시에 패터닝함으로써 게이트 전극(106) 및 스토리지 하부 전극(142) 각각과, 게이트 절연 패턴(112)이 동일 패턴으로 형성된다.
- [0046] 도 6d를 참조하면, 게이트 전극(106) 및 스토리지 하부 전극(142)이 형성된 기판(101) 상에 소스 및 드레인 콘택홀(124S, 124D), 제1 패드 콘택홀(156) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116)이 형성된다.
- [0047] 구체적으로, 게이트 전극(106) 및 스토리지 하부 전극(142)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116) 및 제1 버퍼막(126)이 패터닝됨으로써 소스 및 드레인 콘택홀(124S, 124D), 패드 콘택홀(156) 및 제1 보조 콘택홀(168a)이 형성된다.
- [0048] 도 6e를 참조하면, 소스 및 드레인 콘택홀(124S, 124D), 패드 콘택홀(156) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 패드 상부 전극(154)이 형성된다.
- [0049] 구체적으로, 소스 및 드레인 콘택홀(124S, 124D), 패드 콘택홀(156) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 투명 도전층(172a) 및 불투명 도전층(174)을 순차적으로 증착한다. 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 투명 도전층(172a) 및 불투명 도전층(174)이 패터닝됨으로써 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 패드 상부 전극(154)이 형성된다. 이 때, 소스 전극(108), 드레인 전극(110) 및 스토리지 상부 전극(144)은 투명 도전층(172a) 및 불투명 도전층(174)이 적층된 구조로 형성되며, 패드 상부 전극(154)은 내식성 및 내산성이 강한 투명 도전층(172a)으로 형성된다.
- [0050] 도 6f를 참조하면, 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 패드 상부 전극(154)이 형성된 층간 절연막(116) 상에 화소 콘택홀(120) 및 제2 보조 콘택홀(168b)을 가지는 보호막(118) 및 평탄화층(148)이 형성된다.
- [0051] 구체적으로, 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 패드 상부 전극(154)이 형성된 층간 절연막(116) 상에 보호막(118) 및 평탄화층(148)이 순차적으로 형성된다. 보호막(118)으로는 SiO<sub>x</sub>, SiN<sub>x</sub> 등과 같은 무기 절연 물질이 이용되며, 평탄화층(148)으로는 포토아크릴 등과 같은 유기 절연 물질이 이용된다. 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 보호막(118) 및 평탄화층(148)을 선택적으로 식각함으로써 화소 콘택홀(120) 및 제2 보조 콘택홀(168b)이 형성된다. 화소 콘택홀(120)은 보호막(118) 및 평탄화층(148)을 관통하도록 형성되어 드레인 전극(110)을 노출시키며, 제2 보조 콘택홀(168b)은 보호

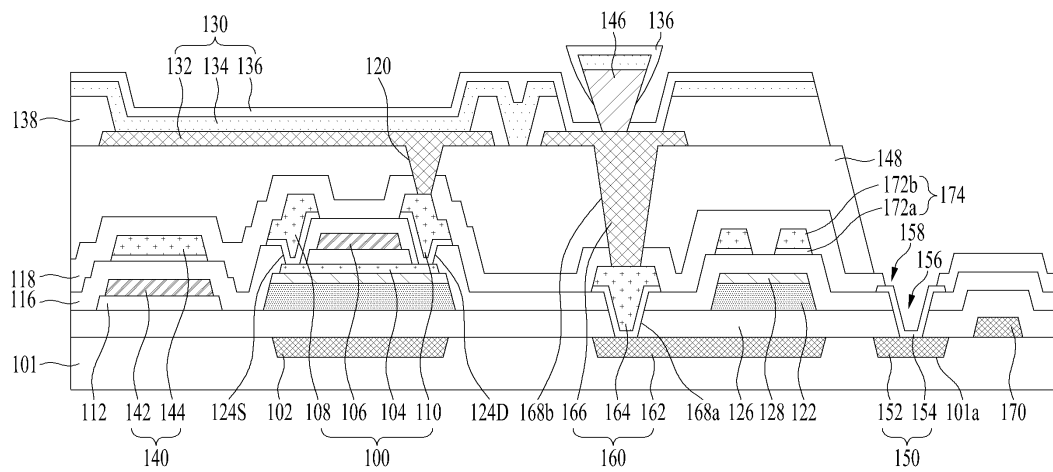


도면

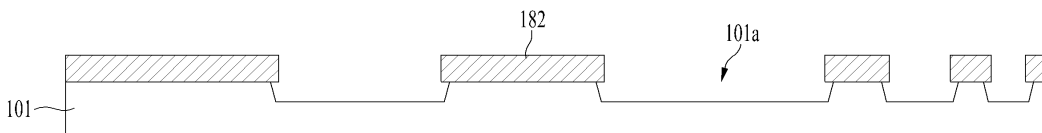
도면1



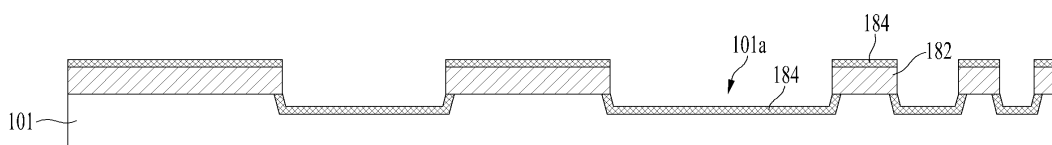
도면2



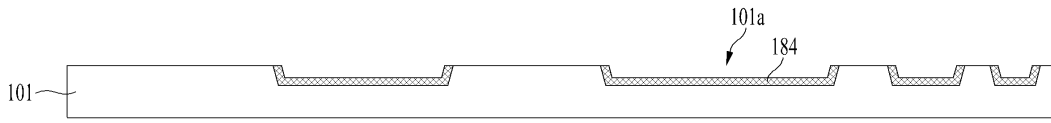
도면3a



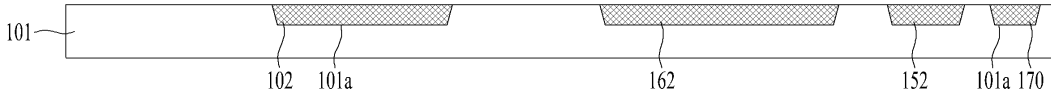
도면3b



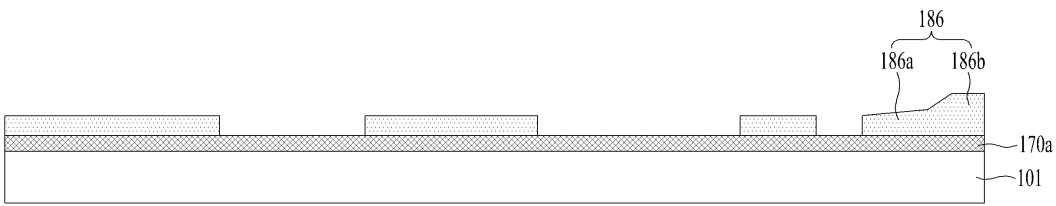
도면3c



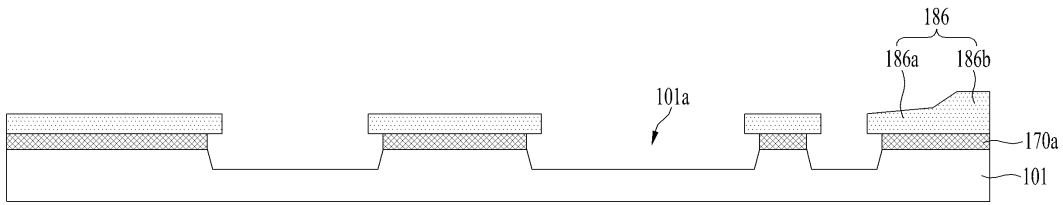
도면3d



도면4a



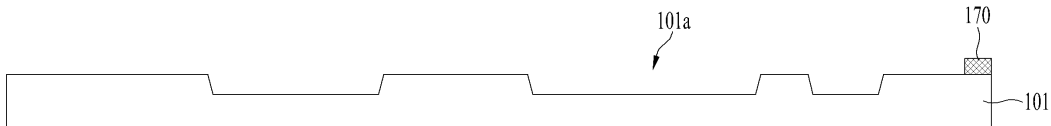
도면4b



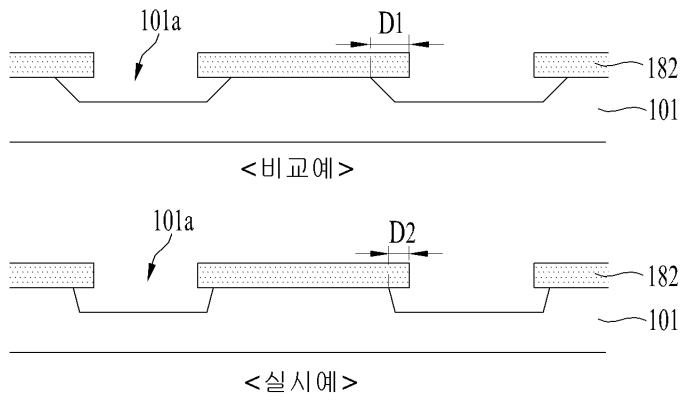
도면4c



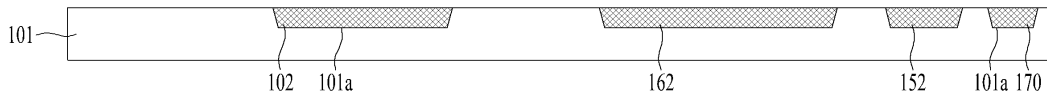
도면4d



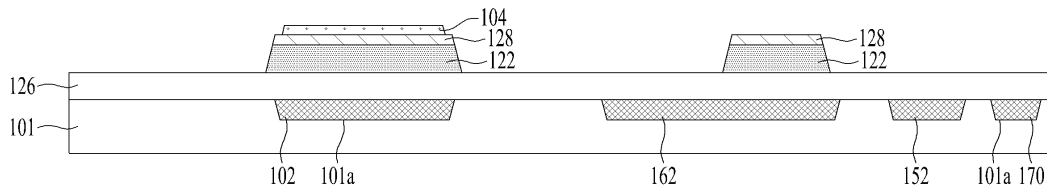
도면5



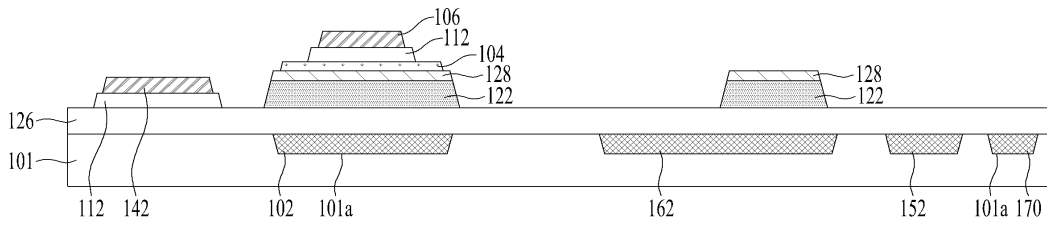
도면6a



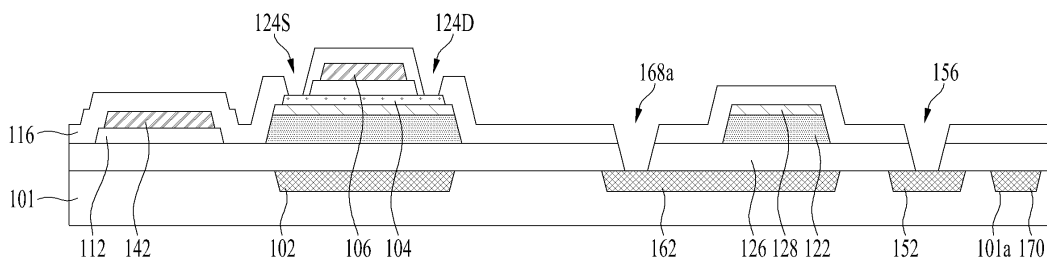
도면6b



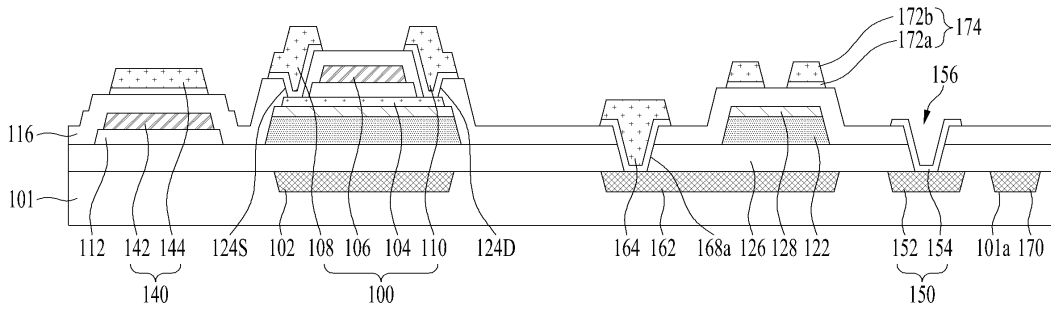
도면6c



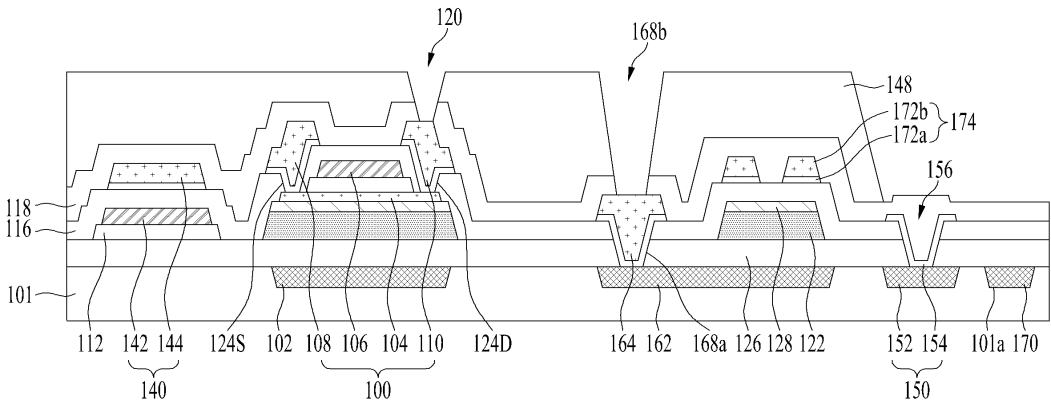
도면6d



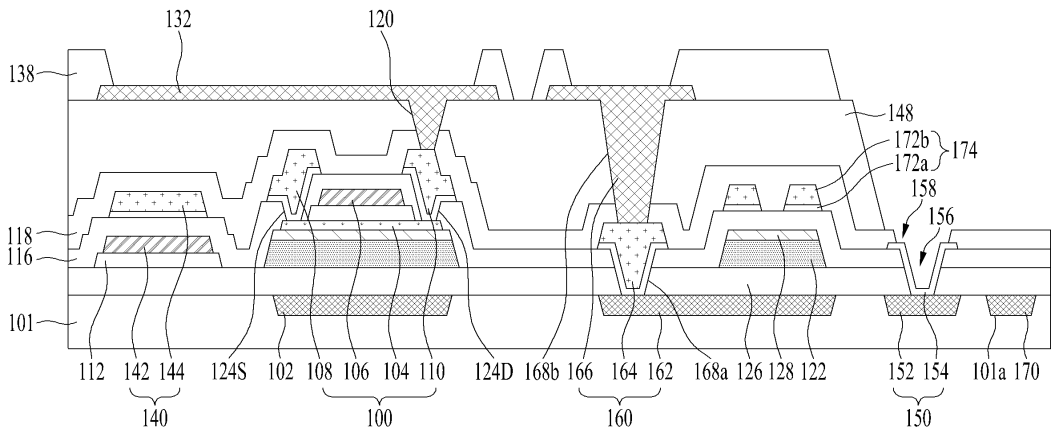
도면6e



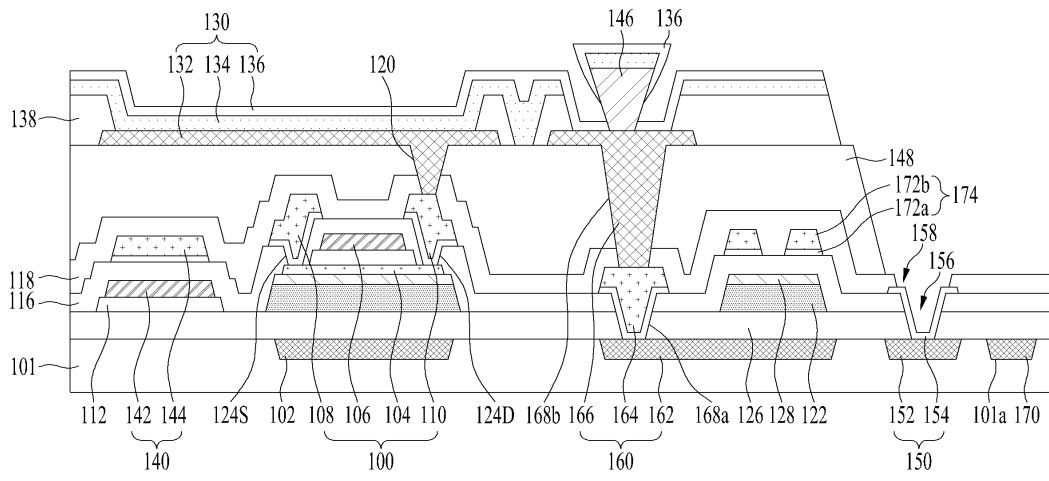
도면6f



도면6g



도면6h



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	<a href="#">KR1020170078175A</a>	公开(公告)日	2017-07-07
申请号	KR1020150188439	申请日	2015-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM KYOUNG JIN 남경진 KIM JEONG OH 김정오 KIM YONG MIN 김용민 PARK EUN YOUNG 박은영		
发明人	남경진 김정오 김용민 박은영		
IPC分类号	H01L51/52 H01L27/32 H01L51/00 H01L51/50 H01L51/56		
CPC分类号	H01L51/5203 H01L27/3262 H01L27/3225 H01L51/5212 H01L51/5228 H01L51/5281 H01L27/3223 H01L51/56 H01L51/5012 H01L51/0018 H01L27/3258 H01L27/3244 H01L27/3248 H01L51/52 H01L2227/32 H01L2227/323 H01L2251/10 H01L2251/50 H01L27/3246 H01L27/3272 H01L27/3276 H01L23/544 H01L27/1218 H01L27/1225 H01L27/1288 H01L2223/54426		
代理人(译)	Bakyoungbok		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及有机发光二极管显示器及其制造方法，用于简化结构和减少掩模工艺数量，并且根据本发明的有机发光显示装置及其制造方法包括布置在其上的薄膜晶体管。所述基板，所述第二上电极与所述薄膜晶体管连接，所述薄膜晶体管与所述连接的发光器件的阳极电极和发光器件以及阴极电极中的任一个，所述次级底部电极与所述次级上电极和所述次级底电极连接通过在衬底的沟槽内回收来确保结构稳定性。

