



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0031849
(43) 공개일자 2017년03월22일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/326 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2015-0129091

(22) 출원일자 2015년09월11일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김선광

경기 용인시 기흥구 삼성로 1 (농서동)

김광숙

경기 용인시 기흥구 삼성로 1 (농서동)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 20 항

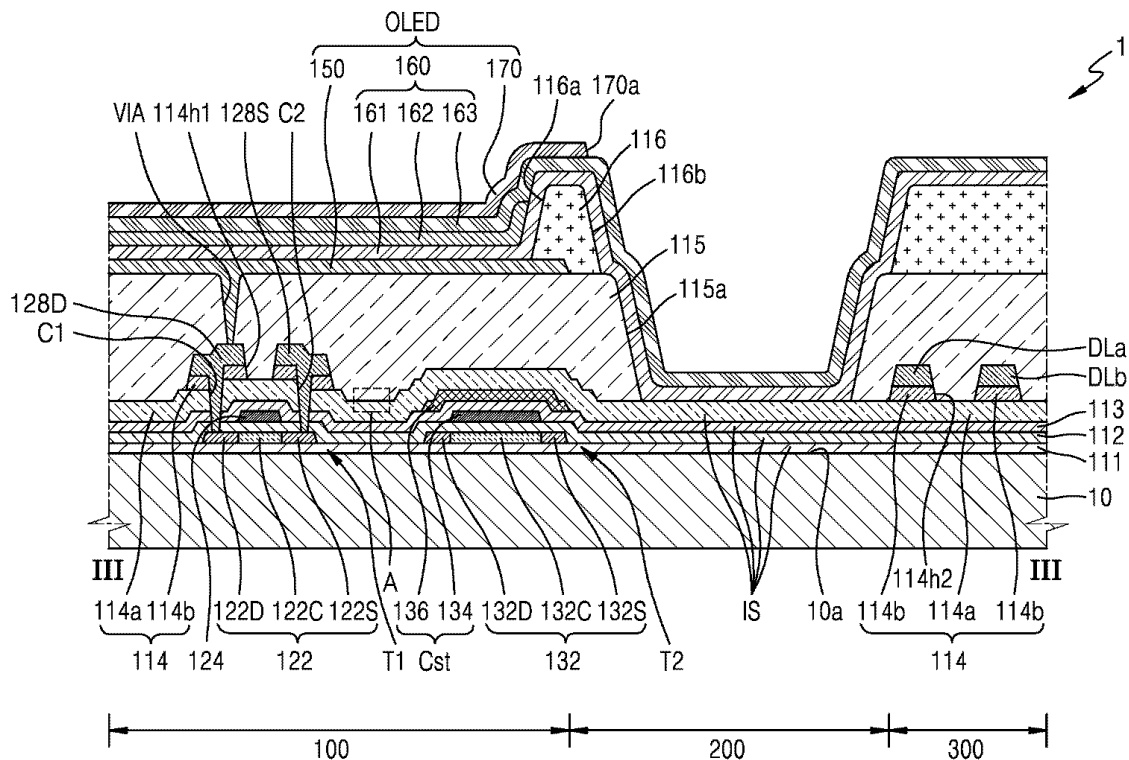
(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

본 발명의 일 실시예는, 주요면을 포함하는 기관, 및 상기 기관의 상기 주요면 상에 배치되며 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 픽셀을 포함하며, 상기 픽셀은, 상기 제1 영역에 배치된 제1 활성층, 상기 제1 활성층 상에 상기 제1 활성층과 절연되도록 배치된 제1 게이트 전극, 및 상기 제1 게이트 전극

(뒷면에 계속)

대표도



상에 배치되며 상기 제1 활성층과 전기적으로 연결된 적어도 하나의 전극 패턴을 포함하는 제1 트랜지스터, 상기 제1 게이트 전극 및 상기 전극 패턴 사이에 배치되며 서로 다른 굴절률을 갖는 하부 절연층 및 상기 하부 절연층 상에 상기 전극 패턴에 대응되도록 배치된 상부 절연층을 포함하는 제1 절연층, 상기 제1 트랜지스터와 전기적으로 연결되며 상기 제1 영역에 배치된 제1 전극, 적어도 상기 제1 영역에 배치되며 상기 제1 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막, 상기 제1 전극에 대향된 제2 전극, 및 상기 제1 전극과 상기 제2 전극의 사이에 배치되며 유기 발광층을 포함하는 중간층을 포함하는, 유기 발광 표시 장치를 개시한다.

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5278 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

강기녕

경기 용인시 기흥구 삼성로 1 (농서동)

유희준

경기 용인시 기흥구 삼성로 1 (농서동)

최중현

경기 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

주요면을 포함하는 기관; 및

상기 기관의 상기 주요면 상에 배치되며, 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 픽셀;을 포함하며,

상기 픽셀은,

상기 제1 영역에 배치된 제1 활성층, 상기 제1 활성층 상에 상기 제1 활성층과 절연되도록 배치된 제1 게이트 전극, 및 상기 제1 게이트 전극 상에 배치되며 상기 제1 활성층과 전기적으로 연결된 적어도 하나의 전극 패턴을 포함하는 제1 트랜지스터;

상기 제1 게이트 전극 및 상기 전극 패턴 사이에 배치되며 서로 다른 굴절률을 갖는 하부 절연층 및 상기 하부 절연층 상에 상기 전극 패턴에 대응되도록 배치된 상부 절연층을 포함하는 제1 절연층;

상기 제1 트랜지스터와 전기적으로 연결되며, 상기 제1 영역에 배치된 제1 전극;

적어도 상기 제1 영역에 배치되며, 상기 제1 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막;

상기 제1 전극에 대향된 제2 전극; 및

상기 제1 전극과 상기 제2 전극의 사이에 배치되며 유기 발광층을 포함하는 중간층;을 포함하는, 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 활성층은 소스 영역, 상기 소스 영역과 이격되어 있는 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역의 사이에 배치된 채널 영역을 포함하고,

상기 도전 패턴은 상기 소스 영역 및 상기 드레인 영역과 각각 전기적으로 연결되며 서로 이격되어 있는 소스 전극 및 드레인 전극을 포함하며,

상기 상부 절연층은 상기 소스 전극과 상기 드레인 전극 사이의 영역에 대응되는 개구를 포함하는, 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제1 트랜지스터와 상기 제1 전극 사이에 배치된 비아 절연층을 더 포함하며, 상기 비아 절연층은 상기 제2 영역에 대응되는 개구를 포함하는, 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 영역은, 상기 제1 트랜지스터에 인접하며 상기 하부 절연층 및 상기 비아 절연층이 직접 접하는 영역을 포함하는, 유기 발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 도전 패턴은 순차적으로 배치된 티타늄(Ti)층, 알루미늄(Al)층, 및 티타늄(Ti)층을 포함하는, 유기 발광

표시 장치.

청구항 6

제1 항에 있어서,

상기 제2 영역에 인접하게 배치된 데이터 배선을 더 포함하며,

상기 하부 절연층은 상기 데이터 배선의 하부까지 연장되며, 상기 상부 절연층은 상기 하부 절연층 상에 상기 데이터 배선에 대응되도록 배치된, 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 데이터 배선은 서로 인접하게 배치된 복수 개의 데이터 배선들을 포함하며,

상기 상부 절연층은 상기 복수 개의 데이터 배선들 사이에 배치된 개구를 포함하는, 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 하부 절연층은 실리콘산화물(silicon oxide)을 포함하고, 상기 상부 절연층은 실리콘질화물(silicon nitride)을 포함하는, 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 제1 트랜지스터와 전기적으로 연결된 제2 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결되며 상기 기관의 상기 주요면에 대하여 수직인 방향을 따라 상기 제2 트랜지스터와 중첩되도록 배치된 커패시터를 더 포함하며,

상기 제2 트랜지스터는 제2 활성층 및 상기 제2 활성층과 절연된 제2 게이트 전극을 포함하고, 상기 커패시터는 하부 전극으로써 기능하는 상기 제2 게이트 전극 및 상기 제2 게이트 전극에 대향되도록 배치되며 상기 도전 패턴과 다른 층에 배치된 상부 전극을 포함하는, 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 제2 게이트 전극과 상기 상부 전극 사이에 배치된 제2 절연층을 더 포함하며, 상기 제2 절연층은 상기 상부 전극에 대응되도록 배치된, 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 상부 전극의 면적은 상기 제2 게이트 전극의 면적보다 큰, 유기 발광 표시 장치.

청구항 12

제10 항에 있어서,

상기 제2 절연층은 실리콘질화물(silicon nitride)을 포함하는, 유기 발광 표시 장치.

청구항 13

제1 항에 있어서,

상기 기관 상의 제2 영역에 배치되며 복수 개의 절연층들을 포함하는 절연 구조체를 더 포함하며,

상기 복수 개의 절연층들은 모두 실질적으로 동일한 굴절률을 갖는 절연 물질로 구성된, 유기 발광 표시 장치.

청구항 14

화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 기판을 준비하는 단계;

상기 기판의 상기 제1 영역 상에 제1 활성층, 및 상기 제1 활성층과 절연된 제1 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극 상에 서로 다른 굴절률을 갖는 하부 절연 물질 및 상부 절연 물질을 형성하는 단계;

상기 하부 절연 물질 및 상기 상부 절연 물질에 제1 활성층의 적어도 일부를 노출하기 위한 개구를 형성하는 단계;

고온 어닐링(thermal annealing)을 수행하는 단계;

상기 상부 절연 물질 상에 도전 물질을 형성하는 단계;

상기 도전 물질 및 상기 상부 절연 물질을 동시에 식각함으로써, 하부 절연층과 상기 하부 절연층 상에 배치된 상부 절연층을 포함하는 제1 절연층 및 상기 개구를 통해 상기 제1 활성층과 전기적으로 연결된 도전 패턴을 형성하는 단계;

상기 기판 상의 상기 제1 영역에 상기 도전 패턴과 전기적으로 연결된 제1 전극을 형성하는 단계;

적어도 상기 제1 영역에, 상기 제1 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막을 형성하는 단계;

상기 제1 개구에 의해 노출된 상기 제1 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및

상기 중간층 상에 제2 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14 항에 있어서,

상기 하부 절연 물질을 실리콘산화물(silicon oxide)을 포함하며, 상기 상부 절연 물질은 실리콘질화물(silicon nitride)을 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 16

제1 항에 있어서,

상기 제1 활성층과 상기 제1 게이트 전극 사이에 상기 하부 절연층과 실질적으로 동일한 굴절률을 갖는 하부 게이트 절연층을 형성하는 단계를 더 포함하며,

상기 하부 게이트 절연층 및 상기 하부 절연층은 상기 제1 영역 및 상기 제2 영역에 형성하는, 유기 발광 표시 장치의 제조 방법.

청구항 17

제14 항에 있어서,

상기 도전 물질 및 상기 상부 절연 물질을 동시에 식각하는 단계는,

상기 도전 물질 상에 감광막을 형성하는 단계;

광을 차단하는 차광부와 광을 투과시키는 투광부를 포함하는 마스크를 이용하여 상기 감광막에 광을 조사하는 단계;

상기 감광막의 상기 투광부에 대응되는 영역을 제거하는 단계; 및

상기 감광막의 제거에 의해 노출된 상기 도전 물질 및 노출된 상기 도전 물질의 하부에 배치된 상부 절연 물질을 동시에 식각하는 단계;를 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 18

제17 항에 있어서,

상기 식각은 건식 식각(dry etching)인, 유기 발광 표시 장치의 제조 방법.

청구항 19

제17 항에 있어서,

상기 하부 절연층 상에 상기 상부 절연층 및 상기 도전 패턴을 덮는 비아 절연층을 형성하는 단계를 더 포함하며,

상기 비아 절연층을 형성하는 단계는, 상기 비아 절연층의 적어도 일부가 상기 제1 영역에서 상기 하부 절연층과 직접 접하도록 상기 비아 절연층을 형성하는 단계를 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 20

제14 항에 있어서,

상기 도전 패턴을 형성하는 단계는,

순차적으로 배치된 티타늄(Ti)층, 알루미늄(Al)층, 및 티타늄(Ti)층을 포함하는 도전 패턴을 형성하는 단계를 포함하는, 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 더 상세하게는 유기 발광 표시 장치에 의해 구현되는 화상뿐만 아니라 외부 배경까지 인식할 수 있는 시-쓰루(see-through) 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하는 유기 발광 소자를 구비하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exciton)이 여기 상태(excited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0003] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

[0004] 이러한 유기 발광 표시 장치에 있어서, 사용자가 유기 발광 표시 장치에 의해 구현되는 화상뿐만 아니라 외부 배경까지 인식할 수 있는 시-쓰루(see-through) 유기 발광 표시 장치에 대한 연구가 이루어지고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 투과도가 개선된 유기 발광 표시 장치 및 이러한 유기 발광 표시 장치를 마스크 추가 없이 간이한 공정으로 제조할 수 있는 유기 발광 표시 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예는, 주요면을 포함하는 기관; 및 상기 기관의 상기 주요면 상에 배치되며, 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 픽셀;을 포함하며, 상기 픽셀은, 상기 제1 영역에 배치된 제1 활성층, 상기 제1 활성층 상에 상기 제1 활성층과 절연되도록 배치된 제1 게이트 전극, 및 상기 제1 게이트 전극 상에 배치되며 상기 제1 활성층과 전기적으로 연결된 적어도 하나의 전극 패턴을 포함하는 제1 트랜지스터; 상기 제1 게이트 전극 및 상기 전극 패턴 사이에 배치되며 서로 다른 굴절률을 갖는 하부 절연층 및 상기 하부 절연층 상에 상기 전극 패턴에 대응되도록 배치된 상부 절연층을 포함하는 제1 절연층; 상기 제1 트랜지스터와 전기적으로 연결되며, 상기 제1 영역에 배치된 제1 전극; 적어도 상기 제1 영역에 배치되며, 상기 제1 전극의

일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막; 상기 제1 전극에 대향된 제2 전극; 및 상기 제1 전극과 상기 제2 전극의 사이에 배치되며 유기 발광층을 포함하는 중간층;을 포함하는, 유기 발광 표시 장치를 개시한다.

- [0007] 일 실시예에 있어서, 상기 제1 활성층은 소스 영역, 상기 소스 영역과 이격되어 있는 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역의 사이에 배치된 채널 영역을 포함하고, 상기 도전 패턴은 상기 소스 영역 및 상기 드레인 영역과 각각 전기적으로 연결되며 서로 이격되어 있는 소스 전극 및 드레인 전극을 포함하며, 상기 상부 절연층은 상기 소스 전극과 상기 드레인 전극 사이의 영역에 대응되는 개구를 포함할 수 있다.
- [0008] 일 실시예에 있어서, 상기 제1 트랜지스터와 상기 제1 전극 사이에 배치된 비아 절연층을 더 포함하며, 상기 비아 절연층은 상기 제2 영역에 대응되는 개구를 포함할 수 있다.
- [0009] 일 실시예에 있어서, 상기 제1 영역은, 상기 제1 트랜지스터에 인접하며 상기 하부 절연층 및 상기 비아 절연층이 직접 접하는 영역을 포함할 수 있다.
- [0010] 일 실시예에 있어서, 상기 도전 패턴은 순차적으로 배치된 티타늄(Ti)층, 알루미늄(Al)층, 및 티타늄(Ti)층을 포함할 수 있다.
- [0011] 일 실시예에 있어서, 상기 제2 영역에 인접하게 배치된 데이터 배선을 더 포함하며, 상기 하부 절연층은 상기 데이터 배선의 하부까지 연장되며, 상기 상부 절연층은 상기 하부 절연층 상에 상기 데이터 배선에 대응되도록 배치될 수 있다.
- [0012] 일 실시예에 있어서, 상기 데이터 배선은 서로 인접하게 배치된 복수 개의 데이터 배선들을 포함하며, 상기 상부 절연층은 상기 복수 개의 데이터 배선들 사이에 배치된 개구를 포함할 수 있다.
- [0013] 일 실시예에 있어서, 상기 하부 절연층은 실리콘산화물(silicon oxide)을 포함하고, 상기 상부 절연층은 실리콘 질화물(silicon nitride)을 포함할 수 있다.
- [0014] 일 실시예에 있어서, 상기 제1 트랜지스터와 전기적으로 연결된 제2 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결되며 상기 기판의 상기 주요면에 대하여 수직인 방향을 따라 상기 제2 트랜지스터와 중첩되도록 배치된 커패시터를 더 포함하며, 상기 제2 트랜지스터는 제2 활성층 및 상기 제2 활성층과 절연된 제2 게이트 전극을 포함하고, 상기 커패시터는 하부 전극으로써 기능하는 상기 제2 게이트 전극 및 상기 제2 게이트 전극에 대향되도록 배치되며 상기 도전 패턴과 다른 층에 배치된 상부 전극을 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 제2 게이트 전극과 상기 상부 전극 사이에 배치된 제2 절연층을 더 포함하며, 상기 제2 절연층은 상기 상부 전극에 대응되도록 배치될 수 있다.
- [0016] 일 실시예에 있어서, 상기 상부 전극의 면적은 상기 제2 게이트 전극의 면적보다 클 수 있다.
- [0017] 일 실시예에 있어서, 상기 제2 절연층은 실리콘질화물(silicon nitride)을 포함할 수 있다.
- [0018] 일 실시예에 있어서, 상기 기판 상의 제2 영역에 배치되며 복수 개의 절연층들을 포함하는 절연 구조체를 더 포함하며, 상기 복수 개의 절연층들은 모두 실질적으로 동일한 굴절률을 갖는 절연 물질로 구성될 수 있다.
- [0019] 본 발명의 다른 실시예는, 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 기판을 준비하는 단계; 상기 기판의 상기 제1 영역 상에 제1 활성층, 및 상기 제1 활성층과 절연된 제1 게이트 전극을 형성하는 단계; 상기 제1 게이트 전극 상에 서로 다른 굴절률을 갖는 하부 절연 물질 및 상부 절연 물질을 형성하는 단계; 상기 하부 절연 물질 및 상기 상부 절연 물질에 제1 활성층의 적어도 일부를 노출하기 위한 개구를 형성하는 단계; 고온 어닐링(thermal annealing)을 수행하는 단계; 상기 상부 절연 물질 상에 도전 물질을 형성하는 단계; 상기 도전 물질 및 상기 상부 절연 물질을 동시에 식각함으로써, 하부 절연층과 상기 하부 절연층 상에 배치된 상부 절연층을 포함하는 제1 절연층 및 상기 개구를 통해 상기 제1 활성층과 전기적으로 연결된 도전 패턴을 형성하는 단계; 상기 기판 상의 상기 제1 영역에 상기 도전 패턴과 전기적으로 연결된 제1 전극을 형성하는 단계; 적어도 상기 제1 영역에, 상기 제1 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막을 형성하는 단계; 상기 제1 개구에 의해 노출된 상기 제1 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및 상기 중간층 상에 제2 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법을 개시한다.
- [0020] 일 실시예에 있어서, 상기 하부 절연 물질을 실리콘산화물(silicon oxide)을 포함하며, 상기 상부 절연 물질은 실리콘질화물(silicon nitride)을 포함할 수 있다.

- [0021] 일 실시예에 있어서, 상기 제1 활성층과 상기 제1 게이트 전극 사이에 상기 하부 절연층과 실질적으로 동일한 굴절률을 갖는 하부 게이트 절연층을 형성하는 단계를 더 포함하며, 상기 하부 게이트 절연층 및 상기 하부 절연층은 상기 제1 영역 및 상기 제2 영역에 형성할 수 있다.
- [0022] 일 실시예에 있어서, 상기 도전 물질 및 상기 상부 절연 물질을 동시에 식각하는 단계는, 상기 도전 물질 상에 감광막을 형성하는 단계; 광을 차단하는 차광부와 광을 투과시키는 투광부를 포함하는 마스크를 이용하여 상기 감광막에 광을 조사하는 단계; 상기 감광막의 상기 투광부에 대응되는 영역을 제거하는 단계; 및 상기 감광막의 제거에 의해 노출된 상기 도전 물질 및 노출된 상기 도전 물질의 하부에 배치된 상부 절연 물질을 동시에 식각하는 단계;를 포함할 수 있다.
- [0023] 일 실시예에 있어서, 상기 식각은 건식 식각(dry etching)일 수 있다.
- [0024] 일 실시예에 있어서, 상기 하부 절연층 상에 상기 상부 절연층 및 상기 도전 패턴을 덮는 비아 절연층을 형성하는 단계를 더 포함하며, 상기 비아 절연층을 형성하는 단계는, 상기 비아 절연층의 적어도 일부가 상기 제1 영역에서 상기 하부 절연층과 직접 접하도록 상기 비아 절연층을 형성하는 단계를 포함할 수 있다.
- [0025] 일 실시예에 있어서, 순차적으로 배치된 티타늄(Ti)층, 알루미늄(Al)층, 및 티타늄(Ti)층을 포함하는 도전 패턴을 형성하는 단계를 포함할 수 있다.
- [0026] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 특허청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0027] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 서로 다른 굴절률을 갖는 층들에 의하여 투과도가 저하되는 문제를 개선함으로써 투과도를 개선한 유기 발광 표시 장치를 제공할 수 있다.
- [0028] 또한, 마스크 추가없이 간단한 공정으로 이러한 유기 발광 표시 장치를 제조할 수 있는 유기 발광 표시 장치의 제조 방법을 제공할 수 있다.
- [0029] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 복수의 픽셀들을 개략적으로 나타낸 평면도이다.
- 도 3은 도 2의 III-III 선을 따라 취한 단면도이다.
- 도 4a 내지 도 4i는 도 3의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 나타낸 단면도들이다.
- 도 5는 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0033] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0034] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0035] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

- [0036] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0037] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0038] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- [0040] 도 1을 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 기관(10) 및 기관(10) 상에 배치되며 광이 방출되는 제1 영역(100)과 외광이 투과되는 제2 영역(200)을 포함하는 복수의 픽셀들(P1, P2)을 포함하는 디스플레이부(20)를 포함한다. 상기 외광은 유기 발광 표시 장치의 외부로부터 유기 발광 표시 장치에 입사된 광을 의미하며, 유기 발광 표시 장치의 일면으로 입사된 외광은 기관(10) 및 디스플레이부(20)를 투과하여 유기 발광 표시 장치의 상기 일면에 대향하는 타면을 통과한 후 사용자에게 인식될 수 있다.
- [0041] 즉, 화상이 구현되는 측에 위치한 사용자가 기관(10)의 외측의 이미지를 관찰할 수 있다. 도 1에 도시된 실시예에서는, 디스플레이부(20)의 화상이 기관(10)의 반대 방향으로 구현되는 전면 발광형을 개시하나, 본 발명이 반드시 이에 한정되는 것은 아니다. 즉, 다른 실시예에 따른 유기 발광 표시 장치는, 디스플레이부(20)의 화상이 기관(10) 방향으로 구현되는 배면 발광형 또는 디스플레이부(20)의 화상이 기관(10) 방향 및 기관(10)의 반대 방향으로 구현되는 양면 발광형일 수 있다.
- [0042] 도 1에서는, 일 실시예에 따른 유기 발광 표시 장치에 포함된 서로 인접한 두 개의 픽셀들인 제1 픽셀(P1)과 제2 픽셀(P2)을 도시하였다. 복수의 픽셀들(P1, P2) 각각은 제1 영역(100)과 제2 영역(200)을 포함하며, 디스플레이부(20)의 제1 영역(100)으로부터 화상이 구현되고, 제2 영역(200)을 통해서 외광이 투과된다. 도시하진 않았지만, 상기 제2 영역(200)은 복수 개의 픽셀들에 연결되도록 배치될 수 있다.
- [0043] 상기 제2 영역(200)에는, 박막트랜지스터, 커패시터 및 유기 발광 소자 등과같이 불투명 금속을 포함하는 소자가 배치되지 않으며, 이러한 구성을 통해 제2 영역(200)에서의 외광 투과도를 높일 수 있다.
- [0044] 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 복수의 픽셀들을 개략적으로 도시한 평면도이고, 도 3은 도 2의 III-III 선을 따라 취한 단면도이다.
- [0045] 도 2 및 도 3을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1)는, 주요면(10a)을 포함하는 기관(10) 및 기관(10)의 주요면(10a) 상에 배치되며 화상을 구현하는 제1 영역(100)과 외광이 투과되는 제2 영역(200)을 포함하는 픽셀(P1)을 포함하며, 상기 픽셀(P1)은, 제1 영역(100)에 배치된 제1 활성층(122), 제1 활성층(122) 상에 제1 활성층(122)과 절연되도록 배치된 제1 게이트 전극(124), 제1 게이트 전극(124) 상에 배치되며 제1 활성층(122)과 전기적으로 연결된 적어도 하나의 전극 패턴(128D, 128S)을 포함하는 제1 트랜지스터(T1), 제1 게이트 전극(124) 및 전극 패턴(128D, 128S) 사이에 배치되며 서로 다른 굴절률을 갖는 하부 절연층(114a) 및 하부 절연층(114a) 상에 전극 패턴(128D, 128S)에 대응되도록 배치된 상부 절연층(114b)을 포함하는 제1 절연층(114), 제1 트랜지스터(T1)와 전기적으로 연결되며 제1 영역(100)에 배치된 제1 전극(150), 적어도 제1 영역(100)에 배치되며 제1 전극(150)의 일부를 노출하는 제1 개구(116a)와 제2 영역(200)에 대응되는 제2 개구(116b)를 포함하는 화소 정의막(116), 제1 전극(150)에 대향된 제2 전극(170), 및 제1 전극(150)과 제2 전극(170) 사이에 배치되며 유기 발광층(162)을 포함하는 중간층(160)을 포함한다.
- [0046] 유기 발광 표시 장치(1)에 포함된 픽셀(P1)은 소정의 색상의 광을 방출하는 제1 영역(100)과 외광이 투과되는 제2 영역(200)을 포함하며, 사용자는 제2 영역(200)을 통해 유기 발광 표시 장치(1) 외부의 이미지를 볼 수 있다.
- [0047] 상기 제1 영역(100)에는 서로 다른 색상의 광을 방출하는 제1 서브 픽셀(SPr), 제2 서브 픽셀(SPg) 및 제3 서브 픽셀(S Pb)이 배치될 수 있으며, 제1 서브 픽셀(SPr), 제2 서브 픽셀(SPg) 및 제3 서브 픽셀(S Pb)은 각각 적색광, 녹색광 및 청색광을 방출할 수 있다. 그러나, 본 발명은 이에 제한되지 않으며 결합에 의해 백색광을 구현할 수 있다면 어떠한 색의 조합도 가능하다.
- [0048] 제1 서브 픽셀(SPr), 제2 서브 픽셀(SPg) 및 제3 서브 픽셀(S Pb)은 각각 트랜지스터(T1, T2) 및 커패시터(Cst) 등을 포함하는 픽셀 회로부에 의해 구동될 수 있다. 일 실시예에 따르면, 픽셀 회로부의 적어도 일부는 제1 서브 픽셀(SPr), 제2 서브 픽셀(SPg) 및 제3 서브 픽셀(S Pb)에 각각 포함된 제1 전극(150)과 평면상 중첩되도록

배치될 수 있다. 이러한 구성은, 제1 전극(150)이 반사 전극이고, 제2 전극(170)이 투명 또는 반투명 전극인 형태, 즉 전면 발광형 유기 발광 표시 장치(1)에 적합한 구조이며 픽셀 회로부의 적어도 일부를 기판(10)과 제1 전극(150)의 사이에 배치함으로써 픽셀(P1)에서 픽셀 회로부가 차지하는 공간을 절약할 수 있다. 따라서, 유기 발광 표시 장치(1)의 개구율 및 투과도를 향상시킬 수 있다.

[0049] 그러나, 본 발명은 이에 제한되지 않으며, 다른 실시예에 따른 유기 발광 표시 장치는 제1 전극이 투명 또는 반투명 전극이고 제2 전극이 반사 전극인 배면 발광형일 수도 있다. 이 경우, 방출되는 광이 굴절 및/또는 반사되지 않도록 픽셀 회로부는 제1 전극과 중첩되지 않도록 배치될 수 있다.

[0050] 일 실시예에 따른 유기 발광 표시 장치(1)는 복수의 픽셀들을 포함하며, 도 2에서는 제1 방향(D1)을 따라 배치된 2개의 픽셀만을 도시하였으며 이하에서는 상기 2개의 픽셀을 각각 제1 픽셀(P1) 및 제2 픽셀(P2)로 명명한다.

[0051] 일 실시예에 따른 유기 발광 표시 장치(1)는 제1 방향(D1)을 따라 배치된 제1 픽셀(P1) 및 제2 픽셀(P2)을 포함할 수 있으며, 제1 방향(D1)을 따라 배치된 적어도 하나의 배선 및 제1 픽셀(P1)과 제2 픽셀(P2)의 사이에 배치되며 제1 방향(D1)을 가로지르는 제2 방향(D2)을 따라 연장된 적어도 하나의 배선을 포함할 수 있다.

[0052] 일 실시예에 따르면, 상기 제1 방향(D1)을 따라 연장된 배선은 스캔선(SLi)이며, 제2 방향(D2)을 따라 연장된 배선은 데이터선(DLa, DLb, DLc) 및 전원선(ELVDD)일 수 있지만, 이에 제한되지는 않는다.

[0053] 상기 제2 영역(200)은 유기 발광 표시 장치(1)의 외부로부터 기판(10)의 일면으로 입사된 광이 유기 발광 표시 장치(1)를 통과하여 사용자에게 인지되는 투명 영역으로써, 제2 영역(200)에는 반사 전극, 불투명 배선 등이 배치되지 않을 수 있다. 상기 제2 영역(200)은 불투명 배선이나 불투명 전극 등에 의해 구획될 수 있으며, 일 실시예에 따르면, 제2 영역(200)은 불투명 배선과 상기 불투명 배선과 이격되어 있는 또 다른 불투명 배선 사이의 영역으로 정의될 수 있다. 그러나, 본 발명은 이에 제한되지 않으며, 화소 정의막(120)이 광을 흡수하는 물질로 구성된 경우 제2 영역(200)은 화소 정의막(116)에 포함된 제2 개구(116b)가 배치된 영역으로 정의될 수 있다.

[0054] 일 실시예에 따르면, 상기 제1 픽셀(P1) 및 제2 픽셀(P2) 각각의 전체 면적에 대한 화소 정의막(116)에 포함된 제2 개구(116b)의 면적의 비율은 약 40 % 내지 약 90%일 수 있다. 상기 제2 개구(116b)의 면적이 약 40 % 미만인 경우 유기 발광 표시 장치(1)에 포함된 외광에 대한 투과도가 높은 영역의 비율이 작아지게 되며, 따라서, 유기 발광 표시 장치(1)가 투명한 표시 장치로 기능하기 어려울 수 있다. 상기 제2 개구(116b)의 면적이 커질수록 유기 발광 표시 장치(1)의 투과도가 높아질 수 있지만, 화상을 표시하는 제1 영역(100)이 확보되어야 하므로 각각의 픽셀(P1, P2)에서 제2 개구(116b)가 차지하는 면적은 약 90 %를 초과할 수 없다.

[0055] 도 3을 참조하면, 기판(10) 상에 버퍼층(111)이 배치되며, 버퍼층(111) 상의 제1 영역(100)에는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 커패시터(Cst)가 배치될 수 있다. 상기 기판(10)은 유리 또는 플라스틱 등으로 구성되며, 버퍼층(111)은 실리콘산화물(SiO_2)을 포함하는 단일층일 수 있다. 상기 버퍼층(111)은 기판(10)을 통해 불순물이 침투하는 것을 차단하고, 표면을 평탄화하는 기능을 수행할 수 있으며, 경우에 따라 생략될 수도 있다.

[0056] 상기 제1 트랜지스터(T1)는 버퍼층(111) 상에 배치된 제1 활성층(122), 제1 활성층(122) 상에 배치된 제1 게이트 전극(124)을 포함하며, 제1 활성층(122)은 채널 영역(122C)과 채널 영역(122C)을 사이에 두고 서로 이격된 소스 영역(122S) 및 드레인 영역(122D)을 포함할 수 있다.

[0057] 상기 제1 활성층(122)은 다양한 물질을 포함할 수 있으며, 일 실시예에 따르면, 제1 활성층(122)은 폴리실리콘(polysilicon)을 포함할 수 있다. 제1 활성층(122)의 소스 영역(122S) 및 드레인 영역(122D)은 불순물이 도핑(doping)된 폴리실리콘일 수 있으며, 상기 도핑에 의해 도전성을 가질 수 있다.

[0058] 상기 제1 활성층(122)과 제1 게이트 전극(124)의 사이에는 하부 게이트 절연층(112)이 배치될 수 있으며, 하부 게이트 절연층(112)은 제1 영역(100)으로부터 제2 영역(200)까지 연장될 수 있다. 일 실시예에 따르면, 상기 하부 게이트 절연층(112)은 실리콘산화물(silicon oxide, SiO_2)을 포함하는 단일층일 수 있다.

[0059] 상기 제1 게이트 전극(124)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 및 구리(Cu)를 포함하는 그룹에서 선택된 물질로 구성된 단일층 또는 다중층일 수 있다.

[0060] 상기 하부 게이트 절연층(112) 상에는 제1 게이트 전극(124)을 덮는 상부 게이트 절연층(113)이 배치될 수 있으

며, 상부 게이트 절연층(113) 상에는 서로 다른 굴절률을 갖는 하부 절연층(114a) 및 상부 절연층(114b)을 포함하는 제1 절연층(114)이 배치될 수 있다.

[0061] 상기 상부 게이트 절연층(113)은 실리콘산화물(SiO_2)을 포함하는 단일층 또는 실리콘산화물(silicon oxide, SiO_2)을 포함하는 층 및 실리콘질화물(silicon nitride, SiN_x)을 포함하는 층을 포함하는 이중층일 수 있으며, 상기 하부 절연층(114a)은 실리콘산화물(SiO_2)을 포함하는 단일층, 상부 절연층(114b)은 실리콘질화물(SiN_x)을 포함하는 단일층일 수 있다.

[0062] 상기 제1 절연층(114) 상에는 도전 패턴(128S, 128D)이 배치되며, 상기 상부 절연층(114b)은 상기 하부 절연층(114a)과 도전 패턴(128S, 128D) 사이에만 배치될 수 있다. 즉, 상기 도전 패턴(128S, 128D)이 배치되지 않은 영역에는 상부 절연층(114b)이 존재하지 않을 수 있다.

[0063] 일 실시예에 따르면, 상기 도전 패턴(128S, 128D)은 제1 활성층(122)의 소스 영역(122S) 및 드레인 영역(122D)과 각각 전기적으로 연결된 소스 전극(128S) 및 드레인 전극(128D)을 포함할 수 있다. 따라서, 상부 절연층(114b)은 소스 전극(128S)의 하부 및 드레인 전극(128D)의 하부에 배치될 수 있으며, 소스 전극(128S)과 드레인 전극(128D)의 사이에는 배치되지 않을 수 있다. 즉, 상부 절연층(114b)은 소스 전극(128S)과 드레인 전극(128D) 사이에 배치된 개구(114h1)를 포함할 수 있다.

[0064] 상기 소스 전극(128S) 및 드레인 전극(128D)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 및 구리(Cu)를 포함하는 그룹에서 선택된 적어도 하나의 물질을 포함하는 단일층 또는 다중층일 수 있다. 일 실시예에 따르면, 소스 전극(128S) 및 드레인 전극(128D)은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 삼중층으로 구성될 수 있다.

[0065] 일 실시예에 따르면, 상기 소스 전극(128S) 및 드레인 전극(128D) 중 하나는 생략될 수 있다.

[0066] 상기 하부 게이트 절연층(112), 상부 게이트 절연층(113), 제1 절연층(114)에 포함된 하부 절연층(114a) 및 상부 절연층(114b)은 도전 패턴(128S, 128D)을 제1 활성층(122)과 연결시키기 위한 콘택홀(C1, C2)을 포함할 수 있다. 즉, 상기 콘택홀(C1, C2)은 하부 게이트 절연층(112), 상부 게이트 절연층(113), 하부 절연층(114a) 및 상부 절연층(114b)에 포함된 개구들이 연결되어 제1 활성층(122)의 일부를 노출시키는 개구일 수 있다.

[0067] 상기 하부 절연층(114a) 상에는 상부 절연층(114b) 및 도전 패턴(128S, 128D)을 덮는 비아 절연층(115)이 배치될 수 있으며, 비아 절연층(115)은 제2 영역(200)에 대응되는 개구(115a)를 포함할 수 있다. 상기 비아 절연층(115)의 두께는 약 $2\ \mu\text{m}$ 이상일 수 있으며, 비아 절연층(115)의 두께를 충분히 두껍게 구성함으로써, 제1 절연층(114)에 포함된 상부 절연층(114b)이 배치되지 않은 영역에서 발생할 수 있는, 제1 게이트 전극(124) 및/또는 상부 전극(136)과 제1 전극(150) 사이에서 발생할 수 있는 커플링(coupling) 현상을 방지할 수 있다. 즉, 제1 게이트 전극(124) 또는 상부 전극(136)과 제1 전극(150)에 의해 기생 커패시터가 발생하는 현상을 방지할 수 있다.

[0068] 일 실시예에 따르면, 제1 영역(100)은 제1 트랜지스터(T1)에 인접하며 하부 절연층(114a)과 비아 절연층(115)이 직접 접하는 영역(A)을 포함할 수 있다. 상기 영역(A)은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 사이 영역을 포함할 수 있다.

[0069] 상기 비아 절연층(115) 상에는 제1 트랜지스터(T1)와 전기적으로 연결되며 제1 영역(100)에 배치된 제1 전극(150), 제1 전극(150)에 대향된 제2 전극(170), 및 제1 전극(150)과 제2 전극(170) 사이에 배치된 중간층(160)을 포함하는 유기 발광 소자(OLED)가 배치될 수 있다. 즉, 비아 절연층(115)은 제1 트랜지스터(T1)과 제1 전극(150) 사이에 배치될 수 있다. 상기 비아 절연층(115)은 비아홀(VIA)을 포함하며, 비아홀(VIA)을 통해 제1 트랜지스터(T1)의 드레인 전극(119D)과 제1 전극(150)이 연결될 수 있다.

[0070] 상기 제1 전극(150)은 반사 전극으로 구성될 수 있으며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등을 포함하는 반사층과, 반사층 상에 형성된 투명 또는 반투명 전극층을 포함할 수 있다. 제1 전극(150)은 각 서브 픽셀마다 서로 독립된 아일랜드 형태로 형성될 수 있다.

[0071] 상기 제2 전극(170)은 투명 또는 반투명 전극으로 구성될 수 있으며, Ag, Al, Mg, Li, Ca, Cu, LiF/Ca, LiF/Al, MgAg 및 CaAg에서 선택된 하나 이상의 물질을 포함할 수 있으며, 수 내지 수십 nm의 두께를 갖는 박막 형태로 형성될 수 있다. 제2 전극(170)은 유기 발광 표시 장치(1)에 포함된 모든 픽셀들에 걸쳐 전기적으로 연

결되도록 구비될 수 있다.

- [0072] 제1 전극(150)과 제2 전극(170)의 사이에는 유기 발광층(162)을 포함하는 중간층(160)이 배치될 수 있으며, 제1 전극(150)과 유기 발광층(162)의 사이 및 유기 발광층(162)과 제2 전극(170)의 사이에는 모든 픽셀들에 공통되게 배치된 공통층이 배치될 수 있다. 일 실시예에 따르면, 상기 제1 전극(150)과 유기 발광층(162)의 사이에는 제1 공통층(161)이 배치될 수 있으며, 상기 제1 공통층(161)은 정공 주입층(HIL: hole injection layer) 및/또는 정공 수송층(HTL: hole transport layer)을 포함할 수 있다. 상기 유기 발광층(162)과 제2 전극(170)의 사이에는 제2 공통층(163)이 배치될 수 있으며, 상기 제2 공통층(163)은 전자 수송층(ETL: electron transport layer) 및/또는 전자 주입층(EIL: electron injection layer)을 포함할 수 있다.
- [0073] 상기 제1 공통층(161) 및 제2 공통층(163)은 제1 영역(100) 및 제2 영역(200)에 배치될 수 있다. 상기 제1 공통층(161) 및 제2 공통층(163)은 유기 발광 표시 장치(1)에 포함된 모든 픽셀에 공통되도록 형성되는 층이며 투과도가 높기 때문에 유기 발광 표시 장치(1)의 전 영역에 배치될 수 있다.
- [0074] 일 실시예에 따르면, 제2 전극(170)은 제2 영역(200)에 대응되는 개구(170a)를 포함할 수 있으며, 상기 개구(170a)에 의해 제2 영역(200)에서의 투과도는 개선될 수 있다. 그러나, 본 발명은 이에 제한되지 않으며, 다른 실시예에 따르면, 제2 전극은 제1 영역(100) 및 제2 영역(200)의 전면에 배치될 수도 있다.
- [0075] 상기 유기 발광층(162)은 적색광, 녹색광 또는 청색광을 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 조합에 의해 백색의 광을 구현할 수 있다면, 적색, 녹색 및 청색의 조합 외에 기타 다양한 색의 조합이 가능할 수 있다.
- [0076] 일 실시예에 따른 유기 발광 표시 장치(1)는 제2 전극(170) 방향으로 화상을 구현하는 전면 발광형(top emission type)이나, 본 발명은 이에 제한되지 않는다.
- [0077] 즉, 다른 실시예에 따르면, 유기 발광 표시 장치는 기관(10) 방향으로 화상을 구현하는 배면 발광형(bottom emission type)일 수 있으며, 이 경우 제1 전극은 투명 또는 반투명 전극으로 구성되고 제2 전극은 반사 전극으로 구성될 수 있다.
- [0078] 버퍼층(111) 상의 제1 영역(100)에는 상기 제1 트랜지스터(T1) 외에 제2 트랜지스터(T2) 및 커패시터(Cst)가 더 배치될 수 있다. 상기 제2 트랜지스터(T2)는 제1 트랜지스터(T1)의 제1 활성층(122)과 동일층에 배치되며, 소스 영역(132S), 드레인 영역(132D), 및 채널 영역(132C)을 포함하는 제2 활성층(132), 및 제1 트랜지스터(T1)의 제1 게이트 전극(124)과 동일층에 배치된 제2 게이트 전극(134)을 포함할 수 있다. 상기 제2 활성층(132)과 제2 게이트 전극(134)의 사이에는 하부 게이트 절연층(112)이 배치될 수 있다.
- [0079] 도시하진 않았지만, 제2 트랜지스터(T2)에 포함된 제2 활성층(132)의 드레인 영역(132D)은 제1 트랜지스터(T1)에 포함된 제1 활성층(122)의 소스 영역(122S)과 전기적으로 연결될 수 있다. 일 실시예에 따르면, 상기 제2 트랜지스터(T2)는 구동 트랜지스터일 수 있으며 제1 트랜지스터(T1)를 경유하여 유기 발광 소자(OLED)의 제1 전극(150)과 전기적으로 연결될 수 있다.
- [0080] 상기 커패시터(Cst)는 서로 대향하는 2개의 전극을 포함하며, 제2 트랜지스터(T2)의 제2 게이트 전극(134)은 커패시터(Cst)의 하부 전극으로써 기능할 수 있다. 상기 하부 게이트 절연층(112) 상에는 제2 게이트 전극(134)을 덮는 상부 게이트 절연층(113)이 배치되며, 상부 게이트 절연층(113) 상에는 제2 게이트 전극(134)과 대향되도록 배치되어 제2 게이트 전극(134)과 함께 상기 커패시터(Cst)를 구성하는 상부 전극(136)이 배치될 수 있다. 상기 상부 전극(136)은 제1 트랜지스터(T1)에 포함된 도전 패턴(128S, 128D)과 다른 층에 배치될 수 있으며, 구체적으로 상부 전극(136)은 도전 패턴(128S, 128D)이 배치된 층보다 하부의 층에 배치될 수 있다.
- [0081] 상기 상부 전극(136)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 및 구리(Cu)를 포함하는 그룹에서 선택된 물질로 구성된 단일층 또는 다중층일 수 있다.
- [0082] 일 실시예에 따르면, 채널 길이 확보를 위해 픽셀 회로부에서 넓은 영역을 차지하는 제2 트랜지스터(T2)와 커패시터(Cst)를 기관(10)의 주요면(10a)에 대하여 수직인 방향을 따라 평면상 서로 중첩되게 배치될 수 있으며, 이러한 구성을 통해 고용량의 커패시터(Cst)를 구현하면서 픽셀 회로부가 차지하는 면적을 최소화할 수 있다. 따라서, 고해상도의 유기 발광 표시 장치(1)를 구현하는 데 유리하며, 제2 영역(200)의 면적을 크게할 수 있어 투과도를 향상시킬 수 있다.
- [0083] 상기 기관(10) 상의 제2 영역(200)에는 복수 개의 절연층들(111, 112, 113, 114a)을 포함하는 절연 구조체(I

S)가 배치될 수 있다. 상기 제2 영역(200)의 유기 발광 표시 장치(1)의 외부의 배경광이 그대로 투과하는 영역이며, 불투명한 금속 등이 배치되지 않는다.

- [0084] 상기 절연 구조체(IS)에 포함된 복수 개의 절연층들(111, 112, 113, 114a)은 모두 실질적으로 동일한 굴절률을 갖는 투명한 절연 물질로 구성될 수 있다. 상기 투명한 절연 물질은 실리콘산화물(SiO_2)일 수 있다.
- [0085] 굴절률이 서로 다른 층들이 서로 접하도록 배치된 경우, 상기 층들 사이의 계면에서는 굴절률 차이에 의한 반사 및/또는 굴절이 발생할 수 있다. 상기 반사 및/또는 굴절은 광의 투과도의 감소 및 투과된 광이 흐릿해지는 헤이즈(Haze) 현상을 발생시킬 수 있다.
- [0086] 그러나, 일 실시예에 따른 유기 발광 표시 장치(1)의 제2 영역(200)에 배치된 복수 개의 절연층들(111, 112, 113, 114a)은 모두 실질적으로 동일한 굴절률을 갖으므로 절연층들(111, 112, 113, 114a)의 계면에서는 반사 및/또는 굴절이 발생하지 않을 수 있으며, 따라서, 유기 발광 표시 장치(1)의 투과도 및 헤이즈 현상을 개선할 수 있다.
- [0087] 상기 복수 개의 절연층들(111, 112, 113, 114a)은 제1 영역(100)에 배치된 버퍼층(111), 하부 게이트 절연층(112), 상부 게이트 절연층(113), 및 제1 절연층(114)의 하부 절연층(114a)이 연장된 층들일 수 있으며, 제1 절연층(114)의 상부 절연층(114b)은 제2 영역(200)에는 배치되지 않을 수 있다. 상기 상부 절연층(114b)은 상기 복수 개의 절연층들(111, 112, 113, 114a)보다 큰 굴절률을 갖는 실리콘질화물(SiN_x)을 포함할 수 있다. 실리콘 질화물(SiN_x)로 구성된 상부 절연층(114b)은 고온 어닐링(thermal annealing) 공정에서 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 특성을 향상시키는 기능을 수행할 수 있다. 일 실시예에 따르면, 상기 어닐링은 약 500도 이상에서 수행될 수 있다.
- [0088] 일 실시예에 따르면, 상부 절연층(114b)을 도전 패턴(128S, 128D)과 함께 식각함으로써 상부 절연층(114b)이 제2 영역(200)에 배치되지 않도록 구성할 수 있다. 또한, 상부 절연층(114b)은 도전 패턴(128S, 128D)과 동일한 마스크 공정을 통해 패터닝되며, 따라서, 상부 절연층(114b)을 패터닝하기 위한 별도의 마스크 공정이 불필요하여 제조 공정을 간소화할 수 있다. 이에 관해서는 후술한다.
- [0089] 일 실시예에 따른 유기 발광 표시 장치(1)는 제1 영역(100) 및 제2 영역(200)에 인접하게 배치된 배선 영역(300)을 더 포함하며, 상기 배선 영역(300)에는 복수 개의 서브 픽셀들에 각각 데이터 신호를 인가하는 데이터 배선들(DLa, DLb)이 배치될 수 있다.
- [0090] 상기 제1 절연층(114)에 포함된 하부 절연층(114a)은 배선 영역(300)까지 연장되어 데이터 배선들(DLa, DLb)의 하부에 배치될 수 있으며, 상부 절연층(114b)은 하부 절연층(114a) 상에 데이터 배선들(DLa, DLb)에 대응되도록 패터닝되어 있을 수 있다.
- [0091] 상기 제3 영역(300)에 배치된 상부 절연층(114b)은 데이터 배선들(DLa, DLb)이 배치된 부분에만 배치되고, 데이터 배선들(DLa, DLb)이 배치되지 않은 영역에는 배치되지 않을 수 있다. 즉, 상부 절연층(114b)은 복수 개의 데이터 배선들(DLa, DLb) 사이에 배치된 개구(114h2)를 포함할 수 있다.
- [0092] 상기 데이터 배선들(DLa, DLb)은 상술한 도전 패턴(128S, 128D)과 동일층에 배치되고 동일 물질을 포함할 수 있으며, 상부 절연층(114b)은 도전 패턴(128S, 128D) 및 데이터 배선들(DLa, DLb)과 동일한 마스크 공정을 통해 형성될 수 있다.
- [0093] 도 4a 내지 도 4i는 도 3의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 나타낸 단면도들이다.
- [0094] 도 4a를 참조하면, 화상을 구현하는 제1 영역(100)과 외광이 투과되는 제2 영역(200)을 포함하는 기판(10)을 준비한 후, 상기 기판(10)의 제1 영역(100)에 제1 반도체 패턴(122') 및 제2 반도체 패턴(132')을 형성할 수 있다. 제1 반도체 패턴(122') 및 제2 반도체 패턴(132')을 형성하기 전에 기판(10) 상에 버퍼층(111)을 형성하는 단계가 더 수행될 수 있다. 상기 버퍼층(111)은 실리콘산화물(SiO_2)로 구성된 단일층일 수 있다.
- [0095] 상기 제1 반도체 패턴(122') 및 제2 반도체 패턴(132')은 기판(10)의 전면에 반도체 물질을 형성한 후에 이를 패터닝함으로써 형성할 수 있으며, 일 실시예에 따르면 상기 반도체 물질은 폴리실리콘일 수 있다. 상기 폴리실리콘은 아모퍼스 실리콘(amorphous silicon)을 기판(10)에 도포한 후 레이저 등을 조사하여 결정화함으로써 형성될 수 있다.
- [0096] 도 4b를 참조하면, 기판(10) 상에 제1 반도체 패턴(122') 및 제2 반도체 패턴(132')을 덮도록 제1 절연 물질

(112')을 형성한 후, 제1 절연 물질(112') 상에 제1 게이트 전극(124) 및 제2 게이트 전극(134)을 형성할 수 있다. 상기 제1 게이트 전극(124) 및 제2 게이트 전극(134)은 도전 물질을 형성한 후 이를 패터닝함으로써 형성될 수 있다.

[0097] 상기 제1 게이트 전극(124) 및 제2 게이트 전극(134)을 마스크로 이용하여 상기 제1 반도체 패턴(122') 및 제2 반도체 패턴(132')을 각각 도핑함으로써, 소스 영역(122S, 132S), 드레인 영역(122D, 132D), 및 채널 영역(122C, 132C)를 포함하는 제1 활성층(122) 및 제2 활성층(132)을 형성할 수 있다.

[0098] 도 4c를 참조하면, 제1 절연 물질(112') 상에 제1 게이트 전극(124) 및 제2 게이트 전극(134)을 덮도록 제2 절연 물질(113')을 형성한 후, 제2 절연 물질(113') 상에 상부 전극(138)을 형성할 수 있다. 상기 상부 전극(138)은 도전 물질을 형성한 후 이를 패터닝함으로써 형성될 수 있다.

[0099] 도 4d를 참조하면, 제2 절연 물질(113') 상에 상부 전극(138)을 덮도록 하부 절연 물질(114a'') 및 상부 절연 물질(114b'')을 형성할 수 있다. 일 실시예에 따르면, 상기 제2 절연 물질(113') 및 하부 절연 물질(114a'')은 실리콘산화물(SiO_2)일 수 있으며, 상부 절연 물질(114b'')은 실리콘질화물(SiN_x)일 수 있다.

[0100] 도 4e를 참조하면, 제1 내지 상부 절연 물질(112', 113', 114a'', 114b'')을 동시에 패터닝함으로써 제1 활성층(122)의 소스 영역(122S) 및 드레인 영역(122D)을 각각 노출하는 제1 콘택홀(C1) 및 제2 콘택홀(C2)을 형성할 수 있으며, 제1 절연 물질(112'), 제2 절연 물질(113'), 및 하부 절연 물질(114a'')은 각각 도 3의 하부 게이트 절연층(112), 상부 게이트 절연층(113), 및 제1 절연층(114)에 포함된 하부 절연층(114a)이 될 수 있으며, 상기 상부 절연 물질(114b'')은 콘택홀(C1, C2)을 형성하기 위한 개구를 포함하는 상부 절연 물질(114b')이 될 수 있다.

[0101] 상기 제1 콘택홀(C1) 및 제2 콘택홀(C2)을 형성한 후, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 특성을 향상시키기 위한 급속 고온 어닐링(RTA; rapid thermal annealing)을 수행할 수 있다. 상기 급속 고온 어닐링에 의해, 실리콘질화물(SiN_x)로 구성된 상부 절연 물질(114b')에 포함된 수소(hydrogen)가 제1 트랜지스터(T1)의 제1 활성층(122) 및 제2 트랜지스터(T2)의 제2 활성층(132)에 침투될 수 있으며, 침투된 수소는 제1 활성층(122) 및 제2 활성층(132)을 구성하는 폴리실리콘의 수소 결합(hydrogen bonding)이 끊어진 부분을 연결시키는 기능을 수행할 수 있다. 상기 연결에 의해 제1 활성층(122) 및 제2 활성층(132)에 각각 포함된 채널 영역(122C, 132C)의 전달 특성이 개선되며, 결과적으로 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 특성이 개선될 수 있다.

[0102] 물질의 특성 상, 실리콘질화물은 실리콘산화물에 비하여 수소 함량에 매우 크며, 따라서 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 특성을 향상시키기 위해 실리콘질화물로 구성된 상부 절연 물질(114b')을 형성한 후 고온 어닐링을 수행할 수 있다.

[0103] 도 4f를 참조하면, 콘택홀(C1, C2)이 형성된 상부 절연 물질(114b') 상에 도전 물질(128') 및 감광막(PR)을 형성할 수 있다. 일 실시예에 따르면, 상기 도전 물질(128')은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 삼중층으로 구성될 수 있다.

[0104] 상기 감광막(PR)을 형성한 후, 광을 차단하는 차광부(Ma)과 광을 투과시키는 투광부(Mb)를 포함하는 마스크(M)를 이용하여 감광막(PR)에 광을 조사한 후, 광이 조사된 영역의 감광막(PR)을 현상할 수 있다. 도 4f에서는 감광막(PR)이 양성(positive)인 경우를 예시하였지만, 본 발명은 이에 제한되지 않으며 상기 감광막(PR)은 음성(negative)일 수도 있고, 이 경우 마스크(M)의 차광부(Ma)와 투광부(Mb)의 위치는 서로 반대가 될 수 있다.

[0105] 상기 감광막(PR)을 현상함으로써, 투광부(Mb)에 대응되는 영역의 도전 물질(128')이 노출될 수 있다.

[0106] 도 4g를 참조하면, 감광막(PR)에 의해 노출된 도전 물질(128') 및 도전 물질(128')의 하부에 배치된 상부 절연 물질(114b')을 동시에 식각(etching)할 수 있다. 일 실시예에 따르면, 상기 식각은 건식 식각(dry etching)일 수 있으며, 식각 가스로는 염소 가스(Chlorine gas, Cl_2)와 삼염화 붕소(Boron trichloride, BCl_3)가 혼합된 가스를 사용할 수 있다. 상기 식각 공정에서, 식각 시간을 조절함으로써 도전 물질(128')뿐 아니라 도전 물질(128')의 하부에 배치된 상부 절연 물질(114b')까지 식각할 수 있다.

[0107] 일 실시예에 따르면, 상기 도전 물질(128')은 300 Å의 티타늄(Ti), 5000 Å의 알루미늄(Al), 및 700 Å의 티타늄(Ti)으로 구성된 삼중층일 수 있으며, 상부 절연 물질(114b')은 약 2000 Å의 실리콘질화물일 수 있다. 상기 도전 물질(128')과 상부 절연 물질을 제거하기 위한 식각 시간은 약 170초 이상일 수 있다.

- [0108] 상기 식각 공정을 통해 콘택홀(C1, C2)을 통해 활성층(122)과 연결된 도전 패턴(128S, 128D) 및 하부 절연층(114a)과 도전 패턴(128S, 128D) 사이에 배치된 상부 절연층(114b)을 형성할 수 있다.
- [0109] 상기 도전 패턴(128S, 128D)은 활성층(122)의 소스 영역(122S) 및 드레인 영역(122D)과 각각 연결된 소스 전극(128S) 및 드레인 전극(128D)일 수 있으며, 상부 절연층(114b)은 소스 전극(128S)과 드레인 전극(128D) 사이에 배치된 개구(114h1)를 포함할 수 있다.
- [0110] 또한, 상기 식각 공정을 통해 배선 영역(300)에는 복수 개의 데이터 배선들(DLa, DLb) 및 하부 절연층(114a)과 데이터 배선(DLa, DLb) 사이에 배치된 상부 절연층(114b)이 형성되며, 상부 절연층(114b)의 복수 개의 데이터 배선들(DLa, DLb) 사이에 배치된 개구(114h2)를 포함할 수 있다.
- [0111] 기판(10) 상의 제2 영역(200)에는 실질적으로 동일한 굴절률을 갖는 복수 개의 절연층들(111, 112, 113, 114a)로 구성된 절연 구조체(IS)가 배치될 수 있으며, 상기 복수 개의 절연층들(111, 112, 113, 114a)이 모두 동일한 굴절률을 갖으므로, 굴절률이 다른 층들의 계면에서 발생하는 반사 및/또는 굴절이 발생하지 않을 수 있다.
- [0112] 도 4h, 도 4i, 및 도 3을 참조하면, 도 4g의 결과물 상에 절연 물질을 형성한 후 이를 패터닝하여 비아홀(VIA)과 제2 영역(200)에 대응되는 개구(115a)를 포함하는 비아 절연층(115)을 형성할 수 있다. 상기 절연 물질을 유기물일 수 있으나, 이에 제한되지는 않는다.
- [0113] 상기 비아 절연층(115) 상의 제1 영역(100)에 비아홀(VIA)을 통해 제1 트랜지스터(T1)과 연결되는 제1 전극(150)을 형성한 후, 제1 전극(150) 상에 절연 물질을 형성하고 이를 패터닝하여 제1 전극(150)의 일부를 노출하는 제1 개구(116a) 및 제2 영역(200)에 대응되는 제2 개구(116b)를 포함하는 화소 정의막(116)을 형성할 수 있다.
- [0114] 상기 제1 개구(116a)에 의해 노출된 제1 전극(150) 상에 유기 발광층(162)을 포함하는 중간층(160) 및 제2 전극(170)을 형성할 수 있다. 상기 유기 발광층(162)을 형성하기 전에 제1 전극(150) 상에 제1 공통층(161)을 형성하고, 유기 발광층(162)을 형성한 후 제2 공통층(163)을 형성할 수 있으며, 제1 공통층(161) 및 제2 공통층(162)은 제2 영역(200)까지 연장되어 배치될 수 있다.
- [0115] 상기 제2 전극(170)은 제2 영역(200)에 대응되는 개구(170a)를 포함할 수 있지만, 본 발명은 이에 제한되지 않으며, 상기 개구(170a)를 형성하는 단계를 생략될 수 있다.
- [0116] 도 5는 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.
- [0117] 도 5를 참조하면, 일 실시예에 따른 유기 발광 표시 장치(2)는, 주요면(10a)을 포함하는 기판(10) 및 기판(10)의 주요면(10a) 상에 배치되며 화상을 구현하는 제1 영역(100)과 외광이 투과되는 제2 영역(200)을 포함하는 픽셀을 포함하며, 상기 픽셀은, 제1 영역(100)에 배치된 제1 활성층(222), 제1 활성층(222) 상에 제1 활성층(222)과 절연되도록 배치된 제1 게이트 전극(224), 제1 게이트 전극(224) 상에 배치되며 제1 활성층(222)과 전기적으로 연결된 적어도 하나의 전극 패턴(228D)을 포함하는 제1 트랜지스터(T1), 제1 게이트 전극(224) 및 전극 패턴(228D) 사이에 배치되며 서로 다른 굴절률을 갖는 하부 절연층(214a) 및 하부 절연층(214a) 상에 전극 패턴(228D)에 대응되도록 배치된 상부 절연층(214b)을 포함하는 제1 절연층(214), 제1 트랜지스터(T1)와 전기적으로 연결되며 제1 영역(100)에 배치된 제1 전극(250), 적어도 제1 영역(100)에 배치되며 제1 전극(250)의 일부를 노출하는 제1 개구(216a)와 제2 영역(200)에 대응되는 제2 개구(216b)를 포함하는 화소 정의막(216), 제1 전극(250)에 대향된 제2 전극(270), 및 제1 전극(250)과 제2 전극(270) 사이에 배치되며 유기 발광층을 포함하는 중간층(260)을 포함한다.
- [0118] 상기 기판(10) 상에는 버퍼층(211)이 배치되며, 버퍼층(211) 상의 제1 영역(100)에는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 커패시터(Cst)가 배치될 수 있다.
- [0119] 상기 제1 트랜지스터(T1)는 버퍼층(211) 상에 배치된 제1 활성층(222), 제1 활성층(222) 상에 배치된 제1 게이트 전극(224)을 포함하며, 제1 활성층(222)은 채널 영역(222C)과 채널 영역(222C)을 사이에 두고 서로 이격된 소스 영역(222S) 및 드레인 영역(222D)을 포함할 수 있다.
- [0120] 상기 제1 활성층(222)과 제1 게이트 전극(224)의 사이에는 하부 게이트 절연층(212)이 배치될 수 있으며, 하부 게이트 절연층(212)은 제1 영역(100)으로부터 제2 영역(200)까지 연장될 수 있다. 일 실시예에 따르면, 상기 하부 게이트 절연층(212)은 실리콘산화물(silicon oxide, SiO₂)을 포함하는 단일층일 수 있다.
- [0121] 상기 하부 게이트 절연층(212) 상에는 제1 게이트 전극(224)을 덮는 상부 게이트 절연층(213)이 배치될 수 있으

며, 상부 게이트 절연층(213) 상에는 서로 다른 굴절률을 갖는 하부 절연층(214a) 및 상부 절연층(214b)을 포함하는 제1 절연층(214)이 배치될 수 있다.

- [0122] 상기 상부 게이트 절연층(213)은 실리콘산화물(SiO_2)을 포함하는 단일층일 수 있으며, 상기 하부 절연층(214a)은 실리콘산화물(SiO_2)을 포함하는 단일층, 상부 절연층(214b)은 실리콘질화물(SiN_x)을 포함하는 단일층일 수 있다.
- [0123] 상기 제1 절연층(214) 상에는 도전 패턴(228D)이 배치되며, 상부 절연층(214b)은 하부 절연층(214a)과 도전 패턴(228D) 사이에만 배치될 수 있다. 즉, 도전 패턴(228D)이 배치되지 않은 영역에는 상부 절연층(214a)이 존재하지 않을 수 있다.
- [0124] 상기 하부 게이트 절연층(212), 상부 게이트 절연층(213), 제1 절연층(214)에 포함된 하부 절연층(214a) 및 상부 절연층(214b)은 도전 패턴(228D)을 제1 활성층(222)과 연결시키기 위한 콘택홀(C1)을 포함할 수 있다.
- [0125] 상기 하부 절연층(214a) 상에는 상부 절연층(214b) 및 도전 패턴(228D)을 덮는 비아 절연층(215)이 배치될 수 있으며, 비아 절연층(215)은 제2 영역(200)에 대응되는 개구(215a)를 포함할 수 있다.
- [0126] 상기 비아 절연층(215) 상에는 제1 트랜지스터(T1)와 전기적으로 연결되며 제1 영역(100)에 배치된 제1 전극(250), 제1 전극(250)에 대향된 제2 전극(270), 및 제1 전극(250)과 제2 전극(270) 사이에 배치된 중간층(260)을 포함하는 유기 발광 소자(OLED)가 배치될 수 있다. 일 실시예에 따르면, 상기 중간층(260)은 유기 발광층을 포함할 수 있으며, 도시하진 않았지만 중간층(260)은 도 3에 도시된 것과 같이 공통층을 더 포함할 수 있다.
- [0127] 일 실시예에 따르면, 상기 제2 전극(270)은 제1 영역(100) 및 제2 영역(200)에 배치될 수 있다. 상기 제2 전극(270)은 투명 또는 반투명 전극일 수 있으며, 제2 영역(200)에 제2 전극(270)이 배치되더라도 제2 영역(200)을 통해 외부 배경광을 유기 발광 표시 장치(2)를 투과할 수 있다. 상기 제2 전극(270)은 제2 영역(200)에 대응되는 개구를 형성하는 공정없이 기판(10) 상의 전면에 형성될 수 있다.
- [0128] 버퍼층(211) 상의 제1 영역(100)에는 상기 제1 트랜지스터(T1) 외에 제2 트랜지스터(T2) 및 커패시터(Cst)가 더 배치될 수 있다. 상기 제2 트랜지스터(T2)는 제1 트랜지스터(T1)의 제1 활성층(222)과 동일층에 배치되며, 소스 영역(232S), 드레인 영역(232D), 및 채널 영역(232C)을 포함하는 제2 활성층(132), 및 제1 트랜지스터(T1)의 제1 게이트 전극(224)과 동일층에 배치된 제2 게이트 전극(234)을 포함할 수 있다. 상기 제2 활성층(132)과 제2 게이트 전극(234)의 사이에는 하부 게이트 절연층(212)이 배치될 수 있다. 상기 제2 활성층(132)의 드레인 영역(132D)은 제1 활성층(122)의 소스 영역(122S)과 연결될 수 있다.
- [0129] 상기 제2 게이트 전극(234)은 제2 트랜지스터(T2)의 게이트 전극뿐 아니라 커패시터(Cst)의 하부 전극으로도 기능할 수 있으며, 커패시터(Cst)는 제2 게이트 전극(234) 및 제2 게이트 전극(234)에 대향하도록 배치된 상부 전극(236)을 포함할 수 있다.
- [0130] 상기 제2 게이트 전극(234) 및 상부 전극(236) 사이에는 상부 게이트 절연층(113) 및 제2 절연층(217)이 배치되며, 상기 상부 게이트 절연층(113)은 실리콘산화물(SiO_2)을 포함하고, 제2 절연층(217)은 실리콘질화물(SiN_x)을 포함할 수 있다. 상기 제2 절연층(217)은 상부 전극(236)의 하부에만 배치되도록 패턴될 수 있다. 즉, 상부 전극(236)이 배치되지 않은 영역에는 제2 절연층(217)이 존재하지 않을 수 있다.
- [0131] 도시하진 않았지만, 상기 상부 전극(236) 및 제2 절연층(217)은 도 4f 및 도 4g에 도시된 상부 절연층(114b)과 도전 패턴(128S, 128D)을 동시에 형성하는 방법과 실질적으로 동일한 방법에 의해 형성될 수 있다.
- [0132] 상기 상부 전극(236)의 면적은 제2 게이트 전극(234)의 면적보다 클 수 있다. 이 경우, 제2 절연층(217)은 제2 절연층(217)을 완전히 덮을 수 있다. 다른 실시예에 따르면, 상부 게이트 절연층(113)은 생략될 수 있으며, 이 경우 제2 절연층(217)이 제2 게이트 전극(234)을 완전히 덮으므로 제2 게이트 전극(234)과 상부 전극(236) 사이의 단선이 발생하지 않을 수 있다.
- [0133] 상기 상부 게이트 절연층(113) 및 제2 절연층(217)은 커패시터(Cst)의 유전층으로써 기능하며, 실리콘산화물(SiO_2)에 비하여 높은 굴절률을 갖는 실리콘질화물(SiN_x)을 제2 게이트 전극(234) 및 상부 전극(236) 사이에 배치함으로써 커패시터(Cst)의 용량을 증가시킬 수 있다. 다만, 제2 절연층(217)이 제2 영역(200) 등 다른 영역에 배치되는 경우 실리콘산화물(SiO_2)로 구성된 인접한 층들과의 계면에서 반사 및/또는 굴절이 발생할 수 있으나, 일 실시예에 따르면, 제2 절연층(217)은 상부 전극(236)의 하부에만 배치되므로, 상기 계면에서의 반사 및/또는

굴절이 발생되지 않을 수 있다.

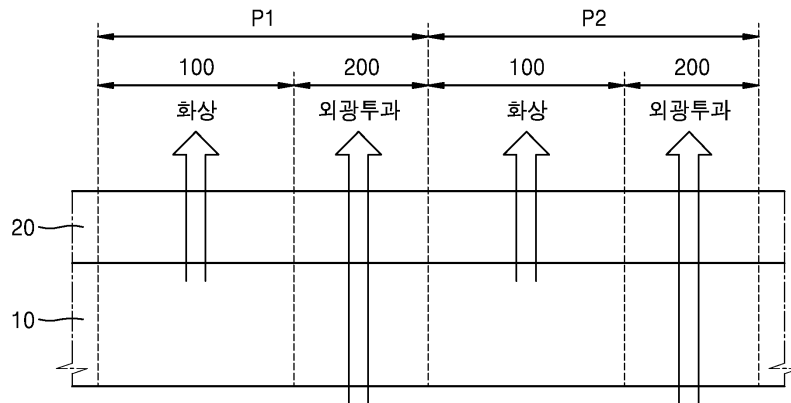
- [0134] 상기 기판(10) 상의 제2 영역(200)에는 복수 개의 절연층들(211, 212, 213, 214a)을 포함하는 절연 구조체(1S)가 배치될 수 있다. 상기 절연 구조체(1S)에 포함된 복수 개의 절연층들(211, 212, 213, 214a)은 모두 실질적으로 동일한 굴절률을 갖는 투명한 절연 물질로 구성될 수 있다. 상기 투명한 절연 물질은 실리콘산화물(SiO_2)일 수 있다.
- [0135] 일 실시예에 따른 유기 발광 표시 장치(2)의 제2 영역(200)에 배치된 복수 개의 절연층들(211, 212, 213, 214a)은 모두 실질적으로 동일한 굴절률을 갖으므로 절연층들(211, 212, 213, 214a)의 계면에서는 반사 및/또는 굴절이 발생하지 않을 수 있으며, 따라서, 유기 발광 표시 장치(2)의 투과도 및 헤이즈 현상을 개선할 수 있다.
- [0136] 상기 복수 개의 절연층들(211, 212, 213, 214a)은 제1 영역(100)에 배치된 버퍼층(211), 하부 게이트 절연층(212), 상부 게이트 절연층(213), 및 제1 절연층(214)의 하부 절연층(214a)이 연장된 층들일 수 있으며, 실리콘 질화물(SiN_x)로 구성된 제1 절연층(214)의 상부 절연층(214b)은 및 제2 절연층(217)은 제2 영역(200)에는 배치되지 않을 수 있다.
- [0137] 일 실시예에 따르면, 상부 절연층(214b)을 도전 패턴(228D)과 함께 식각하고, 제2 절연층(217)은 상부 전극(236)과 함께 식각함으로써 별도의 마스크 공정을 추가하지 않고 제2 영역(200)에 상부 절연층(214b) 및 제2 절연층(217)이 배치되지 않도록 구성할 수 있다.
- [0138] 본 발명의 실시예들에 따른 유기 발광 표시 장치(1, 2)는, 외광이 투과되는 제2 영역(200)에 상부 절연층(114b, 214b)이 배치되지 않도록 구성함으로써, 굴절률이 서로 다른 층들 사이에서 발생할 수 있는 반사 및/또는 굴절이 발생하지 않도록 할 수 있다. 즉, 유기 발광 표시 장치(1, 2)의 투과도를 개선하고 헤이즈(haze) 현상을 방지할 수 있다.
- [0139] 또한, 상기 상부 절연층(114b, 214b)을 도전 패턴(128S, 128D, 228D)과 동일마스크 공정에 의해 동시에 형성함으로써, 마스크 추가없이 투과도가 개선된 유기 발광 표시 장치(1, 2)를 제조할 수 있다.
- [0140] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

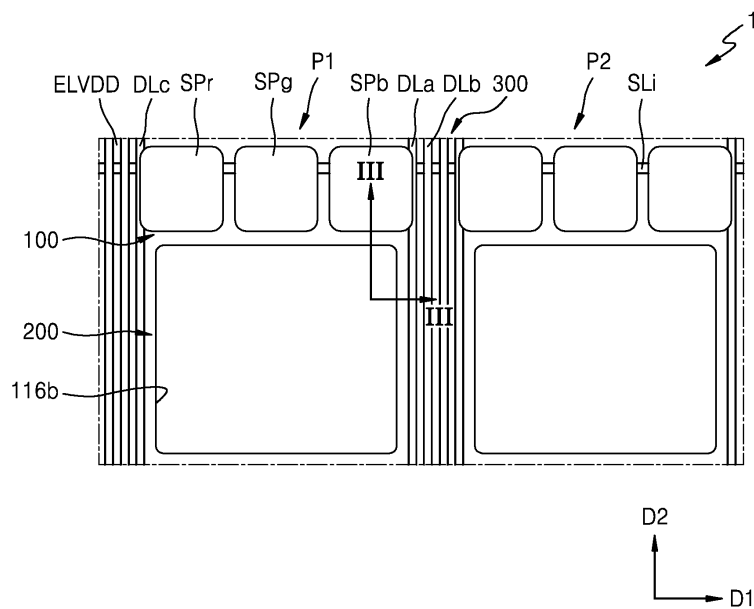
- [0141] 1, 2: 유기 발광 표시 장치 10: 기판
- 10a: 주요면 100: 제1 영역
- 200: 제2 영역 300: 배선 영역
- 111, 211: 버퍼층 112, 212: 하부 게이트 절연층
- 113, 213: 상부 게이트 절연층 114, 214: 제1 절연층
- 114a, 214a: 하부 절연층 114b, 214b: 상부 절연층
- 115, 215: 비아 절연층 116, 216: 화소 정의막
- 217: 제2 절연층 122, 222: 제1 활성층
- 124, 224: 제1 게이트 전극 128S, 128D, 228D: 도전 패턴
- 132, 232: 제2 활성층 134, 234: 제2 게이트 전극
- 136, 236: 상부 전극 170, 270, 370: 제2 전극
- T1: 제1 트랜지스터 T2: 제2 트랜지스터
- Cst: 커패시터 DL_a, DL_b, DL_c: 데이터 배선

도면

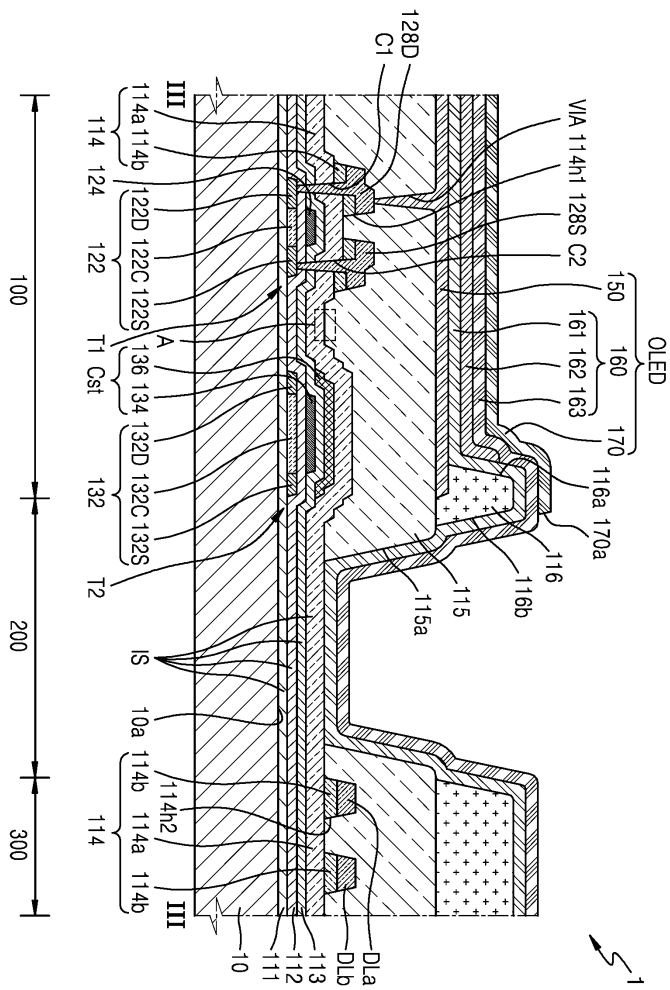
도면1



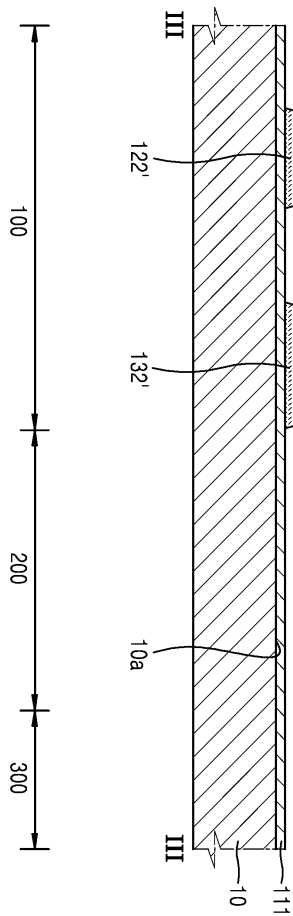
도면2



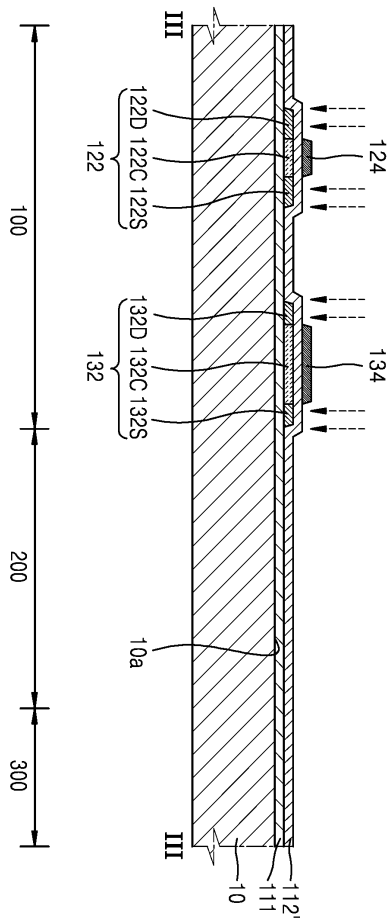
도면3



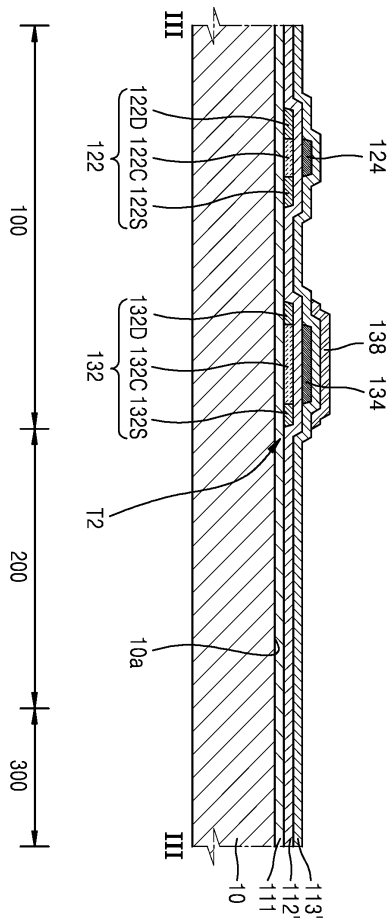
도면4a



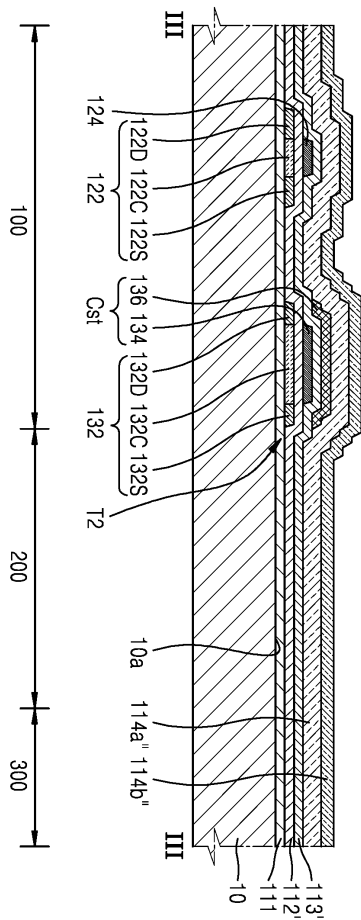
도면4b



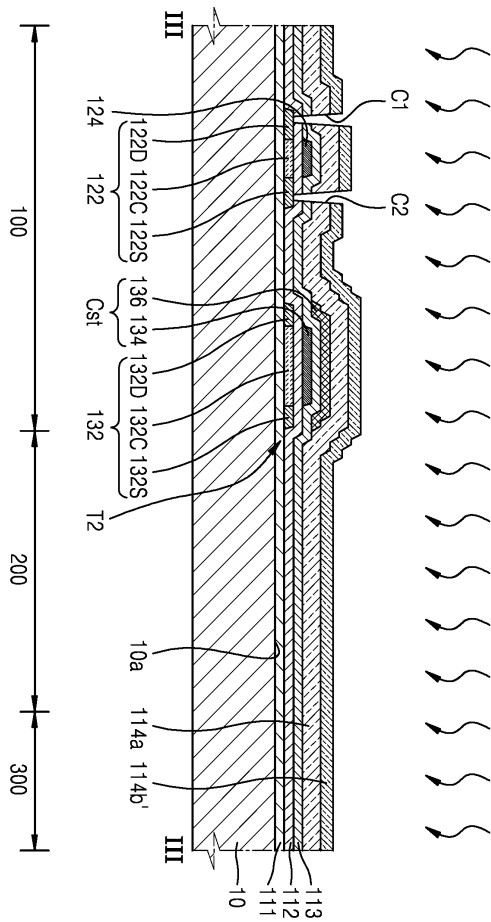
도면4c



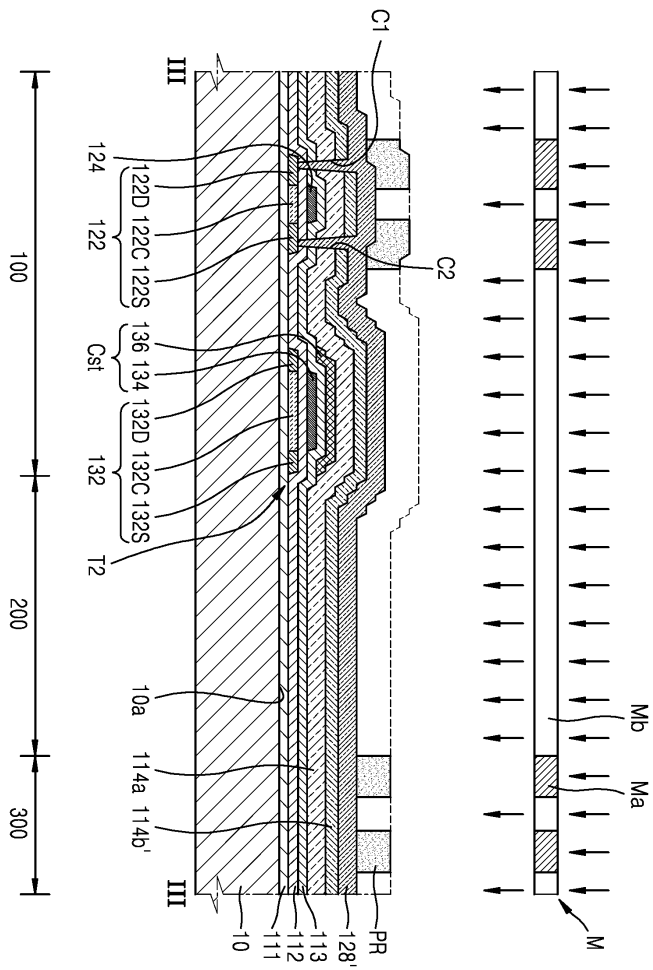
도면4d



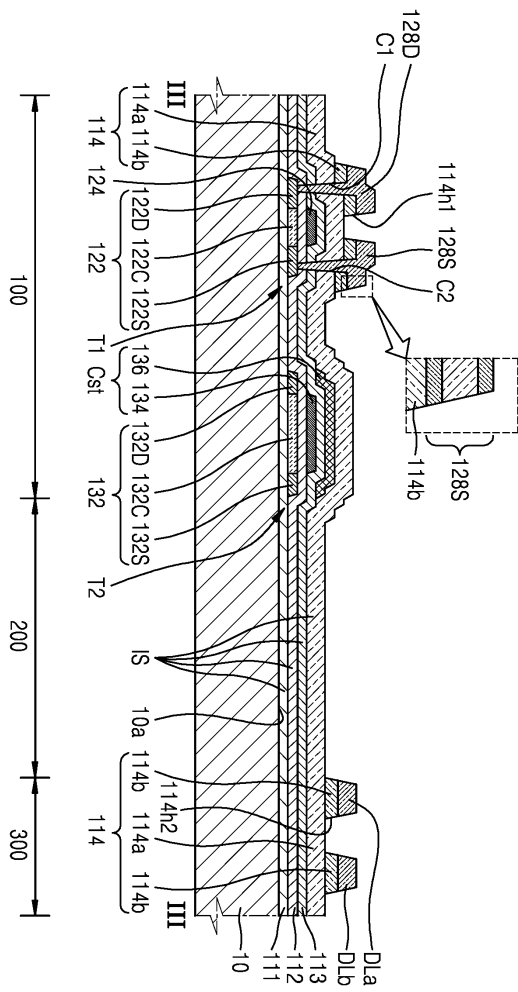
도면4e



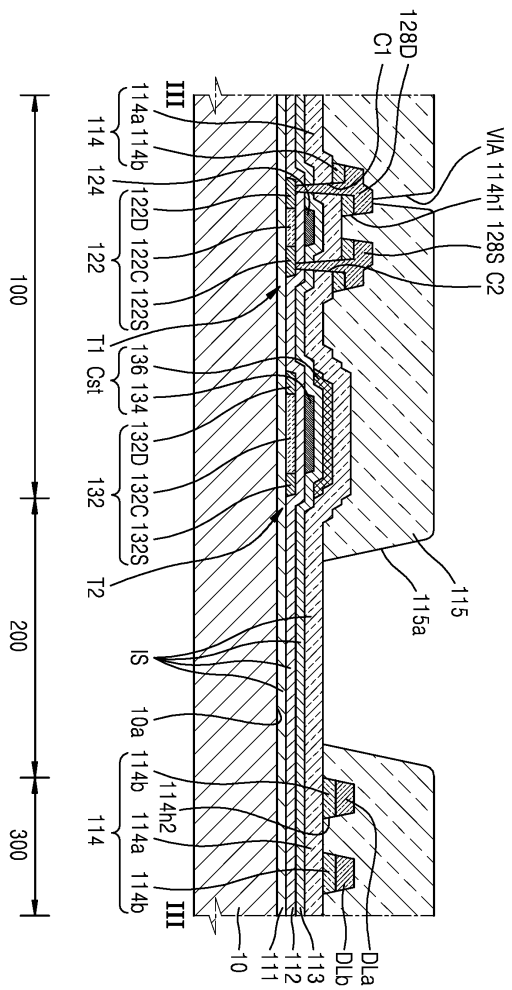
도면4f



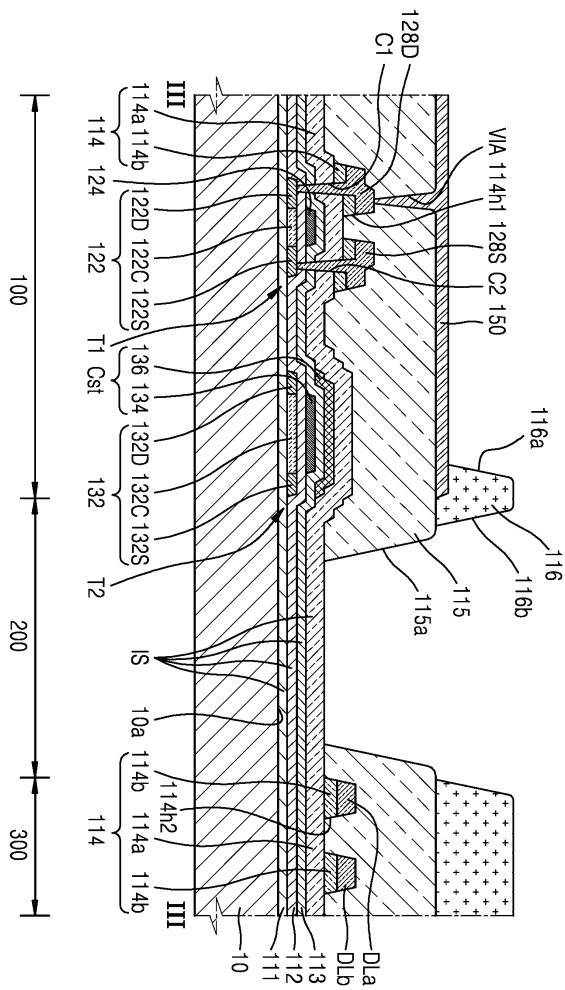
도면4g



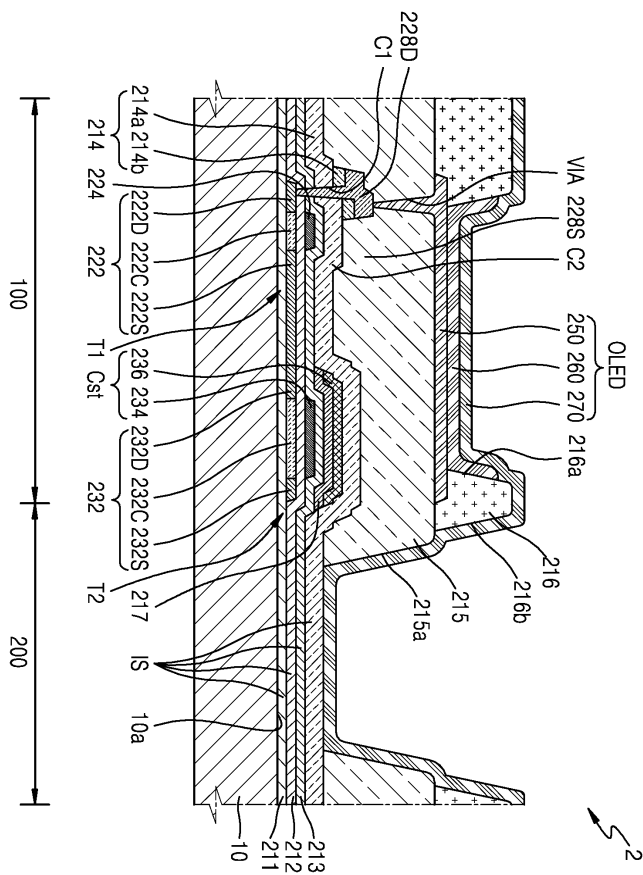
도면4h



도면4i



도면5



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020170031849A	公开(公告)日	2017-03-22
申请号	KR1020150129091	申请日	2015-09-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUN KWANG 김선광 KIM KWANG SUK 김광속 KANG KI NYENG 강기녕 YOO HEE JUN 유희준 CHOI JONG HYUN 최중현		
发明人	김선광 김광속 강기녕 유희준 최중현		
IPC分类号	H01L27/32		
CPC分类号	H01L27/326 H01L27/3248 H01L27/3258 H01L27/3246 H01L27/3262 H01L51/5278 H01L2227/32 H01L27/3276		
外部链接	Espacenet		

摘要(译)

本发明的优选实施方案公开了有机发光显示装置，其包括含有像素限定层的中间层，并且有机发光层布置在第二电极之间，面对第一电极，第一电极和第二电极包括第一绝缘层，第一电极和包括第一晶体管的第一开口中的相应第二开口的电极，以及包括第一有源层的下层绝缘层，该第一有源层包括在布置时实现图像的第一区域的像素在基板的主面和包括主面和第二部分的基板上，外部光被透射并且被布置在基板中第一区域，第一有源层上的第一有源层，以及设置为绝缘的第一栅电极和至少一个电极图案，该电极图案与第一有源层电连接，同时布置在第一栅电极上。下面的绝缘层具有不同的折射率，它布置在第一栅电极和电极图案与顶部隔离层之间，顶部隔离层设置成与下面的绝缘层上的电极图案相对应。第一电极与第一晶体管电连接并且布置在第一区域中。第一开口中的相应第二开口暴露第一电极的一部分，同时布置在至少第一区域和第二区域中部分。

