



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0119301
(43) 공개일자 2016년10월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3246 (2013.01)

(21) 출원번호 10-2015-0046695
(22) 출원일자 2015년04월02일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
심성빈
경상남도 양산시 연호2길 5 서창양조장 (삼호동)
김수현
경기도 파주시 월릉면 엘씨디로 201 정다운마을 B동 225호

지문배
경기 파주시 가람로22,114동 901호(와동동,가람마을1단지벽산한라아파트)

(74) 대리인
김은구, 송해모

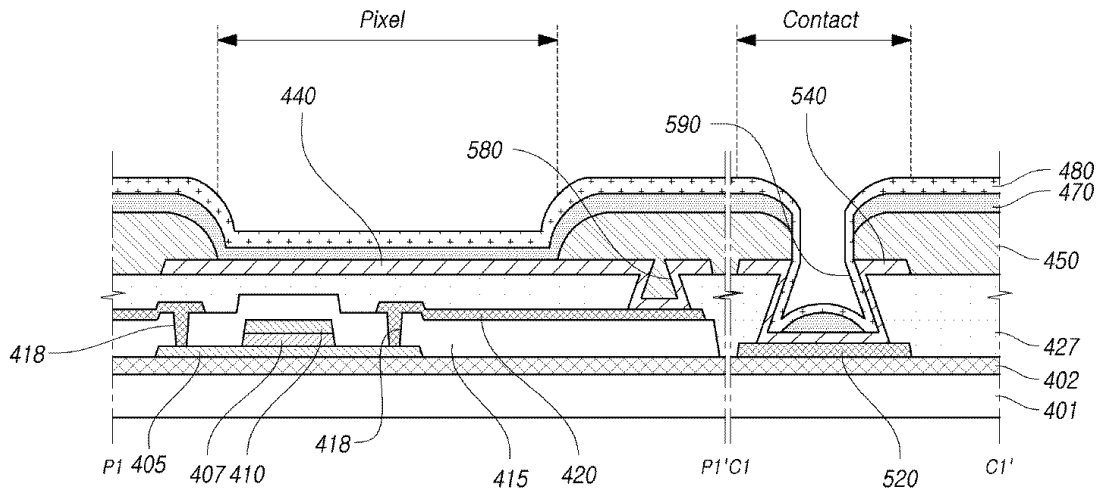
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광표시장치 및 이를 제조하는 방법

(57) 요약

본 발명은 유기발광표시장치 및 이를 제조하는 방법에 관한 것으로 본 발명의 일 측면에서, 본 발명은 복수의 화소영역이 정의된 기판 상에서, 화소영역 각각에 위치하는 제1전극, 제1전극 상에 유기발광층, 및 제2전극이 위치하는 구조에서 제1전극이 위치하는 보호층에서 둘 이상의 화소영역 사이에 제1방향 또는 제2방향 중 어느 하나 이상으로 위치하는 제1보조배선과 제2전극이 접촉하는 유기발광표시장치를 제공한다.

대표도



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

명세서

청구범위

청구항 1

복수의 화소영역이 정의된 기판;

상기 화소영역 각각에 위치하는 제1전극;

상기 제1전극 상에 유기발광층;

상기 유기발광층 상에 제2전극; 및

상기 제1전극이 위치하는 보호층에서 상기 둘 이상의 화소영역 사이에 제1방향 또는 제2방향 중 어느 하나 이상으로 위치하며, 상기 보호층의 제1컨택홀에서 상기 제2전극과 컨택하는 제1보조배선을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1보조배선은 상기 제1전극과 동일한 물질인 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 제1보조배선은 상기 제1컨택홀을 통하여 제2방향으로 위치하는 제2보조배선에 연결되는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 제1전극은 박막트랜지스터의 소스 또는 드레인에 제2컨택홀을 통하여 연결되며,

상기 제1컨택홀의 깊이는 상기 제2컨택홀의 깊이보다 크며,

상기 제2보조배선은 상기 소스 또는 드레인과 동일한 물질인 유기발광표시장치.

청구항 5

제3항에 있어서,

상기 제1전극은 연결전극에 제3컨택홀을 통하여 연결되며,

상기 연결전극은 박막트랜지스터의 소스 또는 드레인에 제4컨택홀을 통하여 연결되며,

상기 제2보조배선은 상기 연결전극과 동일한 물질인 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1컨택홀은 역테이퍼 형태이며,

상기 제1컨택홀의 격벽에서 상기 제1보조배선과 상기 제2전극이 컨택하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 제1컨택홀의 저면에 상기 유기발광층이 위치하는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 제1보조배선의 일단 또는 양단은 상기 제2전극과 동일한 전위의 전원이 인가되는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 보호층은 네거티브 포토레지스트(Negative Photo Resist)인 유기발광표시장치.

청구항 10

기판 상의 복수의 화소영역에 보호층을 형성하는 단계;

상기 보호층에 제1컨택홀과 상기 화소영역에 위치하는 박막 트랜지스터의 소스 또는 드레인의 일부를 노출시키거나 또는 상기 소스 또는 드레인에 연결된 연결 전극을 노출시키는 제2컨택홀을 형성하는 단계;

상기 제1컨택홀의 격벽에 제1보조배선을 증착하여 제1보조배선을 형성하고, 상기 제2컨택홀의 격벽에 제1전극을 증착하여 제1전극을 형성하는 단계;

화소영역을 정의하며 상기 제1컨택홀을 노출시키는 뱅크를 형성하는 단계;

유기발광층을 형성하는 단계; 및

상기 제1컨택홀에서 상기 제1보조배선과 연결되며 상기 유기발광층상에 위치하는 제2전극을 형성하는 단계를 포함하는 표시패널을 제조하는 방법.

청구항 11

제10항에 있어서,

상기 보호층을 형성하는 단계 이전에,

상기 소스 또는 드레인과 제2보조배선을 형성하는 단계를 더 포함하며,

상기 제2보조배선은 상기 제1컨택홀에서 노출되는, 표시패널을 제조하는 방법.

청구항 12

제10항에 있어서,

상기 보호층을 형성하는 단계 이전에,

상기 소스 또는 드레인의 일부를 노출시키는 제3컨택홀을 형성하는 단계; 및

상기 제3컨택홀을 통하여 상기 소스 또는 드레인과 연결되는 연결전극 및 제2보조배선을 형성하는 단계를 더 포함하며,

상기 제2보조배선은 상기 제1컨택홀에서 노출되는, 표시패널을 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 보조배선이 화소영역의 주변 영역에 위치하는 유기발광표시장치 및 이를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device, 또는 유기전계발광표시장치) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 맞는 표시패널이 포함된다.

[0003] 표시패널은 각각의 화소영역에 박막 트랜지스터들이 형성되어 있으며, 박막 트랜지스터의 전류의 흐름을 통하여 표시패널 내의 특정 화소영역이 제어된다. 박막 트랜지스터는 게이트와 소스/드레인 전극으로 구성된다.

[0004] 유기 발광 표시장치는 서로 다른 두 전극 사이의 발광층이 형성되며, 어느 하나의 전극에서 발생한 전자와 다른 하나의 전극에서 발생한 정공이 발광층 내부로 주입되면, 주입된 전자 및 정공이 결합하여 엑시톤(exciton)이 생성되고, 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하는 표시장치이다.

[0005] 한편, 유기 발광 표시장치에서 전자를 주입하는 전극, 예를 들어 캐소드인 경우, 캐소드의 비저항에 의한 전압강하가 발생할 수 있는데, 이는 표시장치의 크기가 증가할수록 전압강하가 증가할 수 있으며 이는 곧 휘도 저하로 이어진다. 따라서, 전압 강하를 해결하기 위한 보조배선(또는 보조전극)을 형성하는 것이 필요하다. 또한, 보조배선의 구성에서 추가적인 마스크를 제외시켜 추가 공정으로 인한 비용을 절감시키는 것이 필요하다.

발명의 내용

해결하려는 과제

[0006] 이러한 배경에서, 본 발명의 목적은 대면적의 유기발광표시패널의 휘도의 균일도를 개선시키는데 있다.

[0007] 또한, 본 발명의 목적은 상면발광(Top emission) 구조에서 캐소드의 투과도를 높이기 위해 얇게 형성할 경우에도 캐소드의 전압강하를 줄이는데 있다.

[0008] 또한, 본 발명의 목적은 캐소드의 전압을 유지시키는 보조전극과 보조배선을 제공하며, 보조전극과 보조배선을 형성하는 공정을 최소화시켜 공정 비용을 절감시키는데 있다.

과제의 해결 수단

[0009] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 복수의 화소영역이 정의된 기관 상에서, 화소영역에 각각 위치하는 제1전극, 그리고 제1전극 상에 유기발광층, 및 제2전극이 위치하는 구조에서 제1전극이 위치하는 보호층에서 둘 이상의 화소영역 사이에 제1방향 또는 제2방향 중 어느 하나 이상으로 위치하는 제1보조배선과 제2전극이 접촉하는 유기발광표시장치를 제공한다.

[0010] 다른 측면에서 본 발명은 제1보조배선과 연결되며 제1보조배선과 상이한 층에 위치하는 제2보조배선을 더 포함하는 유기발광표시장치를 제공한다.

[0011] 다른 측면에서 본 발명은 기관 상의 복수의 화소영역에 보호층을 형성하고, 보호층에 제1컨택홀과 화소영역에 위치하는 박막 트랜지스터의 소스 또는 드레인의 일부를 노출시키거나 또는 소스 또는 드레인에 연결된 연결 전극을 노출시키는 제2컨택홀을 형성하고, 제1컨택홀의 격벽에 제1보조배선을 증착하여 제1보조배선을 형성하고,

제2컨택홀의 격벽에 제1전극을 증착하여 제1전극을 형성하는 단계와, 화소영역을 정의하며 제1컨택홀을 노출시키는 배크를 형성하고 유기발광층을 형성한 후, 제1컨택홀에서 제1보조배선과 연결되며 유기발광층상에 위치하는 제2전극을 형성하는 단계를 포함하는 표시패널을 제조하는 방법을 제공한다.

발명의 효과

- [0012] 이상에서 설명한 바와 같이 본 발명에 의하면, 보조배선이 화소영역의 주변 영역에 위치하며 캐소드와 같은 전극과 연결되므로 표시장치 또는 표시패널 전체의 휘도를 균일하게 유지할 수 있다.
- [0013] 또한, 본 발명에 의하면, 보조배선은 표시패널의 가로 또는 세로 중 어느 하나의 방향 이상으로 위치할 수 있으므로, 캐소드와 같은 전극의 저항을 감소시킬 수 있다.
- [0014] 또한, 본 발명에 의하면, 보조배선은 애노드와 같은 전극과 동일한 물질로 형성되므로, 보조배선을 형성함에 있어서 표시패널과 표시장치의 공정 효율을 높일 수 있다.

도면의 간단한 설명

- [0015] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.
- 도 2는 전압강하가 발생하는 구조를 보여주는 도면이다.
- 도 3은 보조전극이 없는 경우의 전압강하로 인한 휘도 저하를 보여주는 그래프이다.
- 도 4는 격벽으로 보조전극을 형성하는 구성을 보여주는 도면이다.
- 도 5는 본 발명의 일 실시예에 의한 하나의 평탄화층을 가지는 표시패널의 적층 구조를 보여주는 도면이다.
- 도 6은 본 발명의 다른 실시예에 의한 두 개의 평탄화층을 가지는 표시패널의 적층 구조를 보여주는 도면이다.
- 도 7 내지 도 9는 본 발명의 일 실시예인 도 5의 패널 구조를 형성하기 위한 공정 과정을 보여주는 단면도이다.
- 도 10 내지 도 13은 도 7 내지 도 9의 단면도에 관련된 평면도이다.
- 도 14 및 도 15는 본 발명의 일 실시예인 도 6의 패널 구조를 형성하기 위한 공정 과정을 보여주는 단면도이다.
- 도 16 및 도 17은 도 14 및 도 15의 단면도에 관련된 평면도이다.
- 도 18은 본 발명의 일 실시예를 적용할 경우 패널에서 화소영역과 애노드로 인한 보조배선의 위치를 보여주는 도면이다.
- 도 19는 본 발명의 다른 실시예를 적용할 경우 패널에서 화소영역과 애노드로 인한 보조배선의 위치를 보여주는 도면이다.
- 도 20는 전술한 본 발명의 실시예들을 구현하는 공정 과정을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0017] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0018] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.
- [0019] 도 1을 참조하면, 실시예들에 따른 표시장치(100)는, 제1방향(예: 수직방향)으로 다수의 제1라인(VL1~VLm)이 형

성되고, 제2방향(예: 수평방향)으로 다수의 제2라인(HL1~HLn)이 형성되는 표시패널(110)과, 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하는 제1구동부(120)와, 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하는 제2구동부(130)와, 제1구동부(120) 및 제2구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

- [0020] 표시패널(110)에는, 제1방향(예: 수직방향)으로 형성된 다수의 제1라인(VL1~VLm)과 제2방향(예: 수평방향)으로 형성된 다수의 제2라인(HL1~HLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된다.
- [0021] 전술한 제1구동부(120) 및 제2구동부(130) 각각은, 영상 표시를 위한 신호를 출력하는 적어도 하나의 구동 집적 회로(Driver IC)를 포함할 수 있다.
- [0022] 표시패널(110)에 제1방향으로 형성된 다수의 제1라인(VL1~VLm)은, 일 예로, 수직방향(제1방향)으로 형성되어 수직방향의 화소 열로 데이터 전압(제1신호)을 전달하는 데이터 배선일 수 있으며, 제1구동부(120)는 데이터 배선으로 데이터 전압을 공급하는 데이터 구동부일 수 있다.
- [0023] 또한, 표시패널(110)에 제2방향으로 형성된 다수의 제2라인(HL1~HLn)은 수평방향(제2방향)으로 형성되어 수평방향의 화소 열로 스캔 신호(제2신호)를 전달하는 게이트 배선일 수 있으며, 제2구동부(130)는 게이트 배선으로 스캔 신호를 공급하는 게이트 구동부일 수 있다.
- [0024] 또한, 제1구동부(120)와 제2구동부(130)와 접속하기 위해 표시패널(110)에는 패드부가 구성된다. 패드부는 제1구동부(120)에서 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하면 이를 표시패널(110)로 전달하며, 마찬가지로 제2구동부(130)에서 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하면 이를 표시패널(110)로 전달한다.
- [0025] 각 화소(pixel)는 하나 이상의 부화소(subpixel)를 포함한다. 부화소는 특정한 한 종류의 컬러필터가 형성되거나, 또는 컬러필터가 형성되지 않고 유기발광소자가 특별한 색상을 발광할 수 있는 단위를 의미한다. 부화소에서 정의하는 색상으로 적색(R), 녹색(G), 청색(B)과 선택적으로 백색(W)을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 각 부화소는 별도의 박막 트랜지스터와 이에 연결된 전극이 포함되므로 이하, 화소를 구성하는 부화소 역시 하나의 화소영역으로 지칭한다.
- [0026] 한편, 유기발광표시장치는 상면발광과 하면발광(Bottom Emission), 양면발광(Dual Emission) 등이 있다. 어느 발광 방식을 택하여도 표시패널이 증가하는 대면적의 표시패널에서는 캐소드를 전면에 형성시키는 과정에서 캐소드의 전압강하가 발생할 수 있으므로 이를 해결하기 위한 보조전극 또는 보조배선을 비개구 영역에 형성할 수 있다. 이하, 본 명세서에서는 상면발광의 표시장치를 중심으로 설명하지만, 본 발명의 실시예들이 상면발광에 한정되는 것은 아니며, 캐소드의 전압강하를 방지하는 모든 표시장치의 구조에 적용될 수 있다.
- [0027] 도 2는 전압강하가 발생하는 구조를 보여주는 도면이다. 표시패널에서 전원이 인가되는 구조를 살펴보면, 전원부(190)에서 제1구동부(120) 또는 제2구동부(130)를 통하여 180a 또는 180b와 같이 기저전원을 제공하여 표시패널의 표시영역(111)으로 인가된다. 상하의 에지에서 기저전원이 인가되므로, 표시영역(111)의 에지 영역에서 가장 휘도가 높고, 패널의 중심부에서 휘도가 낮다. 이러한 특징에 대해 도 3에서 자세히 살펴본다.
- [0028] 도 3은 보조전극이 없는 경우의 전압강하로 인한 휘도 저하를 보여주는 그래프이다. 도 3을 살펴보면, 도 2의 180a와 180b와 같이 기저전원이 공급되는 에지 영역에서는 휘도가 높으며, 중심부에서는 휘도가 낮다. 이러한 현상은 표시장치의 크기가 증가할 경우 더욱 크게 발생한다. 따라서, 전압 강화와 이로 인한 휘도 저하를 막기 위한 보조 전극이 필요하다.
- [0029] 기존의 상면발광인 유기발광표시장치에서는 박막의 캐소드(~100Å)를 사용하여 캐소드의 높은 저항으로 휘도 불균일이 발생할 수 있다. 또한, 패널의 어레이 전면에 백색 EL(White EL)을 증착하면서 보조전극 또는 보조배선을 적용함에 있어 한계가 발생하였다. 이를 해결하기 위한 한 실시예로 격벽 구조를 도입하여 패널의 어레이 내에 백색 EL을 증착하더라도 보조전극이 노출되는 구조로 IZO증착을 통해 캐소드와 보조전극을 접촉시켜 휘도의 균일도를 개선하는 방법이 있다.
- [0030] 도 4는 격벽으로 보조전극을 형성하는 구성을 보여주는 도면이다. 기관(401) 상에 버퍼(402)가 위치하며, 버퍼 상에 액티브(405), 게이트 절연막(Gate Insulator, 407), 게이트(410), 층간 절연막(Interlayer Dielect, 415), 소스 및 드레인(420), 패시베이션층(Passivation Layer, 425), 제1평탄화층(Pacification layer, 427), 그리고 소스 또는 드레인(420)에 연결된 연결전극(430), 연결전극(430)과 같은 물질로 구성된 제1보조전극(431), 제1전극 혹은 일 실시예로 애노드(Anode, 440), 층간 절연막(415)에 형성된 콘택홀(418)을 통하여 소스 또는 드레인(420)과 액티브(405)가 연결된다. 그리고 애노드(440)와 같은 물질로 구성된 제2보조전극(441), 그리고 뱅크(450)와 유기발광층(460), 제2전극 혹은 일 실시예로 캐소드(Cathode, 480), 그리고 격벽(490)이 위치

한다. "Pixel"은 화소영역을 나타내며 "Contact"는 보조전극과 제2전극인 캐소드가 연결되는 영역, 즉 컨택 영역을 나타낸다.

- [0031] 도 4와 같이 격벽 구조를 적용할 경우, 휘도의 균일도가 개선되지만, 보조전극과 격벽을 형성하기 위하여 3개의 레이어가 추가된다. 즉, 캐소드와 연결되어 저항을 감소시킬 목적으로 두꺼운 두께의 보조전극이 사용되고 이를 평탄화하기 위한 평탄화층이 추가된다. 또한 전면 증착되는 백색 EL의 미증착 영역을 형성하여 보조전극과 캐소드를 컨택시키는 구조를 형성하게 된다.
- [0032] 도 4와 같이 격벽 구조에 의한 보조전극을 구현하기 위해서는 3개의 레이어가 필요하며, 이를 위해 보조전극(증착→노광→현상→식각), 평탄화층(코팅→노광→현상→열처리), 격벽(코팅→노광→현상→열처리)의 공정이 추가된다.
- [0033] 이하 본 명세서에서는 격벽 없이 보조전극 또는 보조배선을 캐소드와 연결시키기 위한 구성을 제시하고자 한다. 이를 위해 본 발명의 실시예들은 보조배선 상의 일부 영역에는 유기발광층이 증착되지 않도록 하기 위해, 금속과 유기물질의 스텝 커버리지(Step coverage)의 차이를 이용할 수 있다.
- [0034] 이하, 버퍼층, 평탄화층(또는 평탄화막), 패시베이션층 등을 달리 지칭할 수 있으나, 이들을 통칭하여 보호층으로 지시한다. 보호층은 OLED의 발광을 위해 소스/드레인과 게이트, 또는 게이트와 액티브층, 또는 애노드와 소스/드레인, 애노드와 캐소드 등과 같은 물질들 사이에 위치하는 층으로, 유기물질 또는 무기물질이 될 수 있으며, 본 발명에서 보호층은 특정한 물질에 한정되지 않는다.
- [0035] 본 명세서에서는 캐소드와 컨택할 보조배선이 화소영역 사이에 위치하며, 이들 보조배선을 구성하는 물질이 애노드 또는 소스/드레인, 또는 이들을 전기적으로 연결시키는 연결전극(M3)과 동일한 물질로 구성되도록 하여 보조배선을 형성하는 과정에서 추가적인 마스크 없이 공정을 진행할 수 있다. 본 명세서에서 보조전극과 보조배선은 구별없이 사용한다. 또한, 보조전극/보조배선과 유기발광층의 거리를 증가시켜 보조배선과 캐소드를 연결시키는 과정에서 유기발광층과 캐소드 물질 사이의 스텝 커버리지의 차이로 인해 보조배선과 캐소드는 연결되지만, 유기발광층은 보조배선과 캐소드 사이에 침투되지 못하도록 하여 보조전극과 캐소드의 컨택 부분을 증가시킬 수 있다.
- [0036] 이하, 복수의 화소영역이 정의된 기판 상에서, 화소영역에 각각 위치하는 제1전극, 그리고 다수의 제1전극상에 유기발광층, 및 제2전극이 위치하는 구조에 적용된다. 제1전극이 위치하는 보호층에서 둘 이상의 화소영역 사이에 제1방향 또는 제2방향 중 어느 하나 이상으로 위치하는 제1보조배선과 제2전극이 컨택하는 유기발광표시장치에 대해 살펴본다. 보다 상세히, 제2전극과 제1보조배선이 컨택하도록 보호층에 제1컨택홀이 위치한다. 화소영역 사이에 제1보조배선이 위치하는데, 제1보조배선은 제1전극, 예를 들어 애노드 전극과 동일한 물질로 동일한 공정에서 형성되므로, 공정 횟수를 줄일 수 있다. 또한, 제1보조배선을 위해 별도의 층을 형성할 필요가 없으므로 표시패널의 박막화를 가능하게 한다. 뿐만 아니라, 제1보조배선으로 인해 제2전극, 예를 들어 캐소드가 표시패널에 균일하게 공급되므로 표시패널의 휘도를 균일하게 하여 시감성을 증가시킬 수 있다.
- [0037] 본 발명의 일 실시예에서 제1보조배선 하에 제2보조배선을 형성시킬 수 있다. 제2보조배선을 형성하는 다양한 실시예로 도 5 및 도 6이 될 수 있으나, 본 발명은 이에 한정되지 않는다. 즉, 본 발명의 일 실시예는 도 5와 도 6에서 제2보조배선(520, 620)을 제거한 형태로 구현할 수 있으며, 다른 실시예는 도 5와 도 6에서의 제2보조배선(520, 620)을 포함시킨 형태로 구현할 수 있다. 즉, 제2보조배선(520, 620)은 선택적으로 포함시킬 수 있다.
- [0038] 도 5는 본 발명의 일 실시예에 의한 하나의 평탄화층을 가지는 표시패널의 적층 구조를 보여주는 도면이다.
- [0039] 도 5에서는 애노드/리플렉터(Anode/Reflector, 440)와 동일한 물질로, 제1보조배선(540)이 형성된다. 소스/드레인(420)과 동일한 물질로, 제2보조배선(520)이 형성된다. 애노드(440)와 소스/드레인(420)이 컨택하는 컨택홀(580)이 위치한다. 보호층의 일 실시예인 제1평탄화층(427)을 네거티브 포토 레지스트(Negative Photoresist)로 사용하여 격벽 구조를 컨택홀(590)과 같이 형성한다. 캐소드(480)와 제1보조배선(540)의 컨택으로 저저항 캐소드를 구현한다. 이는 유기발광층(470)의 유기물은 증착 과정에서 직진성을 가지므로 단차가 있거나 역테이퍼(Taper)가 형성된 컨택홀(590)에서는 유기물이 격벽에 증착되지 않는다. 한편, 금속은 증착 과정에서 방향성이 일정하지 않아 스텝 커버리지가 우수하여 역테이퍼가 형성된 컨택홀(590)의 격벽에도 증착되므로, 결과적으로 저저항 캐소드만 보조전극(540)과 컨택홀(590)의 격벽에서 컨택한다.
- [0040] 픽셀 영역에서는 소스/드레인(420) 하부에 층간절연층(415)이 있고 제2보조배선(520) 하부에는 층간절연층(415)이 없어 평탄화층의 두께가 상이하다. 이는 역 테이퍼 형태의 네거티브 PR에서 두께가 두꺼울수록 유기물(E

L)의 미침투 영역이 넓어져 캐소드와 보조배선의 컨택을 용이하게 만든다. 즉, 뱅크(450)의 높이와 평탄화층(427)의 높이만큼 단차가 발생하므로 유기물의 침투를 막을 수 있다.

- [0041] 도 5의 구성과 도 4의 구성을 비교하면, 도 4의 연결전극(430), 제2평탄화층(435), 격벽(460)과 관련된 층이 제거되므로, 노광 공정을 3회 감소 시키고 3개 층을 제거하여 공정의 효율을 높일 수 있다. 특히 상면발광 방식에 적용할 경우 하면발광과 동일한 횟수의 공정을 적용할 수 있어 비용의 절감 효과 또한 높다. 그리고 표시패널의 박막화를 가능하게 하며, 보조배선을 화소영역 사이의 비개구 영역인 컨택영역에 형성하여 캐소드의 전압 강하 문제를 해결하여 휘도를 균일하게 만들 수 있다. 또한, 도 5는 도 4의 패시베이션층(425)도 제거하였는데, 스텝 커버리지를 위하여 패시베이션층(425)를 선택적으로 포함시킬 수 있다.
- [0042] 즉, 도 5와 같은 구성을 정리하면 제1전극인 애노드(440)는 박막 트랜지스터의 소스 또는 드레인에 컨택홀(580)을 통하여 연결되며, 제1보조배선(540)이 형성되는 컨택홀(590)의 깊이는 애노드(440)가 연결되는 컨택홀(580)의 깊이 보다 깊다. 이로 인해 제1보조배선(540)을 증착하는 과정에서 유기물질이 컨택홀(590)의 격벽에 침투되지 않도록 하고, 제2전극인 캐소드(480)와 제1보조배선(540) 사이의 전기적 접촉면적이 컨택홀(590)의 격벽에서 넓어지며, 이로 인해 캐소드 저항을 가능하게 한다.
- [0043] 도 6은 본 발명의 다른 실시예에 의한 두 개의 평탄화층을 가지는 표시패널의 적층 구조를 보여주는 도면이다. 도 6의 구조는 앞서 도 4에서 살펴본 구조에서 소스 또는 드레인(420)과 애노드(440)를 컨택하는 연결전극(430)와 같은 물질로 구성된 제2보조배선(620)의 두께를 증가시킬 수 있으며, 그 결과 제2보조배선(620)의 두께 증가로 인해 캐소드(480)의 저항을 낮출 수 있다.
- [0044] 다시 설명하면, 제2보조배선(620)은 소스/드레인(420)과 독립적으로 형성되므로, 공정 과정에서 제2보조배선(620)을 두껍게 증착할 수 있으며, 그 결과 제2보조배선(620)의 두께를 증가시켜 캐소드(480)의 저항을 낮출 수 있다.
- [0045] 뿐만 아니라, 제2보조배선(620)은 소스/드레인(420)과 상이한 층에 형성되므로, 게이트와 중첩되지 않도록 세로로 연결될 수 있다. 즉, 제1보조배선(640)에 중첩하여 상하로 길게 연결되는 메쉬 형태를 이룰 수 있다. 이에 대해서는 도 16에서 살펴본다.
- [0046] 즉, 도 6은 도 4와 비교할 때, 격벽(460)을 제거하여 하나의 층을 제거하며 그 결과 공정을 줄일 수 있다. 또한, 비개구 영역인 컨택 영역에 형성되는 제2보조배선(620)의 두께를 증가시킬 경우 배선 저항을 저저항으로 할 수 있다. 본 발명의 일 실시예로 네거티브 PR을 평탄화층으로 사용할 수 있다. 여기서 도 5와 비교하여 차이점은 보조배선을 사용하여 더욱 두꺼운 배선을 적용할 수 있으므로 패널의 개구율 확보에 유리하다. 즉, 도 6의 실시예는 도 5의 실시예와 비교할 때, 낮은 배선 저항의 확보가 어려운 경우 사용할 수 있는 구조이다. 보조배선을 두껍게 적용할 경우 패널의 개구율을 증가시킬 수 있다.
- [0047] 도 5 및 도 6에서 액티브(405)의 일 실시예는 산화물 반도체 또는 LTPS(Low Temperature Poly-silicon)이다. 소스/드레인(420), 게이트(410), 연결전극(430), 제2보조배선(520, 620)은 도전성 물질이며, 일 실시예로 Cu/MoTi, 또는 Mo/Al/Mo 합금일 수 있으나 이에 한정되지 않고 다양한 물질이 적용될 수 있다. 애노드/리플렉터(440)와 제1보조배선(540, 640)은 ITO를 이용하거나 ITO/Ag/ITO를 이용할 수 있다. 뱅크(450)는 OC(Overcoat)를 이용할 수 있으며, 캐소드는 IZO 또는 MgAg등을 이용할 수 있다.
- [0048] 도 5 및 도 6에서 제1보조배선(540, 640)은 제1전극인 애노드(440)와 동일한 물질로, 애노드 형성 공정에서 동시에 형성되므로 마스크 저감 효과 및 공정 횟수를 줄일 수 있다.
- [0049] 도 5 및 도 6에서 제1보조배선(540, 640)은 컨택홀(590, 690)을 통하여 제2보조배선(520, 620)에 연결되는데, 캐소드와 연결되는 보조배선들의 두께를 높여서 저저항의 캐소드 구현을 가능하게 한다. 또한, 보조배선들이 중첩되어 메쉬 형태로 구성될 경우, 보조배선들에도 캐소드와 같이 기저전원을 인가하여 표시패널의 중간 영역에서도 표시패널의 예지 영역과 비교하여 균일하게 기저전원이 인가될 수 있으므로, 표시패널 내에서 휘도의 균일성을 높일 수 있다.
- [0050] 도 7 내지 도 9는 본 발명의 일 실시예인 도 5의 패널 구조를 형성하기 위한 공정 과정을 보여주는 단면도이다.
- [0051] 도 7은 기판(401) 상에 버퍼(402)가 위치하며, 버퍼 상에 액티브(405), 게이트 절연막(Gate Insulator, 407), 게이트(410), 층간 절연막(Interlayer Dielectric, 415), 소스 및 드레인(420), 제1평탄화층(Pacification layer, 427)이 위치한다. 또한 제2보조배선(520)은 소스 및 드레인(420)과 동일한 물질로 동일한 마스크에 의해 형성되어 있다. 제1평탄화층(427)은 일 실시예로 네거티브 PR로 도포할 수 있다.

- [0052] 도 8은 도 7의 구성에서 네거티브 PR을 식각하여 소스/드레인(420)의 일부가 애노드(440)와 접촉하기 위한 콘택홀(580)과 제2보조배선(520)의 일부를 콘택시키기 위한 콘택홀(590)을 형성한다. 네거티브 PR을 사용하여 역테이퍼가 형성되도록 할 수 있다.
- [0053] 도 9는 도 8의 구성에서 콘택홀(580)를 통해 소스/드레인(420)과 콘택하도록 애노드(440)를 형성하며, 마찬가지로 제2보조배선(520)과 콘택하는 제1보조배선(540)도 형성한다. 이후 बैं크(450)를 형성하고 유기발광층(470)을 형성하고 캐소드(480)를 형성하여 캐소드(480)가 제1보조배선(540)과 콘택할 수 있다.
- [0054] 도 10 내지 도 13은 도 7 내지 도 9의 단면도에 관련된 평면도이다.
- [0055] 도 10은 도 7의 단면에서 제1평탄화층(427)을 형성하기 전의 평면도이다. 데이터라인(420a, 420b)과 이에 콘택하는 소스/드레인(420), 그리고 같은 물질로 제2보조배선(520)이 형성된다. 제2보조배선(520)이 층간절연층(415) 상에 형성되지 않을 경우, 도 10과 같이 세로로 끊어진 구조로 형성될 수 있다. 만약 층간절연층(415)이 제2보조배선(520) 하에 위치할 경우 세로로 연결된 구조로 제2보조배선(520)을 형성할 수 있다. 이는 유기발광층을 구성하는 유기물질이 증착되지 않도록 하기 위한 단차를 다른 영역에서 확보할 수 있을 경우 층간절연층(415)을 제2보조배선(520)하에 위치시킬 수 있다. 그렇지 않을 경우 층간절연층(415)이 제2보조배선(520) 하에 형성되지 않도록 하여 단차를 확보하고 스텝커버리지에 의한 제1보조배선(540)의 증착과 캐소드(480)의 증착이 용이하도록 한다.
- [0056] 도 11은 도 9의 단면에 해당하는 평면도이다. 애노드(440)가 콘택홀(580)을 통하여 소스/드레인(420)과 콘택한다. 또한 애노드(440)와 동일한 물질로 동일한 공정 내에서 제1보조배선(540)이 형성된다. 제1보조배선(540)은 가로와 세로 방향으로 격자형태로 형성될 수 있다. 또다른 실시예로 제1보조배선(540)을 세로 또는 가로 어느 한 방향으로만 형성할 수도 있다. 본 발명의 다른 실시예에서 제1보조배선(540)은 가로 또는 세로 중 어느 한 방향으로만 형성될 수도 있다.
- [0057] 도 11의 콘택홀(590)은 세로 또는 가로로 길게 확장될 수 있다. 즉, 제1보조배선(540)의 전체가 콘택홀(580)과 같이 단차를 포함하여 구성될 수 있으며, 콘택홀(590)의 크기와 위치는 표시패널의 특성에 따라 증가시키거나 감소시킬 수 있다. 즉, 제1보조배선(540)과 캐소드가 콘택하는 부분이 증가할 경우, 콘택홀(590)은 제1보조배선(540)의 경계선 내에서 다양하게 형성되거나 다양한 형태로 식각될 수 있다.
- [0058] 도 12는 도 11에 बैं크를 형성한 평면도이다. बैं크(450)가 제1보조배선(540)의 일부를 드러내도록 형성될 수 있다. बैं크(450)에 의해 가려지지 않은 제1보조배선(540)의 영역은 캐소드와 콘택하여 캐소드의 전압 강하를 막을 수 있다.
- [0059] 도 13은 도 11에 बैं크를 형성한 또다른 평면도이다. बैं크(450)가 제1보조배선(540)의 전부를 드러내도록 형성될 수 있다. बैं크(450)에 의해 가려지지 않은 제1보조배선(540)의 영역은 캐소드와 콘택하여 캐소드의 전압 강하를 막을 수 있다.
- [0060] 도 14 및 도 15는 본 발명의 일 실시예인 도 6의 패널 구조를 형성하기 위한 공정 과정을 보여주는 단면도이다.
- [0061] 도 14는 기판(401) 상에 버퍼(402)가 위치하며, 버퍼 상에 액티브(405), 게이트 절연막(Gate Insulator, 407), 게이트(410), 층간 절연막(Interlayer Dielectric, 415), 소스 및 드레인(420), 패시베이션층(425), 제1평탄화층(Pacification layer, 427)이 형성되어 있다. 연결전극(430)이 콘택홀(670)을 통하여 소스 및 드레인(420)에 콘택되어 있으며, 또한 연결전극(430)과 동일한 물질로 제2보조배선(620)이 형성되어 있다.
- [0062] 도 15는 제2평탄화층(435)를 형성하고 그 위에 애노드(440)와 제1보조배선(640)이 형성된 단면도이다. 제2평탄화층(435)는 일 실시예로 네거티브 PR로 도포할 수 있다. 제2평탄화층(435)의 두 콘택홀(680, 690)은 역테이퍼를 구성하며 애노드(440) 및 제1보조배선(640)이 콘택홀(680, 690)의 격벽에도 형성된다. 이후 बैं크(450)를 형성하고 유기발광층(470)을 형성하고 캐소드(480)를 형성하여 캐소드(480)가 제1보조배선(640)과 콘택할 수 있다.
- [0063] 도 16 및 도 17은 도 14 및 도 15의 단면도에 관련된 평면도이다.
- [0064] 도 16은 도 14의 단면에서 보호층에 해당하는 층간절연막(415), 패시베이션층(425), 제1평탄화층(Pacification layer, 427)을 제외시키고 각 배선들의 구성을 보여주는 평면도이다.
- [0065] 도 17은 도 15의 단면과 같이 애노드(440)와 제1보조배선(640)이 형성된다. 애노드(440)는 콘택홀(680)을 통하여 연결전극(430)과 콘택하며, 제1보조배선(640)은 콘택홀(690)을 통하여 제2보조배선(620)과 콘택한다. 이후

뱅크는 도 12 및 도 13과 같이 제1보조배선(640)과 캐소드가 컨택할 수 있도록 형성된다.

- [0066] 앞서 도 11에서 살펴본 바와 같이, 도 17의 컨택홀(690)은 세로 또는 가로로 길게 확장될 수 있다. 즉, 제1보조배선(640)의 전체가 컨택홀(690)과 같이 단차를 포함하여 구성될 수 있으며, 컨택홀(690)의 크기와 위치는 표시패널의 특성에 따라 증가시키거나 감소시킬 수 있다. 즉, 제1보조배선(640)과 캐소드가 컨택하는 부분이 증가할 경우, 컨택홀(690)은 제1보조배선(640)의 경계선 내에서 다양하게 형성되거나 다양한 형태로 식각될 수 있다.
- [0067] 본 발명을 적용할 경우, 제1보조배선(540, 640)이 증착하는 컨택홀(590, 690)의 격벽은 역 테이퍼(Taper) 형태를 가진다. 일 실시예로 컨택홀(590, 690)이 형성되는 보호층, 예를 들어 평탄화층(427, 435)를 네거티브 PR을 사용하여 형성할 경우, 역테이퍼 형태로 컨택홀(590, 690)이 생성되며, 격벽 부분에는 유기물(EL)이 침투하지 않아 캐소드와, 제1보조배선(540, 640)의 컨택이 가능하다. 뱅크(450)의 높이와 평탄화층(427)의 높이만큼 단차가 발생하므로 유기물의 격벽 침투는 방지할 수 있다.
- [0068] 즉 유기물을 별도의 마스크 없이 증착시킬 경우에도 유기물이 제1보조배선(540, 640)의 격벽에 증착되지 않음으로 캐소드와 제1보조배선(540, 640) 간의 전기적 접촉 면적을 넓혀준다. 한편, 전술한 실시예와 같이 유기층을 별도의 마스크 없이 증착하거나 보조배선 영역을 구분하지 않고 유기층을 증착시킬 경우에 컨택홀(590, 690)의 저면에는 유기발광층이 형성될 수 있다. 이로 인해 보조배선을 형성하는 본 발명에서 유기물 증착시 마스크를 추가하지 않으므로 공정의 효율성을 높일 수 있다.
- [0069] 전술한 바와 같이 표시패널에 메쉬 형태로 보조배선들을 형성할 경우, 한 방향으로 더욱 바람직하게는 두 방향(예를 들어 가로 및 세로)으로 보조배선을 형성하여 캐소드와 컨택시킬 수 있다.
- [0070] 도 18은 본 발명을 적용할 경우 패널에서 화소영역과 애노드로 인한 보조배선을 보여주는 도면이다. 화소영역에 애노드(440)와 보조배선(1810, 1820)이 위치한다. 보조배선 중 세로 방향의 보조배선(1810) 하에는 소스 또는 드레인 전극과 동일한 물질로 구성된 또다른 보조배선(도 5의 실시예에서 520)이 위치하거나, 또는 연결전극(도 6의 실시예에서의 430)과 동일한 물질로 구성된 또다른 보조배선(도 6의 실시예에서 620)이 위치할 수 있다. 그리고 중첩되는 보조배선들 간의 컨택은 1830과 같이 교차하는 영역에 컨택홀을 통하여 이루어진다.
- [0071] 또한, 도 18에서 보조배선(1810, 1820)의 일단 또는 양단에는 1850, 1860과 같이 제2전극인 캐소드와 동일한 전위의 전원(기저전원)이 인가되도록 하여, 표시패널 상의 기저전원이 균일하게 인가될 수 있도록 한다. 이는 표시패널의 에지 영역과 중심영역의 휘도를 균일하게 한다.
- [0072] 도 18에서는 모든 화소영역들 사이에 보조배선(1810, 1820)이 위치할 수 있으나 이는 개구율을 고려하여 다양하게 구성할 수 있다.
- [0073] 도 19는 도 18과 달리, 보조배선(1910, 1920)은 화소영역 사이의 비개구영역 중 일부에만 형성된 실시예이다. 이는 표시패널의 크기와 개구율 등을 고려하여 다양하게 적용할 수 있다. 즉, 화소영역 사이의 비개구영역이 모두 컨택영역이 되는 것이 아니라, 일부 비개구영역만이 컨택영역이 되어 보조배선(1910, 1920)이 형성된다.
- [0074] 도 20는 전술한 본 발명의 실시예들을 구현하는 공정 과정을 보여주는 도면이다. 기판 상에 복수의 화소영역이 형성되며 화소영역 상에 보호층을 형성한다(S2010). 앞서 도 5, 6에서 애노드(440)이 위치할 평탄화층(도 5의 435, 도 6의 427)을 형성하는 것이 이에 해당한다. 보호층 상에 제1보조배선이 위치하는 제1컨택홀(590, 690)과 상기 화소영역에 위치하는 박막 트랜지스터의 소스 또는 드레인(420)의 일부를 노출시키는 제2컨택홀(580) 또는 소스 또는 드레인(420)에 연결된 연결전극(430)을 노출시키는 제2컨택홀(680)을 형성한다(S2020). 이후 제1전극(440)이 제2컨택홀(580, 680)의 격벽에 증착되도록 제1전극을 형성하며, 제1보조배선(540, 640)이 제1컨택홀(590, 690)의 격벽에 증착되도록 제1보조배선(540, 640)을 형성한다(S2030).
- [0075] 이후 화소영역을 정의하며 제1컨택홀(590, 690)을 노출시키는 뱅크를 형성하고, 이후 유기발광층을 형성한다(S2040). 유기발광층을 형성하는 과정에서 뱅크(450) 및 제1컨택홀(590, 690)의 단차로 인하여 유기발광층은 제1컨택홀(590, 690)의 격벽에 증착되지 않는다. 예외적으로 제1컨택홀(590, 690)의 저면에는 증착될 수 있다. 이후, 제1컨택홀(590, 690)에서 제1보조배선(540, 640)과 연결되는 제2전극을 유기발광층상에 형성한다(S2050).
- [0076] 도 5의 구조에서는 S2010 단계 이전에 제2보조배선(520)을 형성하는 공정을 더 포함할 수 있다. 예를 들어, S2010 단계 이전에 소스 또는 드레인(420)과 제2보조배선(520)을 형성할 수 있고, 제2보조배선(520)은 제1 컨택홀(590)에서 노출될 수 있다. 도 5의 구조에서 보호층을 줄일 수 있으며, 이로 인해 공정 효율을 증가시킬 수 있다.
- [0077] 도 6의 구조에서 S2010 단계 이전에 제2보조배선(620)을 형성하는 공정을 더 포함할 수 있다. 예를 들어, S2010

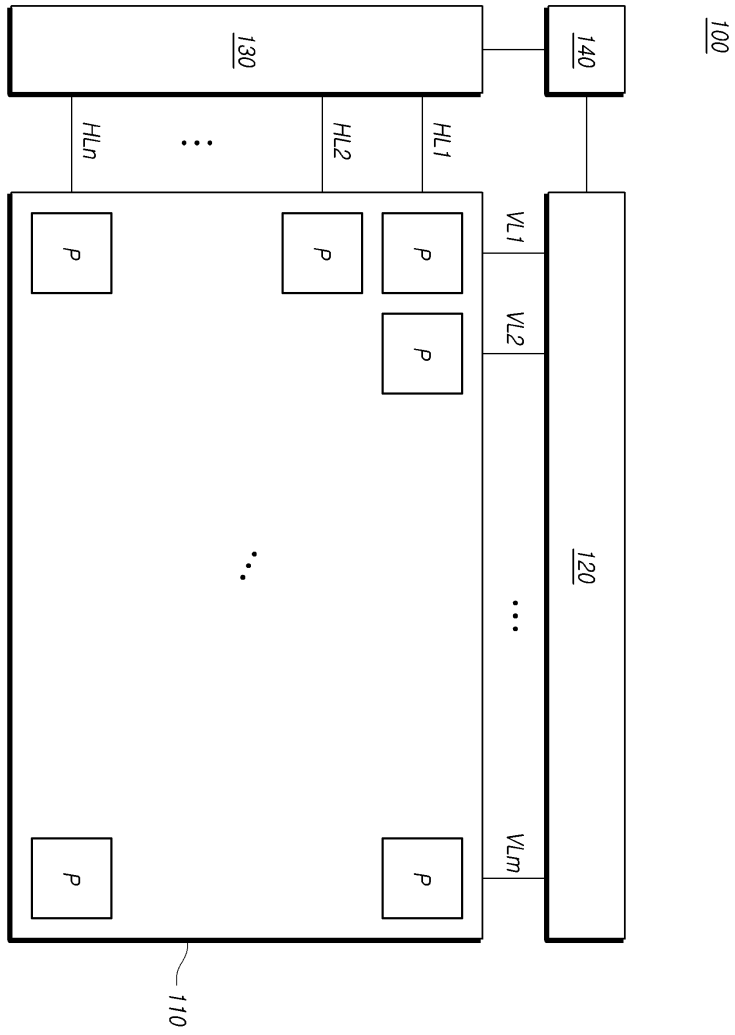
단계 이전에 소스 또는 드레인(420)의 일부를 노출시키는 제3컨택홀(670)을 형성하고, 제3컨택홀(670)을 통하여 소스 또는 드레인(420)과 연결되는 연결전극 및 제2보조배선(620)을 형성할 수 있다. 이후 제2보조배선(620)은 제1 컨택홀(690)에서 노출될 수 있다. 이 과정에서 제2보조배선(620)을 두껍게 형성할 수 있다. 즉, 제2보조배선(620)은 소스/드레인(420)과 독립적으로 형성되므로, 공정 과정에서 제2보조배선(620)을 두껍게 증착할 수 있으며, 그 결과 제2보조배선(620)의 두께를 증가시켜 캐소드(480)의 저항을 낮출 수 있다.

- [0078] 본 발명을 적용할 경우, 대면적의 표시패널, 특히 상면발광 TE(Top Emission) 유기 발광 다이오드(OLED)에서 휘도 균일도를 향상 시키는 구조 개발에 관한 것이다.
- [0079] 도 20의 공정을 적용할 경우, 화소 영역 사이에 제1보조배선이 위치하며, 제1보조배선은 제1전극, 예를 들어 애노드 전극과 동일한 물질로 동일한 공정에서 형성되므로, 공정 횟수를 줄일 수 있다. 또한, 제1보조배선을 위해 별도의 층을 형성할 필요가 없으므로 표시패널의 박막화를 가능하게 한다. 뿐만 아니라, 제1보조배선으로 인해 제2전극, 예를 들어 캐소드가 표시패널에 균일하게 공급되므로 표시패널의 휘도를 균일하게 하여 시감성을 증가시킬 수 있다.
- [0080] 일반적으로 TE OLED의 높은 캐소드 저항으로 휘도 불균일이 발생하고 이를 해결하기 위하여 저저항 캐소드가 필요한데, 도 3과 같이 평탄화층 사이에 보조배선을 위치시키고 격벽구조를 통하여 캐소드와 보조전극을 접촉시킬 경우 레이어가 증가할 수 있다. 예를 들어, 제2평탄화층, 보조배선, 격벽 등이 증가할 수 있다.
- [0081] 한편, 본 발명에서는 소스/드레인, 그리고 애노드(또는 리플렉터)를 보조배선으로 활용하고 제1평탄화층을 네거티브 PR을 사용하여 격벽 구조를 형성하여 캐소드와 보조배선의 접촉으로 저저항 캐소드를 구현한다. 이는 유기물은 증착 시 직진성을 가지고 금속은 증착 시 방향성이 일정하지 않아 스텝 커버리지가 우수하므로 평탄화층에 형성된 격벽에 증착되어 보조배선과 캐소드가 접촉할 수 있도록 한다. 또한 소스/드레인 층을 형성할 때 보조배선을 형성하면서 세로 방향으로의 보조배선을 형성하고, 추가로 애노드 형성시 가로 및 세로의 메쉬 형태로 보조배선을 더 형성하여 접촉시킬 수 있다.
- [0082] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

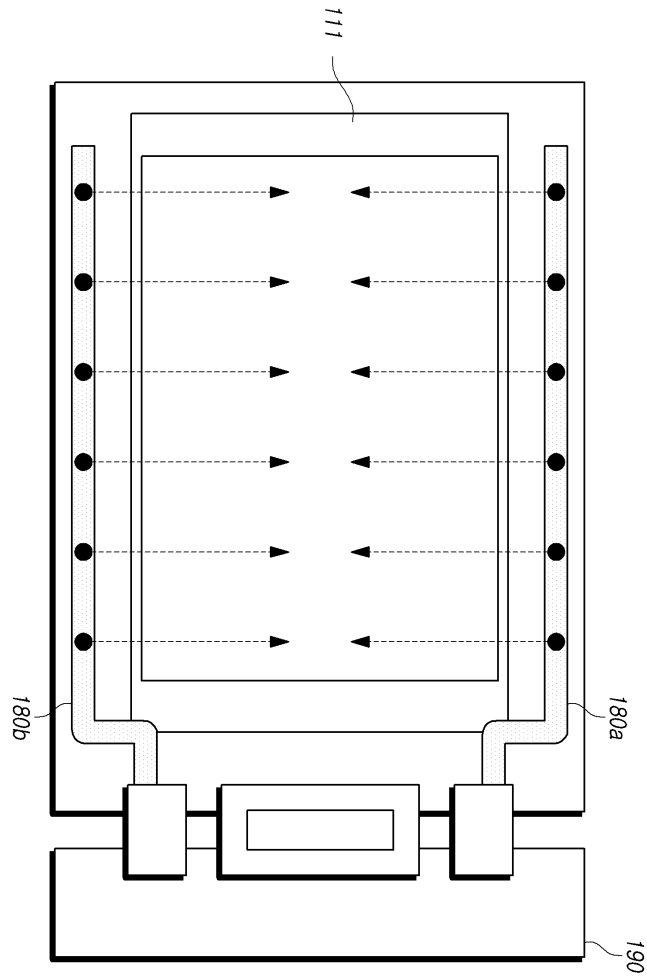
부호의 설명

- [0083] 100: 표시장치 110: 표시패널
- 120: 제1구동부 130: 제2구동부
- 140: 타이밍 컨트롤러 405: 액티브
- 407: 게이트 절연막 410: 게이트
- 415: 층간 절연막 420: 소스 및 드레인
- 425: 패시베이션층 427, 435: 평탄화층
- 430: 연결전극 440: 제1전극
- 450: बैं크 450: 유기발광층
- 480: 제2전극 590, 690: 제1컨택홀
- 540, 640: 제1보조배선 520, 620: 제2보조배선

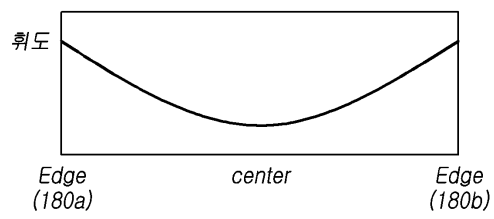
도면
도면1



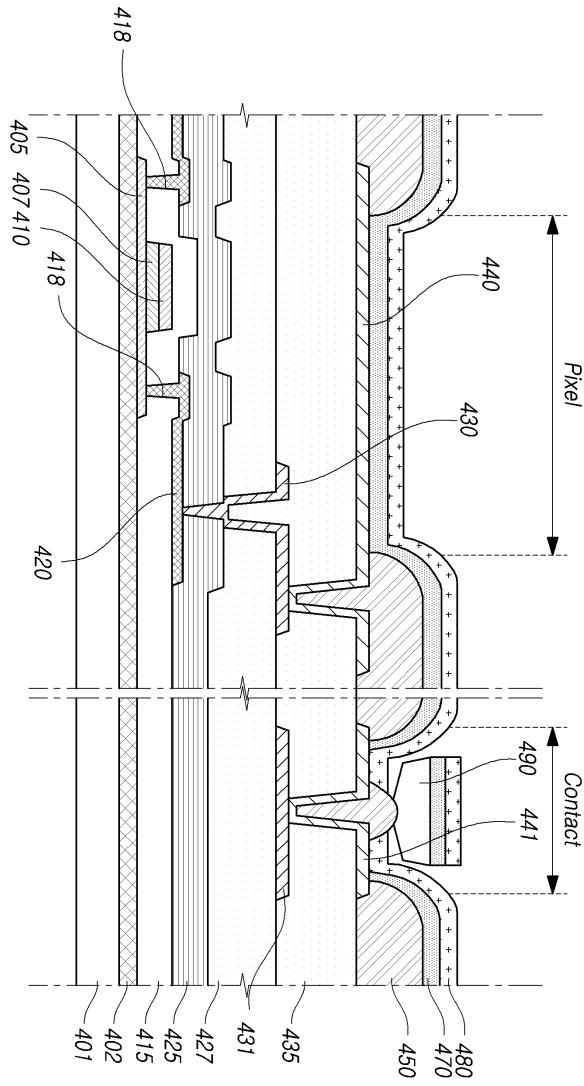
도면2



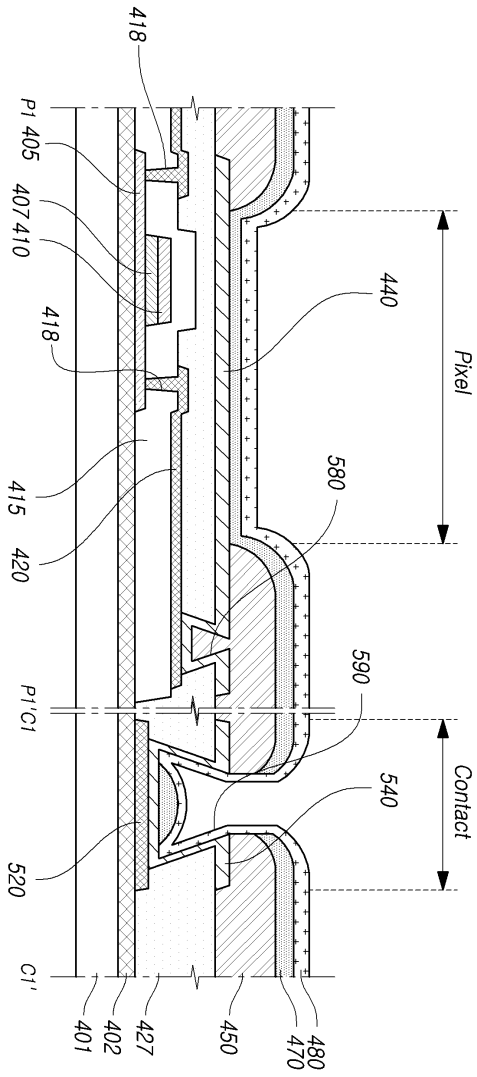
도면3



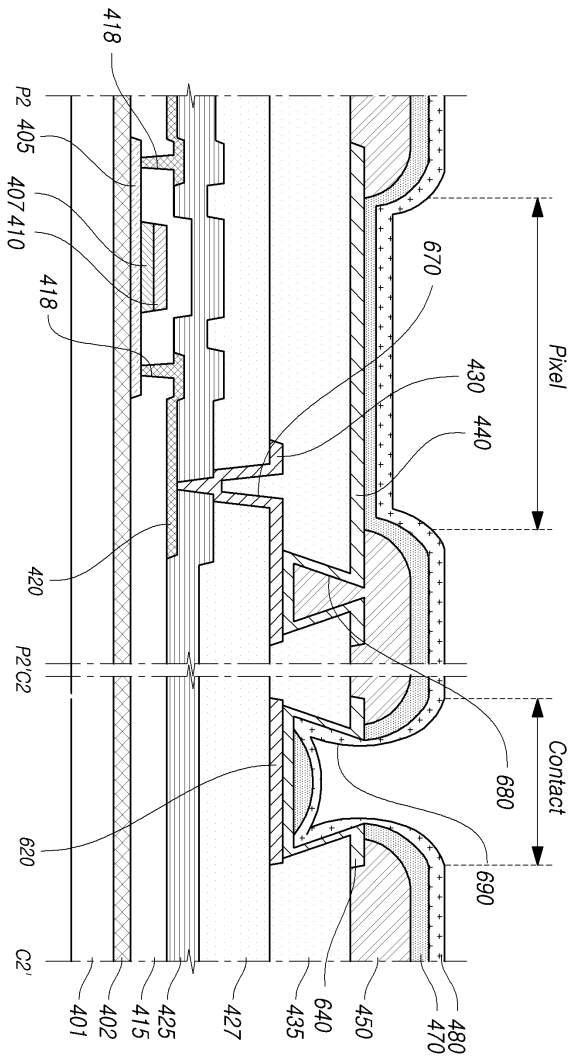
도면4



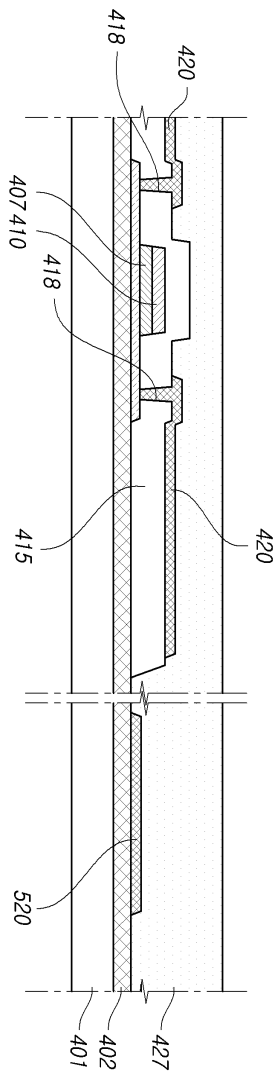
도면5



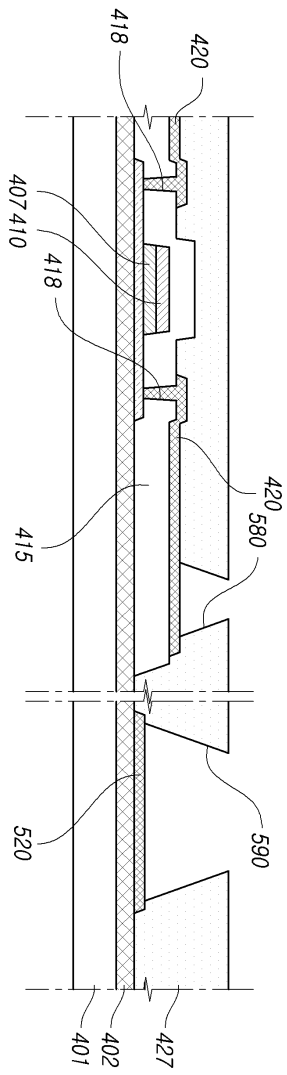
도면6



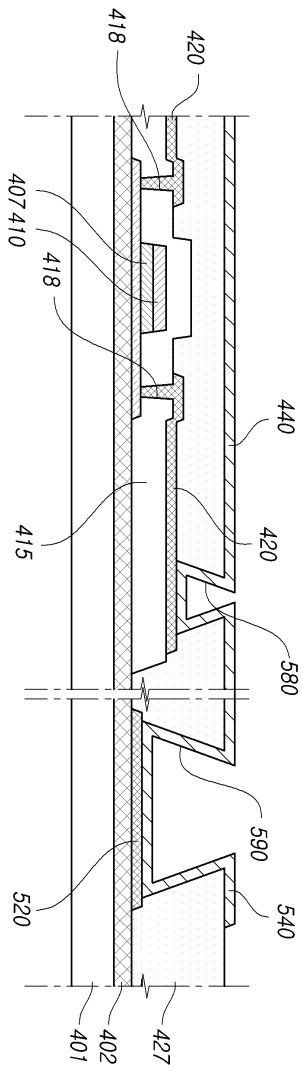
도면7



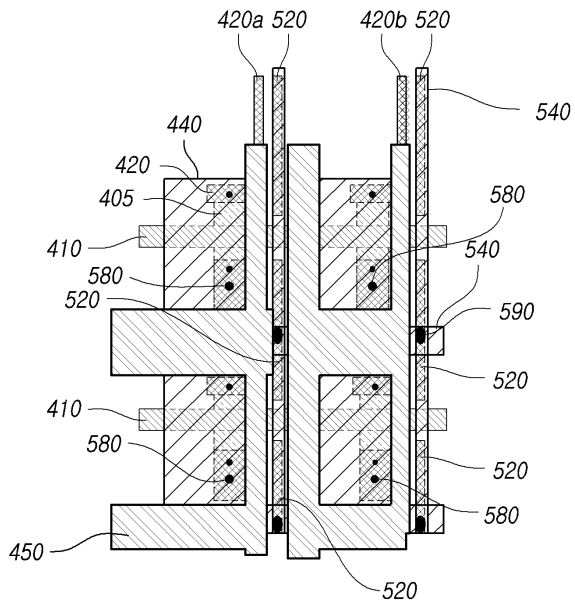
도면8



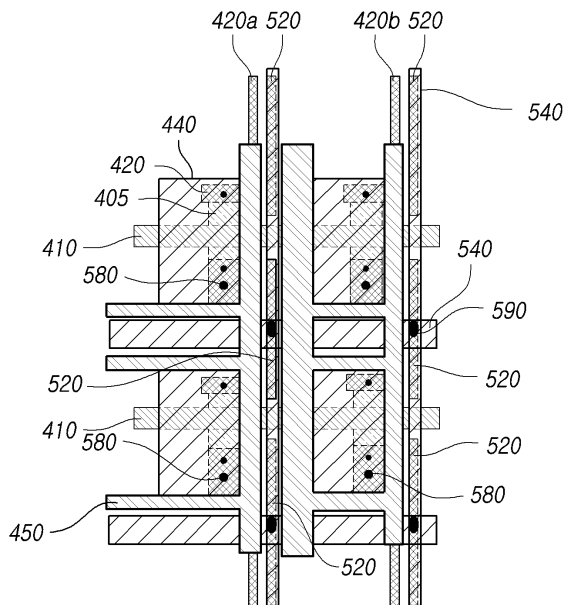
도면9



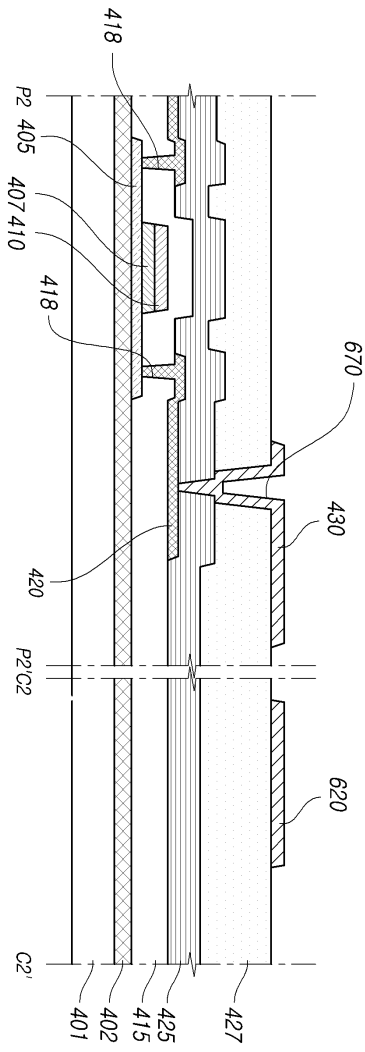
도면12



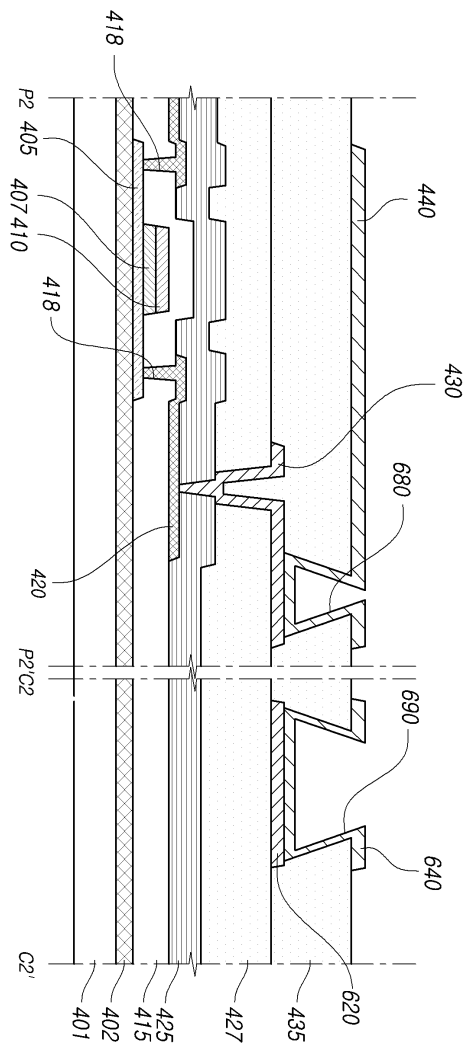
도면13



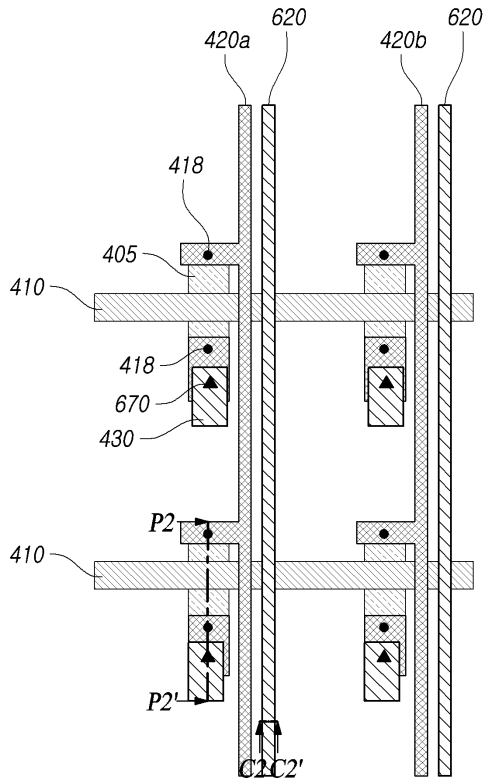
도면14



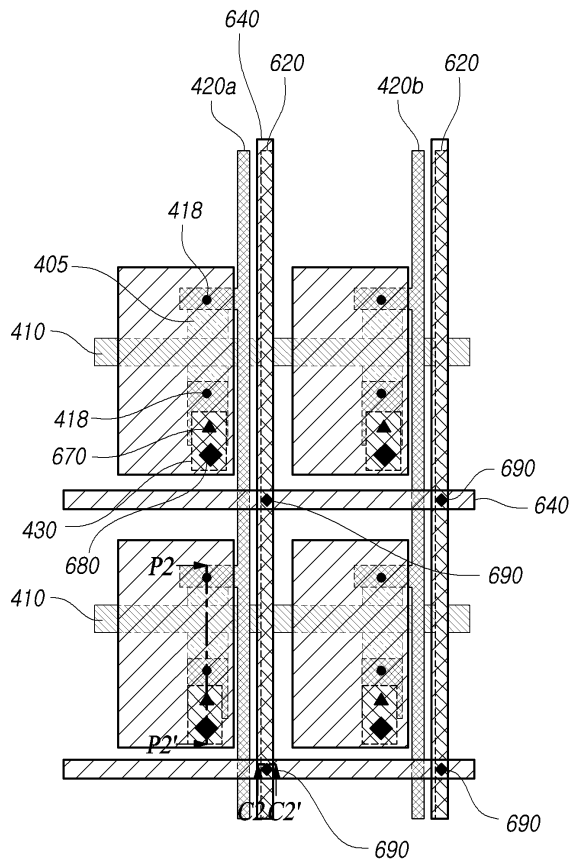
도면15



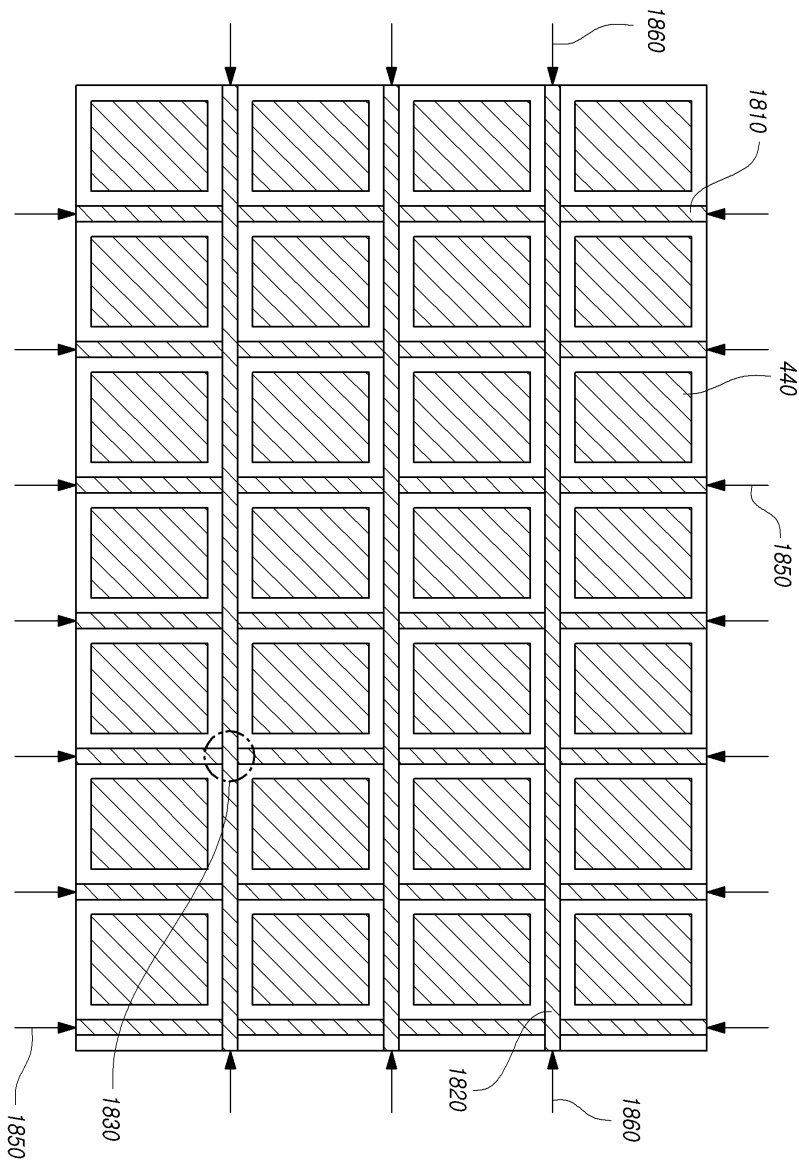
도면16



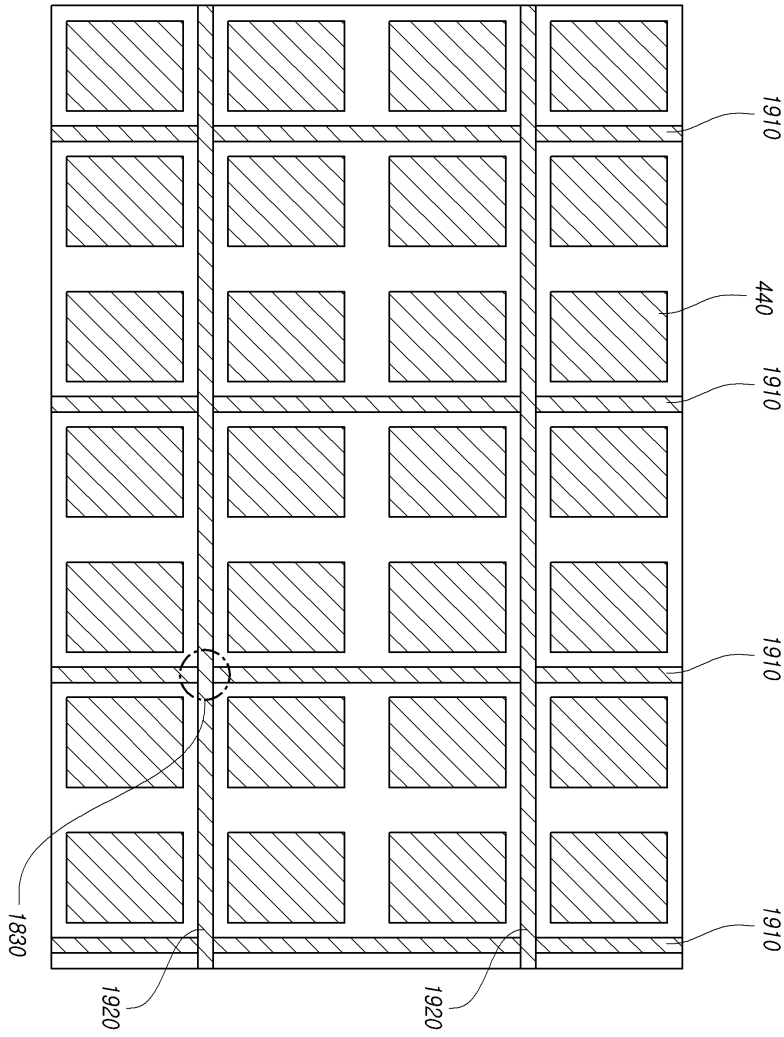
도면17



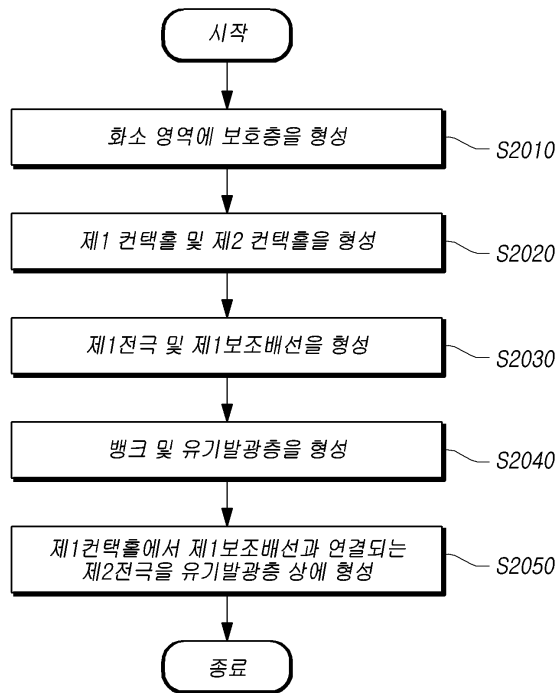
도면18



도면19



도면20



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR1020160119301A	公开(公告)日	2016-10-13
申请号	KR1020150046695	申请日	2015-04-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIM SUNG BIN 심성빈 KIM SOO HYUN 김수현 GEE MOON BAE 지문배		
发明人	심성빈 김수현 지문배		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3246 H01L2227/32 H01L2251/56 H01L27/3258 H01L27/3279 H01L51/5228		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明提供了第一电极，其中本发明分别作为有机发光显示装置及其制造方法在本发明的一侧上制造在基板上，其中多个像素区域由像素区域限定，有机光-第一电极上的发光层和位于保护层中的第一辅助布线，其中第一电极位于第二电极位于第一方向或第二方向中的任何一个方向上的两个或更多个像素区域之间的结构中。第二电极接触的有机发光显示装置。

