



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0078743
(43) 공개일자 2016년07월05일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0188864

(22) 출원일자 2014년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

전인영

부산 부산진구 중앙대로980번길 28 (양정동)

김중철

경기 과천시 정담길 85-9, 601동 204호 (금촌동, 동문아파트)

윤성욱

경기 고양시 덕양구 화신로 298, 804동 1604호 (화정동, 별빛마을8단지아파트)

(74) 대리인

특허법인로알

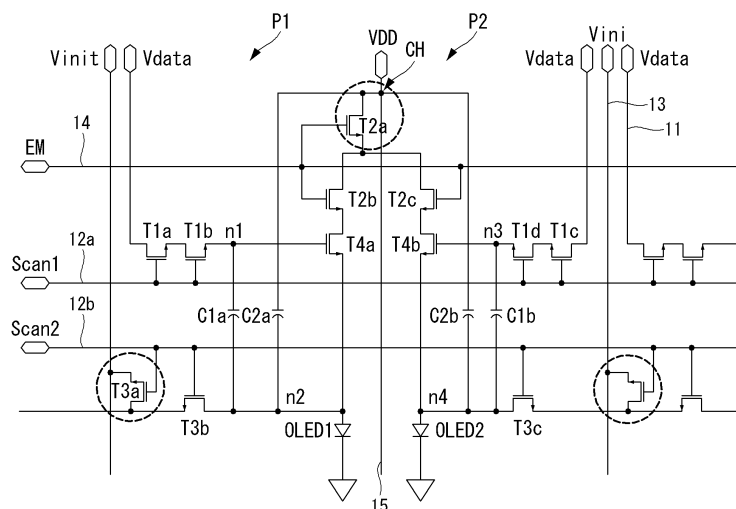
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 유기 발광 표시장치

(57) 요약

본 발명은 하나 이상의 스위치 소자, 유기 발광 다이오드에 전류를 공급하는 구동 소자, 및 커패시터를 구비한 픽셀을 포함한다. 상기 스위치 소자들 중에서 상기 구동 소자 또는 상기 유기 발광 다이오드에 연결되는 스위치 소자가 이웃한 서브 픽셀들 간에 공유되는 듀얼 게이트 스위치 소자이다.

대표도 - 도9



명세서

청구범위

청구항 1

하나 이상의 스위치 소자, 유기 발광 다이오드에 전류를 공급하는 구동 소자, 및 커패시터를 구비한 픽셀을 포함하고,

상기 스위치 소자들 중에서 상기 구동 소자 또는 상기 유기 발광 다이오드에 연결되는 스위치 소자가 이웃한 서브 픽셀들 간에 공유되는 듀얼 게이트 스위치 소자이고,

상기 듀얼 게이트 스위치 소자가 이웃한 서브 픽셀들에 공유되는 TFT(Thin Film Transistor)와 각 픽셀별로 분리된 TFT의 직렬 연결로 구성되는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 이웃한 서브 픽셀들은 회로 구조가 거울 반사 형태로 서로 반전되는 제1 및 제2 서브 픽셀들을 포함하는 유기 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 서브 픽셀은,

제1 유기 발광 다이오드에 전류를 공급하는 제1 구동 소자;

제1 스캔 신호에 응답하여 스위칭됨으로써 제1 데이터 라인과 제1 노드 사이의 전류 패스를 온/오프하는 제1 듀얼 게이트 스위치 소자;

에미션 신호에 응답하여 스위칭됨으로써 전원 라인과 상기 제1 구동 소자 사이의 전류 패스를 온/오프하는 제2 듀얼 게이트 스위치 소자;

제2 스캔 신호에 응답하여 스위칭됨으로써 초기 신호 라인과 제2 노드 사이의 전류 패스를 온/오프하는 제3 듀얼 게이트 스위치 소자;

상기 제1 노드와 상기 제2 노드 사이에 연결된 제1 커패시터; 및

상기 전원 라인과 상기 제2 노드 사이에 연결된 제2 커패시터를 포함하고,

상기 제1 구동 소자는 상기 제1 노드, 상기 제2 노드, 및 상기 제2 듀얼 게이트 소자 사이에 연결되어 게이트-소스 간 전압에 따라 상기 제1 유기 발광 다이오드의 전류를 제어하고,

상기 제2 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중에서 하나가 상기 제1 및 제2 서브 픽셀들 사이에서 공유되고,

상기 제3 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중에서 하나가 상기 제1 및 제2 서브 픽셀들 사이에서 공유되는 유기 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 서브 픽셀은,

제2 유기 발광 다이오드에 전류를 공급하는 제2 구동 소자;

상기 제1 스캔 신호에 응답하여 스위칭됨으로써 제2 데이터 라인과 제3 노드 사이의 전류 패스를 온/오프하는 제4 듀얼 게이트 스위치 소자;

상기 에미션 신호에 응답하여 스위칭됨으로써 상기 전원 라인과 상기 제2 구동 소자 사이의 전류 패스를 온/오프하는 제5 듀얼 게이트 스위치 소자;

상기 제2 스캔 신호에 응답하여 스위칭됨으로써 상기 초기 신호 라인과 제4 노드 사이의 전류 패스를 온/오프하는 제6 듀얼 게이트 스위치 소자;

상기 제3 노드와 상기 제4 노드 사이에 연결된 제3 커패시터; 및

상기 전원 라인과 상기 제4 노드 사이에 연결된 제4 커패시터를 포함하고,

상기 제2 구동 소자는 상기 제3 노드, 상기 제4 노드, 및 상기 제5 듀얼 게이트 소자 사이에 연결되어 게이트-소스 간 전압에 따라 상기 제2 유기 발광 다이오드의 전류를 제어하고,

상기 제5 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중에서 하나가 상기 제2 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중 하나이고,

상기 제6 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중에서 하나가 상기 제3 듀얼 게이트 스위치 소자를 구성하는 한 쌍의 TFT들 중 하나인 유기 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 및 제2 서브 픽셀들 간에 상기 전원 라인이 공유되는 유기 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 서브 픽셀들 간에 절연막을 관통하여 상기 전원 라인과 상기 제2 및 제4 커패시터들을 연결하는 콘택홀이 공유되는 유기 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 이웃한 서브 픽셀들 간에 스위치 소자가 공유되는 유기 발광 표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device, LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display, 이하 "OLED 표시장치"라 함), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP), 전계방출 표시장치(Field Emission Display, FED) 등 각종 평판 표시장치가 사용되고 있다.

[0003] 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스 타입의 액정표시장치는 공정 기술과 구동 기술의 발달에 힘입어 가격이 낮아지고 성능이 높아져 소형 모바일 기기부터 대형 텔레비전까지 거의 모든 표시장치에 적용되어 가장 널리 이용되고 있다.

[0004] OLED 표시장치는 자발광소자이기 때문에 백라이트가 필요한 액정표시장치에 비하여 소비전력이 낮고, 더 얇게 제작될 수 있다. 또한, OLED 표시장치는 시야각이 넓고 응답속도가 빠른 장점이 있다. OLED 표시장치는 액정 표시장치와 경쟁하면서 시장을 확대하고 있다.

[0005] OLED 표시장치의 픽셀들은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor), 구동 TFT의 게이트-소스 간 전압을 유지시키는 커패시터, 및 게이트 신호에 응답하여 구동 TFT의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 TFT를 포함한다. 구동전류는 데이터 전압에 따른 구동 TFT의 게이트-소스 간 전압에 의해 결정되며, 픽셀의 휘도는 OLED에 흐르는 구동전류의 크기에 비례한다.

[0006] 공정 편차, 게이트-바이어스 스트레스(Gate-Bias Stress) 등의 이유로 픽셀들 간에 구동 TFT 특성에 편차가 발생할 수 있다. 이러한 문제를 해결하기 위하여, 픽셀 내에 내부 보상 회로를 추가하여 구동 TFT의 게이트-소스

간 전압을 프로그래밍하고, 이 프로그래밍 결과에 따라 구동 TFT의 문턱전압 변화가 구동전류에 미치는 영향을 제거할 수 있다.

[0007] 표시장치는 화질을 높이기 위하여 고해상도로 발전을 거듭하고 있다. 같은 화면 크기에서 해상도가 높아질수록 픽셀 사이즈는 작아진다. 픽셀 사이즈가 작아지면, 픽셀 내에 TFT, 배선, 콘택홀(contact hole) 등을 형성할 공간이 부족하게 되어 픽셀 설계가 어려워진다.

[0008] 픽셀들의 스위치 소자를 듀얼 게이트(dual gate)로 설계하면, 픽셀들의 누설 전류를 줄여 표시장치의 소비 전력을 줄일 수 있다. 그러나 듀얼 게이트 구조로 스위치 소자를 제작하면, 픽셀의 TFT 개수가 증가하기 때문에 픽셀 사이즈를 줄이기가 어렵다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 누설 전류를 줄일 수 있으며 픽셀 사이즈를 줄일 수 있는 유기 발광 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 유기 발광 표시장치는 하나 이상의 스위치 소자, 유기 발광 다이오드에 전류를 공급하는 구동 소자, 및 커패시터를 구비한 픽셀을 포함한다.

[0011] 상기 스위치 소자들 중에서 상기 구동 소자 또는 상기 유기 발광 다이오드에 연결되는 스위치 소자가 이웃한 서브 픽셀들 간에 공유되는 듀얼 게이트 스위치 소자이다.

[0012] 상기 듀얼 게이트 스위치 소자가 이웃한 서브 픽셀들에 공유되는 TFT와 각 픽셀별로 분리된 TFT의 직렬 연결로 구성된다.

발명의 효과

[0013] 본 발명은 유기 발광 표시장치에서 이웃하는 서브 픽셀들 간에 듀얼 게이트 스위치 소자가 공유되게 함으로써 고해상도 패널에서 내부 보상 기능을 가지며 누설 전류가 작은 픽셀 설계를 가능하게 한다. 나아가, 본 발명은 유기 발광 표시장치에서 이웃하는 서브 픽셀들 간에 배선과 콘택홀이 공유되는 픽셀을 더 작게 설계할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예에 따른 OLED 표시장치를 보여 주는 블록도면이다.

도 2는 도 1에 도시된 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다.

도 3은 도 2에 도시된 픽셀의 동작을 보여 주는 파형도이다.

도 4는 픽셀들의 스위치 온/오프 타이밍을 보여 주는 도면이다.

도 5는 픽셀의 초기화 동작을 보여 주는 도면이다.

도 6은 픽셀의 샘플링 동작을 보여 주는 도면이다.

도 7은 픽셀의 프로그래밍 동작을 보여 주는 도면이다.

도 8은 픽셀의 에미션 동작을 보여 주는 도면이다.

도 9는 이웃한 서브 픽셀들 간에 듀얼 게이트 구조의 TFT 쌍이 공유된 예를 보여 주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소자들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0016] 도 1 및 도 2를 참조하면, 본 발명의 유기 발광 다이오드 표시장치는 표시패널(100), 데이터 구동부(102), 스캔 구동부(104), 및 타이밍 콘트롤러(110)를 구비한다.
- [0017] 표시패널(100)은 픽셀들이 매트릭스 형태로 배치되어 입력 영상을 표시하는 픽셀 어레이를 포함한다. 표시패널(100)의 픽셀들 각각은 도 2 내지 도 9와 같이 구현될 수 있으나 이에 한정되지 않는다. 픽셀들 각각은 컬러 구현을 위하여, 적, 녹 및 청색의 서브 픽셀들로 나뉘어질 수 있다. 픽셀들 각각은 백색광을 발생하는 백색 서브 픽셀을 더 포함할 수 있다. 픽셀들은 컬러 필터를 더 포함할 수 있다.
- [0018] 픽셀들 각각은 하나 이상의 스위치 소자, OLED에 전류를 공급하는 구동 소자, 및 커패시터를 구비한 픽셀을 포함한다. 스위치 소자들 중에서 구동 소자 또는 OLED에 스위치 소자는 이웃한 서브 픽셀들 간에 공유되는 듀얼 게이트 스위치 소자이다. 듀얼 게이트 스위치 소자는 이웃한 서브 픽셀들에 공유되는 TFT와 각 픽셀별로 분리된 TFT의 직렬 연결로 구성된다.
- [0019] 이웃한 서브 픽셀들 간에 공유되는 TFT는 도 9의 예에서 T2a와 T3a이다. 듀얼 게이트 스위치 소자를 구성하기 위하여 공유 TFT와 직렬 연결되는 TFT는 도 9의 예에서, T2b, T2c, T3b 및 T3c이다.
- [0020] 픽셀들 각각은 구동 TFT의 특성 변화를 보상하기 위한 내부 보상 기능을 갖는다. 이 픽셀들의 구조와 동작에 대하여는 도 2 내지 도 9를 결부하여 후술하기로 한다.
- [0021] 데이터 구동부(102)는 기준 전압(Vref)과 데이터 전압(Vdata)을 발생한다. 데이터 구동부(102)는 타이밍 콘트롤러(110)로부터 수신되는 입력 영상의 디지털 비디오 데이터를 감마보상전압으로 변환하여 데이터 전압(Vdata)을 발생하여 데이터 라인들(11)에 공급한다. 데이터 구동부(102)는 입력 영상과 무관하게 미리 설정된 기준 전압(Vref)을 발생하여 데이터 라인들(11)에 공급한다.
- [0022] 스캔 구동부(104)는 스캔 신호(Scan1, Scan2)를 스캔 라인들(12a, 12b)에 순차적으로 공급하고, 에미션 신호(Emission signal, EM)를 EM 라인들(14)에 순차적으로 공급한다.
- [0023] 타이밍 콘트롤러(110)는 도시하지 않은 외부의 호스트 시스템으로부터 수신한 디지털 비디오 데이터(RGB)를 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(110)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(Data Enable, DE), 도트 클럭(CLK) 등 호스트 시스템으로부터 수신된 타이밍 신호들을 이용하여 데이터 구동부(102)와 스캔 구동부(104)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.
- [0024] 호스트 시스템은 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 컴퓨터, 홈 시어터 시스템, 방송 수신기, 폰 시스템(Phone system) 등 각종 정보기기나 가전기기 시스템일 수 있다.
- [0025] 도 2는 도 1에 도시된 표시장치의 픽셀 구조를 보여 주는 등가 회로도이다. 도 3은 도 2에 도시된 픽셀의 동작을 보여 주는 파형도이다. 도 4는 픽셀의 TFT들의 온/오프 스위치 타이밍을 보여 주는 도면이다.
- [0026] 도 2 내지 도 4를 참조하면, 픽셀들 각각의 서브 픽셀은 OLED, 제1 내지 제2 TFT(T1~T4), 제1 및 제2 커패시터(C1, C2)를 포함한다. 이 서브 픽셀은 4 개의 트랜지스터와 2 개의 커패시터를 포함한 4T2C 회로 구조이다.
- [0027] 픽셀의 1 수평 기간(1H)은 초기화 기간(Ti), 샘플링 기간(Ts), 프로그래밍 기간(Tp), 및 에미션 기간(Te)으로 나뉘어 진다. 1 수평 기간(1H) 동안, 픽셀의 구동 소자인 제4 TFT(T4)의 문턱 전압이 샘플링되고 그 문턱 전압만큼 데이터 전압을 보상한다. 따라서, 1 수평 기간(1H) 동안, 입력 영상의 데이터가 구동 소자의 문턱 전압만큼 보상되어 픽셀에 기입된다.
- [0028] 제1 스캔 신호(Scan1)는 대략 1 수평 기간(1H) 동안 ON 레벨로 발생되어 제1 TFT(T1)를 턴-온(turn-on)시키고, 에미션 기간(Te)에 OFF 레벨로 반전되어 제1 TFT(T1)를 턴-오프(turn-off)시킨다.
- [0029] 제2 스캔 신호(Scan2)는 초기화 기간(Ti) 내에서 ON 레벨로 발생되어 제3 TFT(T3)를 턴-온시키고, 나머지 기간 동안 OFF 레벨을 유지하여 제3 TFT(T3)를 오프 상태로 제어한다.
- [0030] 에미션 신호(EM)는 샘플링 기간(Ts) 내에서 ON 레벨로 발생되어 제2 TFT(T2)를 턴-온시키고, 초기화 기간(Ti)과

프로그래밍 기간(T_p)에 OFF 레벨로 반전되어 제2 TFT(T_2)를 턴-오프시킨다. 그리고, 에미션 신호(EM)는 에미션 기간(T_e) 동안 내에서 ON 레벨을 유지하여 제2 TFT(T_2)를 온 상태로 유지시킨다.

- [0031] OLED는 제2 TFT(T_2)로부터 공급되는 전류에 의해 발광한다. OLED의 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(n_2)에 연결되고, 캐소드는 저전위 전원 전압(VSS) 또는 기저 전압원(GND)에 연결된다.
- [0032] 제1 TFT(T_1)는 제1 스캔 신호(Scan1)에 응답하여 스위칭됨으로써 데이터 라인(11)과 제1 노드(n_1) 사이의 전류 패스를 온/오프하는 스위치 소자다. 제1 TFT(T_1)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인(11)에 접속된다. 제1 TFT(T_1)의 소스는 제1 노드(n_1)에 접속된다.
- [0033] 제2 TFT(T_2)는 에미션 신호(EM)에 응답하여 스위칭됨으로써 VDD 라인(15)과 제4 TFT(T_4)의 드레인 사이의 전류 패스를 온/오프하는 스위치 소자이다. 제2 TFT(T_2)의 게이트는 EM 라인(14)에 접속되고, 드레인(15)에 접속된다. 제2 TFT(T_2)의 소스는 제4 TFT(T_4)의 드레인에 접속된다.
- [0034] 제3 TFT(T_3)는 제2 스캔 신호(Scan2)에 응답하여 스위칭됨으로써 Vini 라인(13)과 제2 노드(n_2)의 전류 패스를 온/오프하는 스위치 소자이다. Vini 라인(13)은 초기화 신호 라인이다. 제3 TFT(T_3)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인(13)에 접속된다. 제3 TFT(T_3)의 소스는 Vini 라인(13)에 접속된다. Vini에는 초기화 신호(Vini)가 공급된다.
- [0035] 제4 TFT(T_4)는 자신의 게이트-소스 간 전압(V_{gs})에 따라 OLED의 전류를 제어하는 구동 소자이다. 제4 TFT(T_4)의 게이트는 제1 노드(n_1)에 접속되고, 드레인(15)에 접속된다. 소스는 OLED의 애노드에 접속된다.
- [0036] 제1 커패시터(C_1)는 제1 노드(n_1)와 제2 노드(n_2) 사이에 접속되어 양단 간의 차 전압을 저장한다. 제1 커패시터(C_1)는 소스팔로워(source-follower) 방식으로 구동 소자인 제4 TFT(T_4)의 문턱 전압(V_{th})을 샘플링한다. 제2 커패시터(C_2)는 VDD 라인(15)과 제2 노드(n_2) 사이에 접속된다. 제1 및 제2 커패시터(C_1, C_2)는 프로그래밍 기간(T_p)에서 데이터 전압(V_{data})에 따라 제1 노드(n_1)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(n_2)에 반영한다.
- [0037] 도 5는 픽셀의 초기화 동작을 보여 주는 도면이다. 도 6은 픽셀의 샘플링 동작을 보여 주는 도면이다. 도 7은 픽셀의 프로그래밍 동작을 보여 주는 도면이다. 도 8은 픽셀의 에미션 동작을 보여 주는 도면이다.
- [0038] 도 5를 참조하면, 초기화 기간(T_i) 동안 제1 및 제3 TFT(T_1, T_3)이 ON 레벨의 제1 및 제2 스캔 신호(Scan1, Scan2)에 응답하여 턴-온된다. 제2 TFT(T_2)는 OFF 레벨의 에미션 신호(EM)에 의해 초기화 기간(T_i)에 턴-오프된다. 초기화 기간(T_i) 동안, 데이터 라인(11)에 소정의 기준 전압(V_{ref})이 공급된다. 초기화 기간(T_i) 동안 제1 노드(n_1)의 전압은 기준 전압(V_{ref})으로 초기화되고, 제2 노드(n_2)의 전압은 소정의 초기화 전압(Vini)으로 초기화된다.
- [0039] 도 6을 참조하면, 샘플링 기간(T_s) 동안 제2 TFT(T_2)가 ON 레벨의 에미션 신호(EM)에 응답하여 턴-온된다. 샘플링 기간(T_s) 동안 제1 TFT(T_1)는 ON 레벨의 제1 스캔 신호(Scan1)에 의해 온 상태를 유지한다. 샘플링 기간(T_s) 동안, 데이터 라인(11)에는 기준 전압(V_{ref})이 공급된다. 샘플링 기간(T_s) 동안, 제1 노드(n_1)의 전위는 기준전압(V_{ref})으로 유지되는데 반해, 제2 노드(n_2)의 전위는 드레인-소스 간 전류(I_{ds})에 의해 상승한다. 이러한 소스팔로워(source-follower) 방식에 따라 제4 TFT(T_4)의 게이트-소스 간 전압(V_{gs})은 제4 TFT(T_4)의 문턱 전압(V_{th})으로서 샘플링되며, 이 샘플링된 문턱전압(V_{th})은 제1 커패시터(C_1)에 저장된다. 샘플링 기간(T_s) 동안 제1 노드(n_1)의 전압은 기준 전압(V_{ref})이고, 제2 노드(n_2)의 전압은 $V_{ref}-V_{th}$ 이다.
- [0040] 도 7을 참조하면, 프로그래밍 기간(T_p) 동안 제1 TFT(T_1)는 ON 레벨의 제1 스캔 신호(Scan1)에 따라 온 상태를 유지하고 나머지 TFT($T_2\sim T_4$)는 턴-오프된다. 프로그래밍 기간(T_p) 동안 데이터 라인(11)에 입력 영상의 데이터 전압(V_{data})이 공급된다. 데이터 전압(V_{data})이 제1 노드(n_1)에 인가되고, 제1 노드(n_1)의 전위 변화분($V_{data}-V_{ref}$)에 대한 제1 및 제2 커패시터(C_1, C_2) 간의 전압 분배 결과가 제2 노드(n_2)에 반영됨으로써 제4 TFT(T_4)의 게이트-소스 간 전압(V_{gs})이 프로그래밍된다. 프로그래밍 기간(T_p) 동안, 제1 노드(n_1)의 전압은 데이터 전압(V_{data})이고, 제2 노드(n_2)의 전압은 샘플링 기간(T_s)을 통해 설정된 " $V_{ref}-V_{th}$ "에 제1 및 제2 커패시터(C_1, C_2) 간의 전압 분배 결과($C'*(V_{data}-V_{ref})$)가 더해져 " $V_{ref}-V_{th}+C'*(V_{data}-V_{ref})$ "가 된다. 결국, 제4 TFT(T_4)의 게이트-소스 간 전압(V_{gs})은 프로그래밍 기간(T_p)을 통해 " $V_{data}-V_{ref}+V_{th}-C'*(V_{data}-V_{ref})$ "으로 프

로그래밍된다. 여기서, C'는 $CST1/(CST1+CST2)$ 이며, CST1은 제1 커패시터(C1)의 제1 커패시턴스를 의미하고, CST2는 제2 커패시터(C2)의 제2 커패시턴스를 의미한다.

[0041] 도 8을 참조하면, 에미션 기간(Te)은 프로그래밍 기간(Tp) 이후부터 그 다음 프레임의 초기화 기간(Ti)까지 연속된다. 에미션 신호(EM)는 ON 레벨로 입력되어 제2 TFT(T2)를 턴-온시킨다. 에미션 기간(Te)에서는 프로그래밍 기간(Tp)을 통해 프로그래밍된 게이트-소스 간 전압에 따라 구동전류(Ioled)를 OLED에 인가하여 OLED를 발광시킨다. 에미션 기간(Te) 동안, 제1 및 제2 스캔신호(Scan1, Scan2)는 OFF 레벨로 입력되어 제1 및 제3 TFT(T1, T3)를 턴-오프시킨다.

[0042] 에미션 기간(Te) 동안 OLED에 흐르는 전류(Ioled)는 수학적 식 1과 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

수학적 식 1

$$I_{oled} = \frac{k}{2} [(1-C')(V_{data}-V_{ref})]^2$$

[0043]

[0044] 수학적 식 2에서, k는 제4 TFT(T4)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0045] 구동전류(Ioled) 관계식은 $k/2(V_{gs}-V_{th})^2$ 인데, 프로그래밍 기간(Tp)을 통해 프로그래밍된 Vgs에는 Vth가 포함되어 있으므로, 수학적 식 1과 같이 구동전류(Ioled) 관계식에서 Vth 성분은 소거된다. 따라서, 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 제거된다.

[0046] 본 발명은 픽셀들 각각의 누설 전류를 줄이기 위하여 픽셀 내의 TFT 각각을 한 쌍의 TFT를 포함한 듀얼 게이트 구조의 TFT로 구현한다. 그리고 본 발명은 픽셀 어레이의 배선 개수, 콘택홀(Contact hole) 개수 등을 줄이기 위하여 이웃한 서브 픽셀들의 구조를 거울(mirror) 반사 형태로 반전 배치하고 공유가 가능한 듀얼 게이트 구조의 TFT를 이웃한 서브 픽셀들 사이에 공유한다.

[0047] 도 9는 이웃한 서브 픽셀들 간에 듀얼 게이트 구조를 구현한 TFT 쌍이 공유된 예를 보여 주는 회로도이다.

[0048] 도 9를 참조하면, 제1 서브 픽셀(P1)과 제2 서브 픽셀은 공유되는 일부 소자들을 제외하면 좌우 미러 형태로 서로 반전된 구조를 갖는다.

[0049] 제1 서브 픽셀(P1)은 제1 TFT(T1a, T1b), 제2 TFT(T2a, T2b), 제3 TFT(T3a, T3b), 제4 TFT(T4a), 제1 커패시터(C1a), 제2 커패시터(C2a), 및 OLED1을 포함한다.

[0050] 제1 서브 픽셀(P1)의 회로 구성은 전술한 바와 같이, 도 2 내지 도 8과 같은 4T2C 구조이고 내부 보상 기능을 갖는다. 제1 TFT(T1a, T1b), 제2 TFT(T2a, T2b), 및 제3 TFT(T3a, T3b) 각각은 누설 전류를 줄이기 위하여 게이트가 서로 연결된 한 쌍의 TFT들로 구성된다.

[0051] 제1 TFT(T1a, T1b)는 게이트가 서로 연결된 제1a TFT(T1a)와 제1b TFT(T1b)를 포함한 듀얼 게이트 구조의 MOSFET(metal oxide semiconductor field-effect transistor)이다. 제1a TFT(T1a)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인은 제1 데이터 라인(11)에 접속된다. 제1a TFT(T1a)의 소스는 제1b TFT(T1b)의 드레인에 접속된다. 제1b TFT(T1b)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인은 제1a TFT(T1a)의 소스에 접속된다. 제1b TFT(T1b)의 소스는 제1 노드(n1)에 접속된다. 제1 TFT(T1a, T1b)는 제1 스캔 신호(Scan1)에 응답하여 스위칭됨으로써 제1 데이터 라인(11)과 제1 노드(n1) 사이의 전류 패스를 온/오프하는 스위치 소자이다. 제1 TFT(T1a, T1b)는 제1 데이터 라인(11)과 연결되기 때문에 이웃한 서브 픽셀들(P1, P2) 간에 공유되지 않고 서브 픽셀별로 분리되어야 한다. 만약, 제1 TFT(T1a, T1b) 중 어느 하나가 이웃한 서브 픽셀들(P1, P2) 간에 공유되면 이웃한 서브 픽셀들(P1, P2)의 데이터 라인들이 단락(short circuit)되어 서브 픽셀들(P1, P2)에 동일한 데이터가 기입된다.

[0052] 제2 TFT(T2a, T2b)는 게이트가 서로 연결된 제2a TFT(T2a)와 제2b TFT(T2b)를 포함한 듀얼 게이트 구조의 MOSFET이다. 제2a TFT(T2a)의 게이트는 EM 라인(14)에 접속되고, 그 드레인은 VDD 라인(15)에 접속된다. 제2a TFT(T2a)의 소스는 제2b TFT(T2b)의 드레인과 제2c TFT(T2c)의 드레인에 연결된다. 제2b TFT(T2b)의 게이트

트는 EM 라인(14)에 접속되고, 그 드레인은 제2a TFT(T2a)의 소스에 접속된다. 제2b TFT(T2b)의 소스는 제4 TFT(T4a)의 드레인에 연결된다. 제2 TFT(T2a, T2b)는 에미션 신호(EM)에 응답하여 스위칭됨으로써 VDD 라인(15)과 제4 TFT(T4a)의 드레인 사이의 전류 패스를 온/오프하는 스위치 소자이다.

[0053] 제2a TFT(T2a)는 제1 서브 픽셀(P1)의 제2b TFT(T2b)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제1 서브 픽셀(P1)의 스위치 소자로서 동작함과 동시에, 제2 서브 픽셀(P2)의 제2c TFT(T2c)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제2 서브 픽셀(P2)의 스위치 소자로서 동작한다. 따라서, 제2a TFT(2a)는 제1 및 제2 서브 픽셀들(P1, P2)에서 공유되는 스위치 소자이다. 본 발명은 이웃한 서브 픽셀들(P1, P2) 간에 제2a TFT(2a)이 공유되게 하여 TFT의 개수를 줄일 수 있다.

[0054] VDD 라인(15)은 제1 및 제2 서브 픽셀들(P1, P2) 사이에서 공유되는 전원 라인이다. VDD 라인(15)은 절연막을 관통하는 콘택홀(CH)을 통해 제2 커패시터들(C2a, C2b)과 연결된다. VDD 라인(15)이 이웃한 서브 픽셀들(P1, P2) 사이에 공유되므로 VDD 라인(15)과 콘택홀(CH)의 개수를 줄인다.

[0055] 제3 TFT(T3a, T3b)는 게이트가 서로 연결된 제3a TFT(T3a)와 제3b TFT(T3b)를 포함한 듀얼 게이트 구조의 MOSFET이다. 제3a TFT(T3a)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인은 제3b TFT(T3b)의 소스와 제3c TFT(T3c)의 소스에 접속된다. 제3a TFT(T3a)의 소스는 Vini 라인(13)에 접속된다. 제3b TFT(T3b)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인은 제2 노드(n2)에 접속된다. 제3b TFT(T3b)의 소스는 제3a TFT(T3a)의 드레인에 접속된다. 제3 TFT(T3a, T3b)는 제2 스캔 신호(Scan2)에 응답하여 스위칭됨으로써 Vini 라인(13)과 제2 노드(n2)의 전류 패스를 온/오프하는 스위치 소자이다.

[0056] 제3a TFT(T3a)는 제1 서브 픽셀(P1)의 제3b TFT(T3b)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제1 서브 픽셀(P1)의 스위치 소자로서 동작함과 동시에, 제2 서브 픽셀(P2)의 제3c TFT(T3c)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제2 서브 픽셀(P2)의 스위치 소자로서 동작한다. 따라서, 제3a TFT(T3a)는 제1 및 제2 서브 픽셀들(P1, P2)에서 공유되는 스위치 소자이다. 본 발명은 이웃한 서브 픽셀들(P1, P2) 간에 제3a TFT(3a)이 공유되게 하여 TFT의 개수를 줄인다.

[0057] 제4 TFT(T4a)는 제1 노드(n1), 제2 노드(n2), 및 제2 TFT(T2a, T2b) 사이에 연결되어 자신의 게이트-소스 간 전압(Vgs)에 따라 OLED1의 전류를 제어하는 구동 소자이다. 제4 TFT(T4a)의 게이트는 제1 노드(n1)에 접속되고, 드레인은 제2b TFT(T2b)의 소스에 연결된다. 제4 TFT(T4a)의 소스는 OLED1의 애노드에 접속된다.

[0058] 제1 커패시터(C1a)는 제1 노드(n1)와 제2 노드(n2) 사이에 접속되어 양단 간의 차 전압을 저장한다. 제1 커패시터(C1a)는 소스팔로워 방식으로 구동 소자인 제4 TFT(T4a)의 문턱전압을 샘플링한다. 제2 커패시터(C2a)는 VDD 라인(15)과 제2 노드(n2) 사이에 접속된다. 제1 및 제2 커패시터(C1a, C2b)는 프로그래밍 시간(Tp)에서 데이터 전압(Vdata)에 따라 제1 노드(n1)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(n2)에 반영한다.

[0059] 제2 서브 픽셀(P2)은 제1 TFT(T1c, T1d), 제2 TFT(T2a, T2c), 제3 TFT(T3a, T3c), 제4 TFT(T4b), 제1 커패시터(C1b), 제2 커패시터(C2b), 및 OLED2를 포함한다.

[0060] 제2 서브 픽셀(P2)의 회로 구성은 도 2 내지 도 8과 같은 4T2C 구조이고 내부 보상 기능을 갖는다. 제1 TFT(T1c, T1d), 제2 TFT(T2a, T2c), 및 제3 TFT(T3a, T3c) 각각은 누설 전류를 줄이기 위하여 게이트가 서로 연결된 한 쌍의 TFT들로 구성된다.

[0061] 제1 TFT(T1c, T1d)는 게이트가 서로 연결된 제1c TFT(T1c)와 제1d TFT(T1d)를 포함한 듀얼 게이트 구조의 MOSFET이다. 제1c TFT(T1c)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인은 제2 데이터 라인(11)에 접속된다. 제1c TFT(T1c)의 소스는 제1d TFT(T1d)의 드레인에 접속된다. 제1d TFT(T1d)의 게이트는 제1 스캔 라인(12a)에 접속되고, 드레인은 제1c TFT(T1c)의 소스에 접속된다. 제1d TFT(T1d)의 소스는 제3 노드(n3)에 접속된다. 제3 노드(n3)는 제1 서브 픽셀(P1)의 제1 노드(n1)와 같다. 제1 TFT(T1c, T1d)는 제1 스캔 신호(Scan1)에 응답하여 스위칭됨으로써 제2 데이터 라인(11)과 제3 노드(n3) 사이의 전류 패스를 온/오프하는 스위치 소자이다. 제1 TFT(T1c, T1d)는 제2 데이터 라인(11)과 연결되기 때문에 이웃한 서브 픽셀들(P1, P2) 간에 공유되지 않고 서브 픽셀별로 분리되어야 한다.

[0062] 제2 TFT(T2a, T2c)는 게이트가 서로 연결된 제2a TFT(T2a)와 제2c TFT(T2c)를 포함한 듀얼 게이트 구조의 MOSFET이다. 제2a TFT(T2a)의 게이트는 EM 라인(14)에 접속되고, 그 드레인은 VDD 라인(15)에 접속된다. 제2a TFT(T2a)의 소스는 제2b TFT(T2b)의 드레인과 제2c TFT(T2c)의 드레인에 연결된다. 제2c TFT(T2c)의 게이트는 EM 라인(14)에 접속되고, 그 드레인은 제2a TFT(T2a)의 소스에 접속된다. 제2c TFT(T2c)의 소스는 제4

TFT(T4b)의 드레인에 연결된다. 제2 TFT(T2a, T2c)는 에미션 신호(EM)에 응답하여 스위칭됨으로써 VDD 라인(15)과 제4 TFT(T4b)의 드레인 사이의 전류 패스를 온/오프하는 스위치 소자이다.

[0063] 제3 TFT(T3a, T3c)는 게이트가 서로 연결된 제3a TFT(T3a)와 제3c TFT(T3c)를 포함한 듀얼 게이트 구조의 MOSFET이다. 제3a TFT(T3a)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인은 제3b TFT(T3b)의 소스와 제3c TFT(T3c)의 소스에 접속된다. 제3a TFT(T3a)의 소스는 Vini 라인(13)에 접속된다. 제3c TFT(T3c)의 게이트는 제2 스캔 라인(12b)에 접속되고, 드레인은 제4 노드(n4)에 접속된다. 제4 노드(n4)는 제1 서브 픽셀(P1)의 제2 노드(n2)와 같다. 제3c TFT(T3c)의 소스는 제3a TFT(T3a)의 드레인에 접속된다. 제3 TFT(T3a, T3b)는 제2 스캔 신호(Scan2)에 응답하여 스위칭됨으로써 Vini 라인(13)과 제2 노드(n2)의 전류 패스를 온/오프하는 스위치 소자이다.

[0064] 제3a TFT(T3a)는 제1 서브 픽셀(P1)의 제3b TFT(T3b)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제1 서브 픽셀(P1)의 스위치 소자로서 동작함과 동시에, 제2 서브 픽셀(P2)의 제3c TFT(T3c)와 함께 듀얼 게이트 구조의 MOSFET로 구현되어 제2 서브 픽셀(P2)의 스위치 소자로서 동작한다. 따라서, 제3a TFT(3a)는 제1 및 제2 서브 픽셀들(P1, P2)에서 공유되는 스위치 소자이다. 본 발명은 이웃한 서브 픽셀들(P1, P2) 간에 제3a TFT(3a)이 공유되게 하여 TFT의 개수를 줄인다.

[0065] 제4 TFT(T4b)는 제3 노드(n3), 제4 노드(n4), 및 제2 TFT(T2a, T2c) 사이에 연결되어 자신의 게이트-소스 간 전압(Vgs)에 따라 OLED2의 전류를 제어하는 구동 소자이다. 제4 TFT(T4b)의 게이트는 제1 노드(n1)에 접속되고, 드레인은 제2c TFT(T2c)의 소스에 연결된다. 제4 TFT(T4b)의 소스는 OLED2의 애노드에 접속된다.

[0066] 제1 커패시터(C1b)는 제3 노드(n3)와 제4 노드(n4) 사이에 접속되어 양단 간의 차 전압을 저장한다. 제1 커패시터(C1b)는 소스팔로워 방식으로 구동 소자인 제4 TFT(T4b)의 문턱전압을 샘플링한다. 제2 커패시터(C2b)는 VDD 라인(15)과 제4 노드(n4) 사이에 접속된다. 제1 및 제2 커패시터(C1b, C2b)는 프로그래밍 기간(Tp)에서 데이터 전압(Vdata)에 따라 제1 노드(n1)의 전위가 변할 때, 그 변화분을 전압 분배한다.

[0067] 제1 및 제2 서브 픽셀들(P1, P2)에서, 제2a 및 제3a TFT(T2a, T3a)는 이웃하는 서브 픽셀들(P1, P2) 간에 공유된다. 도 9에 점선 원은 듀얼 게이트 구조에서 공유되는 스위치 소자들이다. 또한, 이웃하는 서브 픽셀들(P1, P2) 간에 배선(15)과 콘택홀(CH)이 공유된다. 따라서, 본 발명은 이웃한 서브 픽셀들 사이에 듀얼 게이트 구조의 스위치 소자, 배선 및 콘택홀을 공유하도록 하여 고해상도 패널에서 내부 보상 기능을 가지며 누설 전류가 작은 픽셀 설계를 가능하게 한다.

[0068] 전술한 실시예는 스위치 소자와 구동 소자가 n type MOSFET로 구현된 예이나 본 발명은 이에 한정되지 않는다. 예컨대, 상기 스위치 소자와 구동 소자는 p type MOSFET로 구현될 수 있다. 이 경우에 스위치 소자들을 제어하는 신호들의 ON/OFF 레벨이 반전된다.

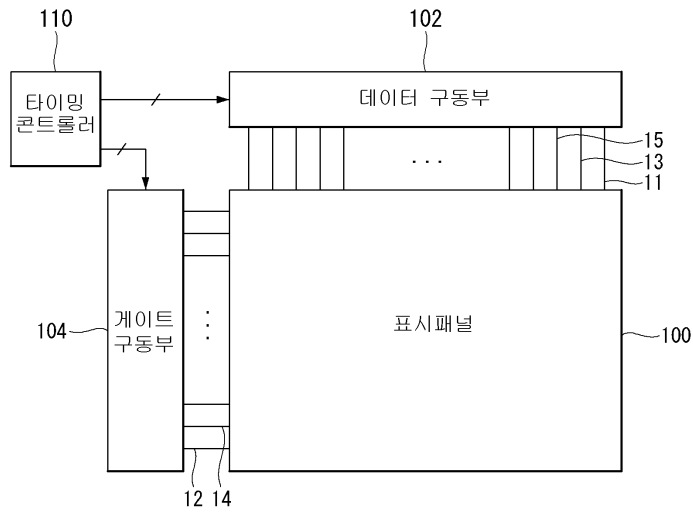
[0069] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

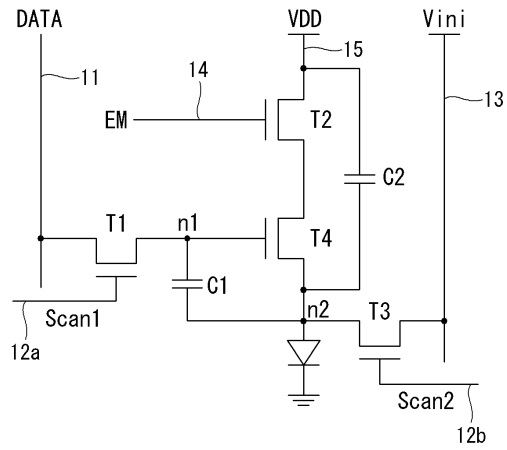
[0070] 100 : 표시패널 102 : 데이터 구동부
104 : 스캔 구동부 11 : 타이밍 콘트롤러

도면

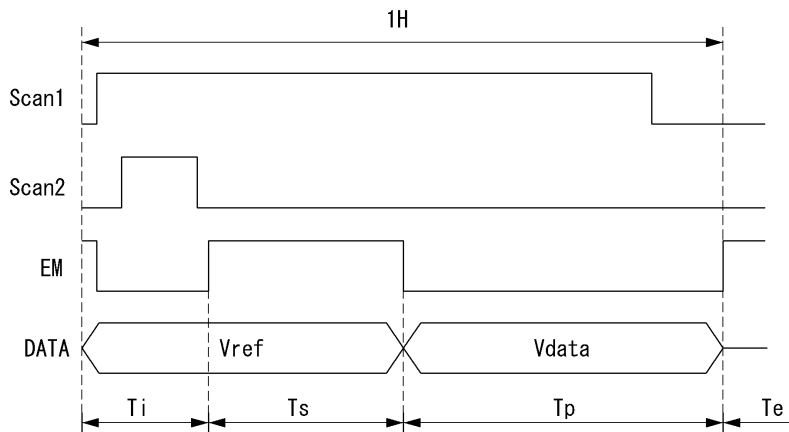
도면1



도면2



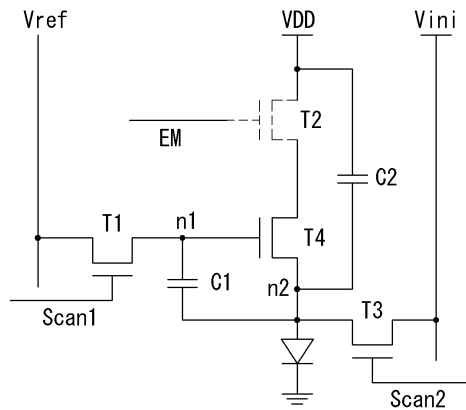
도면3



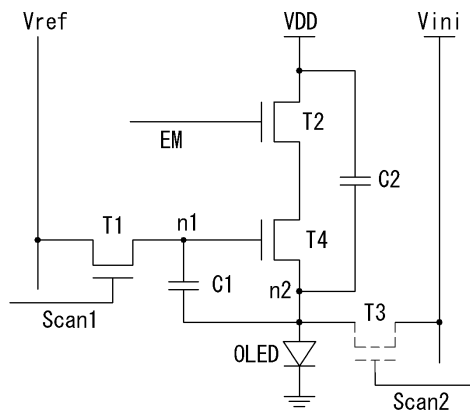
도면4

	Ti	Ts	Tp	Te
T4	Off	On	Off	On
T3	On	Off	Off	Off
T2	Off	On	Off	On
T1	On	On	On	Off

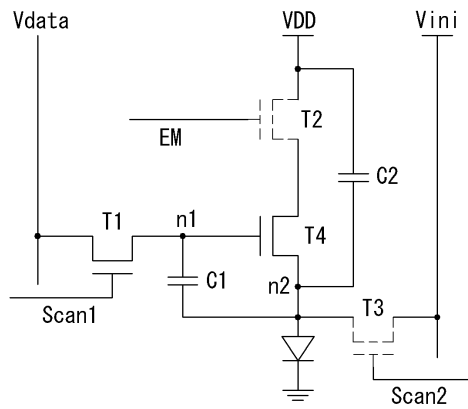
도면5



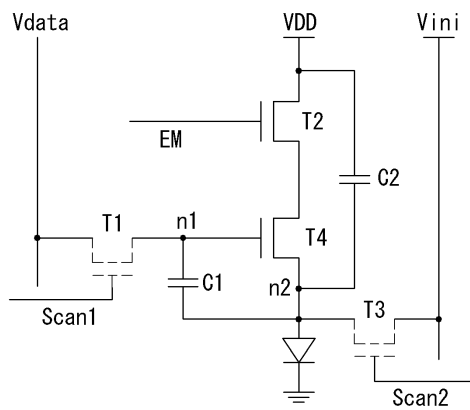
도면6



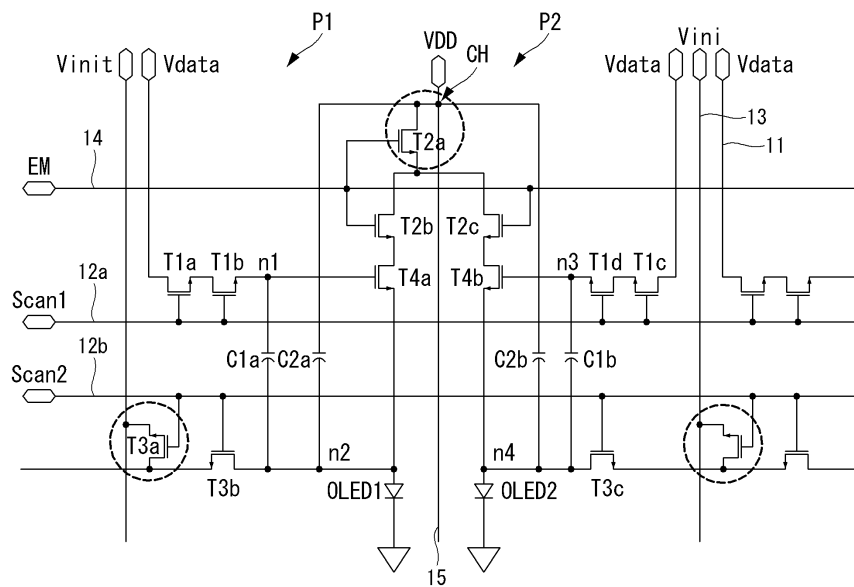
도면7



도면8



도면9



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160078743A	公开(公告)日	2016-07-05
申请号	KR1020140188864	申请日	2014-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEON IN YOUNG 전인영 KIM JUNG CHUL 김중철 YOON SUNG WOOK 윤성욱		
发明人	전인영 김중철 윤성욱		
IPC分类号	H01L27/32		
CPC分类号	H01L27/32 H01L27/3202 H01L27/3204		
外部链接	Espacenet		

摘要(译)

本发明包括具有至少一个开关元件的像素，用于向有机发光二极管提供电流的驱动元件，以及电容器。并且，连接到开关元件中的驱动元件或有机发光二极管的开关元件由相邻的子像素共享。

