



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0078639
(43) 공개일자 2016년07월05일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0188272

(22) 출원일자 2014년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

하원규

경기 파주시 책향기로 371, 602동 1003호 (동패동, 숲속길마을동문굿모닝힐아파트)

이주란

경기도 파주시 송화로 11 (아동동, 팜스프링아파트) 112동 1405호

(74) 대리인

김은구, 송해모

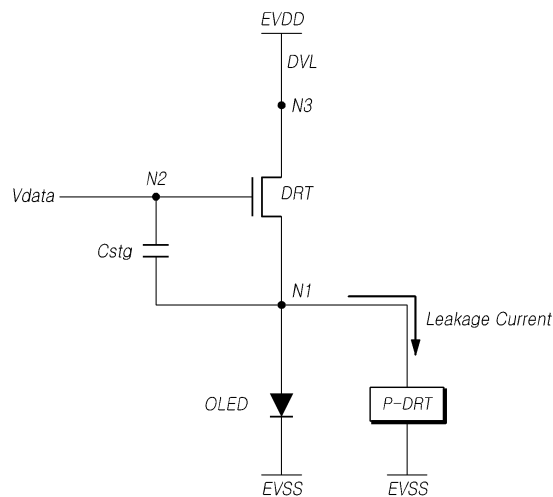
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광표시장치 및 유기발광표시패널

(57) 요약

본 실시예들은, 누설전류 제거 구조를 가짐으로써, 높은 명암비와 정확한 블랙 표현이 가능한 유기발광표시장치 및 유기발광표시패널에 관한 것이다.

대표도 - 도6



명세서

청구범위

청구항 1

서로 교차하는 방향으로 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 구동부;

상기 다수의 게이트 라인을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드와, 상기 유기발광다이오드의 제1전극과 전기적으로 연결되는 제1노드를 갖고, 게이트 노드에 해당하는 제2노드를 갖고, 구동전압이 인가되는 제3노드를 갖는 구동 트랜지스터와, 상기 게이트 라인으로부터 게이트 노드에 인가된 스캔 신호에 의해 제어되고, 상기 구동 트랜지스터의 제2노드와 상기 데이터 라인 사이에 전기적으로 연결된 스위치 트랜지스터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 유기발광표시패널에는, 상기 구동 트랜지스터의 제1노드와 기저전압 노드 사이 또는 상기 구동 트랜지스터의 제1노드와 상기 유기발광다이오드의 제2전극 사이에 전기적으로 연결된 슈도(Pseudo) 구동 트랜지스터가 더 배치된 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 슈도 구동 트랜지스터의 게이트 노드는,

상기 기저전압 노드 또는 상기 유기발광다이오드의 제2전극과 전기적으로 연결된 상기 슈도 구동 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 슈도 구동 트랜지스터의 게이트 노드는,

정전압에 해당하는 바이어스 전압이 인가되는 바이어스 전압 노드와 전기적으로 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 슈도 구동 트랜지스터는,

상기 구동 트랜지스터와 동일한 열화 특성을 갖는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 슈도 구동 트랜지스터는,

블랙 영상 표현 시, 상기 구동 트랜지스터의 누설전류를 도통시키는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 슈도 구동 트랜지스터는 각 서브픽셀마다 하나씩 배치되거나, 둘 이상의 서브픽셀마다 하나씩 배치된 것을 특징으로 하는 유기발광표시장치.

청구항 7

서로 교차하는 방향으로 배치된 다수의 데이터 라인과 다수의 게이트 라인; 및

매트릭스 타입으로 배치된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드;

상기 유기발광다이오드의 제1전극과 전기적으로 연결되는 제1노드를 갖고, 게이트 노드에 해당하는 제2노드를 갖고, 구동전압이 인가되는 제3노드를 갖는 구동 트랜지스터;

상기 게이트 라인으로부터 게이트 노드에 인가된 스캔 신호에 의해 제어되고, 상기 구동 트랜지스터의 제2노드와 상기 데이터 라인 사이에 전기적으로 연결된 스위치 트랜지스터; 및

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 구동 트랜지스터의 제1노드와 기저전압 노드 사이 또는 상기 구동 트랜지스터의 제1노드와 상기 유기발광다이오드의 제2전극 사이에 전기적으로 연결된 슈도(Pseudo) 구동 트랜지스터가 더 배치된 것을 특징으로 하는 유기발광표시패널.

청구항 8

제7항에 있어서,

상기 슈도 구동 트랜지스터의 게이트 노드는,

상기 기저전압 노드 또는 상기 유기발광다이오드의 제2전극과 전기적으로 연결된 상기 슈도 구동 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결된 것을 특징으로 하는 유기발광표시패널.

청구항 9

제7항에 있어서,

상기 슈도 구동 트랜지스터의 게이트 노드는,

정전압에 해당하는 바이어스 전압이 인가되는 바이어스 전압 노드와 전기적으로 연결된 것을 특징으로 하는 유기발광표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시장치 및 유기발광표시패널에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 명암비(Contrast Ration), 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치는, 데이터 구동부에서 출력되는 데이터 전압을 기준으로, 구동 트랜지스터의 구동 전류가 결정되고, 이렇게 결정된 구동 전류로 유기발광다이오드(OLED)의 밝기를 조절하여, 영상을 표현한다.

[0004] 여기서, 구동 전류가 0(Zero)일 때, 블랙 영상이 표현된다. 구동 전류가 0(Zero)가 아닐 때, 블랙 영상이 아닌 소정의 밝기를 갖는 영상 표현되는데, 일 예로, 구동 전류가 수백 nA 이상일 때, 최대 휘도의 영상이 표현된다.

[0005] 하지만, 구동 트랜지스터의 특성 및 신뢰성에 따라서, 누설전류(Leakage Current)가 발생하여, 유기발광다이오

드로 누설전류(예: 대략 수 pA 정도)가 흐르게 되면, 블랙 영상을 표현하지 못할 수 있다.

[0006] 따라서, 고효율의 유기발광다이오드의 개발에 따라 전류 대비 휘도 특성이 향상됨에도 불구하고, 누설전류로 인해, 명암비(Contrast Ration)가 나빠져, 화질이 저하되는 문제점이 발생할 수 있다.

[0007] 또한, 누설전류의 발생은, 유기발광표시패널의 제조 공정 시, 불량 패널로 처리되어 수율을 떨어뜨리는 요인이 되거나, 출하 후에도, 유기발광표시패널의 화질 불량 요인이 되어 고객 만족도를 크게 떨어뜨릴 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 실시예들의 목적은, 누설전류 제거 구조를 갖는 유기발광표시장치 및 유기발광표시패널을 제공하는 데 있다.

[0009] 본 실시예들의 다른 목적은, 높은 명암비를 갖는 유기발광표시장치 및 유기발광표시패널을 제공하는 데 있다.

[0010] 본 실시예들의 또 다른 목적은, 정확한 블랙 표현이 가능한 유기발광표시장치 및 유기발광표시패널을 제공하는 데 있다.

과제의 해결 수단

[0011] 일 실시예는, 서로 교차하는 방향으로 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동부와, 다수의 게이트 라인을 구동하는 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하는 유기발광표시장치를 제공할 수 있다.

[0012] 이러한 유기발광표시장치에서, 다수의 서브픽셀 각각은, 유기발광다이오드와, 유기발광다이오드의 제1전극과 전기적으로 연결되는 제1노드를 갖고, 게이트 노드에 해당하는 제2노드를 갖고, 구동전압이 인가되는 제3노드를 갖는 구동 트랜지스터와, 게이트 라인으로부터 게이트 노드에 인가된 스캔 신호에 의해 제어되고, 구동 트랜지스터의 제2노드와 데이터 라인 사이에 전기적으로 연결된 스위치 트랜지스터와, 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.

[0013] 또한, 이러한 유기발광표시장치의 유기발광표시패널에는, 구동 트랜지스터의 제1노드와 기저전압 노드 사이 또는 구동 트랜지스터의 제1노드와 유기발광다이오드의 제2전극 사이에 전기적으로 연결된 슈도(Pseudo) 구동 트랜지스터가 더 배치될 수 있다.

[0014] 이러한 슈도 구동 트랜지스터의 게이트 노드는, 기저전압 노드 또는 유기발광다이오드의 제2전극과 전기적으로 연결된 슈도 구동 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.

[0015] 이와는 다르게, 슈도 구동 트랜지스터의 게이트 노드는, 정전압에 해당하는 바이어스 전압이 인가되는 바이어스 전압 노드와 전기적으로 연결될 수도 있다.

[0016] 다른 실시예는, 서로 교차하는 방향으로 배치된 다수의 데이터 라인과 다수의 게이트 라인과, 매트릭스 타입으로 배치된 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.

[0017] 이러한 유기발광표시패널에서, 다수의 서브픽셀 각각은, 유기발광다이오드와, 유기발광다이오드의 제1전극과 전기적으로 연결되는 제1노드를 갖고, 게이트 노드에 해당하는 제2노드를 갖고, 구동전압이 인가되는 제3노드를 갖는 구동 트랜지스터와, 게이트 라인으로부터 게이트 노드에 인가된 스캔 신호에 의해 제어되고, 구동 트랜지스터의 제2노드와 데이터 라인 사이에 전기적으로 연결된 스위치 트랜지스터와, 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

[0018] 이러한 유기발광표시패널에는, 구동 트랜지스터의 제1노드와 기저전압 노드 사이 또는 구동 트랜지스터의 제1노드와 유기발광다이오드의 제2전극 사이에 전기적으로 연결된 슈도(Pseudo) 구동 트랜지스터가 배치될 수 있다.

발명의 효과

[0019] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 누설전류 제거 구조를 갖는 유기발광표시장치 및 유기발광표시패널을 제공할 수 있다.

[0020] 또한, 본 실시예들에 의하면, 높은 명암비를 갖는 유기발광표시장치 및 유기발광표시패널을 제공할 수 있다.

[0021] 또한, 본 실시예들에 의하면, 정확한 블랙 표현이 가능한 유기발광표시장치 및 유기발광표시패널을 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
 도 2는 본 실시예들에 따른 2T1C 구조의 서브픽셀에 대한 등가회로도이다. 나타낸 도면이다.
 도 3은 본 실시예들에 따른 3T1C 구조의 서브픽셀에 대한 등가회로도이다. 나타낸 도면이다.
 도 4 및 도 5는 누설전류 및 이에 따른 영향을 나타낸 도면이다.
 도 6은 본 실시예들에 따른 누설전류 제거 구조를 개략적으로 나타낸 도면이다.
 도 7 및 도 8은 본 실시예들에 따른 누설전류 제거 구조를 갖는 2T1C 구조의 서브픽셀에 대한 등가회로도이다.
 도 9 및 도 10은 본 실시예들에 따른 누설전류 제거 구조를 갖는 3T1C 구조의 서브픽셀에 대한 등가회로도이다.
 도 11은 본 실시예들에 따른 서브픽셀 간에 공유되는 누설전류 제거 구조를 개략적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0024] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0025] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0026] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120), 게이트 구동부(130) 및 타이밍 컨트롤러(140) 등을 포함한다.

[0027] 유기발광표시패널(110)에는, 서로 교차하는 방향으로 다수의 데이터 라인(DL)과 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub-Pixel)이 매트릭스 타입으로 배치된다.

[0028] 데이터 구동부(120)는, 다수의 데이터 라인으로 데이터전압을 공급하여 다수의 데이터 라인을 구동한다.

[0029] 게이트 구동부(130)는, 다수의 게이트 라인으로 스캔 신호를 순차적으로 공급하여 다수의 게이트 라인을 순차적으로 구동한다.

[0030] 타이밍 컨트롤러(140)는, 데이터 구동부(120) 및 게이트 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 게이트 구동부(130)를 제어한다.

[0031] 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템(160)에서 입력되는 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.

[0032] 게이트 구동부(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인으로 순차적으로 공급하여 다수의 게이트 라인을 순차적으로 구동한다.

[0033] 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이, 유기발광표시패널(110)의 일 측에만 위치할 수도 있고, 서브픽셀 구조, 패널 설계 구조, 구동 방식 등에 따라서는, 양측에 위치할 수도 있다.

- [0034] 또한, 게이트 구동부(130)는, 다수의 게이트 드라이버 집적회로(Gate Driver IC, GDIC #1, ..., GDIC #N, N: 1 이상의 자연수)를 포함할 수 있는데, 이러한 다수의 게이트 드라이버 집적회로(GDIC #1, ..., GDIC #N)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0035] 위에서 언급한 다수의 게이트 드라이버 집적회로(GDIC #1, ..., GDIC #N) 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0036] 데이터 구동부(120)는, 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상데이터(Data')를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 다수의 데이터 라인으로 공급함으로써, 다수의 데이터 라인을 구동한다.
- [0037] 데이터 구동부(120)는, 다수의 소스 드라이버 집적회로(Source Driver IC, 데이터 드라이버 집적회로(Data Driver IC)라고도 함, SDIC #1, ..., SDIC #M, M: 1 이상의 자연수)를 포함할 수 있는데, 이러한 다수의 소스 드라이버 집적회로(SDIC #1, ..., SDIC #M)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0038] 위에서 언급한 다수의 소스 드라이버 집적회로(SDIC #1, ..., SDIC #M) 각각은, 쉬프트 레지스터, 래치, 디지털 아날로그 컨버터(DAC: Digital Analog Converter), 출력 버퍼 등을 포함하고, 경우에 따라서, 서브픽셀 보상을 위해 아날로그 전압 값을 센싱하여 디지털 값으로 변환하고 센싱 데이터를 생성하여 출력하는 아날로그 디지털 컨버터(ADC: Analog Digital Converter)를 더 포함할 수 있다.
- [0039] 다수의 소스 드라이버 집적회로(SDIC #1, ..., SDIC #M)는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 다수의 소스 드라이버 집적회로(SDIC #1, ..., SDIC #M) 각각에서, 일 단은 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 유기발광표시패널(110)에 본딩된다.
- [0040] 한편, 위에서 언급한 호스트 시스템(160)은 입력 영상의 영상데이터(Data)와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 타이밍 컨트롤러(140)로 전송한다.
- [0041] 타이밍 컨트롤러(140)는, 호스트 시스템(160)으로부터 입력된 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하는 것 이외에, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 구동부(120) 및 게이트 구동부(130)로 출력한다.
- [0042] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 구동부(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 게이트 제어 신호들(GCSs: Gate Control Signals)을 출력한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(130)를 구성하는 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #N)의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #N)에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #N)의 타이밍 정보를 지정하고 있다.
- [0043] 타이밍 컨트롤러(140)는, 데이터 구동부(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 데이터 제어 신호들(DCSs: Data Control Signals)을 출력한다. 소스 스타트 펄스(SSP)는 데이터 구동부(120)를 구성하는 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #M)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #M) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(120)의 출력 타이밍을 제어한다. 경우에 따라서, 데이터 구동부(120)의 데이터 전압의 극성을 제어하기 위하여, 데이터 제어 신호들(DCSs)에 극성 제어 신호(POL)가 더 포함될 수 있다. 데이터 구동부(120)에 입력된 영상데이터(Data')가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격에 따라 전송된다면, 소스 스타트 펄스(SSP)와 소

스 샘플링 클럭(SSC)은 생략될 수 있다.

- [0044] 도 1을 참조하면, 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(150)를 더 포함할 수 있다.
- [0045] 이러한 전원 컨트롤러(150)는 전원 관리 집적회로(PMIC: Power Management IC)라고도 한다.
- [0046] 전술한 유기발광표시패널(110)에 형성된 각 서브픽셀(SP)에는, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 회로로 구성된다.
- [0047] 유기발광다이오드(OLED)를 구동하는 구동 회로는, 둘 이상의 트랜지스터(Transistor) 및 하나 이상의 캐패시터(Capacitor) 등을 포함할 수 있다.
- [0048] 아래에서는, 도 2 및 도 3을 참조하여, 2가지의 서브픽셀 구조를 예시적으로 설명한다. 도 2는 2개의 트랜지스터와 1개의 캐패시터로 이루어진 구동 회로를 포함하는 2T(Transistor)1C(Capacitor) 구조이고, 도 3은 3개의 트랜지스터와 1개의 캐패시터로 이루어진 구동 회로를 포함하는 3T1C 구조이다.
- [0049] 도 2는 본 실시예들에 따른 2T1C 구조의 서브픽셀에 대한 등가회로도이다. 나타낸 도면이다.
- [0050] 도 2를 참조하면, 본 실시예들에 따른 2T1C 구조의 서브픽셀은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하기 위하여 2개의 트랜지스터(DRT, SWT) 및 1개의 캐패시터(Cstg)를 포함하는 구동회로로 구성되어 있다.
- [0051] 도 2를 참조하면, 구동 트랜지스터(DRT: Driving Transistor)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 전기적으로 연결되는 제1노드(N1)를 갖고, 게이트 노드에 해당하는 제2노드(N2)를 갖고, 구동전압 라인(DVL: Driving Voltage Line)에서 공급된 구동전압(EVDD)이 인가되는 제3노드(N3)를 갖는다.
- [0052] 이러한 구동 트랜지스터(DRT)는 N 타입 또는 P 타입일 수 있으며, 이에 따라, 구동 트랜지스터(DRT)의 제1노드(N1)는 소스 노드 또는 드레인 노드일 수 있고, 구동 트랜지스터(DRT)의 제3노드(N3)는 드레인 노드 또는 소스 노드일 수 있다.
- [0053] 이러한 구동 트랜지스터(DRT)는, 제1노드(N1), 제2노드(N2) 및 제3노드(N3)의 전압 인가 상태에 따라 턴 온 또는 턴 오프 되고, 턴 온 시, 유기발광다이오드(OLED)로 전류를 공급할 수 있다.
- [0054] 도 2를 참조하면, 스위치 트랜지스터(SWT: Switch Transistor)는, 게이트 라인(GLj)으로부터 게이트 노드에 인가된 스캔 신호(SCAN)에 의해 제어되고, 구동 트랜지스터(DRT)의 제2노드(N2)와 데이터 라인(DLi) 사이에 전기적으로 연결된다.
- [0055] 이러한 스위치 트랜지스터(SWT)는, 스캔 신호(SCAN)에 의해 턴 온 되어, 데이터 라인(DLi)에서 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제2노드(N2)에 인가해준다.
- [0056] 도 2를 참조하면, 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된다.
- [0057] 이러한 스토리지 캐패시터(Cstg)는 한 프레임 동안 일정 전압을 유지해주는 역할을 한다.
- [0058] 도 3은 본 실시예들에 따른 3T1C 구조의 서브픽셀에 대한 등가회로도이다. 나타낸 도면이다.
- [0059] 도 3을 참조하면, 본 실시예들에 따른 3T1C 구조의 서브픽셀은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하기 위하여 3개의 트랜지스터(DRT, SWT, SENT) 및 1개의 캐패시터(Cstg)를 포함하는 구동회로로 구성되어 있다.
- [0060] 도 3을 참조하면, 구동 트랜지스터(DRT: Driving Transistor)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 전기적으로 연결되는 제1노드(N1)를 갖고, 게이트 노드에 해당하는 제2노드(N2)를 갖고, 구동전압 라인(DVL: Driving Voltage Line)에서 공급된 구동전압(EVDD)이 인가되는 제3노드(N3)를 갖는다.
- [0061] 이러한 구동 트랜지스터(DRT)는 N 타입 또는 P 타입일 수 있으며, 이에 따라, 구동 트랜지스터(DRT)의 제1노드(N1)는 소스 노드 또는 드레인 노드일 수 있고, 구동 트랜지스터(DRT)의 제3노드(N3)는 드레인 노드 또는 소스 노드일 수 있다.
- [0062] 이러한 구동 트랜지스터(DRT)는, 제1노드(N1), 제2노드(N2) 및 제3노드(N3)의 전압 인가 상태에 따라 턴 온 또

는 턴 오프 되고, 턴 온 시, 유기발광다이오드(OLED)로 전류를 공급할 수 있다.

- [0063] 도 3을 참조하면, 스위치 트랜지스터(SWT: Switch Transistor)는, 해당 게이트 라인(GLj)으로부터 게이트 노드에 인가된 스캔 신호(SCAN 1)에 의해 제어되고, 구동 트랜지스터(DRT)의 제2노드(N2)와 데이터 라인(DLi) 사이에 전기적으로 연결된다.
- [0064] 이러한 스위치 트랜지스터(SWT)는, 스캔 신호(SCAN)에 의해 턴 온 되어, 데이터 라인(DLi)에서 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제2노드(N2)에 인가해준다.
- [0065] 도 3을 참조하면, 센서 트랜지스터(SENT: Sensor Transistor)는, 해당 게이트 라인(GLj')으로부터 게이트 노드에 인가된 스캔 신호(SCAN 2)에 의해 제어되고, 구동 트랜지스터(DRT)의 제1노드(N1)와 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL: Reference Voltage)과 전기적으로 연결된다.
- [0066] 이러한 센서 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제1노드(N1)에 정전압에 해당하는 기준전압(Vref)을 인가해줄 수 있다.
- [0067] 이러한 센서 트랜지스터(SENT)는, 각 서브픽셀 내 구동 트랜지스터(DRT)의 고유 특성치(예: 문턱전압, 이동도)의 편차를 보상해주기 위하여, 구동 트랜지스터(DRT)의 고유 특성치를 센싱하기 위하여 이용될 수도 있다.
- [0068] 이러한 센싱 및 보상에 대하여 간략하게 설명한다.
- [0069] 구동 트랜지스터(DRT)의 문턱전압 등의 고유 특성치를 센싱하기 위하여, 구동 트랜지스터(DRT)의 제1노드(N1) 및 제2노드(N2)에 기준전압(Vref) 및 데이터 전압(Vdata)을 인가해주고, 이후, 구동 트랜지스터(DRT)의 제1노드(N1)를 플로팅 시켜 전압 부스팅을 일으킨다. 이후, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 포화되면, 포화된 전압을 센싱 한다. 이때, 구동 트랜지스터(DRT)의 제1노드(N1)의 포화된 전압은, 데이터 전압(Vdata)과 구동 트랜지스터(DRT)의 문턱전압(Vth)으로 표현된다($N1 \text{ 전압} = Vdata - Vth$).
- [0070] 이러한 센싱 동작 시, 센서 트랜지스터(SENT)는, 구동 트랜지스터(DRT)의 제1노드(N1)에 기준전압(Vref)이 인가되도록 하거나, 구동 트랜지스터(DRT)의 제1노드(N1)가 플로팅 되도록 하는 스위칭 동작을 수행한다.
- [0071] 한편, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압은, 아날로그 디지털 컨버터(ADC: Analog Digital Converter)에 의해 센싱된다. 아날로그 디지털 컨버터는 센싱된 전압을 디지털 값으로 변환하고, 변환된 디지털 값을 포함하는 센싱 데이터를 타이밍 컨트롤러(140)로 전송한다.
- [0072] 이후, 타이밍 컨트롤러(140)는, 센싱 데이터를 토대로, 해당 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압을 확인하여, 각 구동 트랜지스터(DRT) 간의 문턱전압 편차를 보상해주기 위하여 데이터 보상량을 연산하고, 연산된 데이터 보상량을 토대로, 데이터를 변경하여, 해당 소스 드라이버 집적회로로 공급해줌으로써, 보상이 이루어진다.
- [0073] 도 3을 참조하면, 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된다.
- [0074] 이러한 스토리지 캐패시터(Cstg)는 한 프레임 동안 일정 전압을 유지해주는 역할을 한다.
- [0075] 한편, 유기발광표시장치(100)는, 소스 드라이버 집적회로(SDIC)에서 출력되는 데이터 전압(Vdata)을 기준으로, 구동 트랜지스터(DRT)의 구동 전류가 결정되고, 이렇게 결정된 구동 전류로 유기발광다이오드(OLED)의 밝기를 조절하여, 영상을 표현한다.
- [0076] 예를 들어, 구동 전류가 0(Zero)일 때, 블랙 영상이 표현된다. 구동 전류가 0(Zero)가 아닐 때, 블랙 영상이 아닌 소정의 밝기를 갖는 영상 표현되는데, 일 예로, 구동 전류가 수백 nA 이상일 때, 최대 휘도의 영상이 표현된다.
- [0077] 하지만, 구동 트랜지스터(DRT)의 특성 및 신뢰성에 따라서, 누설전류(Leakage Current)가 발생하여, 유기발광다이오드(OLED)로 누설전류(예: 대략 수 pA 정도)가 흐르게 되면, 블랙 영상을 표현하지 못할 수 있다.
- [0078] 도 4 및 도 5는 누설전류 및 이에 따른 영향을 나타낸 도면이다.
- [0079] 도 4는 구동 트랜지스터(DRT)의 전압-전류 관계 그래프와 유기발광다이오드(OLED)의 전류-휘도 관계 그래프를 나타낸 도면이다.
- [0080] 도 4의 구동 트랜지스터(DRT)의 전압-전류 관계 그래프를 참조하면, 전압이 일정 전압(예: 0V) 이하일 때, 전류

가 0(zer)이 되지 않고, 소정의 전류 값을 가지게 된다. 즉, 누설전류가 존재하게 된다.

- [0081] 도 4의 유기발광다이오드(OLED)의 전류-휘도 관계 그래프를 참조하면, 소정의 전류값 이하의 범위에서, 누설전류가 존재하게 된다.
- [0082] 이러한 누설전류의 발생은, 도 5에 도시된 바와 같이, 블랙이 정확하게 표현되지 않고, 약간의 밝기를 갖는 영상이 표현되도록 하여, 명암비를 떨어뜨릴 수 있다.
- [0083] 이러한 누설전류의 발생은, 유기발광표시패널(110)의 제조 공정 시, 불량 패널로 처리되어 수율을 떨어뜨리는 요인이 되거나, 출하 후에도, 유기발광표시패널(110)의 화질 불량 요인이 되어 고객 만족도를 크게 떨어뜨릴 수 있다.
- [0084] 이에, 본 실시예들은, 누설전류를 제거할 수 있는 구조를 개시한다.
- [0085] 도 6은 본 실시예들에 따른 누설전류 제거 구조를 개략적으로 나타낸 도면이다.
- [0086] 도 6은 유기발광표시패널(110)에서의 서브픽셀을 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 및 스토리지 캐패시터(Cstg)만으로 나타낸 등가회로도이다.
- [0087] 도 6을 참조하면, 본 실시예들에 따른 누설전류 제거 구조는, 구동 트랜지스터(DRT)의 제1노드(N1, 예: 소스 노드 또는 드레인 노드)에서 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)으로 흘러야 하는 전류에서, 누설전류를 항상 흐르게 하는 다른 경로를 만들어주기 위한 "추가적인 트랜지스터"를 포함한다.
- [0088] 도 6을 참조하면, 누설전류를 항상 흐르게 하는 다른 경로를 만들어주기 위한 추가적인 트랜지스터를 "슈도 구동 트랜지스터(P-DRT: Pseudo-DRT)"라고 한다.
- [0089] 이러한 슈도 구동 트랜지스터(P-DRT)는, 전류 싱크(Current Sink) 역할을 한다.
- [0090] 도 6을 참조하면, 슈도 구동 트랜지스터(P-DRT)는, 구동 트랜지스터(DRT)의 제1노드(N1, 예: 소스 노드 또는 드레인 노드)와 기저전압(EVSS) 노드 사이 또는 구동 트랜지스터(DRT)의 제1노드(N1, 예: 소스 노드 또는 드레인 노드)와 유기발광다이오드(OLED)의 제2전극(예: 캐소드 전극 또는 애노드 전극) 사이에 전기적으로 연결될 수 있다.
- [0091] 전술한 바와 같이, 유기발광표시패널(110)에서 각 서브픽셀 내 구동 트랜지스터(DRT)의 제1노드(N1)에 슈도 구동 트랜지스터(P-DRT)를 전기적으로 연결함으로써, 슈도 구동 트랜지스터(P-DRT)를 통해, 구동 트랜지스터(DRT)에 존재하는 누설전류를 빼낼 수 있다. 이에 따라, 유기발광다이오드(OLED)로는 누설전류가 흐르지 않도록 해결 수 있다.
- [0092] 한편, 슈도 구동 트랜지스터(P-DRT)를 통한 누설전류 제거 기술은, 구동 트랜지스터(DRT)의 Vgs에 전류 오프셋(Offset)을 설정하는데 이용될 수 있다. 따라서, 슈도 구동 트랜지스터(P-DRT)를 통한 누설전류 제거 기술을 이용하면, 구동 트랜지스터(DRT)의 Sub-Threshold 특성이 나쁜 경우(Hump 특성)에, Above-Threshold 영역에서 구동할 수도 있게 해줄 수도 있다.
- [0093] 한편, 슈도 구동 트랜지스터(P-DRT)는 각 서브픽셀마다 하나씩 배치될 수도 있고, 도 11에 도시된 바와 같이, 둘 이상의 서브픽셀마다 하나씩 배치될 수도 있다.
- [0094] 이러한 배치 형태와 관련하여, 슈도 구동 트랜지스터(P-DRT)를 각 서브픽셀마다 하나씩 배치하게 되면, 누설전류 제거 효율을 극대화할 수 있다. 이와는 다르게, 도 11에 도시된 바와 같이, 슈도 구동 트랜지스터(P-DRT)를 둘 이상의 서브픽셀마다 하나씩 배치시켜 하나의 슈도 구동 트랜지스터(P-DRT)를 둘 이상의 서브픽셀(도 11의 예시에서, SP 1, SP 2)에서 공유하는 구조로 설계하면, 유기발광표시패널(110)의 개구율을 높일 수 있는 장점이 있다.
- [0095] 아래에서는, 도 6을 참조하여 간략하게 설명한 누설전류 제거 구조를 도 2의 2T1C 구조의 서브픽셀과, 도 3의 3T1C 구조의 서브픽셀 각각에 적용한 실시예를 설명한다.
- [0096] 도 7 및 도 8은 본 실시예들에 따른 누설전류 제거 구조를 갖는 2T1C 구조의 서브픽셀에 대한 등가회로도이다.
- [0097] 도 7을 참조하면, 슈도 구동 트랜지스터(P-DRT)의 드레인 노드(또는 소스 노드)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)에 전기적으로 연결된 구동 트랜지스터(DRT)의 제1노드(N1, 예: 소스 노드 또는 드레인 노드)와 전기적으로 연결된다.

- [0098] 도 7을 참조하면, 슈도 구동 트랜지스터(P-DRT)의 소스 노드(또는 드레인 노드)는, 기저전압 노드 또는 유기발광다이오드(OLED)의 제2전극(예: 캐소드 전극 또는 애노드 전극)에 전기적으로 연결된다.
- [0099] 도 7을 참조하면, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 해당하는 N4 노드는, 기저전압(EVSS) 노드 또는 유기발광다이오드(OLED)의 제2전극(예: 캐소드 전극 또는 애노드 전극)과 전기적으로 연결된 슈도 구동 트랜지스터(P-DRT)의 소스 노드 또는 드레인 노드에 해당하는 N5 노드와 전기적으로 연결될 수 있다.
- [0100] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)의 연결 구조로 누설전류 제거 구조를 구성함으로써, 누설전류를 효율적으로 제거할 수 있다.
- [0101] 한편, 도 7을 참조하면, 슈도 구동 트랜지스터(P-DRT)는, 구동 트랜지스터(DRT)와 동일한 열화 특성을 갖는 트랜지스터일 수 있다.
- [0102] 일 예로, 슈도 구동 트랜지스터(P-DRT)는 구동 트랜지스터(DRT)와 구동시간이 동일할 수 있으며, 구동 트랜지스터(DRT)와 물리적인 특성(예: 크기, 채널폭(W), 채널길이(L) 등)이 동일할 수 있으며, 구동 트랜지스터(DRT)와 문턱전압, 이동도 등이 고유 특성치가 동일할 수 있다.
- [0103] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)의 열화 특성을 구동 트랜지스터(DRT)의 열화 특성과 동일하게 설계 및 구동함으로써, 누설전류의 제거 효율을 높일 수 있다.
- [0104] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 특히, 블랙 영상 표현 시, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 슈도 구동 트랜지스터(P-DRT)를 통해, 구동 트랜지스터(DRT)에 존재하는 누설전류를 빼낼 수 있다.
- [0105] 이에 따라, 유기발광다이오드(OLED)로는 누설전류가 흐르지 않도록 해주어, 명암비를 높여 주고, 정확한 블랙 표현이 가능해질 수 있으며, 이로 인해, 화상 품질을 크게 향상시킬 수 있다.
- [0106] 도 8을 참조하면, 도 7에 도시된 슈도 구동 트랜지스터(P-DRT)의 연결 구조(P-DRT의 게이트 노드와 소스 노드(또는 드레인 노드)를 연결한 구조)와는 다르게, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 해당하는 N4 노드는, 정전압에 해당하는 바이어스 전압(Vbias)이 인가되는 바이어스 전압 노드와 전기적으로 연결될 수 있다.
- [0107] 도 8에 도시된 바와 같이, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드를 소스 노드 또는 드레인 노드에 연결하지 않고, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 바이어스 전압을 인가해줌으로써, 슈도 구동 트랜지스터(P-DRT)의 제어가 더욱 용이해질 수 있고, 슈도 구동 트랜지스터(P-DRT)의 전류 제어 능력을 높일 수 있다.
- [0108] 한편, 슈도 구동 트랜지스터(P-DRT)는, 구동 트랜지스터(DRT)와 동일한 열화 특성을 갖는 트랜지스터일 수 있다.
- [0109] 일 예로, 슈도 구동 트랜지스터(P-DRT)는 구동 트랜지스터(DRT)와 구동시간이 동일할 수 있으며, 구동 트랜지스터(DRT)와 물리적인 특성(예: 크기, 채널폭(W), 채널길이(L) 등)이 동일할 수 있으며, 구동 트랜지스터(DRT)와 문턱전압, 이동도 등이 고유 특성치가 동일할 수 있다.
- [0110] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 특히, 블랙 영상 표현 시, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 슈도 구동 트랜지스터(P-DRT)를 통해, 구동 트랜지스터(DRT)에 존재하는 누설전류를 빼낼 수 있다.
- [0111] 이에 따라, 유기발광다이오드(OLED)로는 누설전류가 흐르지 않도록 해주어, 명암비를 높여 주고, 화상 품질을 크게 향상시킬 수 있다.
- [0112] 아래에서는, 도 9 및 도 10을 참조하여, 도 3의 3T1C 구조의 서브픽셀에 누설전류 제거 구조를 적용한 실시예를 설명한다.
- [0113] 도 9 및 도 10은 본 실시예들에 따른 누설전류 제거 구조를 갖는 3T1C 구조의 서브픽셀에 대한 등가회로도이다.
- [0114] 도 9를 참조하면, 슈도 구동 트랜지스터(P-DRT)의 드레인 노드(또는 소스 노드)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)에 전기적으로 연결된 구동 트랜지스터(DRT)의 제1노드(N1, 예: 소스 노드 또는 드레인 노드)와 전기적으로 연결된다.
- [0115] 도 9를 참조하면, 슈도 구동 트랜지스터(P-DRT)의 소스 노드(또는 드레인 노드)는, 기저전압(EVSS) 노드 또는

유기발광다이오드(OLED)의 제2전극(예: 캐소드 전극 또는 애노드 전극)에 전기적으로 연결된다.

- [0116] 도 9를 참조하면, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 해당하는 N4 노드는, 기저전압(EVSS) 노드 또는 유기발광다이오드(OLED)의 제2전극(예: 캐소드 전극 또는 애노드 전극)과 전기적으로 연결된 슈도 구동 트랜지스터(P-DRT)의 소스 노드 또는 드레인 노드에 해당하는 N5 노드와 전기적으로 연결될 수 있다.
- [0117] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)의 연결 구조로 누설전류 제거 구조를 구성함으로써, 누설전류를 효율적으로 제거할 수 있다.
- [0118] 한편, 도 9를 참조하면, 슈도 구동 트랜지스터(P-DRT)는, 구동 트랜지스터(DRT)와 동일한 열화 특성을 갖는 트랜지스터일 수 있다.
- [0119] 일 예로, 슈도 구동 트랜지스터(P-DRT)는 구동 트랜지스터(DRT)와 구동시간이 동일할 수 있으며, 구동 트랜지스터(DRT)와 물리적인 특성(예: 크기, 채널폭(W), 채널길이(L) 등)이 동일할 수 있으며, 구동 트랜지스터(DRT)와 문턱전압, 이동도 등이 고유 특성치가 동일할 수 있다.
- [0120] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 열화 특성이 동일함으로써, 누설전류의 제거 효율을 높일 수 있다.
- [0121] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 특히, 블랙 영상 표현 시, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 슈도 구동 트랜지스터(P-DRT)를 통해, 구동 트랜지스터(DRT)에 존재하는 누설전류를 빼낼 수 있다.
- [0122] 이에 따라, 유기발광다이오드(OLED)로는 누설전류가 흐르지 않도록 해주어, 명암비를 높여 주고, 화상 품질을 크게 향상시킬 수 있다.
- [0123] 도 10을 참조하면, 도 9에 도시된 슈도 구동 트랜지스터(P-DRT)의 연결 구조(P-DRT의 게이트 노드와 소스 노드(또는 드레인 노드)를 연결한 구조)와는 다르게, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 해당하는 N4 노드는, 정전압에 해당하는 바이어스 전압(Vbias)이 인가되는 바이어스 전압 노드와 전기적으로 연결될 수 있다.
- [0124] 도 10에 도시된 바와 같이, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드를 소스 노드 또는 드레인 노드에 연결하지 않고, 슈도 구동 트랜지스터(P-DRT)의 게이트 노드에 바이어스 전압을 인가해줌으로써, 슈도 구동 트랜지스터(P-DRT)의 제어가 더욱 용이해줄 수 있고, 슈도 구동 트랜지스터(P-DRT)의 전류 제어 능력을 높일 수 있다.
- [0125] 한편, 슈도 구동 트랜지스터(P-DRT)는, 구동 트랜지스터(DRT)와 동일한 열화 특성을 갖는 트랜지스터일 수 있다.
- [0126] 일 예로, 슈도 구동 트랜지스터(P-DRT)는 구동 트랜지스터(DRT)와 구동시간이 동일할 수 있으며, 구동 트랜지스터(DRT)와 물리적인 특성(예: 크기, 채널폭(W), 채널길이(L) 등)이 동일할 수 있으며, 구동 트랜지스터(DRT)와 문턱전압, 이동도 등이 고유 특성치가 동일할 수 있다.
- [0127] 전술한 바와 같이, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 특히, 블랙 영상 표현 시, 슈도 구동 트랜지스터(P-DRT)가 구동 트랜지스터(DRT)의 누설전류를 도통시킴으로써, 슈도 구동 트랜지스터(P-DRT)를 통해, 구동 트랜지스터(DRT)에 존재하는 누설전류를 빼낼 수 있다.
- [0128] 이에 따라, 유기발광다이오드(OLED)로는 누설전류가 흐르지 않도록 해주어, 명암비를 높여 주고, 화상 품질을 크게 향상시킬 수 있다.
- [0129] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 누설전류 제거 구조를 갖는 유기발광표시장치(100) 및 유기발광표시패널(110)을 제공할 수 있다.
- [0130] 또한, 본 실시예들에 의하면, 높은 명암비를 갖는 유기발광표시장치(100) 및 유기발광표시패널(110)을 제공할 수 있다.
- [0131] 또한, 본 실시예들에 의하면, 정확한 블랙 표현이 가능한 유기발광표시장치(100) 및 유기발광표시패널(110)을 제공할 수 있다.
- [0132] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의

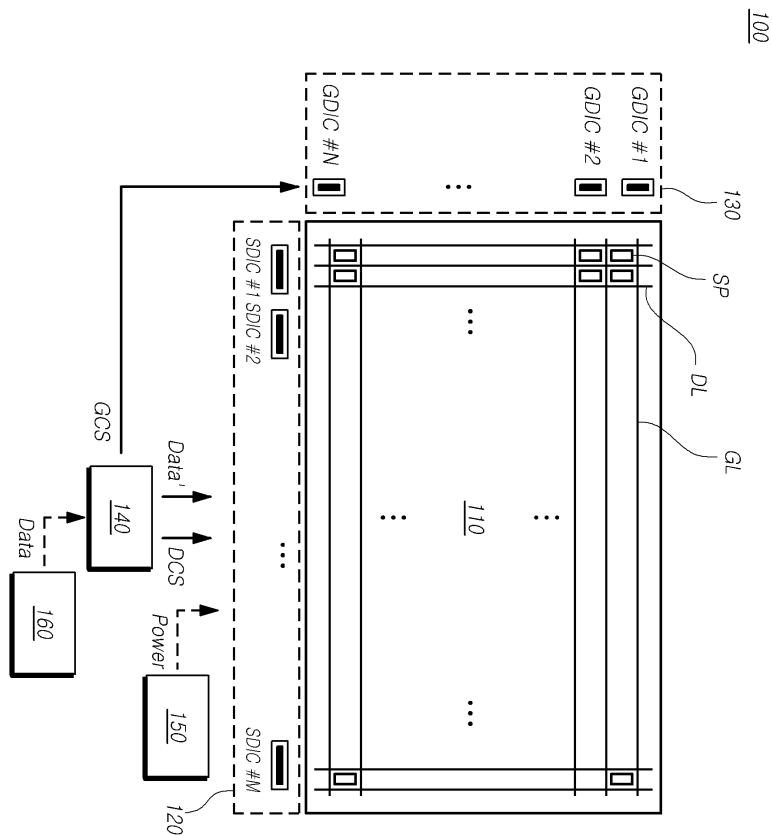
기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

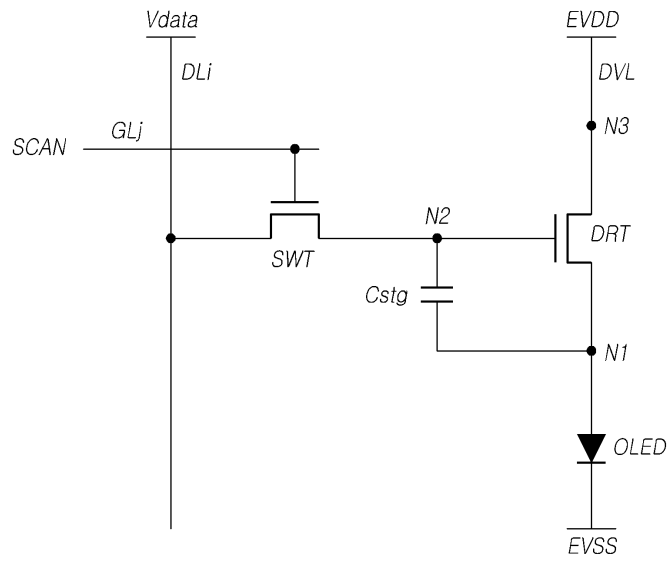
- [0133]
- 100: 표시장치
 - 110: 표시패널
 - 120: 데이터 구동부
 - 130: 게이트 구동부
 - 140: 타이밍 컨트롤러

도면

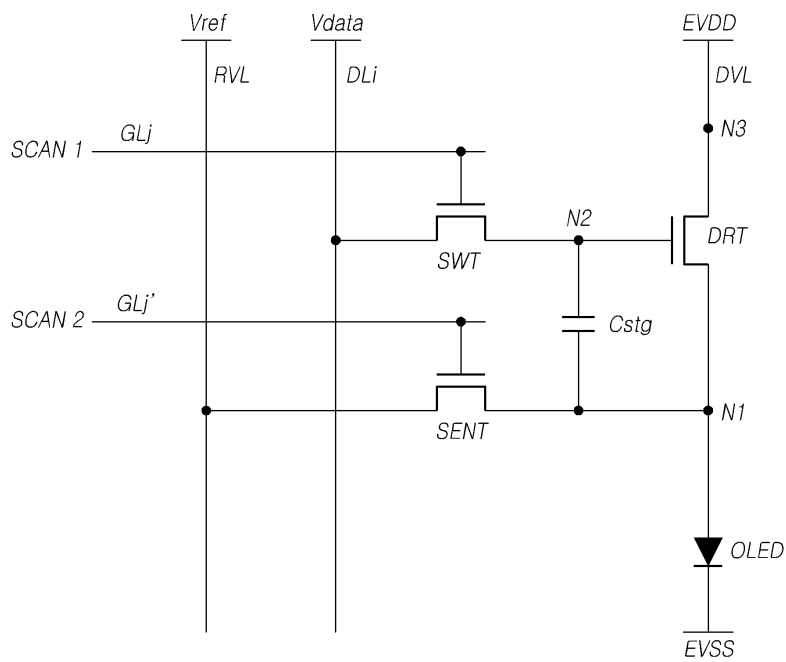
도면1



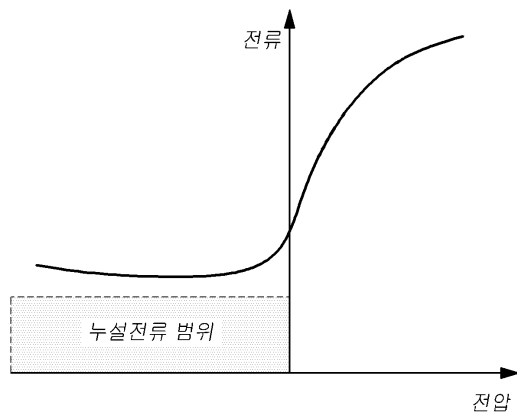
도면2



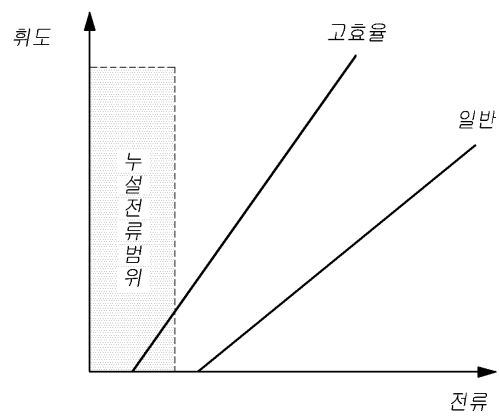
도면3



도면4



[DRT의 전압-전류 관계 그래프]



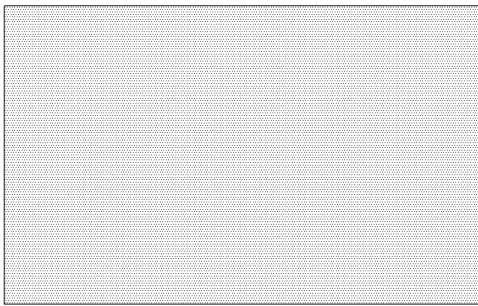
[OLED의 전류-휘도 관계 그래프]

도면5

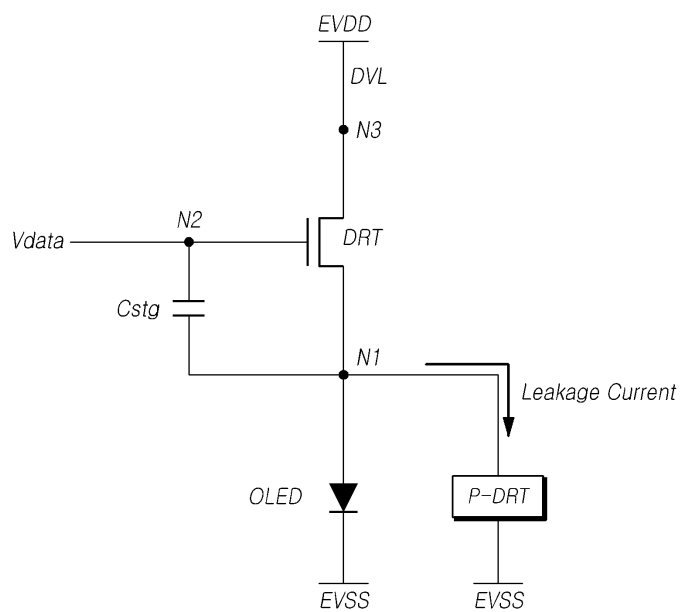
누설전류 없는 경우



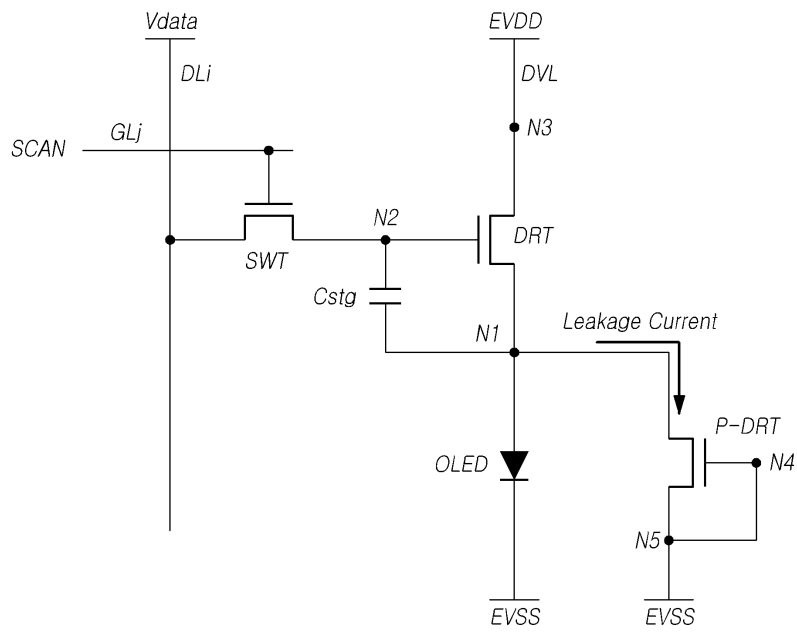
누설전류가 있는 경우



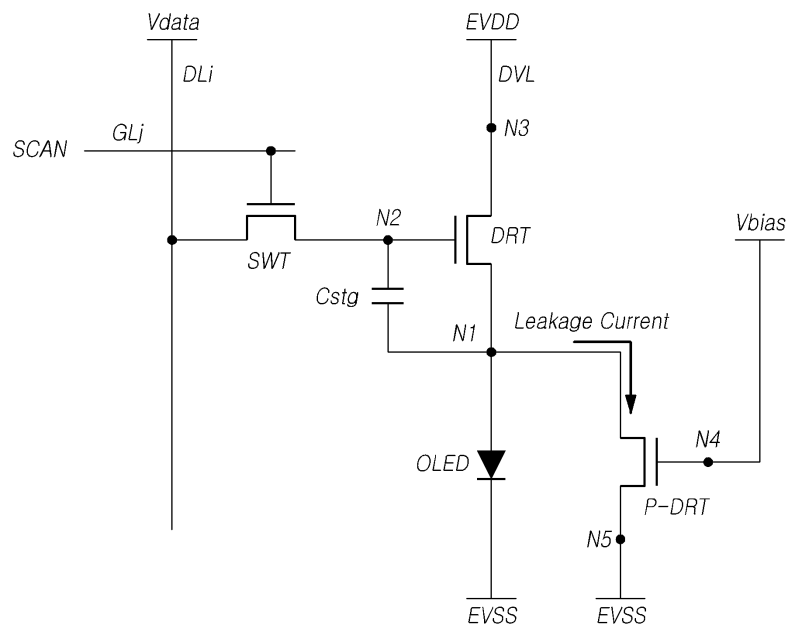
도면6



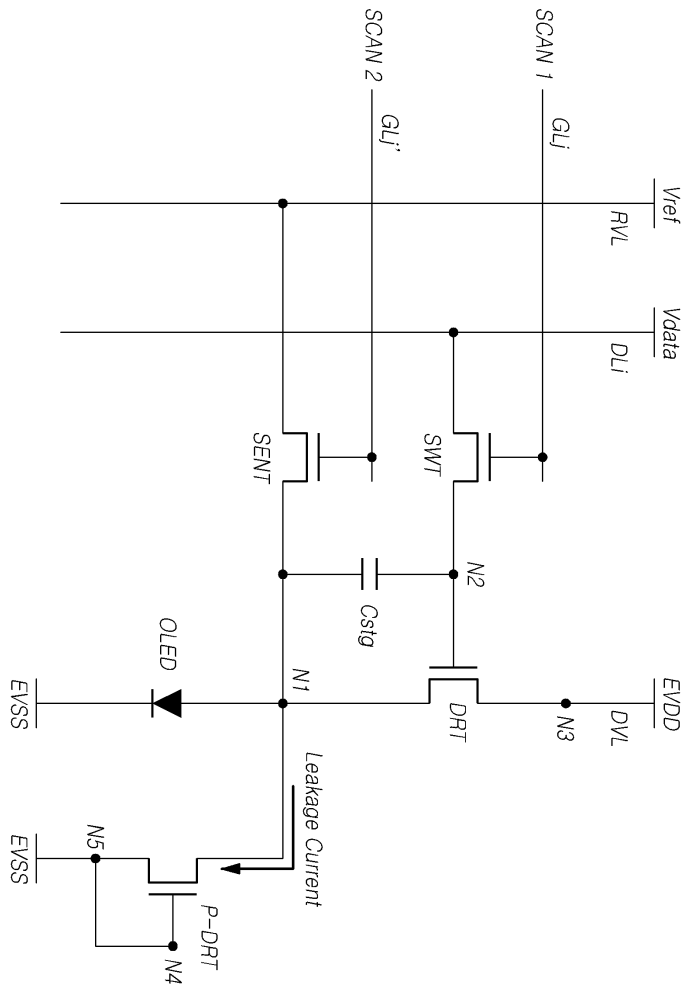
도면7



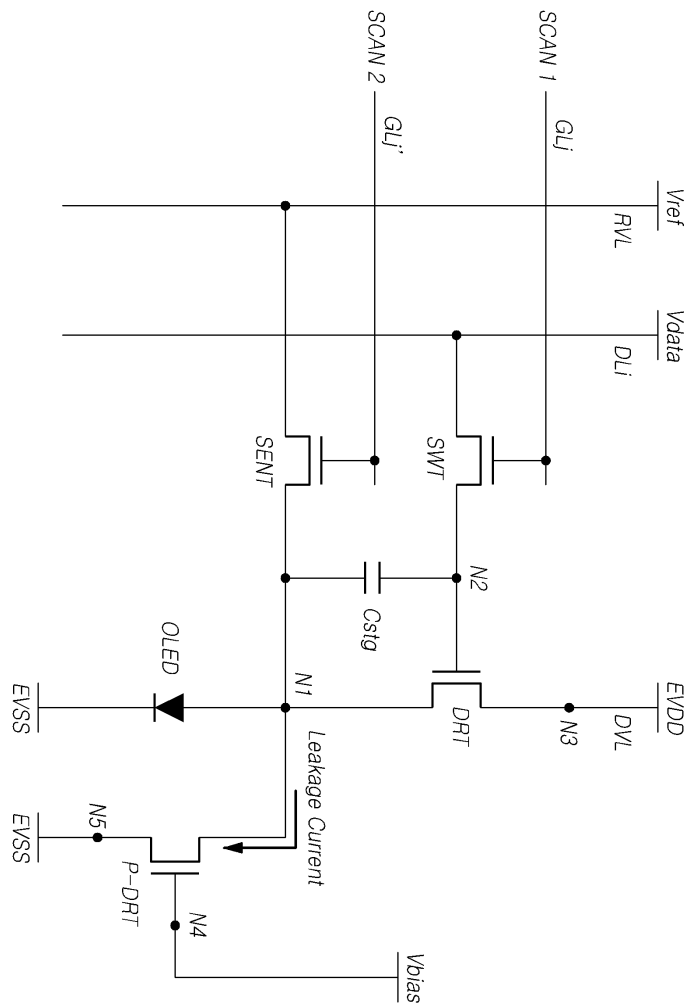
도면8



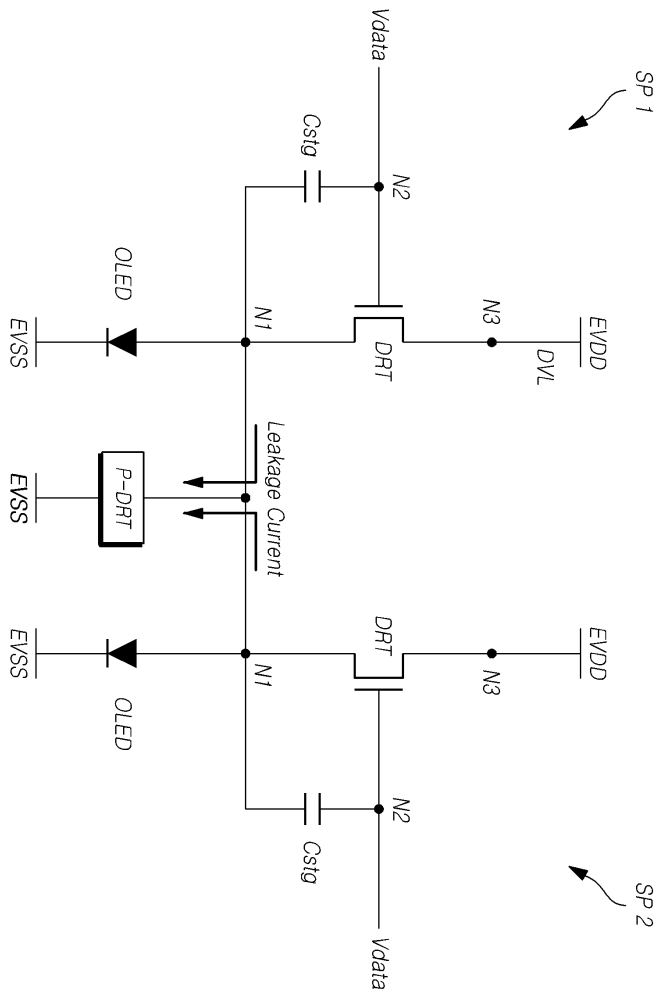
도면9



도면10



도면11



专利名称(译)	发明名称有机发光显示装置和有机发光显示板		
公开(公告)号	KR1020160078639A	公开(公告)日	2016-07-05
申请号	KR1020140188272	申请日	2014-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA WON KYU 하원규 LEE JU RAN 이주란		
发明人	하원규 이주란		
IPC分类号	H01L27/32		
CPC分类号	H01L27/32 H01L27/3202 H01L27/3204		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

这些实施例涉及有机发光显示装置和有机发光显示面板，其中它具有漏电流切断结构，并且以这种方式可以实现高对比度和正确的黑色表现。

