

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2016-0055324 (43) 공개일자 2016년05월18일
(51) 국제특허분류(Int. Cl.) H01L 27/32 (2006.01) H01L 51/50 (2006.01)		(71) 출원인 엘지디스플레이 주식회사
(21) 출원번호	10-2014-0154408	서울특별시 영등포구 여의대로 128(여의도동)
(22) 출원일자	2014년11월07일	(72) 발명자
심사청구일자	없음	오동경
		경기 파주시 월릉면 엘씨디로8번길 27-7, 민하우스 102호
		김영인
		경기 고양시 일산서구 후곡로 55, 203동 203호 (일산동, 후곡마을2단지아파트)
		(74) 대리인
		김은구, 송해모

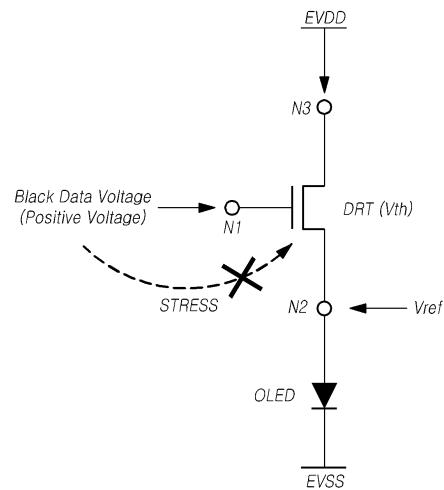
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기발광표시장치 및 유기발광표시패널

(57) 요약

본 실시예들은, 블랙 시감 특성 저하를 방지하면서도 구동 트랜지스터의 성능 저하 및 수명 단축을 방지 또는 최소화할 수 있는 유기발광표시장치 및 유기발광표시패널에 관한 것이다.

대표도 - 도6



명세서

청구범위

청구항 1

데이터 라인들 및 게이트 라인들이 배치되고, 서브픽셀들이 배치된 유기발광표시패널;

상기 데이터 라인들을 구동하는 데이터 구동부;

상기 게이트 라인들을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 서브픽셀들 각각은,

유기발광다이오드; 및

데이터 전압이 인가되는 제1노드, 상기 유기발광다이오드의 제1전극과 전기적으로 연결된 제2노드 및 구동전압 라인과 전기적으로 연결된 제3노드를 갖는 구동 트랜지스터가 배치되며,

상기 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀 각각에서, 상기 유기발광다이오드의 발광시점에서, 상기 구동 트랜지스터의 제1노드의 전압은, 상기 구동 트랜지스터의 제2노드의 전압 이상인 블랙 데이터 전압인 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 구동 트랜지스터의 제1노드의 전압은,

상기 블랙 영상을 표현하는 각 서브픽셀 내 구동 트랜지스터의 문턱 전압에 따라 달라지는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 구동 트랜지스터의 제1노드의 전압은,

상기 블랙 영상을 표현하는 각 서브픽셀 내 구동 트랜지스터의 문턱 전압과 미리 설정된 상수 전압의 합인 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 서브픽셀 각각은,

게이트 노드에 인가된 스캔 신호에 의해 제어되고, 상기 데이터 전압을 공급하는 데이터 라인과 상기 구동 트랜지스터의 제1노드 사이에 전기적으로 연결된 제1트랜지스터와,

게이트 노드에 인가된 센스 신호에 의해 제어되고, 기준전압 라인과 상기 구동 트랜지스터의 제2노드 사이에 전기적으로 연결된 제2트랜지스터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결된 스토리지 캐패시터를 더 포함하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 기준전압 라인과 스위치를 통해 전기적으로 연결되고, 상기 구동 트랜지스터의 제2노드의 전압을 센싱하는

아날로그 디지털 컨버터를 더 포함하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 아날로그 디지털 컨버터는, 상기 구동 트랜지스터의 제2노드의 전압을 센싱하여 디지털 값으로 변환하고 센싱 데이터를 상기 타이밍 컨트롤러로 전송하고,

상기 타이밍 컨트롤러는,

상기 센싱 데이터를 토대로 상기 서브픽셀들 각각에 대한 데이터를 보상하는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제1방향으로 배치된 데이터 라인들;

상기 제1방향과 교차하는 제2방향으로 배치된 게이트 라인들; 및

매트릭스 타입으로 배치된 서브픽셀들을 포함하고,

상기 서브픽셀들 각각은,

유기발광다이오드; 및

데이터 전압이 인가되는 제1노드, 상기 유기발광다이오드의 제1전극과 전기적으로 연결된 제2노드 및 구동전압 라인과 전기적으로 연결된 제3노드를 갖는 구동 트랜지스터가 배치되며,

상기 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀 각각에서, 상기 유기발광다이오드의 발광시점에서, 상기 구동 트랜지스터의 제1노드의 전압은, 상기 구동 트랜지스터의 제2노드의 전압 이상인 블랙 데이터 전압인 것을 특징으로 하는 유기발광표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시장치 및 유기발광표시패널에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 유기발광표시패널에 배치된 각 서브픽셀에는 유기발광다이오드를 구동하는 구동 트랜지스터가 배치되는데, 이러한 구동 트랜지스터는 문턱전압 등의 고유 특성치를 갖는다.

[0005] 각 서브픽셀에서의 구동 트랜지스터는, 문턱전압(V_{th}) 등의 고유한 특성치를 갖는다.

[0006] 문턱전압은 구동 트랜지스터마다 서로 다를 수 있으며, 이에 따라, 각 서브픽셀 간의 휘도 편차가 발생할 수 있다.

[0007] 또한, 구동 트랜지스터의 구동시간이 길어짐에 따라, 구동 트랜지스터의 열화(Degradation)가 진행되어, 구동 트랜지스터의 문턱전압이 변할 수 있다.

[0008] 이러한 문턱전압의 변화 정도는, 구동 트랜지스터마다 서로 다를 수 있고, 이러한 구동 트랜지스터 간의 문턱전압 편차는 각 서브픽셀 간의 휘도 편차를 심화시킬 수 있다.

[0009] 구동 트랜지스터 간의 문턱전압 편차로 인한 각 서브픽셀 간의 휘도 편차는 화상 품질을 떨어뜨리는 주요한 요인이 될 수 있다. 일 예로, 구동 트랜지스터 간의 문턱전압 편차로 인해, 블랙 영상이 표시되지 않고 블랙보다

약간 밝은 계조의 영상이 표시되어, 블랙 시감 특성이 떨어지는 현상이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0010] 본 실시예들의 목적은, 블랙 시감 특성 저하를 방지하는 유기발광표시장치 및 유기발광표시패널을 제공하는 데 있다.

[0011] 본 실시예들의 다른 목적은, 블랙 시감 특성 저하를 방지하면서도 구동 트랜지스터의 성능 저하 및 수명 단축을 방지 또는 최소화할 수 있는 유기발광표시장치 및 유기발광표시패널을 제공하는 데 있다.

과제의 해결 수단

[0012] 일 실시예는, 데이터 라인들 및 게이트 라인들이 배치되고, 서브픽셀들이 배치된 유기발광표시패널과, 유기발광표시패널에 배치된 데이터 라인들을 구동하는 데이터 구동부와, 유기발광표시패널에 배치된 게이트 라인들을 구동하는 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러 등을 포함하는 유기발광표시장치를 제공한다.

[0013] 이러한 유기발광표시장치에서, 각 서브픽셀은, 유기발광다이오드와 이를 구동하는 구동 트랜지스터를 포함한다. 여기서, 구동 트랜지스터는, 데이터 전압이 인가되는 제1노드, 유기발광다이오드의 제1전극과 전기적으로 연결된 제2노드 및 구동전압 라인과 전기적으로 연결된 제3노드를 갖는다.

[0014] 그리고, 이러한 유기발광표시장치에서, 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀 각각에서, 유기발광다이오드의 발광시점에서, 구동 트랜지스터의 제1노드의 전압은, 구동 트랜지스터의 제2노드의 전압 이상인 블랙 데이터 전압일 수 있다.

[0015] 다른 실시예는, 제1방향으로 배치된 데이터 라인들과, 제1방향과 교차하는 제2방향으로 배치된 게이트 라인들과, 매트릭스 타입으로 배치된 서브픽셀들을 포함하는 유기발광표시패널을 제공한다.

[0016] 이러한 유기발광표시패널에서, 각 서브픽셀은, 유기발광다이오드와 이를 구동하는 구동 트랜지스터를 포함한다. 여기서, 구동 트랜지스터는, 데이터 전압이 인가되는 제1노드, 유기발광다이오드의 제1전극과 전기적으로 연결된 제2노드 및 구동전압 라인과 전기적으로 연결된 제3노드를 갖는다.

[0017] 그리고, 이러한 유기발광표시패널에서, 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀 각각에서, 유기발광다이오드의 발광시점에서, 구동 트랜지스터의 제1노드의 전압은, 구동 트랜지스터의 제2노드의 전압 이상인 블랙 데이터 전압일 수 있다.

발명의 효과

[0018] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 블랙 시감 특성 저하를 방지하는 유기발광표시장치 및 유기발광표시패널을 제공할 수 있다.

[0019] 또한, 본 실시예들에 의하면, 블랙 시감 특성 저하를 방지하면서도 구동 트랜지스터의 성능 저하 및 수명 단축을 방지 또는 최소화할 수 있는 유기발광표시장치 및 유기발광표시패널을 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.

도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀의 간략화된 등가회로도이다.

도 3은 본 실시예들에 따른 유기발광표시장치의 블랙 시감 특성 저하 현상을 나타낸 도면이다.

도 4는 본 실시예들에 따른 유기발광표시장치의 블랙 시감 특성 저하 현상을 방지하기 위한 서브픽셀 구동 방법을 나타낸 도면이다.

도 5는 본 실시예들에 따른 유기발광표시장치의 블랙 시감 특성 저하 현상을 방지하기 위한 서브픽셀 구동이 구동 트랜지스터에 미치는 영향을 설명하기 위한 도면이다.

도 6 및 도 7은 본 실시예들에 따른 유기발광표시장치의 블랙 시감 특성 저하 현상을 방지하면서도 구동 트랜지

스터에 미치는 영향을 최소화하는 구동 방법을 설명하기 위한 도면이다.

도 8은 본 실시예들에 따른 유기발광표시장치의 서브픽셀의 등가회로도를 예시적으로 나타낸 도면이다.

도 9는 본 실시예들에 따른 유기발광표시장치의 서브픽셀의 센싱 및 보상 구성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0022] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0023] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.
- [0024] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(140) 등을 포함한다.
- [0025] 유기발광표시패널(110)에는, 제1방향으로 다수의 데이터 라인(DL: Data Line)이 배치되고, 제1방향과 교차하는 제2방향으로 다수의 게이트 라인(GL: Gate Line)이 배치되며, 다수의 서브픽셀(SP: Sub Pixel)이 매트릭스 타입으로 배치된다.
- [0026] 데이터 구동부(120)는, 데이터 라인들로 데이터전압을 공급하여 데이터 라인들을 구동한다.
- [0027] 게이트 구동부(130)는, 게이트 라인들로 스캔 신호를 순차적으로 공급하여 게이트 라인들을 순차적으로 구동한다.
- [0028] 타이밍 컨트롤러(140)는, 데이터 구동부(120) 및 게이트 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 게이트 구동부(130)를 제어한다.
- [0029] 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템(160)에서 입력되는 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0030] 게이트 구동부(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 게이트 라인들로 순차적으로 공급하여 게이트 라인들을 순차적으로 구동한다.
- [0031] 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이, 유기발광표시패널(110)의 양측에 위치할 수도 있고, 서브픽셀 구조, 패널 구조 등에 따라서는, 일 측에만 위치할 수도 있다.
- [0032] 또한, 게이트 구동부(130)는, 다수의 게이트 드라이버 집적회로(Gate Driver IC, GDIC #1, ..., GDIC #N, GDIC #1', ..., GDIC #N', N: 1 이상의 자연수)를 포함할 수 있는데, 이러한 다수의 게이트 드라이버 집적회로(GDIC #1, ..., GDIC #N, GDIC #1', ..., GDIC #N')는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0033] 위에서 언급한 다수의 게이트 드라이버 집적회로(GDIC #1, ..., GDIC #N, GDIC #1', ..., GDIC #N') 각각은 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0034] 데이터 구동부(120)는, 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상데이터(Data')를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 데이터 라인들로 공급함으로써, 데이터 라인들을 구동한다.
- [0035] 데이터 구동부(120)는, 다수의 소스 드라이버 집적회로(Source Driver IC, 데이터 드라이버 집적회로(Data

Driver IC)라고도 함, SDIC #1, ... , SDIC #M, M: 1 이상의 자연수)를 포함할 수 있는데, 이러한 다수의 소스 드라이버 집적회로(SDIC #1, ... , SDIC #M)는, 테이프 오토메티드 본딩(TAB: Tape AuTrmated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.

[0036] 위에서 언급한 다수의 소스 드라이버 집적회로(SDIC #1, ... , SDIC #M) 각각은, 쉬프트 레지스터(Shift Register), 래치(Latch), 디지털 아날로그 컨버터(DAC: Digital Analog Converter), 출력 버퍼(Output Buffer) 등을 포함하고, 경우에 따라서, 서브픽셀 보상을 위해 아날로그 전압 값을 센싱하여 디지털 값으로 변환하고 센싱 데이터를 생성하여 출력하는 아날로그 디지털 컨버터(ADC: Analog Digital Converter)를 더 포함할 수 있다.

[0037] 다수의 소스 드라이버 집적회로(SDIC #1, ... , SDIC #M)는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 다수의 소스 드라이버 집적회로(SDIC #1, ... , SDIC #M) 각각에서, 일 단은 적어도 하나의 소스 인쇄 회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 유기발광표시패널(110)에 본딩된다.

[0038] 한편, 위에서 언급한 호스트 시스템(160)은 입력 영상의 영상데이터(Data)와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 타이밍 컨트롤러(140)로 전송한다.

[0039] 타이밍 컨트롤러(140)는, 호스트 시스템(160)으로부터 입력된 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하는 것 이외에, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 구동부(120) 및 게이트 구동부(130)로 출력한다.

[0040] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 구동부(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 게이트 제어 신호들(GCSs: Gate Control Signals)을 출력한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(130)를 구성하는 게이트 드라이버 집적회로들(GDIC #1, ... , GDIC #N, GDIC #1', ... , GDIC #N')의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이버 집적회로들(GDIC #1, ... , GDIC #N, GDIC #1', ... , GDIC #N')에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버 집적회로들(GDIC #1, ... , GDIC #N, GDIC #1', ... , GDIC #N')의 타이밍 정보를 지정하고 있다.

[0041] 타이밍 컨트롤러(140)는, 데이터 구동부(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Souce Output Enable) 등을 포함하는 데이터 제어 신호들(DCSs: Data Control Signals)을 출력한다. 소스 스타트 펄스(SSP)는 데이터 구동부(120)를 구성하는 소스 드라이버 집적회로들(SDIC #1, ... , SDIC #M)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로들(SDIC #1, ... , SDIC #M) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(120)의 출력 타이밍을 제어한다. 경우에 따라서, 데이터 구동부(120)의 데이터 전압의 극성을 제어하기 위하여, 데이터 제어 신호들(DCSs)에 극성 제어 신호(POL)가 더 포함될 수 있다. 데이터 구동부(120)에 입력된 영상데이터(Data')가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격에 따라 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0042] 도 1을 참조하면, 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(150)를 더 포함할 수 있다.

[0043] 이러한 전원 컨트롤러(150)는 전원 관리 집적회로(PMIC: Power Management IC)라고도 한다.

[0044] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀의 간략화된 등가회로도이다.

[0045] 도 2를 참조하면, 유기발광표시패널(110)에 형성된 각 서브픽셀(SP)에는, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 회로가 배치될 수 있다.

[0046] 도 2를 참조하면, 각 서브픽셀에서, 유기발광다이오드(OLED)를 구동하는 구동 회로는 구동 트랜지스터(DRT:

Driving Transistor)를 기본적으로 포함한다.

- [0047] 도 2를 참조하면, 구동 트랜지스터(DRT)는, 데이터 전압(Data Voltage, V_{data})이 인가되는 제1노드(N1), 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 전기적으로 연결된 제2노드(N2) 및 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결되고, 구동전압(EVDD)이 인가되는 제3노드(N3)를 갖는다.
- [0048] 예를 들어, 제1노드(N1)는 게이트 노드이고, 제2노드(N2)는 소스 노드 또는 드레인 노드일 수 있고, 제3노드(N3)는 드레인 노드 또는 소스 노드일 수 있다.
- [0049] 한편, 각 서브픽셀에서의 구동 트랜지스터(DRT)는, 문턱전압(V_{th}) 등의 고유한 특성치를 갖는다.
- [0050] 문턱전압은, 구동 트랜지스터(DRT) 마다 서로 다를 수 있으며, 이에 따라, 각 서브픽셀 간의 휘도 편차가 발생할 수 있다.
- [0051] 또한, 구동 트랜지스터(DRT)의 구동시간이 길어짐에 따라, 구동 트랜지스터(DRT)의 열화(Degradation)가 진행되어, 구동 트랜지스터(DRT)의 문턱전압이 변할 수 있다.
- [0052] 문턱전압의 변화 정도는, 구동 트랜지스터(DRT) 마다 서로 다를 수 있고, 이러한 구동 트랜지스터(DRT) 간의 문턱전압 편차는 각 서브픽셀 간의 휘도 편차를 심화시킬 수 있다. 각 서브픽셀 간의 휘도 편차는 화상 품질을 떨어뜨리는 주요한 요인이 될 수 있다.
- [0053] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 블랙 시감 특성 저하 현상을 나타낸 도면이다.
- [0054] 도 3을 참조하면, 각 서브픽셀에서의 구동 트랜지스터(DRT) 간의 문턱전압 편차는, 표시패널(110)에서 블랙 시감 특성을 저하할 수 있다.
- [0055] 도 3을 참조하면, 블랙 영상이 표시되어야 하는 경우, 각 서브픽셀에서의 구동 트랜지스터(DRT) 간의 문턱전압 편차로 인해, 일정 영역(300)에서는 블랙 영상이 표시되지 않고 블랙보다 약간 밝은 계조의 영상이 표시되어, 블랙 시감 특성이 떨어지는 현상이 발생할 수 있다. 이러한 블랙 시감 특성 저하 현상을 "블랙 뜸(Black Floating) 현상"이라고도 한다.
- [0056] 도 4는 본 실시예들에 따른 유기발광표시장치(100)의 블랙 시감 특성 저하 현상을 방지하기 위한 서브픽셀 구동 방법을 나타낸 도면이다.
- [0057] 도 4를 참조하면, 블랙 시감 특성 저하 현상을 방지하기 위하여, 구동 트랜지스터(DRT)의 제1노드(N1)에 네거티브 전압(Negative Voltage)에 해당하는 블랙 데이터 전압(Black Data Voltage)을 강제로 인가하는 구동 방법을 이용한다.
- [0058] 여기서, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 네거티브 전압(Negative Voltage)이라고 함은, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 구동 트랜지스터(DRT)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)에 인가되는 전압(예: V_{ref})보다 낮다는 것을 의미한다.
- [0059] 이와 같이, 구동 트랜지스터(DRT)의 제1노드(N1)에 네거티브 전압(Negative Voltage)에 해당하는 블랙 데이터 전압(Black Data Voltage)을 강제로 인가하게 되면, 구동 트랜지스터(DRT)가 턴 온(Turn On) 되지 않아, 유기발광다이오드(OLED)로 전류가 흐르지 않게 된다. 이에 따라, 블랙 뜸 현상이 방지된다.
- [0060] 도 5는 본 실시예들에 따른 유기발광표시장치(100)의 블랙 시감 특성 저하 현상을 방지하기 위한 서브픽셀 구동이 구동 트랜지스터(DRT)에 미치는 영향을 설명하기 위한 도면이다.
- [0061] 도 5를 참조하면, 블랙 뜸 현상 방지를 위해, 구동 트랜지스터(DRT)의 제1노드(N1)에 네거티브 전압(Negative Voltage)에 해당하는 블랙 데이터 전압(Black Data Voltage)을 강제로 인가하게 되면, 구동 트랜지스터(DRT)의 수명이 단축되거나 구동 트랜지스터(DRT)의 성능이 저하되는 문제를 야기할 수 있다.
- [0062] 다시 말해, 블랙 뜸 현상 방지를 위해, 구동 트랜지스터(DRT)의 제1노드(N1)에 강제로 인가되는 네거티브 전압(Negative Voltage)은, 구동 트랜지스터(DRT)에 스트레스(Stress) 인자로 작용할 수 있다.
- [0063] 이러한 구동 트랜지스터(DRT)에 작용한 스트레스는, 구동 트랜지스터(DRT)의 수명을 단축하게 하거나, 구동 트랜지스터(DRT)의 성능을 떨어뜨릴 수 있다.
- [0064] 도 6 및 도 7은 본 실시예들에 따른 유기발광표시장치(100)의 블랙 시감 특성 저하 현상을 방지하면서도 구동 트랜지스터(DRT)에 미치는 영향을 최소화하는 구동 방법을 설명하기 위한 도면이다.

- [0065] 도 6 및 도 7을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 블랙 시감 특성 저하 현상을 방지하면서도, 구동 트랜지스터(DRT)의 성능 및 수명 저하를 방지할 수 있는 구동 방법을 제공할 수 있다.
- [0066] 도 6 및 도 7을 참조하면, 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀(SP) 각각에서, 유기발광다이오드(OLED)의 발광시점에서, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이, 구동 트랜지스터(DRT)의 제2노드의 전압과 동일하나 높은 블랙 데이터 전압이 되도록, 해당 서브픽셀을 구동한다.
- [0067] 즉, 데이터 구동부(120)는, 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀(SP) 각각에 대하여, 유기발광다이오드(OLED)의 발광시점에서, 구동 트랜지스터(DRT)의 제2노드의 전압 이상의 블랙 데이터 전압을 출력함으로써, 이러한 블랙 데이터 전압이 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되도록 해준다.
- [0068] 이를 위해, 타이밍 컨트롤러(140)는, 서브픽셀들 중에서 블랙 영상을 표현하는 적어도 하나의 서브픽셀(SP) 각각에 대하여, 유기발광다이오드(OLED)의 발광시점에서, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이, 구동 트랜지스터(DRT)의 제2노드의 전압 이상의 블랙 데이터 전압이 되도록, 데이터 변경을 수행하여, 변경된 데이터를 데이터 구동부(120)로 전송해주고, 블랙 데이터 전압 인가 타이밍을 제어할 수 있다.
- [0069] 유기발광다이오드(OLED)의 발광시점에서, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 구동 트랜지스터(DRT)의 제2노드의 전압 이상인 블랙 데이터 전압이라는 것은, 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되는 블랙 데이터 전압이 포지티브 전압(Positive Voltage)일 수 있다는 것을 의미할 수 있다.
- [0070] 전술한 바와 같이, 블랙 뚝 현상을 방지하기 위하여, 구동 트랜지스터(DRT)의 제1노드(N1)에 블랙 데이터 전압을 인가해주되, 포지티브 전압일 수 있는 블랙 데이터 전압을 인가해줌으로써, 네거티브 전압 인가에 따른 구동 트랜지스터(DRT)의 수명 단축 현상 및 성능 저하 현상을 방지할 수 있다.
- [0071] 한편, 도 6 및 도 7을 참조하면, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압은, 블랙 영상을 표현하는 각 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 문턱 전압(V_{th})에 따라 달라질 수 있다.
- [0072] 예를 들어, 제1서브픽셀의 구동 트랜지스터(DRT)의 문턱전압과 제2서브픽셀의 구동 트랜지스터(DRT)의 문턱전압이 서로 다른 경우, 발광시점에서, 제1서브픽셀의 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되는 블랙 데이터 전압과 제2서브픽셀의 구동 트랜지스터(DRT)의 제1노드(N1)에 인가되는 블랙 데이터 전압은 서로 다를 수 있다.
- [0073] 더욱 구체적으로 설명하면, 도 7을 참조하면, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압은, 블랙 영상을 표현하는 각 서브픽셀 내 구동 트랜지스터(DRT)의 문턱 전압(V_{th})과 미리 설정된 상수 전압(V_{const})의 합일 수 있다.
- [0074] 여기서, 상수 전압(V_{const})은, 발광시점에서, 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 고려하여, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 포지티브 전압이 될 수 있도록, 그 크기가 미리 설정된 일종의 오프셋(Offset) 전압으로서, 유기발광표시패널(110)마다 다를 수 있다.
- [0075] 전술한 바와 같이, 각 서브픽셀에서의 구동 트랜지스터(DRT)의 문턱전압에 따라 다른 블랙 데이터 전압($V_{const}+V_{th}$)을 구동 트랜지스터(DRT)의 제1노드(N1)에 인가해줌으로써, 블랙 뚝 현상 방지를 가능하게 하면서도, 각 서브픽셀의 휘도 편차 특성을 반영하여, 보다 고품질의 블랙 영상을 표현할 수 있게 해준다.
- [0076] 전술한 구동 트랜지스터(DRT)의 문턱전압은, 최초 한번 측정(센싱)되어 메모리(미도시)에 저장되어 있거나, 최초 한번 측정되고 난 이후 센싱 이벤트 시마다 업데이트 될 수도 있다.
- [0077] 한편, 유기발광표시장치(100)의 각 서브픽셀(SP)에서 유기발광다이오드(OLED)를 구동하기 위한 구동 회로는, 2개 이상의 트랜지스터와 1개 이상의 캐패시터를 포함할 수 있다.
- [0078] 만약, 구동 트랜지스터(DRT)의 문턱전압은, 최초 한번 측정(센싱)되어 메모리(미도시)에 저장되는 경우라면, 각 서브픽셀은 2개의 트랜지스터와 1개의 캐패시터만을 포함하는 간단한 구조로 되어 있을 수 있다.
- [0079] 그렇지 않고, 구동 트랜지스터(DRT)의 문턱전압이 센싱 이벤트 시마다 업데이트 되는 경우라면, 구동 트랜지스터(DRT)의 문턱전압을 센싱할 수 있는 서브픽셀 구조와, 센싱 구성 등을 더 포함하고 있어야 한다.
- [0080] 아래에서는, 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압을 센싱할 수 있는 서브픽셀 구조와 센싱 구성에 대하여, 예시적으로 설명한다.
- [0081] 도 8은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀(SP)의 등가회로도 예시적으로 나타낸 도면이다. 도 9는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀의 센싱 및 보상 구성을 나타낸 도면이

다.

- [0082] 도 8을 참조하면, 유기발광표시장치(100)의 각 서브픽셀(SP)은 유기발광다이오드(OELD)와 이를 구동하는 구동회로를 포함한다.
- [0083] 도 8을 참조하면, 유기발광다이오드(OELD)와 이를 구동하는 구동회로는, 일 예로, 3개의 트랜지스터(DRT, T1, T2)와 1개의 캐패시터(Cstg)를 포함한다.
- [0084] 도 8에 예시된 바와 같이, 유기발광표시장치(100)의 각 서브픽셀은 3T(Transistor)1C(Capacitor) 구조를 가질 수 있다.
- [0085] 도 8을 참조하면, 구동 트랜지스터(DRT)는, 데이터 전압(Vdata)이 인가되는 제1노드(N1)와, 유기발광다이오드(OELD)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 전기적으로 연결된 제2노드(N2)와, 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결되어 구동전압(EVDD)이 인가되는 제3노드(N3)를 갖는다.
- [0086] 도 8을 참조하면, 제1트랜지스터(T1)는, 데이터 전압(Vdata)을 공급하는 데이터 라인(DLi)과 구동 트랜지스터(DRT)의 제1노드(N1) 사이에 전기적으로 연결된다.
- [0087] 이러한 제1트랜지스터(T1)의 게이트 노드는, 제1게이트 라인(GLj)을 통해 스캔 신호(Scan Signal)를 인가받는다. 제1트랜지스터(T1)의 드레인 노드 또는 소스 노드는 데이터 라인(DLi)으로부터 데이터 전압(Vdata)을 공급받는다. 제1트랜지스터(T1)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제1노드(N1)와 전기적으로 연결된다.
- [0088] 제1트랜지스터(T1)는, 게이트 노드에 인가된 스캔 신호(Scan Signal)에 의해 턴 온 되면, 제1트랜지스터(T1)의 드레인 노드 또는 소스 노드로 공급된 데이터 전압(Vdata)을 제1트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결된 구동 트랜지스터(DRT)의 제1노드(N1)로 인가해준다.
- [0089] 도 8을 참조하면, 제2트랜지스터(T2)는, 기준전압(Vref)을 공급하는 기준전압 라인(RVL: Reference Voltage Line)과 구동 트랜지스터(DRT)의 제2노드(N2) 사이에 전기적으로 연결된다.
- [0090] 이러한 제2트랜지스터(T2)의 게이트 노드는, 제2게이트 라인(GLj')을 통해 일종의 스캔 신호에 해당하는 센스 신호(Sense Signal)를 인가받는다. 제2트랜지스터(T2)의 드레인 노드 또는 소스 노드는 전기적으로 연결된 기준전압 라인(RVL)으로부터 기준전압(Vref)을 공급받는다. 제2트랜지스터(T2)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제2노드(N2)와 전기적으로 연결된다.
- [0091] 제2트랜지스터(T2)는, 게이트 노드로 인가된 센스 신호(Sense Signal)에 의해 턴 온 되면, 제2트랜지스터(T2)의 드레인 노드 또는 소스 노드로 공급된 기준전압(Vref)을 제2트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결된 구동 트랜지스터(DRT)의 제2노드(N2)로 인가해준다.
- [0092] 도 8을 참조하면, 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된다.
- [0093] 한편, 제1트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호 및 제2트랜지스터(T2)의 게이트 노드로 인가되는 센스 신호는, 다른 신호일 수도 있고, 동일한 신호일 수도 있다.
- [0094] 즉, 제1트랜지스터(T1)의 게이트 노드에 스캔 신호를 공급하는 제1게이트 라인(GLj) 및 제2트랜지스터(T2)의 게이트 노드에 센스 신호를 공급하는 제2게이트 라인(GLj')은, 서로 다를 수도 있고, 동일할 수도 있다.
- [0095] 도 8에 도시된 3T1C의 서브픽셀 구조는, 서브픽셀에 대한 센싱 및 보상이 가능한 구조이다.
- [0096] 전술한 바와 같이, 문턱전압 센싱이 가능한 서브픽셀 구조를 이용하는 경우, 블랙 락 현상을 방지하면서도 구동 트랜지스터(DRT)의 성능 저하 및 수명 단축 현상을 개선할 수 있다.
- [0097] 아래에서, 서브픽셀의 센싱 동작에 대하여 간단하게 설명한다.
- [0098] 먼저, 구동 트랜지스터(DRT)의 제1노드(N1)에 데이터 전압(Vdata)을 인가하고, 구동 트랜지스터(DRT)의 제2노드(N2)에 기준전압(Vref)을 인가한다.
- [0099] 이후, 구동 트랜지스터(DRT)의 제2노드(N2)를 플로팅(Floating)시켜, 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 부스팅(Boosting) 시킨다.
- [0100] 이러한 구동 트랜지스터(DRT)의 제2노드(N2)의 전압 상승은, 기준전압(Vref)에서 시작하여 구동 트랜지스터

(DRT)의 제1노드(N1)에 인가되고 있는 전압(Vdata)과 문턱전압(Vth)만큼 차이가 나는 전압까지 이루어진다.

- [0101] 즉, 구동 트랜지스터(DRT)의 제2노드(N2)의 포화한 전압은, " $V_{data}-V_{th}$ "가 된다. 여기서, 데이터 전압(Vdata)은 이미 알고 있는 값이다.
- [0102] 따라서, 구동 트랜지스터(DRT)의 제2노드(N2)의 포화한 전압을 센싱(측정) 하게 되면, 문턱전압을 알아낼 수 있다. 이렇게 알아낸 문턱전압으로 도 7에서의 블랙 데이터 전압($V_{const}+V_{th}$)을 설정할 수 있다.
- [0103] 도 9를 참조하면, 구동 트랜지스터(DRT)의 제2노드(N2)의 포화한 전압을 센싱하기 위한 구성으로서, 스위치(SW)를 통해 기준전압 라인(RVL)과 전기적으로 연결되고, 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 센싱하는 아날로그 디지털 컨버터(ADC)를 더 포함할 수 있다.
- [0104] 이러한 아날로그 디지털 컨버터(ADC)는, 다수의 기준전압 라인(RVL)과 전기적으로 연결되고, 하나의 소스 드라이버 집적회로(SDIC K, K=1, 2, ..., M)마다 하나씩 포함될 수 있다.
- [0105] 전술한 아날로그 디지털 컨버터(ADC)를 이용하면, 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압을 효율적이고 정확하게 센싱할 수 있다.
- [0106] 한편, 도 9를 참조하면, 아날로그 디지털 컨버터(ADC)는, 구동 트랜지스터(DRT)의 제2노드(N2)의 전압을 센싱하여, 센싱된 전압(V_{sen})을 디지털 값으로 변환하고, 변환된 디지털 값들을 포함하는 센싱 데이터(D_{sen})를 타이밍 컨트롤러(140)로 전송한다.
- [0107] 도 9를 참조하면, 타이밍 컨트롤러(140)는, 센싱 데이터(D_{sen})를 수신하고, 수신된 센싱 데이터(D_{sen})를 토대로 서브픽셀들 각각에 대한 데이터를 보상한다.
- [0108] 예를 들어, 도 9를 참조하면, 타이밍 컨트롤러(140)는 센싱 데이터(D_{sen})를 토대로 서브픽셀들 각각에 대한 데이터 보상량($\Delta Data$)을 연산하여 이를 메모리(미도시)에 저장해두고, 서브픽셀들을 구동할 타이밍이 되면, 해당 서브픽셀에 대한 데이터(Data)에 데이터 보상량($\Delta Data$)을 더하고, 이렇게 얻어진 보상 데이터($Data'=Data+\Delta Data$)를 해당 소스 드라이버 집적회로(SDIC #K)로 공급해준다.
- [0109] 전술한 바에 따르면, 구동 트랜지스터(DRT) 간의 문턱전압 편차를 데이터 보상을 통해 보상해주어, 서브픽셀 간의 휘도 편차를 줄여주거나 제거하여, 화상 품질을 향상시킬 수 있다.
- [0110] 한편, 유기발광다이오드(OLED)의 발광동작에 대한 간략하게 설명하면, 먼저, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 각각에 일정 전압(V_{data} , V_{ref})을 인가한다.
- [0111] 이후, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 모두를 플로팅 시켜 전압을 부스팅시킨다.
- [0112] 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 각각의 전압이 부스팅되다가, 구동 트랜지스터(DRT)의 제2노드(N2)의 전압이 유기발광다이오드(OLED)의 문턱전압과 기저전압(EVSS)을 합한 전압 이상이 되면, 유기발광다이오드(OELD)가 발광하기 시작한다.
- [0113] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 블랙 시감 특성 저하를 방지하는 유기발광표시장치(100) 및 유기발광표시패널(110)을 제공할 수 있다.
- [0114] 또한, 본 실시예들에 의하면, 블랙 시감 특성 저하를 방지하면서도 구동 트랜지스터의 성능 저하 및 수명 단축을 방지 또는 최소화할 수 있는 유기발광표시장치(100) 및 유기발광표시패널(110)을 제공할 수 있다.
- [0115] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

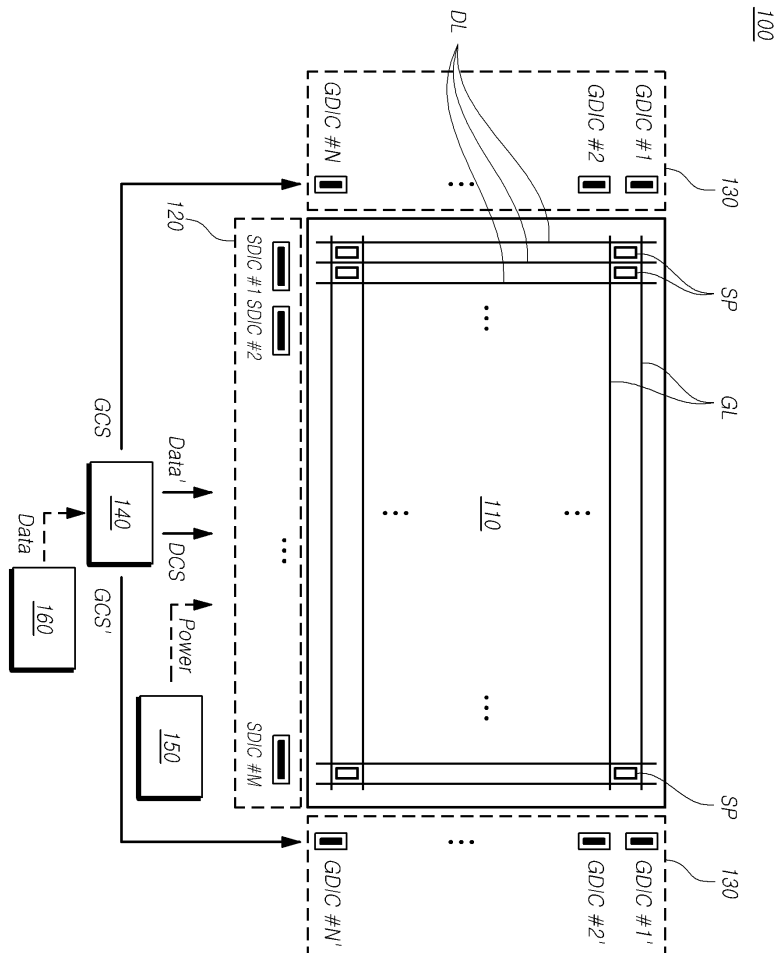
부호의 설명

- [0116] 100: 유기발광표시장치
110: 유기발광표시패널

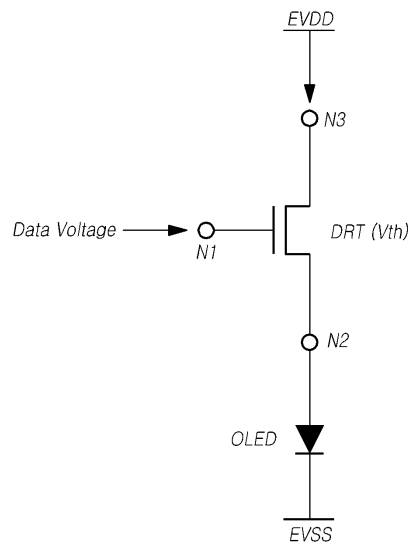
- 120: 데이터 구동부
- 130: 게이트 구동부
- 140: 타이밍 컨트롤러

도면

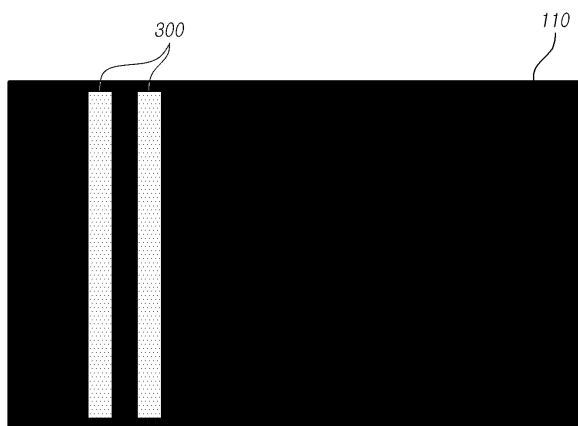
도면1



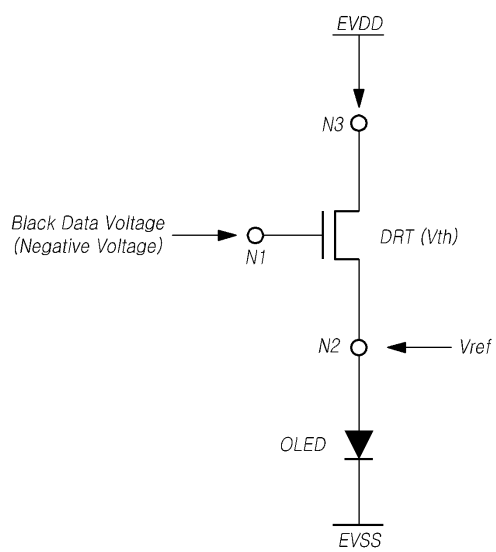
도면2



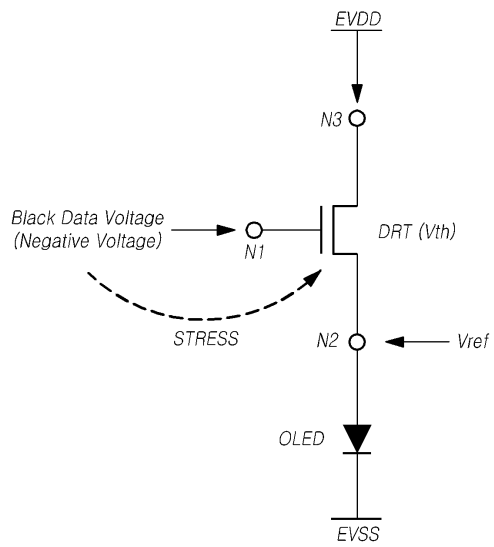
도면3



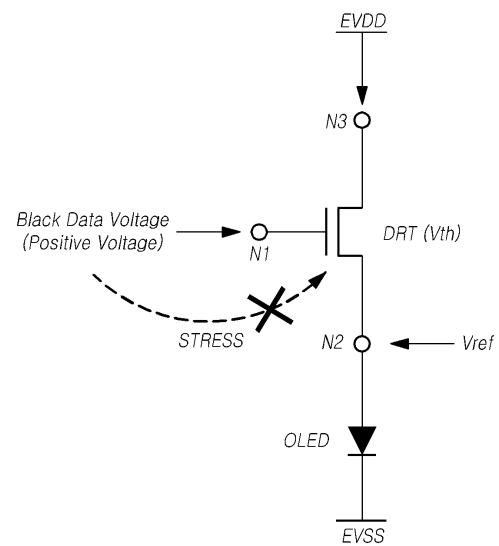
도면4



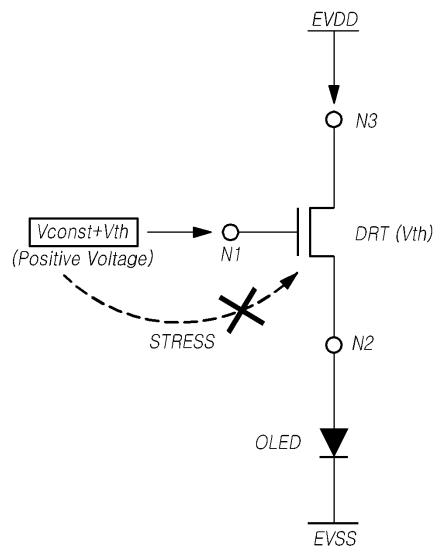
도면5



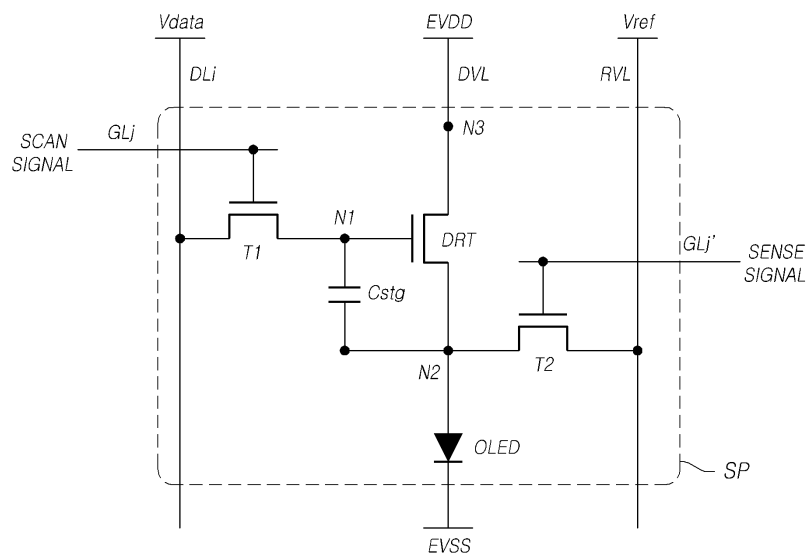
도면6



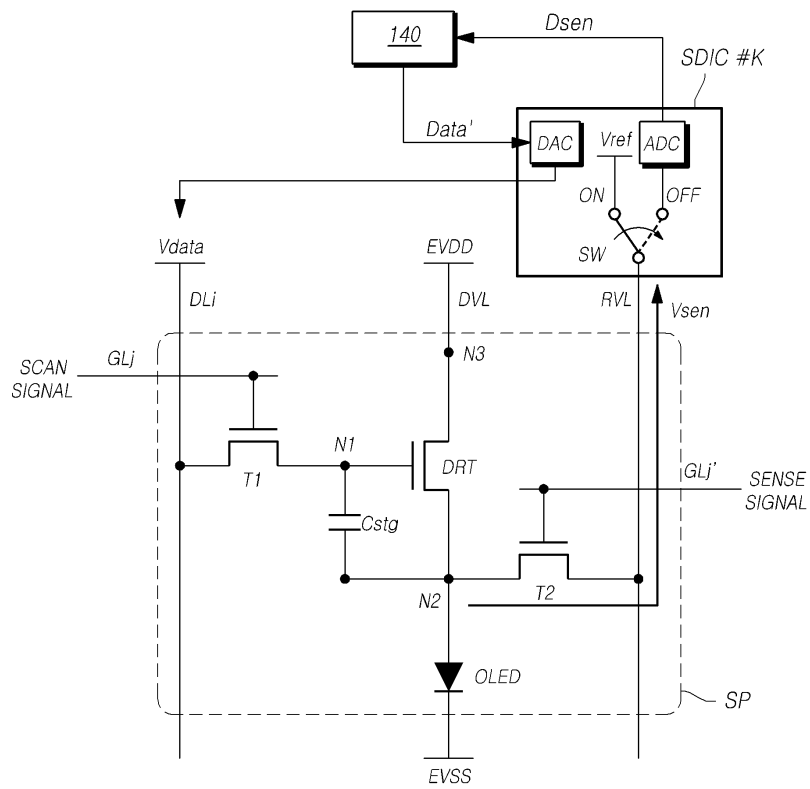
도면7



도면8



도면9



专利名称(译)	发明名称有机发光显示装置和有机发光显示板		
公开(公告)号	KR1020160055324A	公开(公告)日	2016-05-18
申请号	KR1020140154408	申请日	2014-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH DONG KYOUNG 오동경 KIM YOUNG IN 김영인		
发明人	오동경 김영인		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0452 G09G2300/0842 G09G2310/08		
外部链接	Espacenet		

摘要(译)

这些实施例涉及有机发光显示装置和有机发光显示面板，其即使在防止或可以最小化黑色可见度下降特性时也防止驱动晶体管的性能劣化和寿命减少。

