



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0008020
(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0087365

(22) 출원일자 2014년07월11일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이윤주

강원 강릉시 골말길30번길 6

박광모

경기 의정부시 시민로 49, 606호 (가능동, 신동아
파라다움)

최기민

대전 중구 문화로78번길 29, 305호 (산성동, 산성
연립)

(74) 대리인

특허법인천문

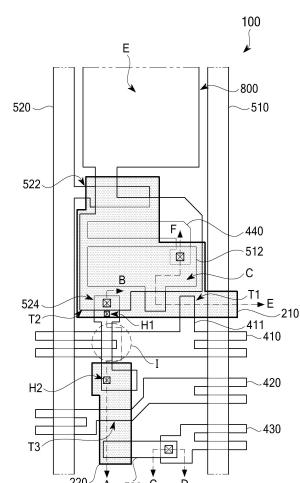
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요 약

본 발명은, 기판; 상기 기판 상에 형성되며 액티브층을 구비한 스위칭 박막 트랜지스터; 상기 기판 상에 형성되며 액티브층을 구비한 구동 박막 트랜지스터; 상기 기판 상에 형성되며 액티브층을 구비한 센싱 박막 트랜지스터; 상기 기판과 상기 스위칭 박막 트랜지스터의 액티브층 사이 및 상기 기판과 상기 구동 박막 트랜지스터의 액티브층 사이에 형성된 제1 차광층 패턴; 및 상기 기판과 상기 센싱 박막 트랜지스터의 액티브층 사이에 형성된 제2 차광층 패턴을 포함하여 이루어지고, 상기 제1 차광층 패턴과 상기 제2 차광층 패턴은 서로 이격되어 있는 유기 발광 표시 장치에 관한 것이다.

대 표 도 - 도5



명세서

청구범위

청구항 1

기판;

상기 기판 상에 형성되며 액티브층을 구비한 스위칭 박막 트랜지스터;

상기 기판 상에 형성되며 액티브층을 구비한 구동 박막 트랜지스터;

상기 기판 상에 형성되며 액티브층을 구비한 센싱 박막 트랜지스터;

상기 기판과 상기 스위칭 박막 트랜지스터의 액티브층 사이 및 상기 기판과 상기 구동 박막 트랜지스터의 액티브층 사이에 형성된 제1 차광층 패턴; 및

상기 기판과 상기 센싱 박막 트랜지스터의 액티브층 사이에 형성된 제2 차광층 패턴을 포함하여 이루어지고,

상기 제1 차광층 패턴과 상기 제2 차광층 패턴은 서로 이격되어 있는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 차광층 패턴과 상기 제2 차광층 패턴의 이격 영역에 상기 스위칭 박막 트랜지스터와 연결된 게이트 라인이 형성되어 있고, 상기 제1 차광층 패턴과 상기 제2 차광층 패턴은 상기 게이트 라인과 중첩되지 않도록 형성된 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 차광층 패턴 및 상기 제2 차광층 패턴은 각각 상기 구동 박막 트랜지스터와 연결되어 있는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 차광층 패턴은 제1 콘택홀을 통해서 상기 구동 박막 트랜지스터의 소스 전극의 일단부와 연결되고, 상기 제2 차광층 패턴은 제2 콘택홀을 통해서 상기 구동 박막 트랜지스터의 소스 전극의 타단부와 연결된 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 기판과 상기 제2 차광층 패턴 사이에 형성된 제1 베퍼층; 및

상기 제2 차광층 패턴과 상기 센싱 박막 트랜지스터의 액티브층 사이에 형성된 제2 베퍼층을 추가로 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제2 차광층 패턴의 일단과 상기 제2 베퍼층의 일단이 일치하는 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 제1 베퍼층은 상기 제1 차광층 패턴과 상기 제2 차광층 패턴의 이격 영역에 추가로 형성되어 있고, 상기 제2 베퍼층은 상기 제1 차광층 패턴과 상기 제2 차광층 패턴의 이격 영역에 형성되어 있지 않은 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 탑 게이트 구조의 박막 트랜지스터를 구비한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 전자(electron)를 주입하는 음극(cathode)과 정공(hole)을 주입하는 양극(anode) 사이에 발광층이 형성된 구조를 가지며, 음극에서 발생된 전자 및 양극에서 발생된 정공이 발광층 내로 주입되면 주입된 전자 및 정공이 결합하여 엑시톤(exciton)이 생성되고, 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 원리를 이용한 표시 장치이다.

[0003] 이와 같은 유기 발광 표시 장치는 스위칭 소자로서 박막 트랜지스터를 구비하고 있는데, 상기 박막 트랜지스터는 게이트 전극이 액티브층 아래에 위치하는 보텀 게이트(Bottom Gate) 구조와 게이트 전극이 액티브층 위에 위치하는 탑 게이트(Top Gate) 구조로 구분된다.

[0004] 이하, 도면을 참조로 종래의 탑 게이트 구조의 박막 트랜지스터를 구비한 유기 발광 표시 장치에 대해서 설명하기로 한다.

[0005] 도 1은 종래의 유기 발광 표시 장치의 개략적인 단면도이다.

[0006] 도 1에서 알 수 있듯이, 종래의 유기 발광 표시 장치는 기판(10), 액티브층(20), 게이트 절연막(25), 게이트 전극(30), 충간 절연막(35), 소스 전극(40a), 드레인 전극(40b), 보호막(45), 평탄화막(50), 양극(60), 뱅크층(70), 유기 발광층(80), 및 음극(90)을 포함하여 이루어진다.

[0007] 상기 액티브층(20)은 전자의 이동 채널로 기능하는 것으로서, 상기 기판(10) 상에 형성되어 있다.

[0008] 상기 게이트 절연막(25)은 상기 액티브층(20)과 상기 게이트 전극(30)을 절연시키는 기능을 하는 것으로서, 상기 액티브층(20) 상에 형성되어 있다.

[0009] 상기 게이트 전극(30)은 상기 게이트 절연막(25) 상에 형성되어 있다.

[0010] 상기 충간 절연막(35)은 상기 게이트 전극(30) 상에 형성되어 있다. 상기 충간 절연막(35)은 상기 액티브층(20)의 일단 및 타단이 노출되도록 하는 콘택홀을 구비하면서 상기 기판(10)의 전체면 상에 형성되어 있다.

[0011] 상기 소스 전극(40a) 및 상기 드레인 전극(40b)은 상기 충간 절연막(35) 상에 형성되어 있다. 상기 소스 전극(40a)은 상기 콘택홀을 통해서 상기 액티브층(20)의 일단과 연결되어 있고, 상기 드레인 전극(40b)은 상기 콘택홀을 통해서 상기 액티브층(20)의 타단과 연결되어 있다.

[0012] 상기 보호막(45)은 상기 소스 전극(40a) 및 드레인 전극(40b) 상에 형성되어 있고, 그 하부의 박막 트랜지스터를 보호하는 기능을 한다.

[0013] 상기 평탄화막(50)은 상기 보호막(45) 상에 형성되어 있고, 기판(10) 표면을 평탄화시키는 기능을 한다.

[0014] 상기 보호막(45)과 상기 평탄화막(50)은 상기 소스 전극(40a)이 노출되도록 콘택홀을 구비하고 있다.

[0015] 상기 양극(60)은 상기 평탄화막(50) 상에 형성되어 있다. 상기 양극(60)은 상기 보호막(45)과 상기 평탄화막(50)에 구비된 콘택홀을 통해서 상기 소스 전극(40a)과 연결되어 있다.

[0016] 상기 뱅크층(70)은 상기 평탄화막(50) 상에 형성되어 있다. 상기 뱅크층(70)은 매트릭스 구조로 형성되면서 화상을 표시하는 표시 영역을 정의하게 된다.

[0017] 상기 유기 발광층(80)은 상기 양극(60) 상에 형성되어 있다. 상기 유기 발광층(80)은 상기 뱅크층(70)에 의해 정의된 표시 영역 내에 형성된다.

[0018] 상기 음극(90)은 상기 유기 발광층(80) 상에 형성되어 있다

[0019] 이와 같은 종래의 유기 발광 표시 장치의 경우, 상기 액티브층(20)이 상기 기판(10)의 상면에 형성되어 있기 때문에 상기 기판(10)의 하면을 통해 입사되는 외부 광에 그대로 노출된다. 따라서, 종래의 유기 발광 표시장치는 상기 액티브층(20)의 신뢰성이 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0020] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 액티브층이 외부 광에 노출되는 것을 방지할 수 있는 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0021] 본 발명은 상기 목적을 달성하기 위해서, 기판; 상기 기판 상에 형성되며 액티브층을 구비한 스위칭 박막 트랜지스터; 상기 기판 상에 형성되며 액티브층을 구비한 구동 박막 트랜지스터; 상기 기판 상에 형성되며 액티브층을 구비한 센싱 박막 트랜지스터; 상기 기판과 상기 스위칭 박막 트랜지스터의 액티브층 사이 및 상기 기판과 상기 구동 박막 트랜지스터의 액티브층 사이에 형성된 제1 차광층 패턴; 및 상기 기판과 상기 센싱 박막 트랜지스터의 액티브층 사이에 형성된 제2 차광층 패턴을 포함하여 이루어지고, 상기 제1 차광층 패턴과 상기 제2 차광층 패턴은 서로 이격되어 있는 유기 발광 표시 장치를 제공한다.

발명의 효과

[0022] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0023] 본 발명의 일 실시예에 따르면, 제1 차광층 패턴과 제2 차광층 패턴에 의해서 스위칭 박막 트랜지스터(T1)의 액티브층, 구동 박막 트랜지스터(T2)의 액티브층, 및 센싱 박막 트랜지스터(T3)의 액티브층으로 외부 광이 입사되는 것이 방지될 수 있다.

[0024] 또한, 본 발명의 일 실시예에 따르면, 제1 차광층 패턴과 제2 차광층 패턴이 서로 이격되어 있기 때문에 상기 제1 차광층 패턴과 제2 차광층 패턴이 이격된 영역에서 상기 제1 및 제2 차광층 패턴과 다른 신호 라인 사이에 기생 커패시턴스 발생이 방지될 수 있다.

도면의 간단한 설명

[0025] 도 1은 종래의 유기 발광 표시 장치의 개략적인 단면도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.

도 3은 본 발명의 일 실시예에 따른 차광층 패턴을 구비한 유기 발광 표시 장치의 개략적인 평면도이다.

도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 회로도이다.

도 5는 본 발명의 다른 실시예에 따른 차광층 패턴을 구비한 유기 발광 표시 장치의 개략적인 평면도이다.

도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 회로도이다.

도 7은 도 5의 A-B라인의 단면도이다.

도 8은 도 5의 C-D라인의 단면도이다.

도 9는 도 5의 E-F라인의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0027] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.
- [0030] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0031] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0033] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0034] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 평면도이다.
- [0035] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(100), 게이트 라인(410), 센싱(sensing) 제어 라인(420), 기준(reference) 연결 라인(430), 데이터 라인(510), 파워(power) 라인(520), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C), 및 발광 다이오드(E)를 포함하여 이루어진다.
- [0036] 상기 기판(100)은 유리 또는 투명한 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0037] 상기 게이트 라인(410)은 상기 기판(100) 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있다. 상기 게이트 라인(410)에는 상기 스위칭 박막 트랜지스터(T1)의 게이트 전극(411)이 연결되어 있다. 상기 게이트 전극(411)은 상기 게이트 라인(410)에서 분기되어 있다. 한편, 상기 게이트 라인(410)에서 상기 게이트 전극(411)이 분기되어 있지 않고 상기 게이트 라인(410)의 일부 영역이 상기 스위칭 박막 트랜지스터(T1)의 게이트 전극으로 기능할 수도 있다.
- [0038] 상기 게이트 라인(410)의 영역 중에서 상기 데이터 라인(510) 및 상기 파워 라인(520)과 교차하는 영역에는 홀이 형성되어 있어서, 상기 게이트 라인(410)과 상기 데이터 라인(510)의 중첩 영역 및 상기 게이트 라인(410)과 상기 파워 라인(520)의 중첩 영역을 감소시킬 수 있고, 그에 따라 신호 간섭을 줄일 수 있다.
- [0039] 상기 센싱 제어 라인(420)은 상기 기판(100) 상에서 상기 게이트 라인(410)과 평행하게 제1 방향으로 배열되어 있다. 상기 센싱 제어 라인(420)은 상기 게이트 라인(410)과 동일한 층에 동일한 물질로 이루어질 수 있다. 상기 센싱 제어 라인(420)의 일부 영역은 상기 센싱 박막 트랜지스터(T3)의 게이트 전극으로 기능한다.
- [0040] 상기 센싱 제어 라인(420)의 영역 중에서 상기 데이터 라인(510) 및 상기 파워 라인(520)과 교차하는 영역에는 홀이 형성되어 있어서, 상기 센싱 제어 라인(420)과 상기 데이터 라인(510)의 중첩 영역 및 상기 센싱 제어 라인(420)과 상기 파워 라인(520)의 중첩 영역을 감소시킬 수 있고, 그에 따라 신호 간섭을 줄일 수 있다.
- [0041] 상기 기준 연결 라인(430)은 상기 기판(100) 상에서 상기 센싱 제어 라인(420)과 평행하게 제1 방향으로 배열되어 있다. 상기 기준 연결 라인(430)은 상기 센싱 제어 라인(420)과 동일한 층에 동일한 물질로 이루어질 수 있다.
- [0042] 상기 기준 연결 라인(430)의 일단은 상기 데이터 라인(510)과 평행하게 배열되는 기준 라인(후술하는 도 4 및 도 6의 도면부호 540 참조)과 콘택홀을 통해서 연결되어 있다. 또한, 상기 기준 연결 라인(430)의 타단은 상기

센싱 박막 트랜지스터(T3)의 드레인 전극(530)과 콘택홀을 통해서 연결되어 있다.

[0043] 상기 기준 연결 라인(430)은 경우에 따라서 생략이 가능하고, 이 경우에는 상기 센싱 박막 트랜지스터(T3)의 드레인 전극(530)이 상기 기준 라인(후술하는 도 4 및 도 6의 도면부호 540 참조)과 직접 연결될 수 있다.

[0044] 상기 기준 연결 라인(430)의 영역 중에서 상기 데이터 라인(510)과 교차하는 영역에는 홀이 형성되어 있어서, 상기 기준 연결 라인(430)과 상기 데이터 라인(510)의 중첩 영역을 감소시킬 수 있고, 그에 따라 신호 간섭을 줄일 수 있다.

[0045] 상기 데이터 라인(510)은 상기 게이트 라인(410)과 교차하도록 상기 기판(100) 상에서 제2 방향, 예로서 세로 방향으로 배열되어 있다. 상기 데이터 라인(510)은 상기 게이트 라인(410)과는 상이한 층에 형성된다. 상기 데이터 라인(510)의 일부 영역은 상기 스위칭 박막 트랜지스터(T1)의 소스 전극으로 기능한다. 한편, 상기 데이터 라인(510)에서 분기된 형태로 상기 스위칭 박막 트랜지스터(T1)의 소스 전극이 별도로 형성되는 것도 가능하다.

[0046] 상기 파워 라인(520)은 상기 기판(100) 상에서 상기 데이터 라인(510)과 평행하게 제2 방향으로 배열되어 있다. 상기 파워 라인(520)은 상기 데이터 라인(510)과 동일한 층에 동일한 물질로 이루어질 수 있다. 상기 파워 라인(520)에는 상기 구동 박막 트랜지스터(T2)의 드레인 전극(522)이 연결되어 있다. 상기 드레인 전극(522)은 상기 파워 라인(520)에서 분기되어 있다.

[0047] 상기 스위칭 박막 트랜지스터(T1)는 상기 게이트 라인(410)에서 분기된 게이트 전극(411), 상기 데이터 라인(510)으로 이루어진 소스 전극, 상기 소스 전극과 마주하는 드레인 전극(512), 및 액티브층(미도시)을 포함하여 이루어진다. 상기 스위칭 박막 트랜지스터(T1)를 구성하는 드레인 전극(512)은 상기 데이터 라인(510)과 동일한 물질로 동일한 층에 형성될 수 있다. 상기 스위칭 박막 트랜지스터(T1)를 구성하는 액티브층(미도시)은 상기 데이터 라인(510) 및 상기 드레인 전극(512)과 각각 콘택홀을 통해서 연결되어 있으며, 이는 후술하는 단면도를 참조하면 이해할 수 있을 것이다.

[0048] 상기 스위칭 박막 트랜지스터(T1)의 드레인 전극(512)은 콘택홀을 통해서 상기 구동 박막 트랜지스터(T2)의 게이트 전극(440)과 연결되어 있다. 상기 구동 박막 트랜지스터(T2)의 게이트 전극(440)은 상기 게이트 라인(410)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0049] 상기 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)의 드레인 전극(512)과 연결된 게이트 전극(440), 상기 파워 라인(520)에서 분기된 드레인 전극(522), 상기 드레인 전극(522)과 마주하는 소스 전극(524), 및 액티브층(미도시)을 포함하여 이루어진다. 상기 구동 박막 트랜지스터(T2)의 소스 전극(524)은 상기 드레인 전극(522)과 동일한 물질로 동일한 층에 형성될 수 있다. 상기 구동 박막 트랜지스터(T2)를 구성하는 액티브층(미도시)은 상기 소스 전극(524) 및 상기 드레인 전극(522)과 각각 콘택홀을 통해서 연결되어 있으며, 이는 후술하는 단면도를 참조하면 이해할 수 있을 것이다.

[0050] 상기 센싱 박막 트랜지스터(T3)는 상기 센싱 제어 라인(420)으로 이루어진 게이트 전극, 상기 소스 전극(524), 상기 기준 연결 라인(430)에 연결된 드레인 전극(530), 및 액티브층(미도시)을 포함하여 이루어진다. 상기 소스 전극(524)은 상기 구동 박막 트랜지스터(T2) 및 상기 센싱 박막 트랜지스터(T3) 모두에서 소스 전극으로 기능한다. 상기 센싱 박막 트랜지스터(T3)를 구성하는 액티브층(미도시)은 상기 소스 전극(524) 및 상기 드레인 전극(530)과 각각 콘택홀을 통해서 연결되어 있으며, 이는 후술하는 단면도를 참조하면 이해할 수 있을 것이다.

[0051] 상기 커페시터(C)는 상기 스위칭 박막 트랜지스터(T1)의 드레인 전극(512) 및 상기 발광 다이오드(E)의 양극(800)을 포함하여 이루어진다. 상기 드레인 전극(512)과 상기 양극(800) 사이에는 유전층이 형성되어 있다.

[0052] 상기 발광 다이오드(E)는 상기 구동 박막 트랜지스터(T2)와 연결되어 있다. 구체적으로, 상기 발광 다이오드(E)는 상기 구동 박막 트랜지스터(T2)의 소스 전극(524)과 콘택홀을 통해서 연결된 양극(800), 상기 양극(800) 위에 차례로 형성된 유기 발광층(미도시)과 음극(미도시)을 포함하여 이루어진다.

[0053] 이상 설명한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 상기 스위칭 박막 트랜지스터(T1), 상기 구동 박막 트랜지스터(T2), 및 상기 센싱 박막 트랜지스터(T3) 각각에 액티브층(미도시)이 패턴 형성되어 있기 때문에, 상기 액티브층(미도시)으로 외부 광이 유입되는 것을 방지하기 위해서 차광층이 추가로 형성된다. 이와 같은 차광층의 구체적인 구성은 후술하기로 한다.

[0054] 도 3은 본 발명의 일 실시예에 따른 차광층 패턴을 구비한 유기 발광 표시 장치의 개략적인 평면도이다. 도 3은 도 2에 따른 유기 발광 표시 장치에 차광층 패턴(200)이 추가된 모습을 도시한 것으로서, 상기 차광층 패턴

(200)을 제외하고는 도 2와 동일하다. 편의상 차광층 패턴(200) 형성 영역을 도트(dot)로 표기하였다.

[0055] 도 3에서 알 수 있듯이, 차광층 패턴(200)은 스위칭 박막 트랜지스터(T1) 영역, 구동 박막 트랜지스터(T2) 영역, 및 센싱 박막 트랜지스터(T3) 영역을 전체적으로 덮을 수 있도록 형성되어 있다. 따라서, 상기 차광층 패턴(200)에 의해서 각각의 박막 트랜지스터(T1, T2, T3)의 액티브층 내로 외부광이 입사되는 것이 방지될 수 있다.

[0056] 상기 차광층 패턴(200)은 반드시 도시된 패턴으로 형성될 필요는 없으며, 상기 스위칭 박막 트랜지스터(T1)의 액티브층(미도시), 상기 구동 박막 트랜지스터(T2)의 액티브층(미도시), 및 상기 센싱 박막 트랜지스터(T3)의 액티브층(미도시)을 가릴 수 있다면 다양하게 변경될 수 있다.

[0057] 상기 차광층 패턴(200)은 도전성 물질로 이루어질 수 있다. 상기 차광층 패턴(200)이 도전성 물질로 이루어지면서 섬(island) 구조로 형성될 경우에는 전계에 악영향을 미쳐 크로스 토크(Cross Talk) 등의 문제가 발생할 수 있다. 따라서, 상기 크로스 토크 등의 문제를 방지하기 위해서 상기 차광층 패턴(200)을 다른 신호 라인, 예로서 상기 구동 박막 트랜지스터(T2)에 전기적으로 연결하는 것이 바람직하다. 구체적으로, 본 발명의 일 실시예에 따르면 상기 차광층 패턴(200)은 콘택홀을 통해서 상기 구동 박막 트랜지스터(T2)의 소스 전극(524)과 연결되어 있다.

[0058] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 회로도로서, 이는 전술한 도 3에 따른 유기 발광 표시 장치의 회로도이다.

[0059] 도 4에서 알 수 있듯이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 게이트 라인(410), 센싱 제어 라인(420), 기준 연결 라인(430), 데이터 라인(510), 파워 라인(520), 기준 라인(540), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C), 발광 다이오드(E), 및 차광층 패턴(200)을 포함하여 이루어진다.

[0060] 상기 스위칭 박막 트랜지스터(T1)는 상기 게이트 라인(410)에 공급되는 게이트 신호에 따라 스위칭되어 상기 데이터 라인(510)으로부터 공급되는 데이터 전압을 상기 구동 박막 트랜지스터(T2)에 공급한다.

[0061] 상기 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 전압에 따라 스위칭되어 상기 파워 라인(520)에서 공급되는 전원으로부터 데이터 전류를 생성하여 상기 발광 다이오드(E)에 공급한다.

[0062] 상기 센싱 박막 트랜지스터(T3)는 화질 저하의 원인이 되는 상기 구동 박막 트랜지스터(T2)의 문턱 전압 편차를 센싱하기 위한 것으로서, 이와 같은 문턱 전압 편차의 센싱은 센싱 모드에서 수행한다. 이와 같은 센싱 박막 트랜지스터(T3)는 상기 센싱 제어 라인(420)에서 공급되는 센싱 제어 신호에 응답하여 상기 구동 박막 트랜지스터(T2)의 전류를 상기 기준 연결 라인(430)을 통해 상기 기준 라인(540)으로 공급한다.

[0063] 상기 커패시터(C)는 상기 구동 박막 트랜지스터(T2)에 공급되는 데이터 전압을 한 프레임 동안 유지시킨다.

[0064] 상기 발광 다이오드(E)는 상기 구동 박막 트랜지스터(T2)에서 공급되는 데이터 전류에 따라 소정의 광을 발광한다.

[0065] 상기 차광층 패턴(200)은 상기 스위칭 박막 트랜지스터(T1), 상기 구동 박막 트랜지스터(T2), 및 상기 센싱 박막 트랜지스터(T3)의 액티브층(미도시)을 가리면서 상기 구동 박막 트랜지스터(T2)의 소스 전극에 연결되어 있다.

[0066] 한편, 이상 설명한 본 발명의 일 실시예에 따르면, 상기 차광층 패턴(200)이 스위칭 박막 트랜지스터(T1) 영역, 구동 박막 트랜지스터(T2) 영역, 및 센싱 박막 트랜지스터(T3) 영역에 전체적으로 일체로 형성되기 때문에, 상기 차광층 패턴(200)이 신호 라인과 중첩되는 영역이 존재하게 된다. 특히, 도 3의 I로 표시된 영역에서 상기 차광층 패턴(200)과 상기 게이트 라인(410)이 서로 중첩되며, 그로 인해서 기생 커패시턴스가 발생할 수 있다.

[0067] 이하에서 설명하는 본 발명의 다른 실시예는 상기 차광층 패턴(200)과 상기 게이트 라인(410)이 서로 중첩되지 않도록 함으로써 기생 커패시턴스 발생을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다.

[0068] 도 5는 본 발명의 다른 실시예에 따른 차광층 패턴을 구비한 유기 발광 표시 장치의 개략적인 평면도이다. 도 5는 도 2에 따른 유기 발광 표시 장치에 제1 및 제2 차광층 패턴(210, 220)이 추가된 모습을 도시한 것으로서, 상기 제1 및 제2 차광층 패턴(210, 220)을 제외하고는 도 2와 동일하다. 편의상 제1 및 제2 차광층 패턴(210, 220) 형성 영역을 도트(dot)로 표기하였다.

- [0069] 도 5에서 알 수 있듯이, 차광층 패턴은 제1 차광층 패턴(210) 및 제2 차광층 패턴(220)을 포함하여 이루어진다.
- [0070] 상기 제1 차광층 패턴(210)은 스위칭 박막 트랜지스터(T1) 영역 및 구동 박막 트랜지스터(T2) 영역을 전체적으로 덮을 수 있도록 형성되어 있다. 따라서, 상기 제1 차광층 패턴(210)에 의해서 스위칭 박막 트랜지스터(T1) 및 구동 박막 트랜지스터(T2)의 액티브층 내로 외부광이 입사되는 것이 방지될 수 있다. 상기 제1 차광층 패턴(210)은 반드시 도시된 패턴으로 형성될 필요는 없으며, 상기 스위칭 박막 트랜지스터(T1)의 액티브층(미도시) 및 상기 구동 박막 트랜지스터(T2)의 액티브층(미도시)을 가릴 수 있다면 다양하게 변경될 수 있다.
- [0071] 상기 제2 차광층 패턴(220)은 센싱 박막 트랜지스터(T3) 영역을 덮을 수 있도록 형성되어 있다. 따라서, 상기 제2 차광층 패턴(220)에 의해서 센싱 박막 트랜지스터(T3)의 액티브층 내로 외부광이 입사되는 것이 방지될 수 있다.
- [0072] 상기 제2 차광층 패턴(220)은 반드시 도시된 패턴으로 형성될 필요는 없으며, 상기 센싱 박막 트랜지스터(T3)의 액티브층(미도시)을 가릴 수 있다면 다양하게 변경될 수 있다.
- [0073] 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)은 서로 이격되어 있으며, 이와 같이 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)의 이격되는 영역이 게이트 라인(410)과 중첩된다.
- [0074] 따라서, 도 5의 I로 표시된 영역에서 알 수 있듯이, 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)은 상기 게이트 라인(410)과 중첩되지 않기 때문에, 그들 사이에서 기생 커패시턴스 발생이 방지될 수 있다.
- [0075] 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)은 도전성 물질로 이루어질 수 있고, 이 경우 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)이 섬(island) 구조로 형성되면 전계에 악영향을 미쳐 크로스 토크(Cross Talk) 등의 문제가 발생할 수 있다. 따라서, 상기 크로스 토크 등의 문제를 방지하기 위해서 상기 제1 차광층 패턴(210) 및 상기 제2 차광층 패턴(220)은 다른 신호 라인 등에 전기적으로 연결하는 것이 바람직하다.
- [0076] 구체적으로, 상기 제1 차광층 패턴(210)은 제1 콘택홀(H1)을 통해서 상기 구동 박막 트랜지스터(T2)의 소스 전극(524)의 일단부와 연결되고, 상기 제2 차광층 패턴(220)은 제2 콘택홀(H2)을 통해서 상기 구동 박막 트랜지스터(T2)의 소스 전극(524)의 타단부와 연결될 수 있으며, 이에 따라 크로스 토크 등의 문제를 방지할 수 있다.
- [0077] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 회로도로서, 이는 전술한 도 5에 따른 유기 발광 표시 장치의 회로도이다.
- [0078] 도 6에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 게이트 라인(410), 센싱 제어 라인(420), 기준 연결 라인(430), 데이터 라인(510), 파워 라인(520), 기준 라인(540), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C), 발광 다이오드(E), 제1 차광층 패턴(210), 및 제2 차광층 패턴(220)을 포함하여 이루어진다.
- [0079] 상기 스위칭 박막 트랜지스터(T1), 상기 구동 박막 트랜지스터(T2), 상기 센싱 박막 트랜지스터(T3), 상기 커패시터(C) 및 상기 발광 다이오드(E)는 전술한 도 4에서와 동일하므로 반복 설명은 생략하기로 한다.
- [0080] 상기 제1 차광층 패턴(210)은 상기 스위칭 박막 트랜지스터(T1) 및 상기 구동 박막 트랜지스터(T2)의 액티브층(미도시)을 가리면서 상기 구동 박막 트랜지스터(T2)의 소스 전극에 연결되어 있다.
- [0081] 상기 제2 차광층 패턴(220)은 상기 센싱 박막 트랜지스터(T3)의 액티브층(미도시)을 가리면서 상기 구동 박막 트랜지스터(T2)의 소스 전극에 연결되어 있다.
- [0082] 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단면도로서, 이는 도 5의 A-B라인의 단면에 해당한다. 도 7은 센싱 박막 트랜지스터(T3) 영역 및 구동 박막 트랜지스터(T2) 영역을 도시한 것이다. 다만, 구동 박막 트랜지스터(T2) 영역은 소스 전극이 형성되는 영역에만 해당한다.
- [0083] 우선, 센싱 박막 트랜지스터(T3) 영역에 대해서 설명하기로 한다.
- [0084] 상기 센싱 박막 트랜지스터(T3) 영역은 기판(100) 상에 차례로 형성된 제1 베퍼층(150), 제2 차광층 패턴(220), 제2 베퍼층(250), 액티브층(300), 게이트 절연막(350), 게이트 전극(420), 충간 절연막(450), 드레인 전극(530), 소스 전극(524), 보호막(600), 및 평탄화막(700)을 포함하여 이루어진다.
- [0085] 상기 제1 베퍼층(150)은 상기 기판(100)과 상기 제2 차광층 패턴(220) 사이에 형성되어 있다. 상기 제1 베퍼층(150)은 고온 공정 중에 상기 기판(100) 내에 포함된 불순물이 확산되는 것을 방지할 수 있다. 상기 제1 베퍼층

(150)은 무기질연물로 이루어질 수 있다.

[0086] 상기 제2 차광층 패턴(220)은 상기 제1 베피층(150) 상에 형성되어 있다. 상기 제2 차광층 패턴(220)은 상기 센싱 박막 트랜지스터(T3)의 액티브층(300) 내로 외부 광이 입사되는 것을 방지한다. 이를 위해서, 상기 제2 차광층 패턴(220)은 상기 액티브층(300)을 덮도록 형성되며, 따라서, 상기 제2 차광층 패턴(220)은 상기 액티브층(300)과 중첩되면서 상기 액티브층(300)보다 넓은 면적으로 가지도록 형성된다.

[0087] 상기 제2 베피층(250)은 상기 제2 차광층 패턴(220)과 상기 액티브층(300) 사이에 형성되어 있다. 상기 제2 차광층 패턴(220)이 도전성 물질로 이루어지기 때문에, 상기 제2 베피층(250)은 상기 제2 차광층 패턴(220)을 상기 액티브층(300)과 절연시킨다. 상기 제2 베피층(250)은 무기질연물로 이루어질 수 있다.

[0088] 상기 액티브층(300)은 상기 제2 베피층(250) 상에 형성되어 있다. 상기 액티브층(300)은 실리콘계 반도체 또는 산화물 반도체 등 당업계에 공지된 반도체 물질로 이루어진다.

[0089] 상기 제2 차광층 패턴(220), 상기 제2 베피층(250), 및 상기 액티브층(300)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 패턴 형성할 수 있다. 그에 따라서 노광 공정 회수가 줄어들게 되며, 그 경우 도 7의 II로 표시된 영역에서 알 수 있듯이, 상기 제2 차광층 패턴(220)의 일단과 상기 제2 베피층(250)의 일단은 일치하게 된다.

[0090] 상기 게이트 절연막(350)은 상기 액티브층(300)과 상기 게이트 전극(420) 사이에 형성되어 있고, 상기 게이트 전극(420)은 상기 게이트 절연막(350) 상에 형성되어 있다.

[0091] 상기 게이트 절연막(350)과 상기 게이트 전극(420)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 패턴 형성할 수 있으며, 그에 따라서 노광 공정 회수가 줄어들게 된다. 이 경우, 상기 게이트 절연막(350)과 상기 게이트 전극(420)은 동일한 패턴으로 형성된다.

[0092] 상기 충간 절연막(450)은 상기 게이트 전극(420) 상에 형성되어 있다. 상기 충간 절연막(450)은 상기 액티브층(300)의 일단과 타단을 노출시키기 위해서 콘택홀을 구비하고 있다.

[0093] 상기 드레인 전극(530)과 상기 소스 전극(524)은 서로 마주하면서 상기 충간 절연막(450) 상에 형성되어 있다.

[0094] 상기 드레인 전극(530)은 상기 콘택홀을 통해서 상기 액티브층(300)의 일단과 연결되어 있고, 상기 소스 전극(524)은 상기 콘택홀을 통해서 상기 액티브층(300)의 타단과 연결되어 있다.

[0095] 한편, 상기 소스 전극(524)은 구동 박막 트랜지스터(T2)의 소스 전극으로도 기능하는 것으로서, 이와 같은 소스 전극(524)은 상기 제2 차광층 패턴(220)과 연결되어 있다. 즉, 상기 제2 베피층(250) 및 상기 충간 절연막(450)은 상기 제2 차광층 패턴(220)이 노출되도록 제2 콘택홀(H2)을 구비하고 있으며, 상기 소스 전극(524)은 상기 제2 콘택홀(H2)을 통해서 상기 제2 차광층 패턴(220)과 연결되어 있다.

[0096] 상기 보호막(600)은 상기 드레인 전극(530)과 상기 소스 전극(524) 상에 형성되어 있고, 상기 평탄화막(700)은 상기 보호막(600) 상에 형성되어 있다. 상기 보호막(600)은 무기질연물로 이루어질 수 있고, 상기 평탄화막(700)은 유기질연물로 이루어질 수 있다.

[0097] 한편, 도시하지는 않았지만, 상기 평탄화막(700) 상에 뱅크층 및 음극이 차례로 형성될 수 있다.

[0098] 다음, 구동 박막 트랜지스터(T2) 영역에 대해서 설명하기로 한다.

[0099] 상기 구동 박막 트랜지스터(T2) 영역은 기판(100) 상에 차례로 형성된 제1 베피층(150), 제1 차광층 패턴(210), 제2 베피층(250), 액티브층(300), 충간 절연막(450), 소스 전극(524), 보호막(600), 평탄화막(700), 및 양극(800)을 포함하여 이루어진다.

[0100] 상기 제1 베피층(150)은 상기 기판(100)과 상기 제1 차광층 패턴(210) 사이에 형성되어 있다.

[0101] 상기 제1 차광층 패턴(210)은 상기 제1 베피층(150) 상에 형성되어 있다. 상기 제1 차광층 패턴(210)은 상기 구동 박막 트랜지스터(T2)의 액티브층(300) 내로 외부 광이 입사되는 것을 방지한다. 이를 위해서, 상기 제1 차광층 패턴(210)은 상기 액티브층(300)을 덮도록 형성되며, 따라서, 상기 제1 차광층 패턴(210)은 상기 액티브층(300)과 중첩되면서 상기 액티브층(300)보다 넓은 면적으로 가지도록 형성된다.

[0102] 상기 제2 베피층(250)은 상기 제1 차광층 패턴(210)과 상기 액티브층(300) 사이에 형성되어 있다. 상기 제1 차광층 패턴(210)이 도전성 물질로 이루어지기 때문에, 상기 제2 베피층(250)은 상기 제1 차광층 패턴(210)을 상

기 액티브층(300)과 절연시킨다.

[0103] 상기 액티브층(300)은 상기 제2 베퍼층(250) 상에 형성되어 있다.

[0104] 상기 제1 차광층 패턴(210), 상기 제2 베퍼층(250), 및 상기 액티브층(300)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 패턴 형성할 수 있다. 그에 따라서 노광 공정 회수가 줄어들게 되며, 그 경우 도 7의 III으로 표시된 영역에서 알 수 있듯이, 상기 제1 차광층 패턴(210)의 일단과 상기 제2 베퍼층(250)의 일단은 일치하게 된다.

[0105] 상기 층간 절연막(450)은 상기 제2 베퍼층(250) 상에 형성되어 있고, 상기 소스 전극(524)은 상기 층간 절연막(450) 상에 형성되어 있다.

[0106] 상기 소스 전극(524)은 상기 제1 차광층 패턴(210)과 연결되어 있다. 즉, 상기 제2 베퍼층(250) 및 상기 층간 절연막(450)은 상기 제1 차광층 패턴(210)이 노출되도록 제1 콘택홀(H1)을 구비하고 있으며, 상기 소스 전극(524)은 상기 제1 콘택홀(H2)을 통해서 상기 제1 차광층 패턴(210)과 연결되어 있다.

[0107] 상기 보호막(600)은 상기 소스 전극(524) 상에 형성되어 있고, 상기 평탄화막(700)은 상기 보호막(600) 상에 형성되어 있다.

[0108] 상기 양극(800)은 상기 평탄화막(700) 상에 형성되어 있다. 상기 양극(800)은 상기 소스 전극(524)과 연결되어 있다. 즉, 상기 보호막(600) 및 상기 평탄화막(700)은 상기 소스 전극(524)이 노출되도록 콘택홀을 구비하고 있으며, 상기 양극(800)은 상기 콘택홀을 통해서 상기 소스 전극(524)과 연결되어 있다.

[0109] 한편, 도시하지는 않았지만, 상기 양극(800) 상에는 유기 발광층 및 음극이 차례로 형성될 수 있다.

[0110] 다음, 센싱 박막 트랜지스터(T3)와 구동 박막 트랜지스터(T2) 사이의 이격된 영역에 대해서 설명하기로 한다.

[0111] 상기 이격된 영역은 기판(100) 상에 차례로 형성된 제1 베퍼층(150), 게이트 절연막(350), 게이트 라인(410), 층간 절연막(450), 보호막(600), 및 평탄화막(700)을 포함하여 이루어진다.

[0112] 상기 이격된 영역은 전술한 도 5의 I로 표기된 영역으로서, 이 영역에는 제1 차광층 패턴(210) 및 제2 차광층 패턴(220)이 형성되어 있지 않다. 따라서, 상기 제1 및 제2 차광층 패턴(210, 220)과 상기 게이트 라인(410)이 서로 중첩되지 않기 때문에 기생 커패시턴스 발생이 방지될 수 있다.

[0113] 또한, 전술한 바와 같이 노광 공정 회수를 줄이기 위해서 상기 제1 및 제2 차광층 패턴(210, 220)과 그 위에 형성되는 제2 베퍼층(250)은 하프톤 마스크 공정 등을 이용하여 동시에 패턴 형성하기 때문에, 상기 제1 및 제2 차광층 패턴(210, 220)이 형성되지 않을 경우 상기 제2 베퍼층(250)도 형성되지 않을 수 있다. 따라서, 도시된 바와 같이 상기 이격된 영역에는 상기 제1 베퍼층(150)은 형성되지만 상기 제2 베퍼층(250)이 형성되지 않을 수 있다.

[0114] 도시하지는 않았지만, 상기 평탄화막(700) 상에 뱅크층 및 음극이 차례로 형성될 수 있다.

[0115] 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단면도로서, 이는 도 5의 C-D라인의 단면에 해당한다. 도 8은 센싱 박막 트랜지스터(T3)의 드레인 전극(530)과 기준 연결 라인(430)이 연결되는 영역을 도시한 것이다.

[0116] 도 8에서 알 수 있듯이, 기판(100) 상에는 제1 베퍼층(150)이 형성되어 있고, 상기 제1 베퍼층(150) 상에 게이트 절연막(350)이 형성되어 있고, 상기 게이트 절연막(350) 상에 기준 연결 라인(430)이 형성되어 있다. 상기 게이트 절연막(350)과 상기 기준 연결 라인(430)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 동시에 패턴 형성할 수 있으며, 그 경우, 상기 게이트 절연막(350)과 상기 기준 연결 라인(430)은 동일한 패턴으로 형성된다.

[0117] 상기 기준 연결 라인(430) 상에는 층간 절연막(450)이 형성되어 있고, 상기 층간 절연막(450) 상에는 센싱 박막 트랜지스터(T3)의 드레인 전극(530)이 형성되어 있다. 상기 층간 절연막(450)은 상기 기준 연결 라인(430)이 노출되도록 콘택홀을 구비하고 있고, 상기 드레인 전극(530)은 상기 콘택홀을 통해서 상기 기준 연결 라인(430)과 연결되어 있다.

[0118] 상기 드레인 전극(530) 상에는 보호막(600)이 형성되어 있고, 상기 보호막(600) 상에는 평탄화막(700)이 형성되어 있다.

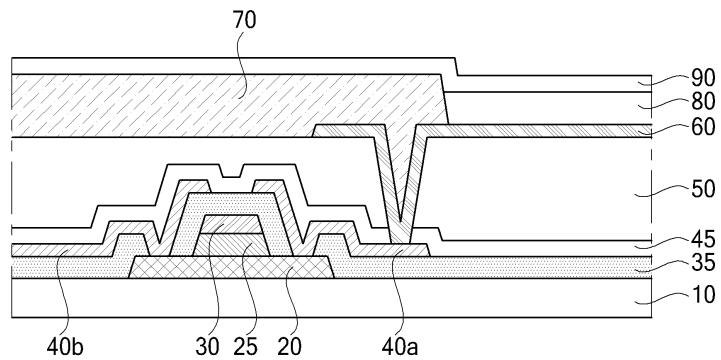
- [0119] 도시하지는 않았지만, 상기 평탄화막(700) 상에 뱅크층 및 음극이 차례로 형성될 수 있다.
- [0120] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단면도로서, 이는 도 5의 E-F라인의 단면에 해당 한다. 도 9는 센싱 박막 트랜지스터(T1)의 영역을 도시한 것이다.
- [0121] 도 9에서 알 수 있듯이, 기판(100) 상에는 제1 베퍼층(150)이 형성되어 있고, 상기 제1 베퍼층(150) 상에 제1 차광층 패턴(210)이 형성되어 있고, 상기 제1 차광층 패턴(210) 상에 제2 베퍼층(250)이 형성되어 있고, 상기 제2 베퍼층(250) 상에 액티브층(300)이 형성되어 있다. 상기 제1 차광층 패턴(210), 상기 제2 베퍼층(250), 및 상기 액티브층(300)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 동시에 패턴 형성할 수 있다.
- [0122] 상기 액티브층(300) 상에 게이트 절연막(350)이 형성되어 있고, 상기 게이트 절연막(350) 상에 게이트 전극(411)이 형성되어 있다. 상기 게이트 절연막(350)과 상기 게이트 전극(411)은 하프톤 마스크(Halftone mask) 등을 이용하여 1회의 노광 공정을 통해 동시에 패턴 형성할 수 있으며, 그 경우, 상기 게이트 절연막(350)과 상기 게이트 전극(411)은 동일한 패턴으로 형성된다.
- [0123] 상기 게이트 전극(411) 상에는 중간 절연막(450)이 형성되어 있고, 상기 중간 절연막(450) 상에는 데이터 라인(510)과 드레인 전극(512)이 서로 마주하면서 패턴 형성되어 있다. 상기 중간 절연막(450)은 상기 액티브층(300)의 일단과 타단이 노출되도록 콘택홀을 구비하고 있고, 상기 데이터 라인(510)과 상기 드레인 전극(512)은 상기 콘택홀을 통해서 상기 액티브층(300)의 일단과 타단에 각각 연결되어 있다.
- [0124] 또한, 상기 스위칭 박막 트랜지스터(T1)의 드레인 전극(512)은 구동 박막 트랜지스터(T2)의 게이트 전극(440)과 연결되어 있다. 즉, 상기 제2 베퍼층(250) 상에는 게이트 절연막(350), 구동 박막 트랜지스터(T2)의 게이트 전극(440), 및 상기 중간 절연막(450)이 추가로 형성되어 있는데, 상기 중간 절연막은 상기 구동 박막 트랜지스터(T2)의 게이트 전극(440)이 노출되도록 콘택홀을 구비하고 있고, 상기 스위칭 박막 트랜지스터(T1)의 드레인 전극(512)은 상기 콘택홀을 통해서 상기 구동 박막 트랜지스터(T2)의 게이트 전극(440)과 연결되어 있다.
- [0125] 상기 데이터 라인(510)과 드레인 전극(512) 상에는 보호막(600)이 형성되어 있고, 상기 보호막(600) 상에는 평탄화막(700)이 형성되어 있다. 그리고, 상기 평탄화막(700) 상에는 양극(800)이 형성되어 있다.
- [0126] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다

부호의 설명

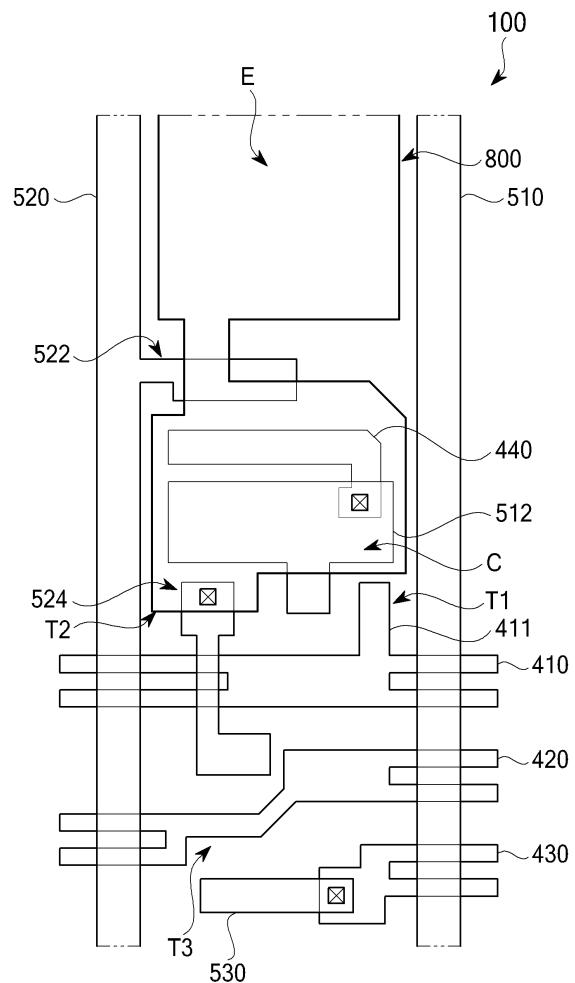
- | | |
|------------------|-----------------|
| 100: 기판 | 150: 제1 베퍼층 |
| 200: 차광층 패턴 | 250: 제2 베퍼층 |
| 210: 제1 차광층 패턴 | 220: 제2 차광층 패턴 |
| 300: 액티브층 | 410: 게이트 라인 |
| 420: 센싱 제어 라인 | 430: 기준 연결 라인 |
| 510: 데이터 라인 | 520: 파워 라인 |
| 540: 기준 라인 | 600: 보호막 |
| 700: 평탄화막 | 800: 양극 |
| T1: 스위칭 박막 트랜지스터 | T2: 구동 박막 트랜지스터 |
| T3: 센싱 박막 트랜지스터 | |

도면

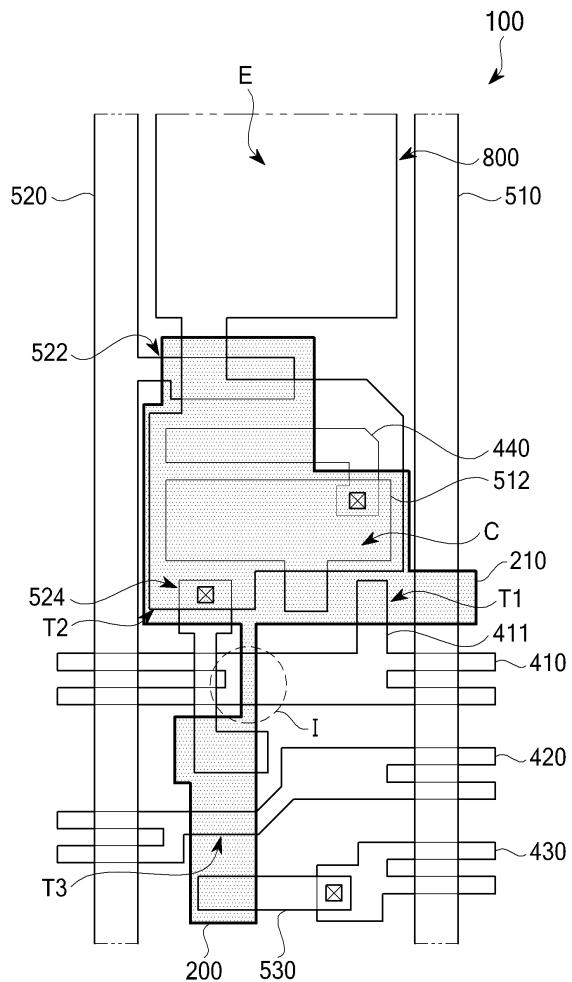
도면1



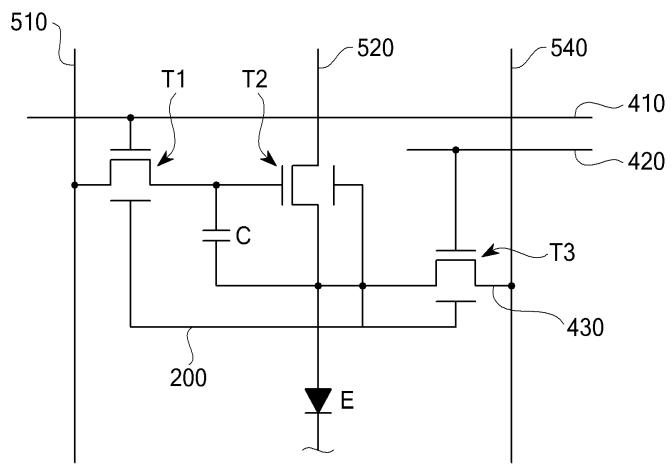
도면2



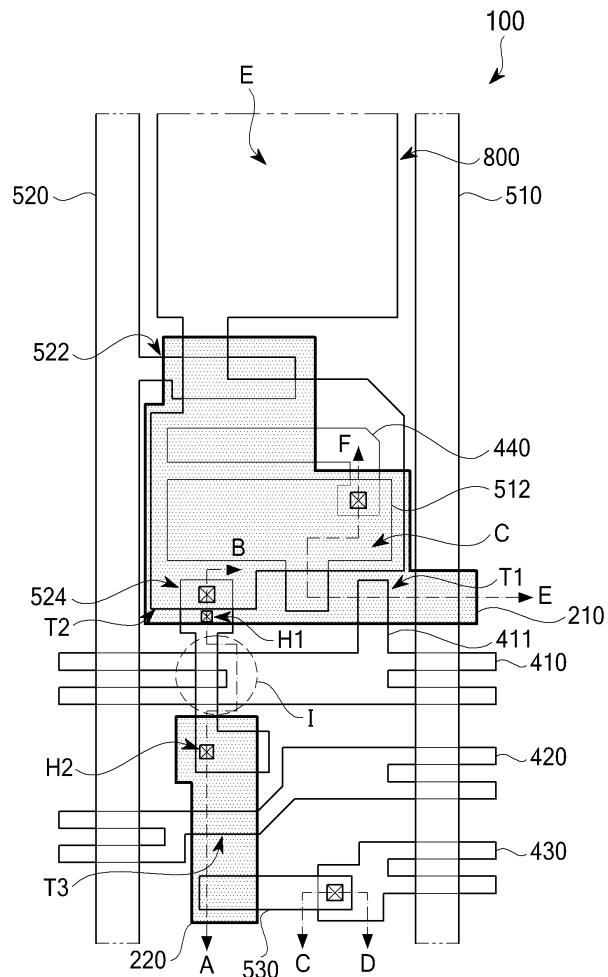
도면3



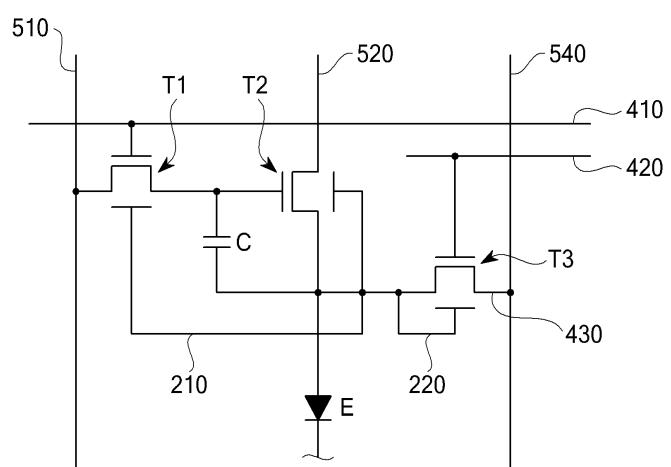
도면4



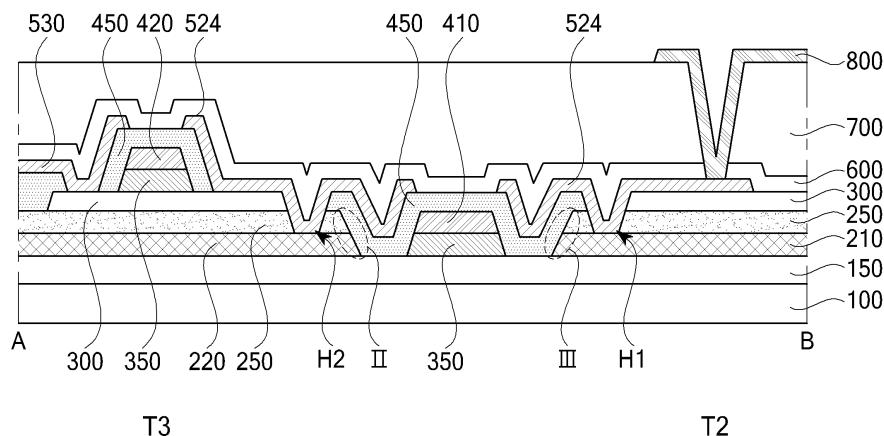
도면5



도면6



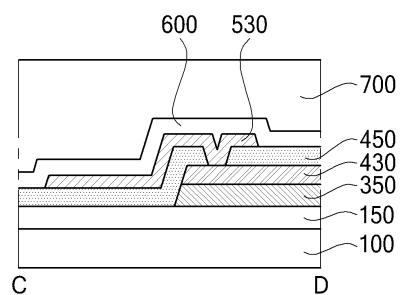
도면7



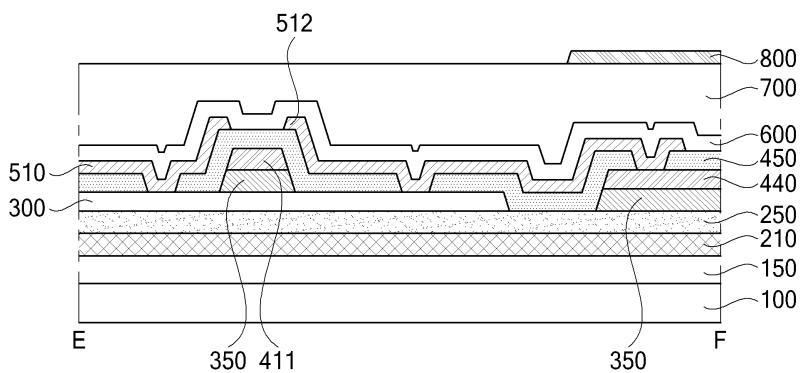
T3

T2

도면8



도면9



T1

专利名称(译)	有机发光显示器		
公开(公告)号	KR1020160008020A	公开(公告)日	2016-01-21
申请号	KR1020140087365	申请日	2014-07-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOONJU LEE 이윤주 KWANGMO PARK 박광모 KIMIN CHOI 최기민		
发明人	이윤주 박광모 최기민		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3272 H01L27/3276		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，包括：基板;开关薄膜晶体管，具有有源层，并形成在基板上;驱动薄膜晶体管，具有有源层，并形成在基板上;传感薄膜晶体管，具有有源层，并形成在基板上;第一光阻挡图案形成在基板和开关薄膜晶体管的有源层之间，以及基板和驱动薄膜晶体管的有源层之间;第二光阻挡图案形成在基板和传感薄膜晶体管的有源层之间。第一光阻挡图案与第二光阻挡图案分离。

