



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0117358  
(43) 공개일자 2015년10월20일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0042535  
(22) 출원일자 2014년04월09일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자  
박경태  
경기도 용인시 기흥구 삼성2로 95(농서동)  
소동윤  
경기도 용인시 기흥구 삼성2로 95(농서동)

(74) 대리인  
리엔텍특허법인

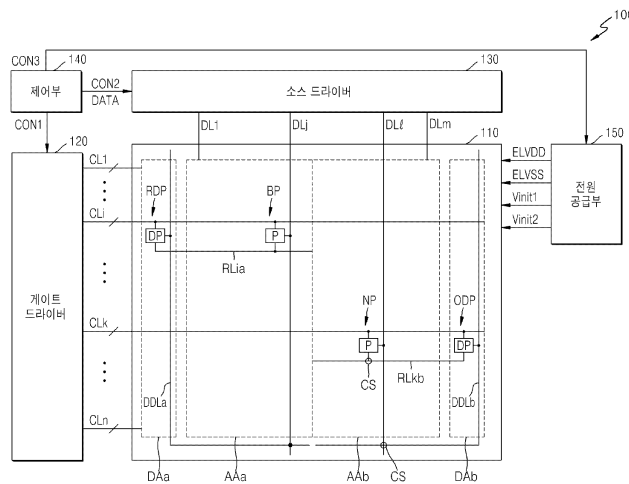
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예들은 유기 발광 표시 장치를 제공한다. 상기 유기 발광 표시 장치는 활성 영역에 배열되는 복수의 픽셀들, 더미 영역에 배열되는 복수의 더미 픽셀들, 및 상기 복수의 더미 픽셀들에 연결되고, 상기 복수의 픽셀들에 연결 가능하게 배치되는 복수의 리페어 라인들을 포함한다. 상기 복수의 더미 픽셀들 각각은, 상기 복수의 리페어 라인들 중 대응하는 리페어 라인에 연결되는 출력 노드, 제1 구동 전압이 인가되는 구동 전압 라인과 상기 출력 노드 사이에 연결되는 더미 구동 트랜지스터를 포함하는 더미 회로, 및 더미 초기화 전압이 인가되는 더미 초기화 전압 라인과 상기 출력 노드 사이에 연결 가능 구조물을 통해 연결되는 더미 애노드 초기화 트랜지스터를 포함하는 더미 초기화 회로를 포함한다. 상기 연결 가능 구조물은 적어도 부분적으로 서로 중첩하고 서로 전기적으로 절연되는 제1 및 제2 도전체들을 포함한다.

대표도



## 명세서

### 청구범위

#### 청구항 1

활성 영역에 배열되는 복수의 픽셀들;

더미 영역에 배열되는 복수의 더미 픽셀들; 및

상기 복수의 더미 픽셀들에 연결되고, 상기 복수의 픽셀들에 연결 가능하게 배치되는 복수의 리페어 라인들을 포함하고,

상기 복수의 더미 픽셀들 각각은,

상기 복수의 리페어 라인들 중 대응하는 리페어 라인에 연결되는 출력 노드;

제1 구동 전압이 인가되는 구동 전압 라인과 상기 출력 노드 사이에 연결되는 더미 구동 트랜지스터를 포함하는 더미 회로; 및

더미 초기화 전압이 인가되는 더미 초기화 전압 라인과 상기 출력 노드 사이에 연결 가능 구조물을 통해 연결되는 더미 애노드 초기화 트랜지스터를 포함하는 더미 초기화 회로를 포함하고,

상기 연결 가능 구조물은 적어도 부분적으로 서로 중첩하고 서로 전기적으로 절연되는 제1 및 제2 도전체들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 연결 가능 구조물의 상기 제1 및 제2 도전체들이 서로 중첩하는 부분에 레이저가 조사되면, 상기 제1 및 제2 도전체들은 서로 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 3

제1 항에 있어서,

상기 복수의 픽셀들은 픽셀 회로 및 상기 픽셀 회로로부터 전기적으로 분리된 발광 소자를 포함하는 제1 픽셀을 포함하고,

상기 복수의 리페어 라인들은 상기 제1 픽셀의 상기 발광 소자에 전기적으로 연결되는 제1 리페어 라인을 포함하고,

상기 복수의 더미 픽셀들은 상기 제1 리페어 라인에 연결되는 제1 더미 픽셀을 포함하고,

상기 제1 더미 픽셀의 상기 연결 가능 구조물에서 상기 제1 및 제2 도전체들은 서로 전기적으로 연결되며,

상기 제1 더미 픽셀의 상기 더미 애노드 초기화 트랜지스터가 턴 온되면, 상기 제1 리페어 라인에 상기 더미 초기화 전압이 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 4

제1 항에 있어서,

상기 제1 도전체는 상기 더미 애노드 초기화 트랜지스터에 전기적으로 연결되고,

상기 제2 도전체는 상기 출력 노드 또는 상기 더미 초기화 전압 라인에 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 5

제1 항에 있어서,

상기 복수의 픽셀들에 연결되는 복수의 데이터 라인들; 및

상기 복수의 더미 픽셀들 중 적어도 일부에 연결되고, 상기 복수의 데이터 라인들 중 적어도 일부에 연결 가능하게 배치되는 적어도 하나의 더미 데이터 라인을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 6**

제5 항에 있어서,

상기 활성 영역은 제1 서브 활성 영역 및 제2 서브 활성 영역을 포함하고,

상기 복수의 픽셀들은 상기 제1 서브 활성 영역 상의 제1 픽셀들 및 상기 제2 서브 활성 영역 상의 제2 픽셀들을 포함하고,

상기 복수의 더미 픽셀들은 상기 제1 픽셀들에 대응하는 제1 더미 픽셀들 및 상기 제2 픽셀들에 대응하는 제2 더미 픽셀들을 포함하고,

상기 적어도 하나의 더미 데이터 라인은 상기 제1 더미 픽셀들에 연결된 제1 더미 데이터 라인 및 상기 제2 더미 픽셀들에 연결된 제2 더미 데이터 라인을 포함하고,

상기 제1 더미 데이터 라인은 상기 복수의 데이터 라인들 중에서 상기 제1 픽셀들에 연결되는 데이터 라인들에 연결 가능하게 배치되고,

상기 제2 더미 데이터 라인은 상기 복수의 데이터 라인들 중에서 상기 제2 픽셀들에 연결되는 데이터 라인들에 연결 가능하게 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 7**

제1 항에 있어서,

상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 연결되는 복수의 제1 제어 라인들을 더 포함하고,

상기 리페어 라인들 각각은 동일 행에 위치하는 제1 제어 라인과 용량성으로 커플링되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 8**

제1 항에 있어서,

상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로로부터 분리 가능하게 연결되는 애노드 전극을 갖는 발광 소자를 포함하고,

상기 리페어 라인들 각각은 동일 행에 위치하는 픽셀들의 상기 애노드 전극과 용량성으로 커플링되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 9**

제1 항에 있어서,

상기 복수의 픽셀들 각각은 데이터 신호를 수신하고 출력 노드를 갖는 픽셀 회로, 상기 출력 노드에 연결되는 초기화 회로, 및 상기 출력 노드로부터 분리 가능하게 연결되는 발광 소자를 포함하고,

상기 픽셀 회로는 상기 데이터 신호에 대응하는 구동 전류를 상기 출력 노드에 공급하는 구동 트랜지스터를 포함하며,

상기 초기화 회로는 초기화 전압이 인가되는 초기화 전압 라인과 상기 출력 노드 사이에 연결되는 애노드 초기화 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10**

제1 항에 있어서,

상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 연결되는 복수의 제어 라인들을 더 포함하고,

상기 복수의 제어 라인들은, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 스캔 신호를 전달하는 복수의 스캔 라인들, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 발광 제어 신호를 전달하는 복수의 발광 제어 라인들, 및 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 초기화 제어 신호를 전달하는 복수의 초기화 제어 라인들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 11**

제10 항에 있어서,

상기 더미 회로는,

상기 구동 전압 라인과 제1 노드 사이에 연결되는 더미 커패시터;

데이터 신호를 전달하는 더미 데이터 라인과 제2 노드 사이에 연결되고, 상기 스캔 신호에 의해 제어되는 더미 스위칭 트랜지스터;

상기 제1 노드와 제3 노드 사이에 연결되고, 상기 스캔 신호에 의해 제어되는 더미 보상 트랜지스터;

초기화 전압이 인가되는 초기화 전압 라인 또는 상기 더미 초기화 전압 라인과 상기 제1 노드 사이에 연결되고, 상기 초기화 제어 신호에 의해 제어되는 더미 게이트 초기화 트랜지스터;

상기 구동 전압 라인과 상기 제1 노드 사이에 연결되고, 상기 발광 제어 신호에 의해 제어되는 제1 더미 발광 제어 트랜지스터;

상기 제3 노드와 상기 출력 노드 사이에 연결되고, 상기 발광 제어 신호에 의해 제어되는 제2 더미 발광 제어 트랜지스터; 및

상기 제2 노드와 상기 제3 노드 사이에 연결되고, 상기 제1 노드의 전압과 상기 제2 노드의 전압의 차이에 대응하는 구동 전류를 상기 출력 노드로 출력하는 상기 더미 구동 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 12**

제11 항에 있어서,

상기 초기화 전압 라인은 상기 복수의 픽셀들에 연결되고,

상기 초기화 전압의 레벨은 상기 더미 초기화 전압의 레벨보다 높은 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 13**

제11 항에 있어서,

상기 더미 애노드 초기화 트랜지스터는 상기 초기화 제어 신호에 의해 제어되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 14**

제13 항에 있어서,

한 프레임 구간은,

상기 초기화 제어 신호에 의하여 상기 더미 게이트 초기화 트랜지스터 및 상기 더미 애노드 초기화 트랜지스터가 턴 온 상태를 유지하는 제1 구간;

상기 스캔 신호에 의하여 상기 더미 스위칭 트랜지스터 및 상기 더미 보상 트랜지스터가 턴 온 상태를 유지하는 제2 구간; 및

상기 발광 제어 신호에 의하여 상기 제1 및 제2 더미 발광 제어 트랜지스터들이 턴 온되는 제3 구간을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 15**

제10 항에 있어서,

상기 복수의 제어 라인들은, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 애노드 초기화 제어 신호를 전달하는 복수의 애노드 초기화 제어 라인들을 더 포함하고,

상기 더미 애노드 초기화 트랜지스터는 상기 애노드 초기화 제어 신호에 의해 제어되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 16**

제1 항에 있어서,

상기 복수의 더미 픽셀들 각각은 상기 더미 애노드 초기화 트랜지스터와 병렬로 연결되는 커플링 제거 트랜지스터를 더 포함하고,

한 프레임 구간 내에서, 상기 커플링 제거 트랜지스터가 턴 온되는 시점은 상기 더미 애노드 초기화 트랜지스터가 턴 오프되는 시점보다 늦은 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 17**

제16 항에 있어서,

상기 복수의 픽셀들은 상기 커플링 제거 트랜지스터를 포함하는 제1 더미 픽셀과 동일 행에 위치하는 제1 픽셀들을 포함하고,

한 프레임 구간 내에서, 상기 제1 픽셀들이 발광하는 시점은 상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 오프되는 시점보다 빠른 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 18**

제17 항에 있어서,

한 프레임 구간 내에서, 상기 제1 픽셀들이 발광하는 시점은 상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 온되는 시점보다 늦은 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 19**

제17 항에 있어서,

상기 복수의 픽셀들은 상기 제1 더미 픽셀에 제1 리페어 라인을 통해 연결되는 제2 픽셀을 포함하고,

상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 오프될 때, 상기 제2 픽셀의 발광 소자는 발광을 시작하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 20**

제1 항에 있어서,

상기 복수의 리페어 라인들은 제1 리페어 라인을 포함하고, 상기 복수의 더미 픽셀들은 상기 제1 리페어 라인에 연결되는 제1 더미 픽셀을 포함하고, 상기 제1 더미 픽셀의 상기 연결 가능 구조물에서 상기 제1 및 제2 도전체들은 서로 전기적으로 연결되며,

상기 제1 더미 픽셀의 상기 더미 회로는 상기 더미 회로에 연결되는 더미 데이터 라인이 플로팅되는 경우 상기 제1 리페어 라인의 전위가 상기 제1 구동 전압의 레벨과 상기 더미 초기화 전압의 레벨 사이에서 한 프레임 구간을 주기로 스윙하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

본 발명의 실시예는 유기 발광 표시 장치에 관한 것으로서, 더욱 구체적으로는 더미 픽셀 및 리페어 라인을 이용하여 불량 픽셀이 리페어될 수 있는 유기 발광 표시 장치에 관한 것이다.

[0001]

**배경 기술**

[0002] 유기 발광 표시 장치의 제조 공정 중에 불량 픽셀이 발생할 수 있다. 불량 픽셀은 스캔 신호 및 데이터 신호와 무관하게 항상 발광하는 명점이나 항상 비발광하는 암점으로 표시될 수 있다. 이러한 불량 픽셀을 리페어하여 유기 발광 표시 장치의 수율을 높이기 위한 방법이 필요하다. 또한, 불량 픽셀을 리페어 픽셀(repaired pixel)로 리페어하는 과정에서 정상적으로 동작하는 픽셀이 리페어 픽셀에 의하여 블랙 계조가 회색으로 표시되거나 회색 계조가 블랙으로 표시되는 문제가 발생하지 않아야 한다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 실시예들이 해결하고자 하는 과제는 불량 픽셀이 정상적으로 발광하는 리페어 픽셀로 리페어될 수 있으면서도, 리페어로 인한 품질 열화를 개선할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

**과제의 해결 수단**

[0004] 본 발명의 실시예에 따른 유기 발광 표시 장치는 활성 영역에 배열되는 복수의 픽셀들, 더미 영역에 배열되는 복수의 더미 픽셀들, 및 상기 복수의 더미 픽셀들에 연결되고, 상기 복수의 픽셀들에 연결 가능하게 배치되는 복수의 리페어 라인들을 포함한다. 상기 복수의 더미 픽셀들 각각은 상기 복수의 리페어 라인들 중 대응하는 리페어 라인에 연결되는 출력 노드, 제1 구동 전압이 인가되는 구동 전압 라인과 상기 출력 노드 사이에 연결되는 더미 구동 트랜지스터를 포함하는 더미 회로, 및 더미 초기화 전압이 인가되는 더미 초기화 전압 라인과 상기 출력 노드 사이에 연결 가능 구조물을 통해 연결되는 더미 애노드 초기화 트랜지스터를 포함하는 더미 초기화 회로를 포함한다. 상기 연결 가능 구조물은 적어도 부분적으로 서로 중첩하고 서로 전기적으로 절연되는 제1 및 제2 도전체들을 포함한다.

[0005] 상기 연결 가능 구조물의 상기 제1 및 제2 도전체들이 서로 중첩하는 부분에 레이저가 조사되면, 상기 제1 및 제2 도전체들은 서로 전기적으로 연결될 수 있다.

[0006] 상기 복수의 픽셀들은 픽셀 회로 및 상기 픽셀 회로로부터 전기적으로 분리된 발광 소자를 포함하는 제1 픽셀을 포함할 수 있다. 상기 복수의 리페어 라인들은 상기 제1 픽셀의 상기 발광 소자에 전기적으로 연결되는 제1 리페어 라인을 포함할 수 있다. 상기 복수의 더미 픽셀들은 상기 제1 리페어 라인에 연결되는 제1 더미 픽셀을 포함할 수 있다. 상기 제1 더미 픽셀의 상기 연결 가능 구조물에서 상기 제1 및 제2 도전체들은 서로 전기적으로 연결될 수 있다. 상기 제1 더미 픽셀의 상기 더미 애노드 초기화 트랜지스터가 턴 온되면, 상기 제1 리페어 라인에 상기 더미 초기화 전압이 인가될 수 있다.

[0007] 상기 제1 도전체는 상기 더미 애노드 초기화 트랜지스터에 전기적으로 연결될 수 있다. 상기 제2 도전체는 상기 출력 노드 또는 상기 더미 초기화 전압 라인에 전기적으로 연결될 수 있다.

[0008] 상기 유기 발광 표시 장치는 상기 복수의 픽셀들에 연결되는 복수의 데이터 라인들, 및 상기 복수의 더미 픽셀들 중 적어도 일부에 연결되고, 상기 복수의 데이터 라인들 중 적어도 일부에 연결 가능하게 배치되는 적어도 하나의 더미 데이터 라인을 더 포함할 수 있다.

[0009] 상기 활성 영역은 제1 서브 활성 영역 및 제2 서브 활성 영역을 포함할 수 있다. 상기 복수의 픽셀들은 상기 제1 서브 활성 영역 상의 제1 픽셀들 및 상기 제2 서브 활성 영역 상의 제2 픽셀들을 포함할 수 있다. 상기 복수의 더미 픽셀들은 상기 제1 픽셀들에 대응하는 제1 더미 픽셀들 및 상기 제2 픽셀들에 대응하는 제2 더미 픽셀들을 포함할 수 있다. 상기 적어도 하나의 더미 데이터 라인은 상기 제1 더미 픽셀들에 연결된 제1 더미 데이터 라인 및 상기 제2 더미 픽셀들에 연결된 제2 더미 데이터 라인을 포함할 수 있다. 상기 제1 더미 데이터 라인은 상기 복수의 데이터 라인들 중에서 상기 제1 픽셀들에 연결되는 데이터 라인들에 연결 가능하게 배치될 수 있다. 상기 제2 더미 데이터 라인은 상기 복수의 데이터 라인들 중에서 상기 제2 픽셀들에 연결되는 데이터 라인들에 연결 가능하게 배치될 수 있다.

[0010] 상기 유기 발광 표시 장치는 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 연결되는 복수의 제1 제어 라인들을 더 포함할 수 있다. 상기 리페어 라인들 각각은 동일 행에 위치하는 제1 제어 라인과 용량성으로 커플링될 수 있다.

[0011] 상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로로부터 분리 가능하게 연결되는 애노드 전극을 갖는

발광 소자를 포함할 수 있다. 상기 리페어 라인들 각각은 동일 행에 위치하는 픽셀들의 상기 애노드 전극과 용량성으로 커플링될 수 있다.

[0012] 상기 복수의 픽셀들 각각은 데이터 신호를 수신하고 출력 노드를 갖는 픽셀 회로, 상기 출력 노드에 연결되는 초기화 회로, 및 상기 출력 노드로부터 분리 가능하게 연결되는 발광 소자를 포함할 수 있다. 상기 픽셀 회로는 상기 데이터 신호에 대응하는 구동 전류를 상기 출력 노드에 공급하는 구동 트랜지스터를 포함할 수 있다. 상기 초기화 회로는 초기화 전압이 인가되는 초기화 전압 라인과 상기 출력 노드 사이에 연결되는 애노드 초기화 트랜지스터를 포함할 수 있다.

[0013] 상기 유기 발광 표시 장치는 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 연결되는 복수의 제어 라인들을 더 포함할 수 있다. 상기 복수의 제어 라인들은, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 스캔 신호를 전달하는 복수의 스캔 라인들, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 발광 제어 신호를 전달하는 복수의 발광 제어 라인들, 및 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 초기화 제어 신호를 전달하는 복수의 초기화 제어 라인들을 포함할 수 있다.

[0014] 상기 더미 회로는, 상기 구동 전압 라인과 제1 노드 사이에 연결되는 더미 커패시터, 데이터 신호를 전달하는 더미 데이터 라인과 제2 노드 사이에 연결되고, 상기 스캔 신호에 의해 제어되는 더미 스위칭 트랜지스터, 상기 제1 노드와 제3 노드 사이에 연결되고, 상기 스캔 신호에 의해 제어되는 더미 보상 트랜지스터, 초기화 전압이 인가되는 초기화 전압 라인 또는 상기 더미 초기화 전압 라인과 상기 제1 노드 사이에 연결되고, 상기 초기화 제어 신호에 의해 제어되는 더미 게이트 초기화 트랜지스터, 상기 구동 전압 라인과 상기 제1 노드 사이에 연결되고, 상기 발광 제어 신호에 의해 제어되는 제1 더미 발광 제어 트랜지스터, 상기 제3 노드와 상기 출력 노드 사이에 연결되고, 상기 발광 제어 신호에 의해 제어되는 제2 더미 발광 제어 트랜지스터, 및 상기 제2 노드와 상기 제3 노드 사이에 연결되고, 상기 제1 노드의 전압과 상기 제2 노드의 전압의 차이에 대응하는 구동 전류를 상기 출력 노드로 출력하는 상기 더미 구동 트랜지스터를 포함할 수 있다.

[0015] 상기 초기화 전압 라인은 상기 복수의 픽셀들에 연결될 수 있다. 상기 초기화 전압의 레벨은 상기 더미 초기화 전압의 레벨보다 높을 수 있다.

[0016] 상기 더미 애노드 초기화 트랜지스터는 상기 초기화 제어 신호에 의해 제어될 수 있다.

[0017] 한 프레임 구간은, 상기 초기화 제어 신호에 의하여 상기 더미 게이트 초기화 트랜지스터 및 상기 더미 애노드 초기화 트랜지스터가 턴 온 상태를 유지하는 제1 구간, 상기 스캔 신호에 의하여 상기 더미 스위칭 트랜지스터 및 상기 더미 보상 트랜지스터가 턴 온 상태를 유지하는 제2 구간, 및 상기 발광 제어 신호에 의하여 상기 제1 및 제2 더미 발광 제어 트랜지스터들이 턴 온되는 제3 구간을 포함할 수 있다.

[0018] 상기 복수의 제어 라인들은, 상기 복수의 픽셀들 및 상기 복수의 더미 픽셀들에 애노드 초기화 제어 신호를 전달하는 복수의 애노드 초기화 제어 라인들을 더 포함할 수 있다. 상기 더미 애노드 초기화 트랜지스터는 상기 애노드 초기화 제어 신호에 의해 제어될 수 있다.

[0019] 상기 복수의 더미 픽셀들 각각은 상기 더미 애노드 초기화 트랜지스터와 병렬로 연결되는 커플링 제거 트랜지스터를 더 포함할 수 있다. 한 프레임 구간 내에서, 상기 커플링 제거 트랜지스터가 턴 온되는 시점은 상기 더미 애노드 초기화 트랜지스터가 턴 오프되는 시점보다 늦을 수 있다.

[0020] 상기 복수의 픽셀들은 상기 커플링 제거 트랜지스터를 포함하는 제1 더미 픽셀과 동일 행에 위치하는 제1 픽셀들을 포함할 수 있다. 한 프레임 구간 내에서, 상기 제1 픽셀들이 발광하는 시점은 상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 오프되는 시점보다 빠를 수 있다.

[0021] 한 프레임 구간 내에서, 상기 제1 픽셀들이 발광하는 시점은 상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 온되는 시점보다 늦을 수 있다.

[0022] 상기 복수의 픽셀들은 상기 제1 더미 픽셀에 제1 리페어 라인을 통해 연결되는 제2 픽셀을 포함할 수 있다. 상기 제1 더미 픽셀의 상기 커플링 제거 트랜지스터가 턴 오프될 때, 상기 제2 픽셀의 발광 소자는 발광을 시작할 수 있다.

[0023] 상기 복수의 리페어 라인들은 제1 리페어 라인을 포함할 수 있다. 상기 복수의 더미 픽셀들은 상기 제1 리페어 라인에 연결되는 제1 더미 픽셀을 포함할 수 있다. 상기 제1 더미 픽셀의 상기 연결 가능 구조물에서 상기 제1 및 제2 도전체들은 서로 전기적으로 연결될 수 있다. 상기 제1 더미 픽셀의 상기 더미 회로는 상기 더미 회로에 연결되는 더미 데이터 라인이 플로팅되는 경우 상기 제1 리페어 라인의 전위가 상기 제1 구동 전압의 레벨과

상기 더미 초기화 전압의 레벨 사이에서 한 프레임 구간을 주기로 스윙하도록 구성될 수 있다.

**발명의 효과**

[0024] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치 내에 불량 픽셀이 발생하더라도 더미 픽셀과 리페어 라인을 이용하여 용이하게 리페어할 수 있으며, 리페어 라인과 다른 제어 라인 및/또는 다른 픽셀의 애노드 전극 간의 용량성 커플링으로 인하여 화질이 열화되는 것을 개선함으로써, 화면의 표시 품질이 우수한 유기 발광 표시 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- 도 2는 도 1에 도시된 표시 패널의 일 예를 개략적으로 나타낸 도면이다.
- 도 3은 도 2에 도시된 표시 패널에서 리페어 라인을 이용하여 불량 픽셀을 리페어하는 방법을 설명하기 위한 도면이다.
- 도 4a는 본 발명의 실시예에 따른 유기 발광 표시 장치의 픽셀을 개략적으로 나타낸 도면이다.
- 도 4b는 본 발명의 실시예에 따른 유기 발광 표시 장치의 오픈 더미 픽셀을 개략적으로 나타낸 도면이다.
- 도 4c는 본 발명의 실시예에 따른 유기 발광 표시 장치의 리페어 더미 픽셀을 개략적으로 나타낸 도면이다.
- 도 5a는 본 발명의 실시예에 따른 표시 패널의 일부를 개략적으로 도시한 평면도이다.
- 도 5b는 도 5a의 I-I'을 따라 절단한 비아홀 영역의 단면을 개략적으로 도시한 도면이다.
- 도 6a는 본 발명의 실시예에 따른 표시 패널에 사용된 연결 가능 구조물을 개략적으로 도시한 단면도이다.
- 도 6b는 도 6a의 연결 가능 구조물에 레이저 조사를 통해 연결 노드로 기능하게 된 연결 가능 구조물을 개략적으로 도시한 단면도이다.
- 도 7은 본 발명의 실시예에 따른 유기 발광 표시 장치의 픽셀의 예시적인 회로도를 도시한다.
- 도 8a는 본 발명의 실시예에 따른 유기 발광 표시 장치의 일 예에 따른 더미 픽셀의 회로도를 도시한다.
- 도 8b는 도 8a에 도시된 더미 픽셀이 불량 픽셀을 리페어하는데 사용되는 리페어 더미 픽셀로 동작하는 경우의 회로도를 도시한다.
- 도 8c는 본 발명의 실시예에 따른 유기 발광 표시 장치의 다른 예에 따른 더미 픽셀의 회로도를 도시한다.
- 도 8d는 본 발명의 실시예에 따른 유기 발광 표시 장치의 또 다른 예에 따른 더미 픽셀의 회로도를 도시한다.
- 도 9는 비교예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.
- 도 10은 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.
- 도 11은 본 발명의 실시예에 따른 유기 발광 표시 장치의 또 다른 예에 따른 더미 픽셀의 회로도를 도시한다.
- 도 12는 도 11의 더미 픽셀을 포함하는 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0026] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0028] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나

이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

- [0029] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- [0030] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 제어부(140) 및 전원 공급부(150)를 포함한다. 게이트 드라이버(120), 소스 드라이버(130), 및 제어부(140)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 유기 발광 표시 장치(100)는 예컨대, 스마트 폰, 태블릿 PC, 노트북 PC, 모니터, TV 등과 같이 영상을 표시할 수 있는 전자 장치, 및 이러한 전자 장치의 영상 표시를 위한 부품을 포함한다..
- [0031] 표시 패널(110)에는 제1 서브 활성 영역(AAa)과 제2 서브 활성 영역(AAb)을 포함하는 활성 영역과 제1 서브 더미 영역(DAa)과 제2 서브 더미 영역(DAb)을 포함하는 더미 영역이 정의될 수 있다. 아래에서 활성 영역 전체를 의미할 때는 활성 영역(AA)으로 표시하고, 더미 영역 전체를 의미할 때는 더미 영역(DA)으로 표시한다. 활성 영역(AA)은 픽셀들(P)의 제어된 발광을 통해 영상이 표시되는 영역이므로 표시 영역으로 지칭될 수 있다. 더미 영역(DA)은 활성 영역(AA)에 인접하게 비활성 영역에 배치될 수 있다. 더미 영역(DA)은 활성 영역(AA)의 좌측, 우측, 상측, 하측 중 적어도 한 방향에 배치될 수 있다. 도 1에 도시된 바와 같이, 더미 영역(DA)은 활성 영역(AA)의 좌측과 우측에 배치될 수 있다.
- [0032] 도 1에서 활성 영역(AA)이 2개의 서브 활성 영역(AAa, AAb)으로 구분되고, 이에 대응하여 더미 영역(DA)도 2개의 서브 더미 영역(DAa, DAb)으로 구분되는 것으로 도시되지만, 본 발명은 이에 한정되지 않으며, 활성 영역(AA)은 3개 이상(예컨대, 4개)의 서브 활성 영역들로 구분되고, 이에 대응하여 더미 영역(DA)도 3개 이상(예컨대, 4개)의 서브 더미 영역들로 구분될 수 있다. 아래에서 자세히 설명되겠지만, 서브 활성 영역마다 하나의 픽셀이 상기 서브 활성 영역에 대응하는 서브 더미 영역에 배열되는 더미 픽셀을 이용하여 리페어될 수 있다. 즉, 활성 영역(AA)이 4개의 서브 활성 영역으로 구분되는 경우, 4개의 불량 픽셀들이 각각의 서브 활성 영역들에 분산되어 발생했다면, 상기 4개의 불량 픽셀들은 모두 리페어될 수 있다.
- [0033] 활성 영역(AA)에는 행 방향(예컨대, 도 1에서 가로 방향)을 따라 연장된 복수의 제어 라인들(CL1-CLn) 및 열 방향(예컨대, 도 1에서 세로 방향)을 따라 연장된 복수의 데이터 라인들(DL1-DLm)에 연결되는 복수의 픽셀들(P)이 배열될 수 있다. 용이한 이해를 위하여, 2개의 픽셀(P)만 도 1에 도시한다.
- [0034] 더미 영역(DA)에는 제1 및 제2 더미 데이터 라인(DDLa, DDLb) 및 복수의 제어 라인들(CL1-CLn)에 연결되는 복수의 더미 픽셀들(DP)이 배열된다. 제1 서브 더미 영역(DAa)에는 제1 더미 데이터 라인(DDLa)와 이에 연결되는 복수의 더미 픽셀들(DP)이 열 방향을 따라 배열되고, 제2 서브 더미 영역(DAb)에는 제2 더미 데이터 라인(DDLb)와 이에 연결되는 복수의 더미 픽셀들(DP)이 열 방향을 따라 배열된다. 용이한 이해를 위하여, 2개의 더미 픽셀(DP)만 도 1에 도시한다.
- [0035] 제1 더미 데이터 라인(DDLa)은 제1 서브 더미 영역(DAa)의 더미 픽셀들(DP)에 연결되는 제1 부분, 및 제1 서브 더미 영역(DAa)에 대응하는 제1 서브 활성 영역(AAa) 내의 픽셀들(P)에 연결되는 데이터 라인들(예컨대, DL1, DLj)에 연결 가능하게 배치되는 제2 부분을 포함한다. 제2 더미 데이터 라인(DDLb)은 제2 서브 더미 영역(DAb)의 더미 픽셀들(DP)에 연결되는 제1 부분, 및 제2 서브 활성 영역(AAb) 내의 픽셀들(P)에 연결되는 데이터 라인들(예컨대, DL1, DLm)에 연결 가능하게 배치되는 제2 부분을 포함한다. 제1 및 제2 더미 데이터 라인(DDLa, DDLb)의 제1 부분들은 제1 및 제2 서브 더미 영역(DAa, DAb)에 배치될 수 있다. 제1 및 제2 더미 데이터 라인(DDLa, DDLb)의 제2 부분들은 활성 영역(AA)과 더미 영역(DA)의 외곽의 데드 스페이스(dead space)에 배치될 수 있다. 데드 스페이스는 표시 패널(110) 내에서 픽셀들(P) 및 더미 픽셀들(DP)이 배치되지 않는 영역을 의미한다. 제1 및 제2 더미 데이터 라인(DDLa, DDLb)의 제2 부분들은 데드 스페이스에 배치되므로 큰 설계 마진을 가지며 형성될 수 있고, 낮은 선 저항을 갖기 위해 더 넓은 폭 및/또는 두께를 가질 수 있다.
- [0036] 더미 데이터 라인(DDLa, DDLb)의 개수는 더미 영역(DA)을 구분한 서브 더미 영역들의 개수 및 활성 영역(AA)을 구분한 서브 활성 영역들의 개수와 동일할 수 있다. 예를 들면, 도 1에 도시된 제1 및 제2 서브 활성 영역들(AAa, AAb) 및 제1 및 제2 서브 더미 영역들(DAa, DAb)이 각각 상하로 구분되어, 더미 영역(DA)과 활성 영역(AA)이 4개의 서브 더미 영역들(예컨대, DAa-DAd) 및 4개의 서브 활성 영역들(예컨대, AAa-AAd)로 각각 구분되는 경우, 4개의 더미 데이터 라인들(예컨대, DDLa-DDLd)이 존재할 수 있다. 이 경우, 제4 더미 데이터 라인(DDLd)은 제4 서브 더미 영역(DAd) 내의 더미 픽셀들(DP)에 연결되고, 제4 서브 활성 영역(AAd) 내의 픽셀들(P)에 연결되는 데이터 라인들에 연결 가능하게 배치될 수 있다. 아래에서는 활성 영역(AA)과 더미 영역(DA)이

각각 2개의 서브 활성 영역(AAa, AAb) 및 2개의 서브 더미 영역(DAa, DAb)으로 구분되는 예에 대해서만 설명한다. 그러나, 본 기술분야의 당업자는 활성 영역(AA)과 더미 영역(DA)이 3개 이상의 서브 활성 영역들 및 서브 더미 영역들로 구분되는 경우에도 본 발명이 적용될 수 있음을 이해할 것이다.

[0037] 도 1에서 제어 라인들(CL1-CLn)은 편의상 하나의 신호선으로 도시되었으나, 제어 라인들(CL1-CLn) 각각은 복수의 신호 라인들로 구성될 수 있다. 일 예에 따르면, 제1 제어 라인(CL1)은 스캔 신호(GW), 초기화 제어 신호(GI) 및 발광 제어 신호(EM)를 전달하는 세 개의 신호 라인들로 구성될 수 있다. 다른 예에 따르면, 제1 제어 라인(CL1)은 애노드 초기화 제어 신호(GA)를 전달하는 신호 라인을 더 포함할 수 있다.

[0038] 표시 패널(110)은 복수의 제어 라인들(CL1-CLn)과 평행하게 연장되는 복수의 리페어 라인들(RL1a-RLna, RL1b-RLnb)을 포함할 수 있다. 제1 리페어 라인들(RL1a-RLna)은 제1 서브 더미 영역(DAa)에 배치되는 더미 픽셀들(DP)에 연결되고, 제1 서브 활성 영역(AAa)에 배치되는 픽셀들(P)에 연결 가능하게 배치될 수 있다. 제2 리페어 라인들(RL1b-RLnb)은 제2 서브 더미 영역(DAb)에 배치되는 더미 픽셀들(DP)에 연결되고, 제2 서브 활성 영역(AAb)에 배치되는 픽셀들(P)에 연결 가능하게 배치될 수 있다.

[0039] 단위 픽셀은 다양한 색상을 표시하기 위해 복수의 색상들을 각각 표시하는 복수의 서브 픽셀들을 포함할 수 있다. 본 명세서에서, 픽셀(P)는 주로 하나의 서브 픽셀을 의미한다. 그러나, 본 발명은 이에 한정되지 않으며, 픽셀(P)는 복수의 서브 픽셀들을 포함하는 하나의 단위 픽셀을 의미할 수도 있다. 즉, 본 명세서에서 하나의 픽셀(P)가 존재한다고 기재되어 있더라도, 이는 하나의 서브 픽셀이 존재하는 것으로 해석될 수도 있고, 하나의 단위 픽셀을 구성하는 복수의 서브 픽셀들이 존재한다고 해석될 수도 있다. 더미 픽셀(DP)에 대해서도 마찬가지이다. 예컨대, 하나의 더미 픽셀이 존재한다고 기재되어 있더라도, 이는 하나의 더미 픽셀이 존재하는 것으로 해석될 수도 있고, 하나의 단위 픽셀을 구성하는 서브 픽셀들의 개수만큼 더미 서브 픽셀들이 존재하는 것으로 해석될 수도 있다. 하나의 더미 픽셀이 존재한다는 것이 복수의 더미 서브 픽셀들이 존재하는 것으로 해석되는 경우, 더미 픽셀에 연결된 더미 데이터 라인도 역시 복수의 더미 서브 픽셀들에 각각 연결된 복수의 더미 데이터 라인들을 포함하는 것으로 해석될 수 있다.

[0040] 본 명세서에서, "연결 가능한" 또는 "연결 가능하게"라는 용어는 리페어 공정에서 레이저 등을 이용하여 연결될 수 있는 상태라는 것을 의미한다. 예컨대, 제1 도전체와 제2 도전체가 연결 가능하게 배치된다는 것은 제1 도전체와 제2 도전체가 실제로는 전기적으로 절연되어 있지만, 리페어 공정에서 서로 연결될 수 있는 상태에 놓여 있다는 것을 의미한다. 구조적인 관점에서, 서로 "연결 가능한" 제1 도전체와 제2 도전체는 중첩 영역에서 절연막을 사이에 두고 적어도 일부가 서로 중첩하도록 배치될 수 있다. 리페어 공정에서 상기 중첩 영역에 레이저가 조사되면, 상기 중첩 영역 내의 상기 절연막이 파괴되면서, 제1 도전체와 제2 도전체는 서로 전기적으로 연결된다.

[0041] 본 명세서에 첨부된 도면에서 서로 "연결 가능한" 제1 도전체와 제2 도전체를 쉽게 알아볼 수 있도록, 제1 도전체와 제2 도전체의 교차점에 흰 원으로 표시하고, 연결 가능 구조물(CS)으로 표시한다. 도 1에 도시된 바와 같이, 제어 라인(CLk)과 데이터 라인(DL1)에 연결되는 픽셀(P)은 리페어 라인(RLkb)과 연결 가능 구조물(CS)을 통해 연결된다. 또한, 서로 연결 가능한 데이터 라인(DL1)과 제2 더미 데이터 라인(DDLb)도 역시 연결 가능 구조물(CS)을 통해 연결된다. 즉, 데이터 라인(DL1)과 제2 더미 데이터 라인(DDLb)은 실제로 전기적으로 절연되어 있으나, 리페어 공정에서 연결 가능 구조물(CS)에 레이저를 조사할 경우, 데이터 라인(DL1)과 제2 더미 데이터 라인(DDLb)은 서로 전기적으로 연결될 수 있다.

[0042] 또한, 본 명세서에서, "분리 가능한" 또는 "분리 가능하게"라는 용어는 리페어 공정에서 레이저 등을 이용하여 분리될 수 있는 상태라는 것을 의미한다. 예컨대, 제1 부재와 제2 부재가 분리 가능하게 연결된다는 것은 제1 부재와 제2 부재가 실제로는 전기적으로 연결되어 있지만, 리페어 공정에서 서로 분리되어 전기적으로 절연될 수 있는 상태에 놓여 있다는 것을 의미한다. 구조적인 관점에서, 분리 가능하게 연결된 제1 부재와 제2 부재는 도전성 연결 부재를 통해 서로 연결되도록 배치될 수 있다. 리페어 공정에서 상기 도전성 연결 부재에 레이저가 조사되면, 상기 도전성 연결 부재는 레이저가 조사된 부분이 녹으면서 절단되며, 제1 부재와 제2 부재는 서로 전기적으로 절연된다. 예시적으로 상기 도전성 연결 부재는 레이저에 의해 용융될 수 있는 실리콘층을 포함할 수 있다. 다른 예에 따르면, 상기 도전성 연결 부재는 주울 열(Joule's heat)에 의해 용융되면서 절단될 수 있다.

[0043] 게이트 드라이버(120)는 제어 라인들(CL1-CLn)을 통해 제어 신호들을 픽셀들(P) 및 더미 픽셀들(DP)에 제공하고, 소스 드라이버(130)는 데이터 라인들(DL1-DLm)을 통해 데이터 신호를 픽셀들(P)에 제공할 수 있다. 도 1에 도시된 바와 같이 소스 드라이버(130)는 더미 데이터 라인(DDLa, DDLb)에 직접 연결되지 않을 수 있다.

다른 예에 따르면, 소스 드라이버(130)는 더미 데이터 라인(DDLa, DDLb)에 직접 연결되어, 더미 픽셀들(P)에 더미 데이터 신호를 직접 제공할 수도 있다.

[0044] 제어부(140)는 게이트 드라이버(120), 소스 드라이버(130) 및 전원 공급부(150)를 제어할 수 있다. 제어부(140)는 수평 동기 신호 및 수직 동기 신호에 기초하여 제1 내지 제3 제어 신호들(CON1, CON2, CON3) 및 디지털 영상 데이터(DATA)를 생성할 수 있다. 제어부(140)는 제1 제어 신호(CON1)를 게이트 드라이버(120)에 제공하고, 제2 제어 신호(CON2)와 디지털 영상 데이터(DATA)를 소스 드라이버(130)에 제공하고, 제3 제어 신호(CON3)를 전원 공급부(150)에 제공할 수 있다. 전원 공급부(150)는 제3 제어 신호(CON3)에 응답하여, 제1 구동 전압(ELVDD), 제2 구동 전압(ELVSS), 제1 및 제2 초기화 전압(Vinit1, Vinit2)을 픽셀들(P) 및/또는 더미 픽셀들(DP)에 인가할 수 있다. 제1 초기화 전압(Vinit1)은 초기화 전압으로 지칭되고, 제2 초기화 전압(Vinit2)은 더미 픽셀들(DP)에 인가된다는 점에서 제2 초기화 전압(Vinit2)은 더미 초기화 전압으로 지칭될 수 있다.

[0045] 도 1에 도시된 제2 서브 활성 영역(AAb) 상의 픽셀(P)은 정상적으로 동작하는 정상 픽셀(NP)이라고 가정한다. 도 1에 도시된 정상 픽셀(NP)은 제2 리페어 라인(RLkb)와 연결 가능 구조물(CS)을 통해 연결 가능하게 배치되고, 정상 픽셀(NP)에 연결된 데이터 라인(DL1)은 연결 가능 구조물(CS)을 통해 제2 더미 데이터 라인(DDLb)에 연결 가능하게 배치된다. 상술한 바와 같이, 정상 픽셀(NP)과 제2 리페어 라인(RLkb)은 전기적으로 절연되고, 데이터 라인(DL1)과 제2 더미 데이터 라인(DDLb)은 전기적으로 절연된다.

[0046] 제2 서브 활성 영역(AAb) 상의 픽셀들(P)이 모두 정상일 경우, 제2 더미 데이터 라인(DDLb)은 어떠한 데이터 라인과도 전기적으로 연결되지 않으며, 플로팅되게 된다. 제2 서브 더미 영역(DAb)에 배치되는 더미 픽셀들(DP)은 리페어 동작을 수행할 필요가 없고 다른 픽셀들(P)에 전기적으로 연결되지 않았으므로, 오픈 더미 픽셀(OP)로 지칭될 수 있다.

[0047] 도 1에 도시된 제1 서브 활성 영역(AAa) 상의 픽셀(P)은 불량 픽셀(BP)이라고 가정한다. 불량 픽셀(BP)은 제1 리페어 라인들 중에서 대응하는 제1 리페어 라인(RLia)과 전기적으로 연결된다. 또한, 불량 픽셀(BP)에 연결된 데이터 라인(DLj)은 제1 더미 데이터 라인(DDLa)과 전기적으로 연결된다. 불량 픽셀(BP)과 제1 리페어 라인(RLia) 간의 전기적 연결 및 데이터 라인(DLj)과 제1 더미 데이터 라인(DDLa) 간의 전기적 연결은 리페어 공정에서 예컨대 연결 가능 구조물(CS)에 레이저를 조사하는 방식으로 달성될 수 있다.

[0048] 불량 픽셀(BP)은 제1 리페어 라인(RLia)을 통해 제1 서브 더미 영역(DAa)에 배치된 더미 픽셀들(DP) 중에서 대응하는 더미 픽셀(DP)에 전기적으로 연결된다. 대응하는 더미 픽셀(DP)에는 데이터 라인(DLj)에 연결된 제1 더미 데이터 라인(DDLa)을 통해 불량 픽셀(BP)에 제공되는 데이터 신호가 인가된다. 대응하는 더미 픽셀(DP)은 인가된 데이터 신호에 대응하는 구동 전류를 생성하고, 제1 리페어 라인(RLia)을 통해 불량 픽셀(BP)로 제공한다. 불량 픽셀(BP)은 픽셀 회로로부터 전기적으로 분리된 발광 소자를 포함하며, 대응하는 더미 픽셀(DP)로부터 제공된 구동 전류는 상기 발광 소자에 제공되어, 상기 발광 소자는 상기 데이터 신호에 상응하는 밝기로 발광한다. 불량 픽셀(BP)은 리페어 동작을 통해 정상적으로 발광하게 되므로, 리페어 픽셀로 지칭될 수 있다. 또한, 상기 대응하는 더미 픽셀(DP)은 불량 픽셀(BP)의 리페어 동작에 사용되므로 리페어 더미 픽셀(RDP)로 지칭될 수 있다.

[0049] 본 명세서에서, "대응하는" 또는 "대응하게"라는 용어는 문맥에 따라서 동일한 열 또는 행에 배치된다는 것을 의미할 수 있다. 예컨대, 제1 부재가 복수의 제2 부재들 중에서 "대응하는" 제2 부재에 연결된다는 것은 제1 부재와 동일 열 또는 동일 행에 배치된 제2 부재에 연결된다는 것을 의미한다.

[0050] 도 2는 도 1에 도시된 표시 패널의 일 예를 개략적으로 나타낸 도면이다.

[0051] 도 2에는 표시 패널(110)의 일부, 즉, 제1 서브 활성 영역(AAa) 및 제1 서브 더미 영역(DAa)이 도시된다.

[0052] 제1 서브 활성 영역(AAa)에 배열된 픽셀들(P) 각각은 픽셀 회로(C), 픽셀 회로(C)로부터 구동 전류를 공급받아 발광하는 발광 소자(E), 및 발광 소자(E)를 초기화하기 위한 초기화 회로(IC)를 포함한다. 픽셀 회로(C)와 초기화 회로(IC)는 서로 연결되며, 발광 소자(E)는 픽셀 회로(C)와 초기화 회로(IC)에 분리 가능하게 연결될 수 있다. 픽셀 회로(C)는 하나 이상의 박막 트랜지스터 및 커패시터를 포함할 수 있다. 초기화 회로(IC)는 하나 이상의 박막 트랜지스터를 포함할 수 있다. 픽셀(P)은 예컨대, 적색, 녹색, 청색, 백색 중 하나의 색상의 광을 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 적색, 녹색, 청색, 백색 외의 다른 색상의 광을 방출할 수도 있다.

- [0053] 픽셀들(P)의 발광 소자(E)는 대응하는 리페어 라인, 즉, 동일 행의 리페어 라인과 연결 가능 구조물(CS)을 통해 연결 가능하게 배치된다. 즉, 발광 소자(E)는 대응하는 리페어 라인으로부터 전기적으로 절연되고, 추후 리페어 공정에서, 대응하는 리페어 라인과 전기적으로 연결될 수 있다.
- [0054] 제1 서브 더미 영역(DAa)에 더미 픽셀들(DP)이 열 방향을 따라 배열된다. 더미 픽셀(DP)은 더미 회로(DC), 및 더미 초기화 회로(DIC)를 포함하고, 발광 소자를 포함하지 않는다. 더미 회로(DC)는 픽셀 회로(C)와 동일할 수 있다. 다른 예에 따르면, 더미 회로(DC)는 픽셀 회로(C)와 상이할 수 있다. 예를 들어, 더미 회로(DC)는 픽셀 회로(C)의 일부 트랜지스터 및/또는 커패시터가 생략되거나, 픽셀 회로(C)에 일부 트랜지스터 및/또는 커패시터가 추가될 수 있다. 더미 회로(C)의 트랜지스터 및/또는 커패시터의 사이즈 및 특성은 픽셀 회로(C)의 트랜지스터 및/또는 커패시터의 사이즈 및 특성과 상이할 수 있다. 더미 회로(DC)는 대응하는 리페어 라인에 연결된다.
- [0055] 더미 초기화 회로(DIC)는 더미 회로(DC)에 연결 가능 구조물(CS)을 통해 연결 가능하게 배치된다. 즉, 더미 초기화 회로(DIC)는 더미 회로(DC) 및 대응하는 리페어 라인으로부터 전기적으로 절연되고, 추후 리페어 공정에서 더미 회로(DC) 및 대응하는 리페어 라인에 전기적으로 연결될 수 있다. 더미 초기화 회로(DIC)는 초기화 회로(IC)와 상이할 수 있다. 예컨대, 더미 초기화 회로(DIC)에 인가되는 더미 초기화 전압의 레벨은 초기화 회로(IC)에 인가되는 초기화 전압의 레벨과 상이할 수 있다. 다른 예에 따르면, 더미 초기화 회로(DIC)는 초기화 회로(IC)에 트랜지스터가 추가될 수 있다. 또 다른 예에 따르면, 더미 초기화 회로(DIC)는 연결 가능 구조물(CS)을 통해 더미 회로(DC)에 연결 가능하게 배치된다는 점을 제외하고 초기화 회로(IC)와 동일할 수 있다.
- [0056] 제1 서브 더미 영역(DAa) 상의 더미 픽셀들(DP)은 제1 더미 데이터 라인(DDLa)에 연결되고, 제1 더미 데이터 라인(DDLa)은 데이터 라인들(DL1-DLl)과 연결 가능 구조물들(CS)을 통해 연결 가능하게 배치된다. 즉, 제1 더미 데이터 라인(DDLa)은 데이터 라인들(DL1-DLl)로부터 전기적으로 절연되고, 추후 리페어 공정에서 제1 더미 데이터 라인(DDLa)은 데이터 라인들(DL1-DLl) 중 하나의 데이터 라인과 전기적으로 연결될 수 있다.
- [0057] 도 3은 도 2에 도시된 표시 패널에서 리페어 라인을 이용하여 불량 픽셀을 리페어하는 방법을 설명하기 위한 도면이다.
- [0058] 아래에서는, 활성 영역(AA)에 형성된 픽셀(P)들 중 i번째 제어 라인(CLi)과 j번째 데이터 라인(DLj)에 연결된 픽셀(P)의 픽셀 회로(C)가 경우를 예로서 설명한다. 본 예에서, 상기 픽셀(P)은 불량 픽셀(BP)로 지칭한다.
- [0059] 도 3을 참조하면, 불량 픽셀(BP)의 발광 소자(E)는 픽셀 회로(C)와 초기화 회로(IC)로부터 분리된다. 예를 들어, 픽셀 회로(C)와 초기화 회로(IC)의 연결 노드로부터 발광 소자(E)에 연장되는 연결 배선에 레이저를 조사하여 상기 연결 배선을 절단(CUT)함으로써 불량 픽셀(BP)의 발광 소자(E)는 픽셀 회로(C)와 초기화 회로(IC)로부터 전기적으로 절연될 수 있다.
- [0060] 불량 픽셀(BP)의 발광 소자(E)와 더미 픽셀(DPi)의 더미 회로(DC)가 서로 전기적으로 연결된다. 불량 픽셀(BP)의 발광 소자(E)는 동일 행의 리페어 라인(RLi)에 연결된다. 예를 들어, 불량 픽셀(BP)의 발광 소자(E)와 리페어 라인(RLi) 사이의 연결 가능 구조물(CS)에 레이저를 조사함으로써, 연결 가능 구조물(CS)의 제1 및 제2 도전체들 사이의 절연막을 파괴하여 제1 및 제2 도전체들은 서로 전기적으로 연결될 수 있다. 연그 결과, 불량 픽셀(BP)의 발광 소자(E)는 리페어 라인(RLi)에 전기적으로 연결된다. 리페어 라인(RLi)은 더미 회로(DC)에 연결되어 있으므로, 불량 픽셀(BP)의 발광 소자(E)는 더미 픽셀(DPi)의 더미 회로(DC)에 연결된다. 도 3에서 연결 가능 구조물(CS)의 제1 및 제2 도전체들이 서로 전기적으로 절연되는 경우 연결 가능 구조물(CS)은 흰 원으로 표시되고, 연결 가능 구조물(CS)의 제1 및 제2 도전체들이 서로 전기적으로 연결되는 경우 연결 가능 구조물(CS)은 검은 원으로 표시된다.
- [0061] 더미 픽셀(DPi)의 더미 초기화 회로(DIC)를 더미 픽셀(DPi)의 더미 회로(DC)에 전기적으로 연결된다. 예를 들어, 더미 픽셀(DPi)의 더미 회로(DC)와 더미 초기화 회로(DIC) 사이의 연결 가능 구조물(CS)에 레이저를 조사함으로써, 더미 초기화 회로(DIC)는 더미 회로(DC) 및 리페어 라인(RLi)에 전기적으로 연결된다.
- [0062] 불량 픽셀(BP)에 연결된 데이터 라인(DLj)과 제1 더미 데이터 라인(DDLa)이 서로 전기적으로 연결된다. 예를 들어, 데이터 라인(DLj)과 제1 더미 데이터 라인(DDLa) 사이의 연결 가능 구조물(CS)에 레이저를 조사함으로써, 데이터 라인(DLj)과 제1 더미 데이터 라인(DDLa)은 서로 전기적으로 연결된다.
- [0063] 불량 픽셀(BP)의 픽셀 회로(C)와 더미 픽셀(DPi)의 더미 회로(DC)는 제어 라인(CLi) 중 동일한 스캔 라인을 통해 인가되는 스캔 신호에 동시에 응답한다. 불량 픽셀(BP)의 픽셀 회로(C)에 연결된 데이터 라인(DLj)은 제1

더미 데이터 라인(DDL<sub>a</sub>)에 연결되므로, 불량 픽셀(BP)의 픽셀 회로(C)에 인가되는 데이터 신호(D<sub>j</sub>)는 더미 픽셀(DP<sub>i</sub>)의 더미 회로(DC)에도 인가된다. 더미 회로(DC)는 데이터 신호(D<sub>j</sub>)에 대응하는 구동 전류(I<sub>ij</sub>)를 생성하고, 리페어 라인(RL<sub>i</sub>)을 통해 구동 전류(I<sub>ij</sub>)를 불량 픽셀(BP)의 발광 소자(E)에 제공한다. 불량 픽셀(BP)의 발광 소자(E)는 구동 전류(I<sub>ij</sub>)에 의해 데이터 신호(D<sub>j</sub>)에 대응하는 밝기로 발광한다. 따라서, 불량 픽셀(BP)는 정상 픽셀로 리페어될 수 있다.

[0064] 본 예에서, 제1 더미 데이터 라인(DDL<sub>a</sub>)은 데이터 라인(DL<sub>j</sub>)에 연결되기 때문에, 더미 데이터 라인(DDL)을 별도로 구동할 필요가 없다. 따라서, 리페어 공정 후에 별도의 타이밍이나 더미 데이터 라인(DDL)을 구동하기 위해 소스 드라이버(130)를 변형할 필요가 없다.

[0065] 도 4a는 본 발명의 실시예에 따른 유기 발광 표시 장치의 픽셀(P)을 개략적으로 나타낸 도면이다.

[0066] 도 4a를 참조하면, 픽셀(P)은 픽셀 회로(C), 초기화 회로(IC) 및 발광 소자(E)를 포함한다. 픽셀(P)은 픽셀 회로(C), 초기화 회로(IC) 및 발광 소자(E)가 서로 연결되는 출력 노드(No)를 갖는다.

[0067] 픽셀 회로(C)는 구동 전압 라인(ELVDDL), 픽셀(P)과 동일 열에 배치되는 데이터 라인(DL), 및 픽셀(P)과 동일 행에 배치되는 제어 라인들(CL)에 연결된다. 픽셀 회로(C)는 구동 전압 라인(ELVDDL)을 통해 제1 구동 전압(ELVDD)을 공급받고, 데이터 라인(DL)을 통해 데이터 신호(D)를 수신하고, 제어 라인들(CL)을 통해 제어 신호들(CS)을 수신한다. 픽셀 회로(C)는 데이터 신호(D)에 대응하는 구동 전류를 출력 노드(No)에 공급하는 구동 트랜지스터를 포함한다.

[0068] 초기화 회로(IC)는 제1 초기화 전압(Vinit1)이 인가되는 제1 초기화 전압 라인(IVL1)과 출력 노드(No) 사이에 연결되는 애노드 초기화 트랜지스터를 포함하며, 애노드 초기화 트랜지스터가 턴 온되면, 출력 노드(No)에 제1 초기화 전압(Vinit1)을 인가한다. 애노드 초기화 트랜지스터는 발광 소자(E)가 발광하지 않는 비발광 구간 내에 턴 온된다. 턴 온된 애노드 초기화 트랜지스터는 발광 소자(E)의 애노드 전극의 전위를 발광 소자(E)의 문턱 전압보다 낮은 초기화 레벨로 낮추며, 블랙에 대응하는 데이터 신호(D)가 픽셀 회로(C)에 인가될 때 구동 트랜지스터의 누설 전류로 인하여 발광 소자(E)가 미세하게 발광하는 것을 방지할 수 있다.

[0069] 발광 소자(E)는 출력 노드(No)에 연결되는 애노드 전극과 제2 구동 전압(ELVSS)이 인가되는 캐소드 전극을 갖는 유기 발광 소자(OLED)를 포함한다. 발광 소자(E)와 출력 노드(No) 사이의 배선은 픽셀(P)과 동일 행에 배치되는 리페어 라인(RL)과 연결 가능 구조물(CS)을 통해 연결 가능하게 배치된다.

[0070] 픽셀 회로(C) 또는 초기화 회로(IC)가 불량인 경우, 연결 가능 구조물(CS)에 레이저를 조사함으로써 발광 소자(E)의 애노드 전극은 리페어 라인(RL)에 연결되고, 연결 가능 구조물(CS)과 출력 노드(No) 사이의 배선에 레이저를 조사하여 상기 배선을 절단함으로써 발광 소자(E)는 출력 노드(No)로부터 전기적으로 절연된다.

[0071] 도 4b는 본 발명의 실시예에 따른 유기 발광 표시 장치의 오픈 더미 픽셀(ODP)을 개략적으로 나타낸 도면이다.

[0072] 도 4b를 참조하면, 오픈 더미 픽셀(ODP)은 불량 픽셀(BP)의 리페어에 사용되지 않는 더미 픽셀(DP)로서 픽셀(P)의 발광 소자(E)에 연결되지 않는 더미 픽셀(DP)이다. 오픈 더미 픽셀(ODP)은 더미 회로(DC) 및 더미 초기화 회로(DIC)를 포함한다. 오픈 더미 픽셀(ODP)은 더미 회로(DC)와 리페어 라인(RL)이 서로 연결되는 출력 노드(No)를 갖는다.

[0073] 더미 회로(DC)는 구동 전압 라인(ELVDDL), 더미 데이터 라인(DL), 및 오픈 더미 픽셀(ODP)과 동일 행에 배치되는 제어 라인들(CL)에 연결된다. 더미 회로(DC)는 구동 전압 라인(ELVDDL)을 통해 제1 구동 전압(ELVDD)을 공급받고, 제어 라인들(CL)을 통해 제어 신호들(CS)을 수신한다. 더미 데이터 라인(DL)이 다른 데이터 라인(DL)에 전기적으로 연결되는 경우, 더미 회로(DC)는 더미 데이터 라인(DDL)을 통해 데이터 신호(D)를 수신할 수 있지만, 더미 데이터 라인(DDL)이 어떠한 데이터 라인(DL)에 전기적으로 연결되지 않은 경우, 더미 데이터 라인(DDL)은 플로팅되며, 더미 회로(DC)는 데이터 신호(D)를 수신할 수 없다. 더미 회로(DC)는 구동 전압 라인(ELVDDL)과 출력 노드(No) 사이에 연결되는 더미 구동 트랜지스터를 포함한다.

[0074] 더미 초기화 회로(DIC)는 제2 초기화 전압(Vinit2)이 인가되는 제2 초기화 전압 라인(IVL2)과 출력 노드(No) 사이에 연결 가능 구조물(CS)을 통해 연결되는 더미 애노드 초기화 트랜지스터를 포함한다. 도 4b에서 연결 가능 구조물(CS)이 더미 초기화 회로(DIC)와 출력 노드(No)에 배치되는 것으로 도시되어 있지만, 연결 가능 구조물(CS)은 더미 초기화 회로(DIC)와 제2 초기화 전압 라인(IVL2) 사이에 배치될 수도 있다. 상기 더미 애노드 초기화 트랜지스터가 턴 온되더라도, 연결 가능 구조물(CS)에 의하여 출력 노드(No)에 제2 초기화 전압(Vinit2)가

인가되지 않는다. 제2 초기화 전압(Vinit2)의 레벨은 제1 초기화 전압(Vinit1)의 레벨과 동일하거나, 이보다 낮을 수 있다.

[0075]     오픈 더미 픽셀(ODP)은 리페어에 사용되지 않아, 리페어 라인(RL)을 통해 폐회로가 구성되지 않는다. 리페어 라인(RL)은 리페어 라인(RL) 주변의 다른 도전체(예컨대, 다른 제어 라인, 픽셀(P)의 애노드 전극, 기판)와의 기생 커패시턴스를 갖는다. 더미 회로(DC)가 데이터 신호(D)를 수신하는 경우, 상기 더미 구동 트랜지스터는 데이터 신호(D)에 대응하는 구동 전류를 출력 노드(No)로 출력하며, 구동 전류에 의하여 리페어 라인(RL)의 기생 커패시터가 충전되면서 서서히 리페어 라인(RL)의 전위가 상승할 수 있다. 그러나, 출력 노드(No)에 제2 초기화 전압(Vinit2)가 인가되지 않으므로, 리페어 라인(RL)의 전위가 제2 초기화 전압(Vinit2)의 레벨까지 떨어지는 일은 없다. 따라서, 리페어 라인(RL)의 전위가 수신된 데이터 신호(D)에 따라 변화하는 하지만, 제1 구동 전압(ELVDD)의 레벨과 제2 초기화 전압(Vinit2)의 레벨 사이에서 큰 폭으로 스윙하지는 않는다.

[0076]     더미 회로(DC)에 연결된 더미 데이터 라인(DDL)이 플로팅되는 경우, 더미 회로(DC)는 데이터 신호(D)를 수신하지 못한다. 플로팅된 더미 데이터 라인(DDL)으로 인하여 상기 더미 구동 트랜지스터가 완전히 턴 온되어 리페어 라인(RL)의 전위가 제1 구동 전압(ELVDD)의 레벨까지 상승하더라도, 출력 노드(No)에 제2 초기화 전압(Vinit2)가 인가되지 않으므로, 리페어 라인(RL)의 전위가 제2 초기화 전압(Vinit2)의 레벨까지 떨어지는 일은 없다. 따라서, 리페어 라인(RL)의 전위가 제1 구동 전압(ELVDD)의 레벨과 제2 초기화 전압(Vinit2)의 레벨 사이에서 큰 폭으로 스윙하지는 않는다.

[0077]     도 4c는 본 발명의 실시예에 따른 유기 발광 표시 장치의 리페어 더미 픽셀(RDP)을 개략적으로 나타낸 도면이다.

[0078]     도 4c를 참조하면, 리페어 더미 픽셀(RDP)은 불량 픽셀(BP)의 리페어에 사용되는 더미 픽셀(DP)로서 리페어 라인(RL)을 통해 불량 픽셀(BP)의 발광 소자(E)에 연결되는 더미 픽셀(DP)이다. 리페어 더미 픽셀(RDP)은 오픈 더미 픽셀(ODP)과 동일하게 더미 회로(DC) 및 더미 초기화 회로(DIC)를 포함한다. 리페어 더미 픽셀(RDP)와 오픈 더미 픽셀(ODP)에 공통되는 구성요소들에 대한 설명은 반복하지 않는다.

[0079]     더미 데이터 라인(DDL)은 불량 픽셀(BP)에 연결된 데이터 라인(DL)에 전기적으로 연결되므로, 더미 회로(DC)는 더미 데이터 라인(DDL)을 통해 불량 픽셀(BP)에 인가되는 데이터 신호(D)를 수신한다. 더미 회로(DC)는 구동 전압 라인(ELVDDL)과 출력 노드(No) 사이에 연결되고 데이터 신호(D)에 대응하는 구동 전류를 출력 노드(No)에 출력하는 더미 구동 트랜지스터를 포함한다.

[0080]     리페어 더미 픽셀(RDP)의 연결 가능 구조물(CS)의 제1 및 제2 도전체들은 리페어 공정에서 서로 전기적으로 연결되므로, 연결 가능 구조물(CS)은 하나의 도전체와 동일하며, 하나의 연결 노드로 기능한다. 도 4c에 도시된 바와 같이, 하나의 연결 노드로 기능하는 연결 가능 구조물(CS)은 검은 원으로 표시된다.

[0081]     더미 초기화 회로(DIC)는 제2 초기화 전압(Vinit2)이 인가되는 제2 초기화 전압 라인(IVL2)과 출력 노드(No) 사이에 연결 노드로 기능하는 연결 가능 구조물(CS)를 통해 연결되는 더미 애노드 초기화 트랜지스터를 포함한다. 따라서, 더미 애노드 초기화 트랜지스터가 턴 온되면, 픽셀(P)의 애노드 초기화 트랜지스터와 동일하게 출력 노드(No)에 제2 초기화 전압(Vinit2)이 인가된다.

[0082]     더미 애노드 초기화 트랜지스터는 초기화 회로(IC)의 애노드 초기화 트랜지스터와 동일하게 불량 픽셀(BP)의 발광 소자(E)가 발광하지 않는 비발광 구간 내에 턴 온된다. 턴 온된 더미 애노드 초기화 트랜지스터는 불량 픽셀(BP)의 발광 소자(E)의 애노드 전극의 전위를 발광 소자(E)의 문턱 전압보다 낮은 초기화 레벨로 낮추며, 블랙에 대응하는 데이터 신호(D)가 더미 회로(DC)에 인가될 때 구동 트랜지스터의 누설 전류로 인하여 불량 픽셀(BP)의 발광 소자(E)가 미세하게 발광하는 것을 방지할 수 있다.

[0083]     제2 초기화 전압(Vinit2)의 레벨은 제1 초기화 전압(Vinit1)의 레벨보다 낮을 수 있다. 리페어 더미 픽셀(RDP)의 더미 초기화 회로(DIC)는 리페어 라인(RL)에 연결되며, 리페어 라인(RL)은 긴 길이로 인하여 주변 도전체(예컨대, 다른 제어 라인, 동일 행의 픽셀들(P)의 애노드 전극)의 전위 변화에 영향을 크게 받는다. 리페어 라인(RL)의 다른 도전체들과의 용량성 커플링으로 인하여 리페어 라인(RL)의 전위가 부스팅되는 경우, 불량 픽셀(BP)의 발광 소자(E)는 블랙에 대응하는 데이터 신호가 입력되었을 때에도 발광하는 문제가 발생할 수 있다. 이러한 문제를 방지하기 위하여, 제2 초기화 전압(Vinit2)의 레벨을 제1 초기화 전압(Vinit1)의 레벨보다도 낮게 설정하여, 리페어 라인(RL)의 다른 도전체들과의 용량성 커플링으로 인한 전위 변동을 커버할 수 있는 마진이 확보될 수 있다.

- [0084] 도 5a는 본 발명의 실시예에 따른 표시 패널의 일부를 개략적으로 도시한 평면도이다. 도 5b는 도 5a의 I-I'을 따라 절단한 비아홀 영역(VA)의 단면을 개략적으로 도시한 도면이다.
- [0085] 도 5a에는 i번째 행에 배열된 복수의 픽셀들(P)의 일부의 평면도가 도시된다. 행 방향을 따라 리페어 라인(RLi)과 제어 라인(CLi)이 인접하게 연장된다. 리페어 라인(RLi)은 픽셀들(P)의 애노드와 중첩하도록 연장된다.
- [0086] 도 5b를 참조하면, 기판(111) 상에 선택적으로 버퍼층(112)이 배치되고, 버퍼층(112) 상부에 폴리실리콘으로 이루어진 활성층(ACT)이 배치된다. 활성층(ACT) 상부에는 제1 절연막(113)이 배치되고, 제1 절연막(113) 상부에 제어 라인(CLi)이 배치된다. 제어 라인(CLi)은 초기화 제어 라인(GILi)일 수 있다. 제어 라인(CLi) 상부에 제2 절연막(114)이 배치되고, 제2 절연막(114) 상부에 리페어 라인(RLi)이 배치된다. 리페어 라인(RLi) 상부에 제3 절연막(115)이 배치되고, 제3 절연막(115) 상부에 콘택 메탈(CM)이 제1 내지 제3 절연막(113, 114, 115)을 관통하는 홀에 의해 노출된 활성층(ACT)과 접촉하도록 배치된다. 도시되지 않았으나, 콘택 메탈(CM) 상부에는 콘택 메탈(CM)과 접촉하는 애노드가 배치될 수 있다.
- [0087] 리페어 라인(RLi)과 제어 라인(CLi)은 서로 인접한 위치에서 평행하게 연장되므로, 서로 용량성으로 커플링된다. 리페어 라인(RLi)과 제어 라인(CLi) 간의 용량성 커플링은 리페어 라인(RLi)과 제어 라인(CLi) 사이에 기생적으로 형성되는 제1 커플링 커패시터(CC1)로 표현될 수 있다. 리페어 라인(RLi)은 비아홀 영역(VA)의 활성층(ACT)과 콘택 메탈(CM) 사이에서 적어도 일부가 중첩하도록 연장되므로, 리페어 라인(RLi)은 활성층(ACT) 및 콘택 메탈(CM)과 용량적으로 커플링된다. 이러한 용량성 커플링은 리페어 라인(RLi)과 활성층(ACT) 간에, 그리고 리페어 라인(RLi)과 콘택 메탈(CM) 간에 기생적으로 형성되는 제2 커플링 커패시터(CC2)로 표현될 수 있다. 비아홀 영역(VA)의 활성층(ACT) 및 콘택 메탈(CM)은 픽셀(P)의 애노드 전극과 접촉하므로, 본 명세서에서 제2 커플링 커패시터(CC2)는 픽셀(P)의 애노드 전극들과 리페어 라인(RLi) 사이에서 기생적으로 형성되는 커플링 커패시터로 이해될 수 있다.
- [0088] 도 6a는 본 발명의 실시예에 따른 표시 패널에 사용된 연결 가능 구조물을 개략적으로 도시한 단면도이다. 도 6b는 도 6a의 연결 가능 구조물에 레이저 조사를 통해 연결 노드로 기능하게 된 연결 가능 구조물을 개략적으로 도시한 단면도이다.
- [0089] 도 6a를 참조하면, 연결 가능 구조(CS)은 적어도 부분적으로 서로 중첩하는 제1 및 제2 도전체들(Na, Nb)을 포함한다. 제1 및 제2 도전체들(Na, Nb)은 제2 절연막(114)에 의해 서로 전기적으로 절연될 수 있다. 제1 도전체(Na)는 도 5b에 도시된 리페어 라인(RLi)와 동일 층에 배치되고, 제2 도전체(Nb)는 도 5b에 도시된 제어 라인(CLi)와 동일 층에 배치될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 제1 도전체(Na)와 제2 도전체(Nb)는 제1 절연막(113) 또는 제3 절연막(115)에 의해 서로 전기적으로 절연될 수도 있다.
- [0090] 연결 가능 구조(CS)의 제1 및 제2 도전체들(Na, Nb)이 서로 중첩하는 부분에 레이저가 조사되면, 도 6b에 도시된 바와 같이, 제1 및 제2 도전체들(Na, Nb)이 서로 중첩하는 부분의 제2 절연막(114)이 파괴되어, 제2 도전체(Nb)는 제1 도전체(Na)와 직접 접촉하게 된다. 그 결과, 제1 도전체(Na)와 제2 도전체(Nb)는 서로 전기적으로 연결되며, 연결 가능 구조(CS)는 제1 도전체(Na)에 연결된 제1 부재와 제2 도전체(Nb)에 연결된 제2 부재를 서로 전기적으로 연결하는 연결 노드 또는 연결 배선으로 기능하게 된다.
- [0091] 도 7은 본 발명의 실시예에 따른 유기 발광 표시 장치의 픽셀(P)의 예시적인 회로도를 도시한다.
- [0092] 도 7에 도시된 픽셀(P)은 i번째 행에 포함된 복수의 픽셀(P)들 중 하나로서, i번째 행에 대응하는 스캔 라인(GWLi), 초기화 제어 라인(GILi), 및 발광 제어 라인(EMLi)에 각각 연결되어, 스캔 신호(GWi), 초기화 제어 신호(GIi), 및 발광 제어 신호(EMi)를 공급받는다. 픽셀(P)은 데이터 라인(DL)에 연결되며, 데이터 신호(D)를 공급받는다.
- [0093] 픽셀(P)는 픽셀 회로(C), 초기화 회로(IC) 및 발광 소자(E)를 포함한다. 발광 소자(E)는 픽셀 회로(C)에 연결되어 픽셀 회로(C)로부터 제공되는 구동 전류에 의해 발광하는 유기 발광 소자(OLED)를 포함한다. 유기 발광 소자는 픽셀 전극으로도 지칭되는 애노드 전극, 대향 전극으로도 지칭되는 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이의 유기 발광층을 포함할 수 있다. 픽셀 회로(C)는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2),

보상 트랜지스터(T3), 게이트 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 커패시터(Cst)를 포함한다. 초기화 회로(IC)는 애노드 초기화 트랜지스터(T7)를 포함한다.

[0094] 구동 트랜지스터(T1)의 게이트 전극은 게이트 노드(Ng)에 연결되고, 소스 전극은 소스 노드(Ns)에 연결되고, 드레인 전극은 드레인 전극(Nd)에 연결된다. 게이트 노드(Ng), 소스 노드(Ns), 및 드레인 전극(Nd)은 각각 제1 노드, 제2 노드 및 제3 노드로 지칭될 수 있다. 구동 트랜지스터(T1)의 소스-드레인 전류는 소스 노드(Ns)와 게이트 노드(Ng)의 전압 차에 의해 결정되며, 상기 소스-드레인 전류는 유기 발광 소자(OLED)로 흐르는 전류(구동 전류)에 대응한다.

[0095] 스위칭 트랜지스터(T2)의 게이트 전극은 스캔 라인(GWLi)에 연결되고, 제1 전극은 데이터 라인(DL)에 연결되고, 제2 전극은 소스 노드(Ns)에 연결된다. 스위칭 트랜지스터(T2)는 스캔 라인(GWLi)을 통해 제공되는 스캔 신호(GWi)에 응답하여 턴 온되며, 데이터 라인(DL)을 통해 전달된 데이터 신호(D)를 소스 노드(Ns)로 전달한다. 스캔 신호(SWi)에 응답하여 스위칭 트랜지스터(T2)와 동시에 턴 온되는 보상 트랜지스터(T3)를 통해 데이터 신호(D)는 구동 트랜지스터(T1)의 게이트 노드(Ng)로 전달된다.

[0096] 보상 트랜지스터(T3)의 게이트 전극은 스캔 라인(GWLi)에 연결되고, 제1 전극은 드레인 노드(Nd)에 연결되고, 제2 전극은 게이트 노드(Ng)에 연결된다. 보상 트랜지스터(T3)는 스캔 라인(GWLi)을 통해 제공되는 스캔 신호(GWi)에 응답하여 턴 온되며, 구동 트랜지스터(T1)의 게이트 전극과 드레인 전극은 서로 연결된다. 구동 트랜지스터(T1)는 다이오드 연결되며, 구동 트랜지스터(T1)의 문턱 전압(Vth)은 게이트 노드(Ng)와 소스 노드(Ns) 사이의 전압 차에 대응한다.

[0097] 게이트 초기화 트랜지스터(T4)의 게이트 전극은 초기화 제어 라인(GILi)에 연결되고, 제1 전극은 제1 초기화 전압 라인(IVL1)에 연결되고, 제2 전극은 게이트 노드(Ng)에 연결된다. 게이트 초기화 트랜지스터(T4)는 초기화 제어 라인(GILi)을 통해 제공되는 초기화 제어 신호(GIi)에 응답하여 턴 온되며, 제1 초기화 전압(Vinit1)을 게이트 노드(Ng)에 전달하여 게이트 노드(Ng)를 초기화한다. 제1 초기화 전압(Vinit1)은 제2 구동 전압(ELVSS)보다 높은 전압 또는 제2 구동 전압(ELVSS)으로 설정될 수 있다.

[0098] 제1 발광 제어 트랜지스터(T5)의 게이트 전극은 발광 제어 라인(EMLi)에 연결되고, 제1 전극은 구동 전압 라인(ELVDDL)에 연결되고, 제2 전극은 소스 노드(Ns)에 연결된다. 제2 발광 제어 트랜지스터(T6)의 게이트 전극은 발광 제어 라인(EMLi)에 연결되고, 제1 전극은 구동 트랜지스터(T1)의 드레인 노드(Nd)에 연결되고, 제2 전극은 유기 발광 소자(OLED)의 애노드 전극에 전기적으로 연결된다. 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 발광 제어 라인(EMLi)을 통해 제공되는 발광 제어 신호(EMi)에 응답하여 동시에 턴 온되며, 제1 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 소스 전극에 인가되어, 유기 발광 소자(OLED)에 구동 전류가 흐르게 된다.

[0099] 애노드 초기화 트랜지스터(T7)의 게이트 전극은 초기화 제어 라인(GILi)에 연결되고, 제1 전극은 유기 발광 소자(OLED)의 애노드에 연결되고, 제2 전극은 제1 초기화 전압 라인(IVL1)에 연결된다. 애노드 초기화 트랜지스터(T7)는 초기화 제어 라인(GILi)으로부터 제공되는 초기화 제어 신호(GIi)에 응답하여 턴 온되며, 유기 발광 소자(OLED)의 애노드 전극을 초기화한다.

[0100] 커패시터(Cst)는 구동 전압 라인(ELVDDL)과 게이트 노드(Ng) 사이에 연결된다. 커패시터(Cst)에는 제1 구동 전압(ELVDD)과 게이트 노드(Ng)의 전압의 전압 차이가 저장된다.

[0101] 유기 발광 소자(OLED)의 애노드 전극은 리페어 라인(RLi)에 연결 가능하게 배치되고, 출력 노드(No)로부터 분리 가능하다. 유기 발광 소자(OLED)의 캐소드 전극은 제2 구동 전압(ELVSS)을 인가하는 제2 전원에 연결된다. 유기 발광 소자(OLED)는 구동 트랜지스터(T1)로부터 구동 전류를 전달받아 발광함으로써 영상을 표시한다. 제1 구동 전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 구동 전압(ELVSS)은 제1 구동 전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.

[0102] 이하에서 픽셀(P)의 동작 과정을 설명한다.

[0103] 초기화 기간 동안, 초기화 제어 라인(GILi)을 통해 로우 레벨(low level)의 초기화 제어 신호(GIi)가 공급되어, 게이트 초기화 트랜지스터(T4) 및 애노드 초기화 트랜지스터(T7)가 각각 턴 온된다. 제1 초기화 전압 라인(IVL1)으로부터 인가되는 제1 초기화 전압(Vinit1)은 게이트 초기화 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극에 전달되고, 애노드 초기화 트랜지스터(T7)를 통해 유기 발광 소자(OLED)의 애노드 전극에 전달된다. 이에 따라, 구동 트랜지스터(T1)의 게이트 전극과 애노드의 전압이 초기화된다.

- [0104] 이후, 데이터 기입 기간 동안, 스캔 라인(GWLi)을 통해 로우 레벨의 스캔 신호(GWi)가 공급되어, 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 스위칭 트랜지스터(T2)는 데이터 라인(DL)으로부터의 데이터 신호(D)를 구동 트랜지스터(T1)의 소스 전극으로 전달하고, 구동 트랜지스터(T1)는 보상 트랜지스터(T3)에 의해 다이오드 연결된다. 데이터 신호(D)의 전압(VD)에서 구동 트랜지스터(T1)의 문턱 전압(Vth)만큼 감소한 보상 전압(VD+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극에 인가된다.
- [0105] 커패시터(Cst1)의 양단에는 제1 구동 전압(ELVDD)과 보상 전압(VD+Vth)이 인가되고, 커패시터(Cst1)에는 양단 전압 차(ELVDD-(VD+Vth))에 대응하는 전하가 저장된다.
- [0106] 이후, 발광 기간 동안, 발광 제어 라인(EMLi)로부터 공급되는 발광 제어 신호(EMi)가 하이 레벨에서 로우 레벨로 변경되고, 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)가 턴 온된다. 구동 트랜지스터(T1)의 게이트 전극의 전압과 제1 구동 전압(ELVDD) 간의 전압 차에 따르는 구동 전류가 발생하고, 제2 발광 제어 트랜지스터(T6)를 통해 구동 전류가 유기 발광 소자(OLED)에 공급되며, 유기 발광 소자(OLED)는 구동 전류에 의해 발광한다.
- [0107] 도 8a는 본 발명의 실시예에 따른 유기 발광 표시 장치의 일 예에 따른 더미 픽셀(DP)의 회로도들 도시한다.
- [0108] 도 8a에 도시된 더미 픽셀(DP)은 i번째 행에 위치한 더미 픽셀로서, 픽셀(P)의 발광 소자(E)에 연결되지 않은 오픈 더미 픽셀(ODP)이다. 더미 픽셀(DP)은 i번째 행에 대응하는 스캔 라인(GWLi), 초기화 제어 라인(GILi), 발광 제어 라인(EMLi)에 각각 연결되어, i번째 스캔 신호(GWi), i번째 초기화 제어 신호(GIi), i번째 발광 제어 신호(EMi)를 제공받는다.
- [0109] 더미 픽셀(DP)은 더미 회로(DC) 및 더미 초기화 회로(DIC)를 포함한다. 더미 회로(DC)는 더미 구동 트랜지스터(DT1), 더미 스위칭 트랜지스터(DT2), 더미 보상 트랜지스터(DT3), 더미 게이트 초기화 트랜지스터(DT4), 제1 더미 발광 제어 트랜지스터(DT5), 제2 더미 발광 제어 트랜지스터(DT6), 및 더미 커패시터(DCst)를 포함한다. 더미 초기화 회로(DIC)는 더미 애노드 초기화 트랜지스터(DT7)를 포함한다.
- [0110] 더미 회로(DC)는 픽셀 회로(C)에 대응하고, 더미 초기화 회로(DIC)는 초기화 회로(IC)에 대응한다. 아래에서, 서로 대응하는 구성요소들에 대해서는 반복되는 설명은 생략하고, 차이점을 중심으로 설명한다.
- [0111] 스위칭 트랜지스터(T2)의 제1 전극은 데이터 라인(DL)에 연결되지만, 더미 스위칭 트랜지스터(DT2)의 제1 전극은 더미 데이터 라인(DDL)에 연결된다. 게이트 초기화 트랜지스터(T4)의 제1 전극이 제1 초기화 전압 라인(IVL1)에 연결되지만, 더미 게이트 초기화 트랜지스터(DT4)의 제1 전극은 제2 초기화 전압 라인(IVL2)에 연결된다. 애노드 초기화 트랜지스터(T7)가 제1 초기화 전압 라인(IVL1)과 출력 노드(No) 사이에 연결되지만, 더미 애노드 초기화 트랜지스터(DT7)는 제2 초기화 전압 라인(IVL2)와 출력 노드(No) 사이에 연결 가능 구조물(CS)을 통해 연결된다. 도 8a에서 연결 가능 구조물(CS)은 더미 애노드 초기화 트랜지스터(DT7)와 출력 노드(No) 사이에 배치되지만, 더미 애노드 초기화 트랜지스터(DT7)와 제2 초기화 전압 라인(IVL2) 사이에 배치될 수도 있다.
- [0112] 픽셀(P)의 출력 노드(No)는 유기 발광 소자(OLED)에 연결되지만, 더미 픽셀(DP)의 출력 노드(No)는 리페어 라인(RLi)에 연결된다. 제2 초기화 전압 라인(IVL2)에는 제2 초기화 전압(Vinit2)이 인가되며, 제2 초기화 전압(Vinit2)의 레벨은 제1 초기화 전압(Vinit1)의 레벨과 같거나 이보다 낮다.
- [0113] 더미 픽셀(DP)은 발광 소자(E)를 포함하지 않는다. 그러나, 더미 픽셀(DP)은 설계에 따라서 발광 소자를 포함할 수도 있다. 더미 픽셀(DP1)이 발광 소자를 포함하는 경우, 발광 소자는 실제로 발광하지 않고 예컨대 커패시터와 같은 회로 소자로써 기능할 수 있다.
- [0114] 로우 레벨의 초기화 제어 신호(GIi)에 응답하여 더미 애노드 초기화 트랜지스터(DT7)가 턴 온되더라도, 연결 가능 구조물(CS)로 인하여 출력 노드(No) 및 리페어 라인(RLi)에는 제2 초기화 전압(Vinit2)이 인가되지 않기 때문에, 리페어 라인(RLi)의 전위는 제2 초기화 전압(Vinit2)의 레벨까지 떨어지지 않는다.
- [0115] 도 8b는 도 8a에 도시된 더미 픽셀(DP)이 불량 픽셀(BP)을 리페어하는데 사용되는 리페어 더미 픽셀(RDP)로 동작하는 경우의 회로도들 도시한다.
- [0116] 도 8b를 참조하면, 연결 가능 구조물(CS)에 예컨대 레이저가 조사되어 더미 애노드 초기화 트랜지스터(DT7)와 출력 노드(No)는 전기적으로 연결된다. 로우 레벨의 초기화 제어 신호(GIi)에 응답하여 더미 애노드 초기화 트

랜지스터(DT7)가 턴 온되더라도, 출력 노드(No) 및 리페어 라인(RLi)에는 제2 초기화 전압(Iinit2)이 인가된다.

[0117] 도 8b에 도시된 리페어 더미 픽셀(RDP)은 리페어 라인(RLi)을 통해 불량 픽셀(BP)의 유기 발광 소자(OLED)에 연결되므로, 초기화 전압의 레벨이 상이하다는 점을 제외하고는 리페어 더미 픽셀(RDP)의 동작은 도 7에 도시된 픽셀(P)의 동작과 동일하다. 따라서, 리페어 더미 픽셀(RDP)의 동작에 대하여 반복하여 설명하지 않는다. 리페어 더미 픽셀(RDP)은 더미 데이터 라인(DDL)을 통해 제공되는 데이터 신호(D)에 대응하는 구동 전류(I)를 출력하며, 구동 전류(I)는 리페어 라인(RLi)을 통해 불량 픽셀(BP)의 발광 소자(E)에 제공되며, 발광 소자(E)는 구동 전류(I)에 의해 발광한다.

[0118] 도 8c는 본 발명의 실시예에 따른 유기 발광 표시 장치의 다른 예에 따른 더미 픽셀(DPa)의 회로도를 도시한다.

[0119] 도 8c를 참조하면, 더미 픽셀(DPa)은 더미 게이트 초기화 트랜지스터(DT4)의 제1 전극이 도 7에 도시된 픽셀(P)의 게이트 초기화 트랜지스터(T4)와 동일하게 제1 초기화 전압 라인(IVL1)에 연결된다는 점을 제외하고, 도 8a에 도시된 더미 픽셀(DP)과 동일하다. 도 8a에서 상술한 바와 같이, 연결 가능 구조물(CS)은 더미 애노드 초기화 트랜지스터(DT7)와 제2 초기화 전압 라인(IVL2) 사이에 배치될 수 있다.

[0120] 더미 픽셀(DPa)은 픽셀(P)과 동일하게 초기화 구간에서 더미 구동 트랜지스터(DT1)의 게이트 전극을 제1 초기화 전압(Vinit1)으로 초기화한다.

[0121] 도 8d는 본 발명의 실시예에 따른 유기 발광 표시 장치의 또 다른 예에 따른 더미 픽셀(DPb)의 회로도를 도시한다.

[0122] 도 8d를 참조하면, 더미 픽셀(DPb)은 더미 게이트 초기화 트랜지스터(DT4)의 게이트 전극이 게이트 초기화 제어 라인(GBLi)에 연결된다는 점을 제외하고, 도 8a에 도시된 더미 픽셀(DP)과 동일하다. 더미 픽셀(DPb)의 더미 게이트 초기화 트랜지스터(DT4)는 게이트 초기화 제어 라인(GBLi)을 통해 제공되는 게이트 초기화 제어 신호(GBi)에 응답하여 턴 온된다. 게이트 초기화 제어 신호(GBi)는 초기화 제어 신호(GIi)와 동일한 신호일 수 있다.

[0123] 다른 예에 따르면, 게이트 초기화 제어 신호(GBi)는 초기화 구간 외에 데이터 기입 구간에도 로우 레벨을 가질 수 있다. 이 경우, 초기화 제어 라인(GILi)과 리페어 라인(RLi)의 용량성 커플링으로 인하여, 초기화 제어 신호(GIi)가 하이 레벨로 천이할 때 리페어 라인(RLi)의 전위가 부스팅되는 현상이 개선될 수 있다.

[0124] 또 다른 예에 따르면, 게이트 초기화 제어 신호(GBi)는 초기화 구간 외에 발광 구간의 시작 시점에 로우 레벨을 가질 수 있다. 이 경우, 픽셀들(P)의 애노드 전극과 리페어 라인(RLi)의 용량성 커플링으로 인하여, 픽셀들(P)이 발광하는 시점에 리페어 라인(RLi)의 전위가 부스팅되는 현상이 개선될 수 있다.

[0125] 도 9는 비교예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.

[0126] 도 7을 참조로 앞에서 설명한 바와 같이, 도 1의 정상 픽셀(NP)의 경우, 초기화 기간(Ti)에 초기화 제어 신호(GIi)에 응답하여 구동 트랜지스터(T1)의 게이트 전극과 유기 발광 소자(OLED)의 애노드 전극은 제1 초기화 전압(Vinit1)으로 초기화된다. 데이터 기입 기간(Td)에 스캔 신호(GWi)에 응답하여 데이터 라인(DL)을 통해 수신된 데이터 신호(DATA)에 대응하는 전압이 커패시터(Cst)에 저장된다. 발광 기간(Te)에 구동 트랜지스터(T1)는 커패시터(Cst)에 저장된 전압을 기초로 데이터 신호(DATA)에 상응하는 구동 전류를 유기 발광 소자(OLED)에 공급하고, 유기 발광 소자(OLED)의 애노드 전극의 전위(PIXEL ANODE)는 데이터 신호(DATA)에 상응하는 전압(Vdata)만큼 상승하여야 한다.

[0127] 그러나, 오픈 더미 픽셀(ODP)에 연결 가능 구조물(CS)이 없는 경우, 즉, 더미 픽셀(DP)의 회로 구성이 픽셀(P)의 회로 구성과 동일한 경우에, 발광 기간(Te)의 시작 시점에 리페어 라인(RLi)의 전위 상승으로 인하여 픽셀(P)의 유기 발광 소자(OLED)의 애노드 전극이 전압( $\Delta AnodeV$ )만큼 큰 폭으로 상승하는 문제가 발생한다.

[0128] 예를 들면, 도 1의 오픈 더미 픽셀(ODP)의 경우, 제2 서브 활성 영역(AAb) 상의 모든 픽셀(P)이 정상적으로 동작한다면, 제2 더미 데이터 라인(DDLb)은 플로팅된다. 이 경우, 연결 가능 구조물(CS)을 포함하지 않는 오픈 더미 픽셀(ODP)에서, 초기화 기간(Ti)에 제2 초기화 전압(Vinit2)으로 더미 구동 트랜지스터(DT1)의 게이트 전극이 초기화되면, 더미 구동 트랜지스터(DT1)는 완전히(fully) 턴 온된다. 데이터 기입 구간(Td)에 제2 더미 데이터 라인(DDLb)이 플로팅되어 있으므로, 데이터 신호(DATA)가 수신되지 않고, 더미 구동 트랜지스터(DT1)는 계속하여 완전히 턴 온된다. 발광 기간(Te)에 제1 및 제2 더미 발광 제어 트랜지스터들(DT5, DT6)이 턴

온되면, 구동 전압 라인(ELVDD)와 출력 노드(No) 사이의 제1 및 제2 더미 발광 제어 트랜지스터들(DT5, DT6) 및 더미 구동 트랜지스터(DT1)가 모두 턴 온되며, 도 9에 도시된 바와 같이 출력 노드(No)와 이에 연결된 리페어 라인(RLi)의 전위는 제1 구동 전압(ELVDD)의 레벨로 큰 폭(V2)으로 상승한다.

[0129] 상술한 바와 같이, 리페어 라인(RLi)과 픽셀들(P)의 애노드 전극은 용량성으로 커플링되어 있으므로, 도 9에 도시된 바와 같이 리페어 라인(RLi)의 전위가 큰 폭(V2)으로 상승하면, 픽셀들(P)의 애노드 전극의 전위는 데이터 신호(DATA)에 상응하는 전압(Vdata) 외에 전압( $\Delta$ AnodeV)만큼 더 상승하게 된다. 그 결과, 제2 서브 활성 영역(AAb) 상의 모든 픽셀들(P)은 데이터 신호(DATA)보다 더 밝게 발광하게 된다. 발광 기간(Te)의 시작 시점에 리페어 라인(RL)의 전위가 제1 구동 전압(ELVDD)의 레벨로 급격하게 상승하는 현상은 제2 서브 더미 영역(DAb) 상의 모든 더미 픽셀들(DP)에 공통적으로 나타나는 문제이다.

[0130] 그에 반하여, 도 1에서 제1 더미 데이터 라인(DDLa)은 데이터 라인(DLj)에 전기적으로 연결된다. 제1 서브 더미 영역(DAa) 상의 더미 픽셀들(DP)에 연결된 리페어 라인들(RL)의 전위는 발광 기간(Te)의 시작 시점에 제1 더미 데이터 라인(DDLa)의 데이터 신호(DATA)에 대응하는 전압 레벨만큼만 상승하게 되므로, 제2 서브 더미 영역(DAb) 상의 더미 픽셀들(DP)에 연결된 리페어 라인들(RL)만큼 급격하게 리페어 라인(RL)의 전위가 상승하지 않는다. 따라서, 제1 서브 활성 영역(AAa) 상의 픽셀들(P)의 애노드 전극의 전위 상승은 제한적이며, 제2 서브 활성 영역(AAb) 상의 픽셀들(P)만큼 데이터 신호(DATA)보다 밝게 발광하지는 않는다.

[0131] 상술한 문제로 인하여, 제1 서브 활성 영역(AAa)과 제2 서브 활성 영역(AAb) 사이에 휘도 차이가 발생하며, 이러한 휘도 차이는 관찰자에 의하여 시인된다.

[0132] 도 10은 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.

[0133] 본 발명의 실시예에 따른 유기 발광 표시 장치에서는 불량 픽셀(BP)을 리페어하는데 사용되는 리페어 더미 픽셀(RDP)만이 초기화 구간(Ti)에 리페어 라인(RLi)이 제2 초기화 전압(Vinit2)의 레벨로 초기화된다. 데이터 기입 구간(Td)에 리페어 더미 픽셀(RDP)은 더미 데이터 라인(DDL)의 데이터 신호(DATAd)를 수신하고, 발광 기간(Te)에 데이터 신호(DATAd)에 상응하는 구동 전류를 리페어 라인(RLi)에 출력하고, 이 구동 전류는 불량 픽셀(BP)의 유기 발광 소자(OLED)를 통해 제2 구동 전원으로 빠져 나가기 때문에, 도 10에 도시된 바와 같이 발광 기간(Te)의 시작 시점에 리페어 라인(RLi)의 전위는 데이터 신호(DATAd)에 상응하는 전압(Vdatad)만큼 상승한다. 이 전압(Vdatad)는 도 9의 전압(V2)에 비하여 작다.

[0134] 본 발명의 실시예에 따른 유기 발광 표시 장치에서도 리페어 라인(RLi)과 픽셀(P)의 애노드 전극은 용량성으로 커플링되지만, 리페어 라인(RLi)의 전위 상승 폭(Vdatad)은 크지 않기 때문에, 도 10에 도시된 바와 같이 픽셀(P)의 애노드 전극의 전위는 데이터 신호(DATA)에 상응하는 전압(Vdata) 외에, 전압( $\Delta$ AnodeV)만큼 더 상승하게 된다. 전압( $\Delta$ AnodeV)은 리페어 라인(RLi)과의 용량성 커플링으로 인하여 상승하는 전압으로서 리페어 라인(RLi)의 전위 상승 폭(Vdatad)에 비례한다. 따라서, 불량 픽셀(BP)과 동일 행에 위치한 픽셀(P)들의 애노드 전극의 전위(PIXEL ANODE)은 발광 기간(Td)의 시작 시점에 데이터 신호(DATA)에 상응하는 전압(Vdata)보다 전압( $\Delta$ AnodeV)만큼 더 상승하게 된다. 결과적으로, 도 10에 도시된 바와 같이 전압( $\Delta$ AnodeV)은 작기 때문에, 리페어 더미 픽셀(RDP)과 동일 행에 위치한 픽셀들(P)은 실질적으로 데이터 신호(DATA)에 상응하는 밝기로 발광한다.

[0135] 본 발명의 실시예에 따른 유기 발광 표시 장치에서는 불량 픽셀(BP)을 리페어하는데 사용되지 않는 오픈 더미 픽셀(RDP)은 초기화 구간(Ti)에 리페어 라인(RLi)이 초기화되지 않기 때문에, 발광 기간(Te)의 시작 시점에 큰 폭으로 전위가 변하지 않는다. 오픈 더미 픽셀(RDP)에 연결된 더미 데이터 라인(DDL)이 다른 데이터 라인(DL)에 연결되어 있는 경우뿐만 아니라, 더미 데이터 라인이 플로팅되어 있는 경우에도, 오픈 더미 픽셀(RDP)에 연결된 리페어 라인(RLi)은 제2 초기화 전압(Vinit2)으로 초기화되지 않으므로, 발광 기간(Te)의 시작 시점에 리페어 라인(RLi)의 전위는 크게 변하지 않는다. 따라서, 픽셀(P)들의 애노드 전극의 전위가 커플링에 의해 상승하는 폭은 작다. 결과적으로, 오픈 더미 픽셀(ODP)과 동일 행에 위치한 픽셀들(P)은 실질적으로 데이터 신호(DATA)에 상응하는 밝기로 발광한다.

[0136] 리페어 더미 픽셀(RDP)과 동일 행에 위치한 픽셀들(P)과 오픈 더미 픽셀(ODP)과 동일 행에 위치한 픽셀들(P)은 서로 구분되지 않는다.

- [0137] 도 11은 본 발명의 실시예에 따른 유기 발광 표시 장치의 또 다른 예에 따른 더미 픽셀(DPc)의 회로도를 도시한다.
- [0138] 도 11을 참조하면, 더미 픽셀(DPc)은 더미 애노드 초기화 트랜지스터(DT7)와 병렬로 연결되는 커플링 제거 트랜지스터(DT8)를 더 포함하는 점을 제외하고, 도 8a에 도시된 더미 픽셀(DP)과 동일하다. 커플링 제거 트랜지스터(DT8)의 게이트 전극은 커플링 제거 제어 신호(GCi)를 전달하는 커플링 제거 제어 라인(GCLi)에 연결되고, 제1 전극은 더미 애노드 초기화 트랜지스터(DT7)의 제1 전극에 연결되고, 제2 전극은 더미 애노드 초기화 트랜지스터(DT7)의 제2 전극에 연결된다.
- [0139] 도 11에서 커플링 제거 제어 라인(GCLi)은 별도의 제어 라인으로 도시되어 있지만, 커플링 제거 제어 라인(GCLi)은 다른 제어 라인에 연결될 수 있다. 일 예에 따르면, 커플링 제거 제어 라인(GCLi)은 스캔 라인(GWLi)에 연결될 수 있다. 다른 예에 따르면, 커플링 제거 제어 라인(GCLi)은 스캔 신호(GWi)보다 한 스캔 시간 또는 두 스캔 시간만큼 늦은 스캔 신호(예컨대, GWi+1 또는 GWi+2)를 전달하는 스캔 라인(예컨대, GWi+1, GWi+2)에 연결될 수 있다. 커플링 제거 제어 라인(GCLi)은 게이트 드라이버(120)에 의해 구동되는 라인일 수 있으며, 커플링 제거 제어 라인(GCLi)을 통해 전달되는 커플링 제거 제어 신호(GCi)는 스캔 신호(예컨대, GWi, GWi+1, GWi+2)와 동일한 신호일 수도 있다.
- [0140] 도 12는 도 11의 더미 픽셀(DPc)을 포함하는 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.
- [0141] 도 12에 도시된 타이밍도는 커플링 제거 제어 신호(GCi)가 스캔 신호(GWi+1)과 동일한 경우의 타이밍도이다.
- [0142] 도 12를 참조하면, 초기화 기간(Ti)의 종료 시점에, 초기화 제어 라인(GLi)는 라이징 에지(rising edge)를 가지며, 초기화 제어 라인(GLi)의 전위는 V1만큼 상승한다. 상술한 바와 같이, 초기화 제어 라인(GLi)과 리페어 라인(RLi)은 용량성으로 커플링되므로, 초기화 구간(Ti)의 종료 시점에 리페어 라인(RLi)의 전위는  $\Delta GIC$ 만큼 상승하게 된다.
- [0143] 커플링 제거 기간(Tc)은 커플링 제거 트랜지스터(DT8)가 턴 온되는 기간, 또는 커플링 제거 제어 신호(GCi)가 로우 레벨을 갖는 기간으로 정의된다. 커플링 제거 기간(Tc) 동안에 커플링 제거 트랜지스터(DT8)가 턴 온되므로, 리페어 라인(RLi)에는 제2 초기화 전압(Vinit2)이 인가된다. 커플링 제거 기간(Tc)의 시작 시점에, 리페어 라인(RLi)의 전위는 제2 초기화 전압(Vinit2)의 레벨로 다시 떨어진다.
- [0144] 발광 기간(Te)의 시작 시점에, 발광 제어 신호(EMi)는 폴링 에지를 가지며, 픽셀(P)의 애노드 전극의 전위(PIXEL ANODE)는 데이터 라인(DL)의 데이터 신호(DATA)에 상응하는 전압(Vdata)만큼 상승한다. 이 때, 커플링 제거 제어 신호(GCi)는 로우 레벨을 가지므로, 커플링 제거 트랜지스터(DT8)가 턴 온되어, 리페어 라인(RLi)에는 제2 초기화 전압(Vinit2)이 계속 인가된다. 따라서, 발광 기간(Te)의 시작 시점에 리페어 라인(RLi)의 전위 상승으로 인한 픽셀(P)의 애노드 전극의 전위 상승은 없다.
- [0145] 발광 기간(Te)의 시작 시점에 애노드 전극의 전위(PIXEL ANODE)가 전압(Vdata)만큼 상승하고, 이 전압(Vdata)에 비례하여 리페어 라인(RLi)의 전위는 순간적으로  $\Delta Boost$ 만큼 상승할 수 있다. 그러나, 커플링 제거 트랜지스터(DT8)가 턴 온되어 있으므로, 리페어 라인(RLi)에는 제2 초기화 전압(Vinit2)이 인가되고 있으며, 리페어 라인(RLi)의 전위는 다시 제2 초기화 전압(Vinit2)의 레벨로 다시 떨어진다.
- [0146] 커플링 제거 기간(Tc)의 종료 시점에 커플링 제거 트랜지스터(DT8)가 턴 오프되면서, 리페어 라인(RLi)에 제2 초기화 전압(Vinit2)이 인가되는 것이 중지된다. 더미 구동 트랜지스터(DT1)는 더미 데이터 라인(DDL)의 데이터 신호(DATAd)에 상응하는 구동 전류를 출력하고, 리페어 라인(RLi)의 전위는 데이터 신호(DATAd)에 상응하는 전압(Vdatad)만큼 상승하게 된다. 리페어 라인(RLi)에 연결된 픽셀(P)의 발광 소자는 상기 구동 전류를 수신하고, 상기 구동 전류에 의해 데이터 신호(DATAd)에 상응하는 밝기로 발광한다.
- [0147] 커플링 제거 트랜지스터(DT8)에 의하여, 초기화 기간(Ti)의 종료 시점에 초기화 제어 라인(GLi)의 전위 상승에 의한 커플링 효과( $\Delta GIC$ ), 및 발광 기간(Te)의 시작 시점에 픽셀(P)의 애노드 전극의 전위 상승에 의한 커플링 효과( $\Delta Boost$ )는 감소 또는 제거될 수 있다. 또한, 커플링 제거 트랜지스터(DT8)에 의하여, 발광 기간(Te)의 시작 시점에 리페어 라인(RLi)에 제2 초기화 전압(Vinit2)을 계속하여 인가함으로써 리페어 라인(RLi)으로 인한 픽셀(P)의 애노드 전극의 전위 상승은 발생하지 않는다. 리페어 라인(RLi), 초기화 제어 라인(GLi), 및 픽셀들(P)의 애노드 전극 간의 용량성 커플링으로 인한 화질 저하의 문제가 개선될 수 있다.
- [0148] 본 기술분야의 당업자는 커플링 제거 제어 신호(GCi)가 스캔 신호(GWi) 또는 스캔 신호(GWi+2)와 동일한 경우에

대해서도 위의 경우와 동일하거나 유사한 커플링 제거 효과가 발생할 것임을 이해할 것이다.

[0149]

본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

**부호의 설명**

[0150]

100: 유기 발광 표시 장치

110: 표시 패널

120: 게이트 드라이버

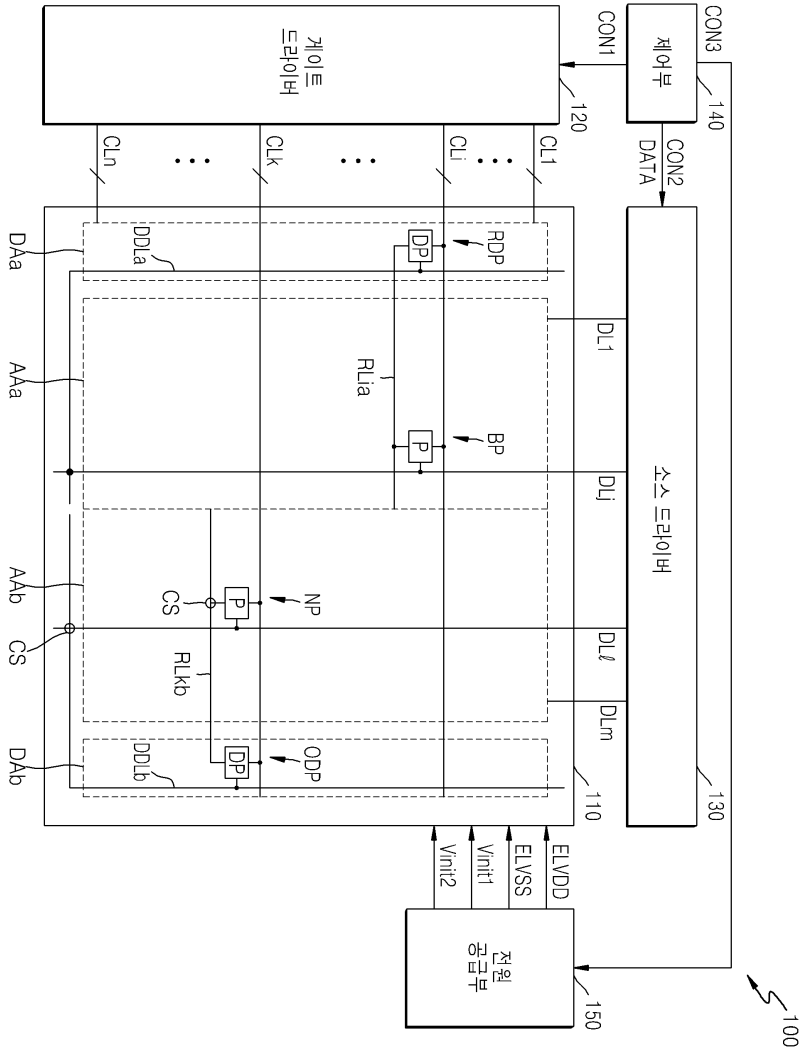
130: 소스 드라이버

140: 제어부

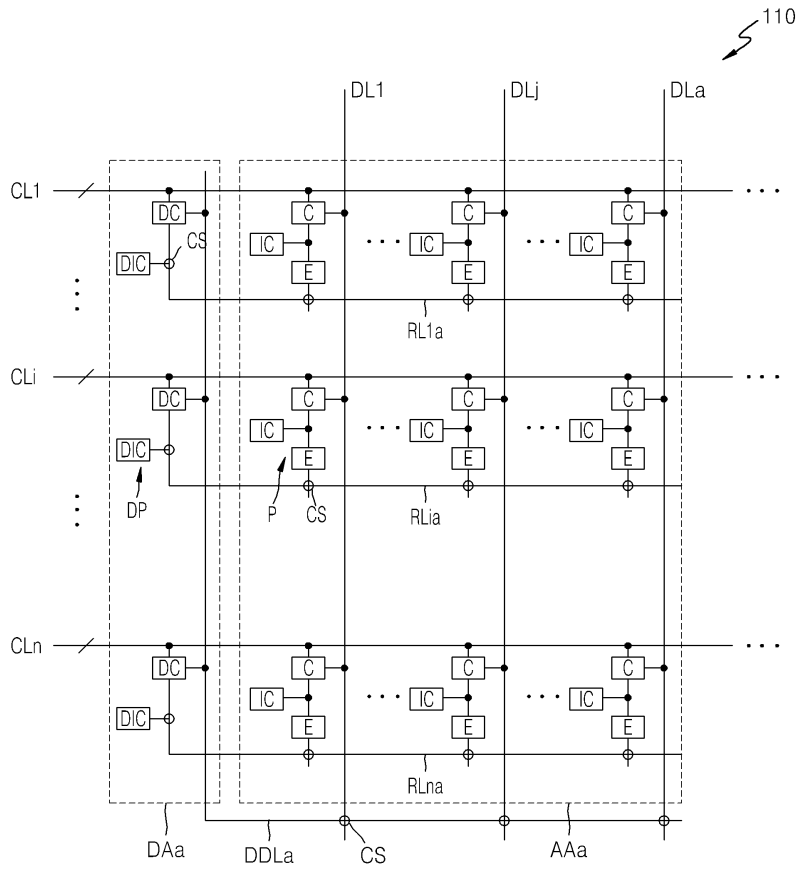
150: 전원 공급부

도면

도면1

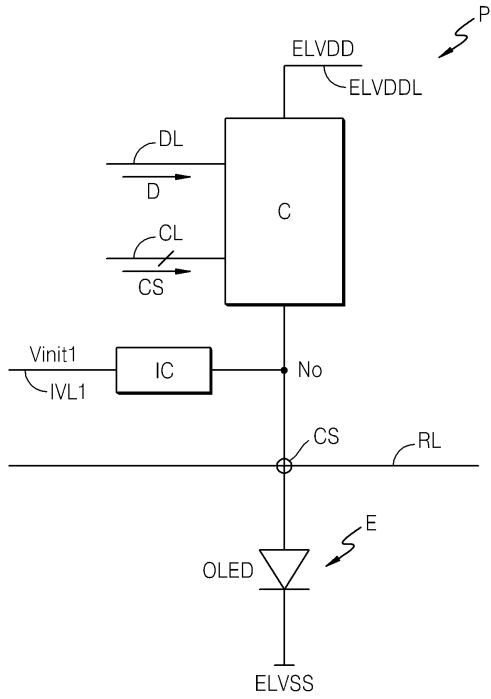


도면2

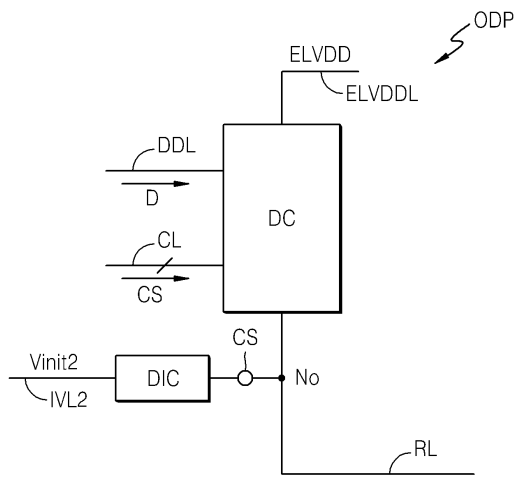




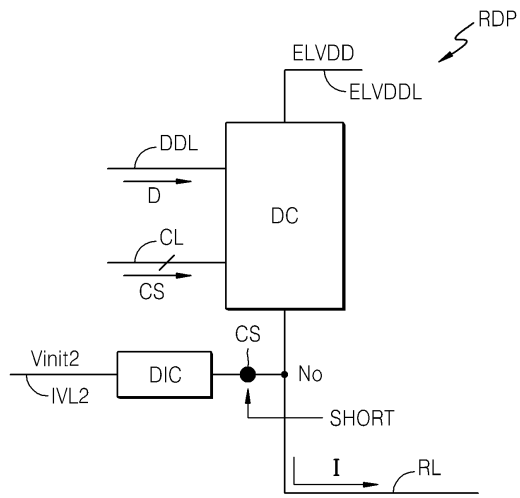
도면4a



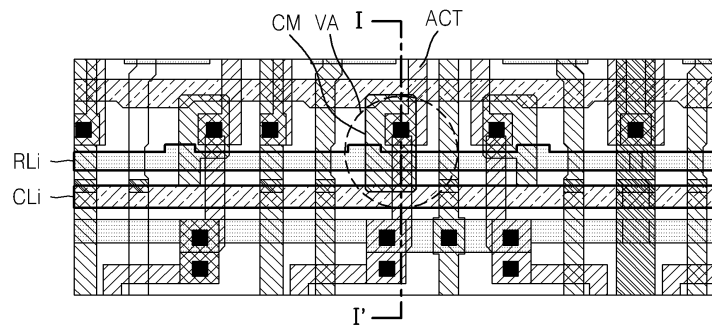
도면4b



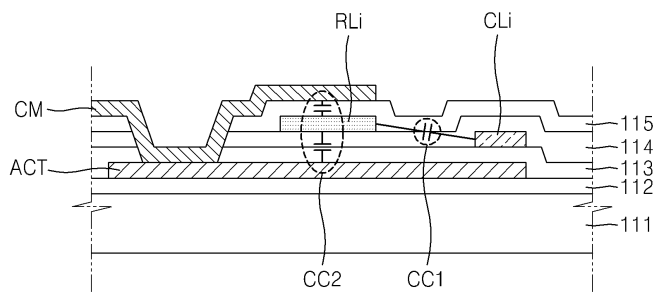
도면4c



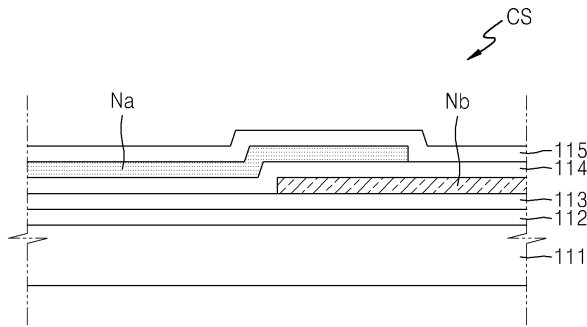
도면5a



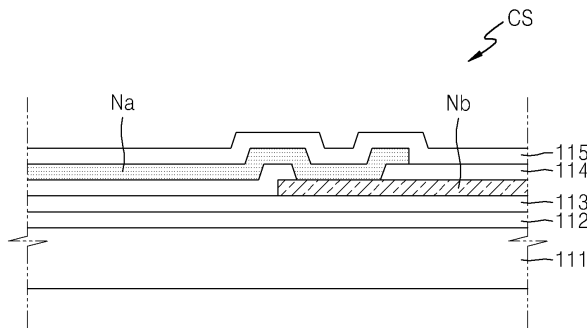
도면5b



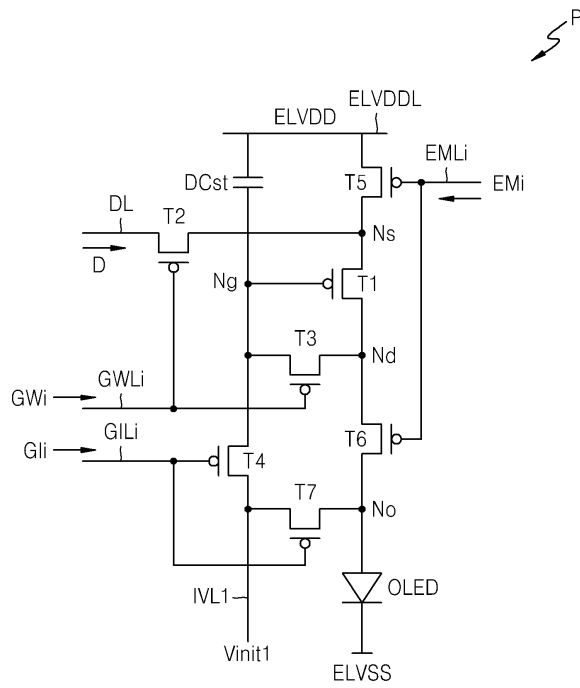
도면6a



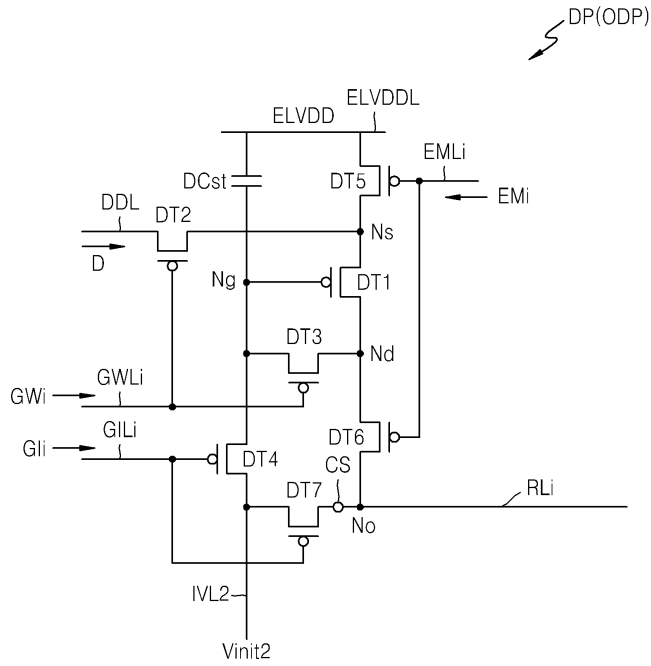
도면6b



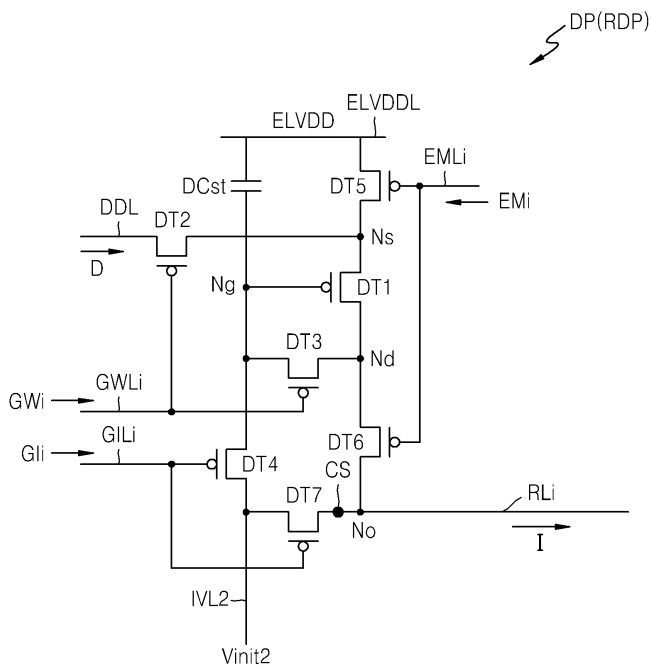
도면7



도면8a

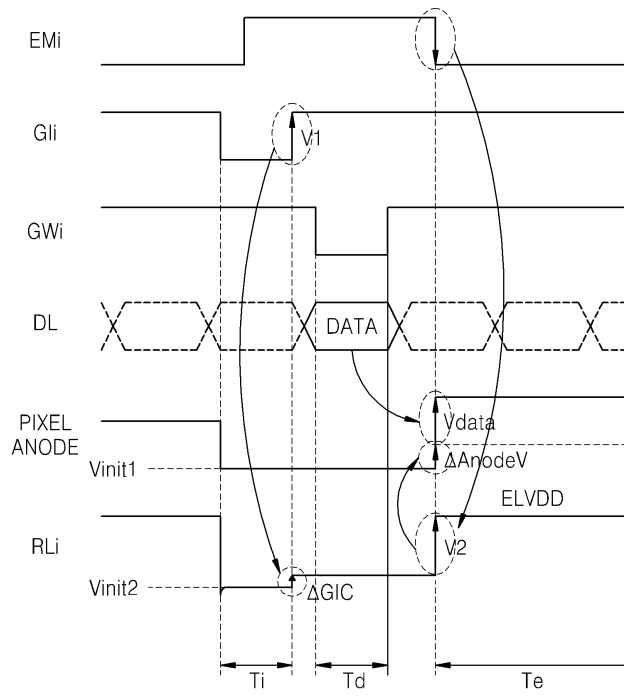


도면8b

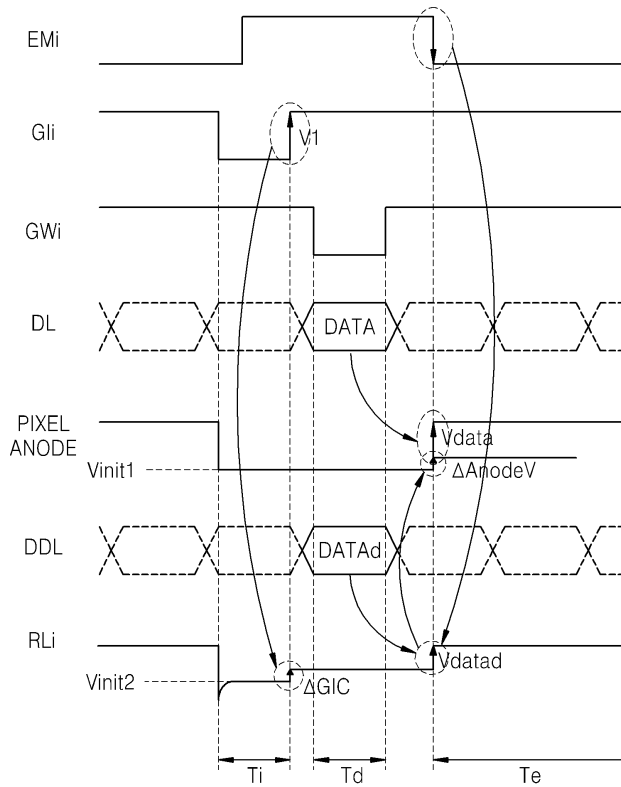




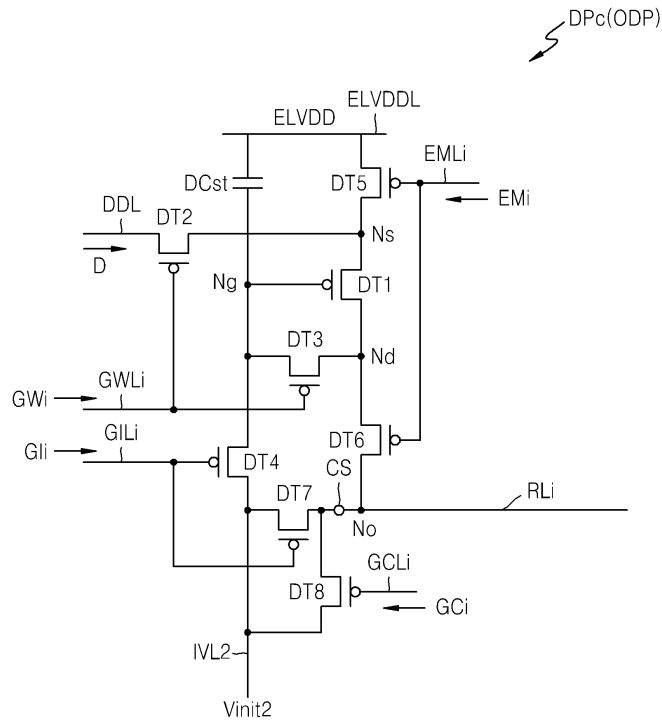
도면9



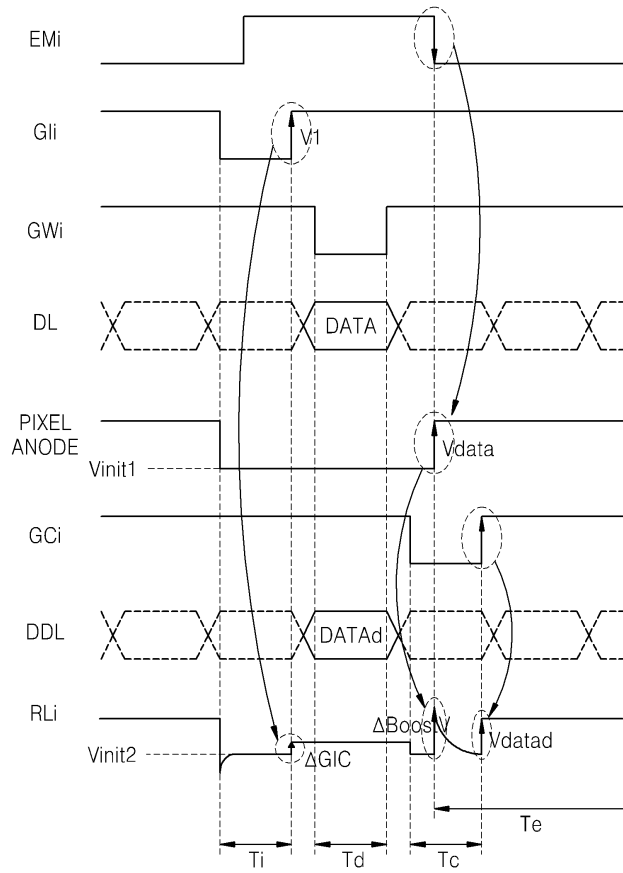
도면10



도면11



도면12



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020150117358A</a>	公开(公告)日	2015-10-20
申请号	KR1020140042535	申请日	2014-04-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星DISPLAY CO., LTD.		
当前申请(专利权)人(译)	三星DISPLAY CO., LTD.		
[标]发明人	PARK KYONG TAE SO DONG YOON		
发明人	PARK, KYONG TAE SO, DONG YOON		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0413 G09G2300/0439 G09G2320/0233 G09G2320/043		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机发光显示装置包括有源区域处的像素，虚设区域处的虚设像素，以及连接到多个虚设像素并且可与多个像素连接的修复线。多个虚设像素中的每一个包括：输出节点，其耦合到与多个修复线中的虚设像素对应的修复线；虚设电路，包括虚拟驱动晶体管，其耦合在第一驱动电压线之间施加驱动电压和输出节点，以及虚拟初始化电路，其包括虚拟阳极初始化晶体管，其耦合在施加虚拟初始化电压的虚拟初始化电压线和经由可连接结构的输出节点之间。可连接结构包括第一导体和第二导体，第一导体和第二导体至少部分地彼此重叠并且彼此电绝缘。

