

명세서

청구범위

청구항 1

복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는,
기관 상에 구비된 구동 박막 트랜지스터;

상기 구동 박막 트랜지스터의 구동 게이트 전극과 연결되는 제1전극, 및 상기 제1전극의 상부에 구비되며 상기 제1전극과 절연되는 제2전극을 포함하는 제1 스토리지 커패시터; 및

상기 제1전극과 전기적으로 연결되고 상기 제1전극 및 상기 제2전극과 다른 층에 구비되며 상기 제1커패시터와 중첩하지 않는 제3전극, 및 상기 제3전극의 상부에 구비되며 상기 제3전극과 절연되는 제4전극을 포함하는 제2 스토리지 커패시터;

를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 구동 게이트 전극과 상기 제1전극은 동일한 층에 일체(一體)로 구비되는, 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 구동 박막 트랜지스터는

상기 구동 게이트 전극의 하부에 구비되며 상기 기관으로부터 순차적으로 적층된 제1게이트 절연막 및 제2게이트 절연막으로 절연되는 구동 반도체층; 을 더 포함하는, 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 구동 박막 트랜지스터와 유기 발광 소자 사이에 구비되고,

상기 구동 반도체층과 동일한 층에 구비된 발광 제어 반도체층; 및

상기 발광 제어 반도체층을 덮는 상기 제1게이트 절연막을 통해 상기 발광 제어 반도체층과 절연되는 발광 제어 게이트 전극;

을 포함하는 발광 제어 박막 트랜지스터를 더 포함하는, 유기 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 제1전극과 상기 제2전극 사이에 구비되는 제3게이트 절연막;

을 더 포함하는, 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제2전극과 상기 제3전극 사이에 구비되는 제1층간 절연막; 을 더 포함하고, 상기 제1전극과 상기 제3전극은 상기 제3게이트 절연막 및 상기 제1층간 절연막에 공통으로 구비된 콘택홀을 통해 전기적으로 연결되는, 유기 발광 표시 장치.

청구항 7

제6항에 있어서,
상기 제3전극과 상기 제4전극 사이에 구비되는 제2층간 절연막; 을 더 포함하는, 유기 발광 표시 장치.

청구항 8

제4항에 있어서,
상기 제2전극은 상기 유기 발광 소자를 동작시키는 구동 전압을 전달하는 구동 전압선과 연결되는, 유기 발광 표시 장치.

청구항 9

제1항에 있어서,
상기 제4전극은 상기 구동 박막 트랜지스터를 초기화하는 초기화 전압을 전달하는 초기화 전압선과 연결되는, 유기 발광 표시 장치.

청구항 10

제4항에 있어서,
상기 제4전극 상에 구비되는 보호층; 을 더 포함하고
상기 유기 발광 소자는 애노드 전극과 이에 대항하는 캐소드 전극 및 그 사이에 개재된 중간층을 포함하고, 상기 애노드 전극은 상기 보호층 상에 구비되는, 유기 발광 표시 장치.

청구항 11

복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는,
기판 상에 구비된 구동 박막 트랜지스터;
상기 구동 박막 트랜지스터의 구동 게이트 전극과 연결되는 제1전극, 및 상기 제1전극의 상부에 구비되며 상기 제1전극과 절연되는 제2전극을 포함하는 제1스토리지 커패시터; 및
상기 제1전극과 전기적으로 연결되는 제3전극, 및 상기 제3전극의 하부에 구비되며 상기 제3전극과 절연되고 제1전극과 동일한 층에 구비되는 제4전극을 포함하며, 상기 제1스토리지 커패시터와 중첩하지 않는 제2스토리지 커패시터;
를 포함하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,
상기 구동 게이트 전극과 상기 제1전극은 동일한 층에 일체(一體)로 구비되는, 유기 발광 표시 장치.

청구항 13

제11항에 있어서,
상기 구동 박막 트랜지스터는
상기 구동 게이트 전극의 하부에 구비되며 제1게이트 절연막으로 절연되는 구동 반도체층; 을 더 포함하는, 유기 발광 표시 장치.

청구항 14

제13항에 있어서,
상기 구동 박막 트랜지스터와 유기 발광 소자 사이에 구비되고,

상기 구동 반도체층과 동일한 층에 구비된 발광 제어 반도체층; 및
상기 발광 제어 반도체층을 덮는 상기 제1게이트 절연막을 통해 상기 발광 제어 반도체층과 절연되며 상기 구동 게이트 전극과 동일한 층에 구비된 발광 제어 게이트 전극;
을 포함하는 발광 제어 박막 트랜지스터를 더 포함하는, 유기 발광 표시 장치.

청구항 15

제14항에 있어서,
상기 제1전극과 상기 제2전극 사이에 구비되는 제2게이트 절연막;
을 더 포함하는, 유기 발광 표시 장치.

청구항 16

제15항에 있어서,
상기 제4전극과 상기 제3전극 사이에 상기 기판으로부터 순차적으로 구비되는 상기 제2게이트 절연막 및 제1층 간 절연막; 을 더 포함하는, 유기 발광 표시 장치.

청구항 17

제14항에 있어서,
상기 제2전극은 상기 유기 발광 소자를 동작시키는 구동 전압을 전달하는 구동 전압선과 연결되는, 유기 발광 표시 장치.

청구항 18

제11항에 있어서,
상기 구동 박막 트랜지스터와 초기화 전압을 전달하는 초기화 전압선 사이에 구비되며, 이전 주사 신호에 의해 턴 온되어 상기 초기화 전압을 구동 게이트 전극으로 전달하는 초기화 박막 트랜지스터; 를 더 포함하는, 유기 발광 표시 장치.

청구항 19

제18항에 있어서,
상기 제4전극은 상기 이전 주사 신호를 전달하는 이전 주사선과 연결되는, 유기 발광 표시 장치.

청구항 20

제14항에 있어서,
상기 제4전극 상에 구비되는 보호층; 을 더 포함하고
상기 유기 발광 소자는 애노드 전극과 이에 대향하는 캐소드 전극 및 그 사이에 개재된 중간층을 포함하고, 상기 애노드 전극은 상기 보호층 상에 구비되는, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 실시예는 화소 내에 적어도 하나 이상의 커패시터를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 소자는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형

성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터(thin film transistor) 및 적어도 하나의 커패시터(Capacitor)가 형성되어 있다.

[0004] 커패시터는 하부 전극과 상부 전극 및 그 사이에 개재된 유전체로 구성된다. 이러한 커패시터의 충전 용량(capacitance)은 중첩되는 양 전극의 면적에 비례한다. 따라서, 중첩되는 양 전극의 면적이 줄어들면 커패시턴스도 줄어드는 문제가 있다. 그런데, 유기 발광 표시 장치의 해상도가 높아질수록 한정된 공간안에 많은 화소들이 포함되어야 하고, 각 화소가 차지할 수 있는 면적도 줄어든다. 그런데, 유기 발광 표시 장치가 정상적으로 구동하기 위해서는 일정한 커패시턴스가 보장되어야 하는바, 고해상도 유기 발광 표시 장치에 맞는 커패시터 소자들의 새로운 디자인이 요구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 고해상도 유기 발광 표시 장치에서 화소 내의 커패시턴스를 유지 및 보완하기 위한 커패시터 구조를 포함하는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예는 복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는, 기관 상에 구비된 구동 박막 트랜지스터; 상기 구동 박막 트랜지스터의 구동 게이트 전극과 연결되는 제1전극, 및 상기 제1전극의 상부에 구비되며 상기 제1전극과 절연되는 제2전극을 포함하는 제1 스토리지 커패시터; 및 상기 제1전극과 전기적으로 연결되고 상기 제1전극 및 상기 제2전극과 다른 층에 구비되며 상기 제1커패시터와 중첩하지 않는 제3전극, 및 상기 제3전극의 상부에 구비되며 상기 제3전극과 절연되는 제4전극을 포함하는 제2 스토리지 커패시터; 를 포함하는 유기 발광 표시 장치를 개시한다.

[0007] 본 실시예에 있어서, 상기 구동 게이트 전극과 상기 제1전극은 동일한 층에 일체(一體)로 구비될 수 있다.

[0008] 본 실시예에 있어서, 상기 구동 박막 트랜지스터는 상기 구동 게이트 전극의 하부에 구비되며 상기 기관으로부터 순차적으로 적층된 제1게이트 절연막 및 제2게이트 절연막으로 절연되는 구동 반도체층; 을 더 포함할 수 있다.

[0009] 본 실시예에 있어서, 상기 구동 박막 트랜지스터와 유기 발광 소자 사이에 구비되고, 상기 구동 반도체층과 동일한 층에 구비된 발광 제어 반도체층; 및 상기 발광 제어 반도체층을 덮는 상기 제1게이트 절연막을 통해 상기 발광 제어 반도체층과 절연되는 발광 제어 게이트 전극; 을 포함하는 발광 제어 박막 트랜지스터를 더 포함할 수 있다.

[0010] 본 실시예에 있어서, 상기 제1전극과 상기 제2전극 사이에 구비되는 제3게이트 절연막; 을 더 포함할 수 있다.

[0011] 본 실시예에 있어서, 상기 제2전극과 상기 제3전극 사이에 구비되는 제1층간 절연막; 을 더 포함하고, 상기 제1전극과 상기 제3전극은 상기 제3게이트 절연막 및 상기 제1층간 절연막에 공통으로 구비된 콘택홀을 통해 전기적으로 연결될 수 있다.

[0012] 본 실시예에 있어서, 상기 제3전극과 상기 제4전극 사이에 구비되는 제2층간 절연막; 을 더 포함할 수 있다.

[0013] 본 실시예에 있어서, 상기 제2전극은 상기 유기 발광 소자를 동작시키는 구동 전압을 전달하는 구동 전압선과 연결될 수 있다.

[0014] 본 실시예에 있어서, 상기 제4전극은 상기 구동 박막 트랜지스터를 초기화하는 초기화 전압을 전달하는 초기화 전압선과 연결될 수 있다.

[0015] 본 실시예에 있어서, 상기 제4전극 상에 구비되는 보호층; 을 더 포함하고

[0016] 상기 유기 발광 소자는 애노드 전극과 이에 대향하는 캐소드 전극 및 그 사이에 개재된 중간층을 포함하고, 상기 애노드 전극은 상기 보호층 상에 구비될 수 있다.

[0017] 본 발명의 다른 실시예는 복수의 화소를 포함하는 유기 발광 표시 장치에 있어서, 각 화소는, 기관 상에 구비된

구동 박막 트랜지스터; 상기 구동 박막 트랜지스터의 구동 게이트 전극과 연결되는 제1전극, 및 상기 제1전극의 상부에 구비되며 상기 제1전극과 절연되는 제2전극을 포함하는 제1스토리지 커패시터; 및 상기 제1전극과 전기적으로 연결되는 제3전극, 및 상기 제3전극의 하부에 구비되며 상기 제3전극과 절연되고 제1전극과 동일한 층에 구비되는 제4전극을 포함하며, 상기 제1스토리지 커패시터와 중첩하지 않는 제2스토리지 커패시터; 를 포함하는 유기 발광 표시 장치를 개시한다.

- [0018] 본 실시예에 있어서, 상기 구동 게이트 전극과 상기 제1전극은 동일한 층에 일체(一體)로 구비될 수 있다.
- [0019] 본 실시예에 있어서, 상기 구동 박막 트랜지스터는 상기 구동 게이트 전극의 하부에 구비되며 제1게이트 절연막으로 절연되는 구동 반도체층; 을 더 포함할 수 있다.
- [0020] 본 실시예에 있어서, 상기 구동 박막 트랜지스터와 유기 발광 소자 사이에 구비되고, 상기 구동 반도체층과 동일한 층에 구비된 발광 제어 반도체층; 및 상기 발광 제어 반도체층을 덮는 상기 제1게이트 절연막을 통해 상기 발광 제어 반도체층과 절연되며 상기 구동 게이트 전극과 동일한 층에 구비된 발광 제어 게이트 전극; 을 포함하는 발광 제어 박막 트랜지스터를 더 포함할 수 있다.
- [0021] 본 실시예에 있어서, 상기 제1전극과 상기 제2전극 사이에 구비되는 제2게이트 절연막; 을 더 포함할 수 있다.
- [0022] 본 실시예에 있어서, 상기 제4전극과 상기 제3전극 사이에 상기 기판으로부터 순차적으로 구비되는 상기 제2게이트 절연막 및 제1층간 절연막; 을 더 포함할 수 있다.
- [0023] 본 실시예에 있어서, 상기 제2전극은 상기 유기 발광 소자를 동작시키는 구동 전압을 전달하는 구동 전압선과 연결될 수 있다.
- [0024] 본 실시예에 있어서, 상기 구동 박막 트랜지스터와 초기화 전압을 전달하는 초기화 전압선 사이에 구비되며, 이 전 주사 신호에 의해 턴 온되어 상기 초기화 전압을 구동 게이트 전극으로 전달하는 초기화 박막 트랜지스터; 를 더 포함할 수 있다.
- [0025] 본 실시예에 있어서, 상기 제4전극은 상기 이전 주사 신호를 전달하는 이전 주사선과 연결될 수 있다.
- [0026] 본 실시예에 있어서, 상기 제4전극 상에 구비되는 보호층; 을 더 포함하고 상기 유기 발광 소자는 애노드 전극과 이에 대향하는 캐소드 전극 및 그 사이에 개재된 중간층을 포함하고, 상기 애노드 전극은 상기 보호층 상에 구비될 수 있다.
- [0027] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0028] 본 발명의 실시예들에 관한 유기 발광 표시 장치는 고해상도 유기 발광 표시 장치를 구현하기 위해 한정된 공간에 많은 수의 화소들을 배치하더라도 화소 내의 커패시턴스가 유지 및 보완되는 특징이 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3A 및 도 3B는 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다.
- 도 4는 도 3A의 A-A' 선 및 B-B' 선을 따라 자른 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 6A 및 도 6B는 본 발명의 다른 실시예에 따른 도 5의 화소를 나타낸 개략적인 평면도이다.
- 도 7은 도 6A의 C-C' 선, D-D' 선 및 E-E' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과

함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0033] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)를 개략적으로 나타낸 블록도이다.
- [0035] 본 발명의 일 실시예에 의한 유기 발광 표시 장치(1000)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 제어부(50)를 포함한다.
- [0036] 표시부(10)는 복수의 주사선(SL1 내지 SLn+1), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소(1)를 포함한다. 복수의 주사선(SL1 내지 SLn+1) 및 복수의 발광 제어선(EL1 내지 ELn)은 행 방향인 제2방향으로 연장되고, 복수의 데이터선(DL1 내지 DLm) 및 구동 전압선(ELVDDL)은 열 방향인 제1방향으로 연장되어 있다. 하나의 화소 라인에서 복수의 주사선(SL1 내지 SLn+1)의 n 값은 복수의 발광 제어선(EL1 내지 ELn)의 n 값과 상이할 수 있다.
- [0037] 각 화소(1)는 표시부(10)에 전달되는 복수의 주사선(SL1 내지 SLn+1) 중 세 개의 주사선에 연결되어 있다. 주사 구동부(20)는 복수의 주사선(SL1 내지 SLn+1)을 통해 각 화소에 세 개의 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 제1주사선(SL2~SLn), 제2주사선(SL1~SLn-1) 또는 제3주사선(SL3~SLn+1)으로 주사 신호를 순차적으로 공급한다.
- [0038] 초기화 전압선(IL)은 외부의 전원 공급원(VINT)으로부터 표시부(10) 초기화 전압을 인가받을 수 있다.
- [0039] 또한 각 화소(1)는 표시부(10)에 전달되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 표시부(10)에 전달되는 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다.
- [0040] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호를 전달한다. 데이터 신호는 제1주사선(SL2~SLn+1)으로 주사 신호가 공급될 때마다 주사 신호에 의해 선택된 화소(1)로 공급된다.
- [0041] 발광 제어 구동부(40)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(1)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 화소(1)의 내부 구조에 따라 생략될 수도 있다.
- [0042] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.
- [0043] 복수의 화소(1) 각각은 외부의 제1전원전압(ELVDD) 및 제2전원전압(ELVSS)을 공급받는다. 제1전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2전원전압(ELVSS)은 상기 제1전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다. 제1전원전압(ELVDD)은 구동 전압선(ELVDDL)을 통해 각 화소(1)로 공급된다.
- [0044] 복수의 화소(1) 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0045] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)의 하나의 화소(1)의 등가 회로도이다.
- [0046] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T7) 및 두 개의 스토리지 캐패시터(storage capacitor, Cst1, Cst2)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로(2)를 통해 구동 전류를 전달받아 발광하는 유기 발광 소자(organic light emitting

diode, OLED)를 포함한다.

- [0047] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6) 및 제2초기화 박막 트랜지스터(T7)를 포함한다.
- [0048] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1주사 신호(Sn)를 전달하는 제1주사선(14), 제1초기화 박막 트랜지스터(T4)에 제2주사 신호(Sn-1)를 전달하는 제2주사선(24), 제2초기화 박막 트랜지스터(T7)에 제3주사신호(Sn+1)를 전달하는 제3주사선(34), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(15), 제1주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 제1전원전압(ELVDD)을 전달하는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(20)을 포함한다.
- [0049] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 제1스토리지 커패시터(Cst1)의 제1전극(C1) 및 제2스토리지 커패시터(Cst2)의 제3전극(C3)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.
- [0050] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1주사선(14)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0051] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1주사선(14)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0052] 제1초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2주사선(24)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 제1초기화 박막 트랜지스터(T4)는 제2주사선(24)을 통해 전달받은 제2주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0053] 제1발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(15)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0054] 제2발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(15)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)는 발광 제어선(15)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 제1전원 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.

- [0055] 제2초기화 박막 트랜지스터(T7)의 게이트 전극(G7)은 제3주사선(34)에 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(20)과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)는 제3주사선(34)을 통해 전달받은 제3주사 신호(Sn+1)에 따라 턴 온되어 유기 발광 소자(OLED)의 애노드(anode) 전극을 초기화 시킨다.
- [0056] 제1스토리지 커패시터(Cst1)의 제2전극(C2)은 구동 전압선(26)과 연결되어 있다. 제1스토리지 커패시터(Cst1)의 제1전극(C1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0057] 제2스토리지 커패시터(Cst2)의 제3전극(C3)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 제1스토리지 커패시터(Cst1)의 제1전극(C1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다. 제2스토리지 커패시터(Cst2)의 제4전극(C4)은 초기화 전압선(20)과 연결되어 있다.
- [0058] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.
- [0059] 도 3A 및 도 3B는 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다. 도 3A 및 도 3B에서는 인접하는 두 개의 화소(1)들을 도시한다.
- [0060] 도 3A를 참조하면, 화소(1)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6), 제2초기화 박막 트랜지스터(T7), 제1스토리지 커패시터(Cst1) 및 제2스토리지 커패시터(Cst2)가 형성되어 있다. 도 3A에서는 유기 발광 소자(OLED)는 생략되어 있다.
- [0061] 구동 박막 트랜지스터(T1)는 구동 반도체층(A1), 구동 게이트 전극(G1), 구동 소스 전극(S1) 및 구동 드레인 전극(D1)을 포함한다. 구동 소스 전극(S1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G1)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 및 제1초기화 박막 트랜지스터(T4)의 제1초기화 드레인 전극(D4)과 연결된다. 보다 상세하게, 구동 게이트 전극(G1)은 제1전극(C1)과 일체(一體)로 구비된다. 그리고, 구동 게이트 전극(G1)과 제3전극(C3)은 제1컨택홀(51)을 통해 연결된다. 제1컨택홀(51)을 통해 구동 게이트 전극(G1)과 제3전극(C3)이 연결되기 위하여, 제2전극(C2)은 제1전극(C1)과 완전히 오버랩되는 것이 아니라 제1전극(C1)을 노출하는 개구부(op)를 포함하게 된다. 구동 게이트 전극(G1)과 보상 드레인 전극(D3) 및 제1초기화 드레인 전극(D4)은 제1컨택홀(51) 및 제2컨택홀(52)에 구비된 제3전극(C3)에 의해 연결된다.
- [0062] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G2), 스위칭 소스 전극(S2) 및 스위칭 드레인 전극(D2)을 포함한다. 스위칭 소스 전극(S2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역에 해당한다. 스위칭 소스 전극(S2)은 제3컨택홀(53)을 통해 데이터선(16)과 연결된다. 스위칭 게이트 전극(G2)은 제1주사선(14)의 일부로 형성된다.
- [0063] 보상 박막 트랜지스터(T3)는 보상 반도체층(A3), 보상 게이트 전극(G3), 보상 소스 전극(S3) 및 보상 드레인 전극(D3)을 포함한다. 보상 소스 전극(S3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 게이트 전극(G3)은 제1주사선(14)의 일부로 형성된다.
- [0064] 제1초기화 박막 트랜지스터(T4)는 제1초기화 반도체층(A4), 제1초기화 게이트 전극(G4), 제1초기화 소스 전극(S4) 및 제1초기화 드레인 전극(D4)을 포함한다. 제1초기화 소스 전극(S4)은 제1초기화 반도체층(A4)에서 불순물이 도핑된 제1초기화 소스 영역에 해당하고, 제1초기화 드레인 전극(D4)은 제1초기화 반도체층(A4)에서 불순물이 도핑된 제1초기화 드레인 영역에 해당한다. 제1초기화 소스 전극(S4)은 제4컨택홀(54)에 구비된 제1컨택 메탈(CM1)에 의해 초기화 전압선(20)과 연결될 수 있고 제1초기화 드레인 전극(D4)은 제2컨택홀(52)을 통해 제2스토리지 커패시터(Cst2)의 제3전극(C3)과 연결될 수 있다. 제1초기화 게이트 전극(G4)은 제2주사선(24)의 일부로 형성된다. 제1초기화 반도체층(A2)은 제1초기화 게이트 전극(G4)과 두 번 오버랩 됨으로써 듀얼 게이트 전극

을 형성한다.

- [0065] 제1발광 제어 박막 트랜지스터(T5)는 제1발광 제어 반도체층(A5), 제1발광 제어 게이트 전극(G5), 제1발광 제어 소스 전극(S5) 및 제1발광 제어 드레인 전극(D5)을 포함한다. 제1발광 제어 소스 전극(S5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 소스 영역에 해당하고, 제1발광 제어 드레인 전극(D5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 드레인 영역에 해당한다. 제1발광 제어 소스 전극(S5)은 제5컨택홀(55)을 통해 구동 전압선(26)과 연결될 수 있다. 제1발광 제어 게이트 전극(G5)은 발광 제어선(15)의 일부로 형성된다.
- [0066] 제2발광 제어 박막 트랜지스터(T6)는 제2발광 제어 반도체층(A6), 제2발광 제어 게이트 전극(G6), 제2발광 제어 소스 전극(S6) 및 제2발광 제어 드레인 전극(D6)을 포함한다. 제2발광 제어 소스 전극(S6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 소스 영역에 해당하고, 제2발광 제어 드레인 전극(D6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 드레인 영역에 해당한다. 제2발광 제어 드레인 전극(D6)은 제6컨택홀(56)과 연결된 제2컨택 메탈(CM2)과 제2컨택 메탈(CM2)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극과 연결된다. 제2발광 제어 게이트 전극(G6)은 발광 제어선(15)의 일부로 형성된다.
- [0067] 제2초기화 박막 트랜지스터(T7)는 제2초기화 반도체층(A7), 제2초기화 게이트 전극(G7), 제2초기화 소스 전극(S7) 및 제2초기화 드레인 전극(D7)을 포함한다. 제2초기화 소스 전극(S7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제2초기화 소스 영역에 해당하고, 제2초기화 드레인 전극(D7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제1초기화 드레인 영역에 해당한다. 제2초기화 드레인 전극(D7)은 제4컨택홀(54)과 연결된 제1컨택 메탈(CM1)을 통해 초기화 전압선(20)과 연결된다. 제2초기화 소스 전극(S7)은 제6컨택홀(56)에 구비된 제2컨택 메탈(CM2)과 제2컨택 메탈(CM2)와 연결된 제3컨택 메탈(CM3)을 통해 유기 발광 소자(OLED)의 애노드와 연결된다. 제2초기화 게이트 전극(G7)은 제3주사선(34)의 일부로 형성된다.
- [0068] 제1스토리지 커패시터(Cst1)의 제1전극(C1)은 구동 게이트 전극(G1)과 직접 연결되며, 제1컨택홀(51)을 통해 제2스토리지 커패시터(Cst2)의 제3전극(C3)과도 연결된다. 또한, 제1컨택홀(51) 및 제2컨택홀(52)에 구비된 제3전극(C3)을 통하여 제1초기화 박막 트랜지스터(T4) 및 보상 박막 트랜지스터(T3)와 연결된다. 제1전(C1)극은 플로팅(floating) 전극 형태를 가질 수 있으며 구동 반도체층(A1)과 중첩하도록 배치된다.
- [0069] 제1스토리지 커패시터(Cst1)의 제2전극(C2)은 제1전극(C1)과 중첩하나, 제2전극(C2)이 제1전극(C1)을 완전히 가리도록 중첩하는 것은 아니다. 제2전극(C2)은 제1전극(C1)의 일부를 노출하는 개구부(op)를 포함하며 이 개구부(op) 내에 제1컨택홀(51)이 형성된다. 인접하는 두 개의 화소(1)들에 포함된 제2전극(C2)은 서로 연결될 수 있다. 구동 전압선(26)은 인접하는 두 개의 화소(1)들에 공통으로 포함된 제2전극(C2)의 중앙 부분과 제7컨택홀(57)을 통해 연결되어 두 개의 화소(1)들에 구동 전압(ELVDD)을 동시에 전달할 수 있다. 즉, 인접하는 두 개의 화소(1)들은 공통으로 형성된 제2전극(C2)에 의해 하나의 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0070] 제2스토리지 커패시터(Cst2)의 제3전극(C3)은 제1컨택홀(51)을 통해 제1스토리지 커패시터(Cst1)의 제1전극(C1)과 연결된다. 또한 제3전극(C3)은 제2컨택홀(52)을 통해 보상 박막 트랜지스터(T3) 및 제1초기화 박막 트랜지스터(T4)와 연결된다. 제3전극(C3)은 데이터선(16)과 동일한 층에 형성될 수 있으며 플로팅(floating) 전극 형태를 가질 수 있다. 제3전극(C3)은 제1스토리지 커패시터(Cst1)의 제2전극(C2)과 일부 중첩할 수는 있으나, 제1스토리지 커패시터(Cst1)와 중첩하지는 않는다. 이로써, 도 3B에 도시된 바와 같이 제2스토리지 커패시터(Cst2)는 제1스토리지 커패시터(Cst1)와 공간적으로 분리될 수 있고, 제2스토리지 커패시터(Cst2)가 제1스토리지 커패시터(Cst1)의 저장 용량과 별도의 저장 용량을 확보할 수 있다. 따라서 고해상도 유기 발광 표시 장치에서 발생할 수 있었던 화소 내의 저장 용량 저하의 문제를 해결하고, 화소 내 저장 용량을 종래와 유사하게 유지 및 더 나아가 보상할 수 있다.
- [0071] 제2스토리지 커패시터(Cst2)의 제4전극(C4)은 제3전극(C3)과 중첩하도록 배치된다. 제4전극(C4)은 동일한 층에 형성된 초기화 전압선(20)과 연결된다. 보다 상세하게 초기화 전압선(20)과 제4전극(C4)은 일체(一體)로 형성될 수 있다. 초기화 전압선(20)이 제4컨택홀(54)을 통해 제1초기화 박막 트랜지스터(T4) 및 제2초기화 박막 트랜지스터(T7)와 연결되므로, 제4전극(C4)도 제1초기화 박막 트랜지스터(T4) 및 제2초기화 박막 트랜지스터(T7)와 연결될 수 있다.
- [0072] 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 모두 동일한 층에 형성되며 제2방향으로 연장된다. 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 반도체층들과 제1게이트 전극들

의 사이에 반도체층들과 제1게이트 전극들과 각각 절연되어 형성될 수 있다.

- [0073] 데이터선(16)은 제2스토리지 커패시터(Cst2)의 제3전극(C3)과 동일한 층에 형성되며 제1방향으로 연장된다.
- [0074] 구동 전압선(26) 및 초기화 전압선(20)은 제2스토리지 커패시터(Cst2)의 제4전극(C4)과 동일한 층에 형성되며 제1방향으로 연장된다.
- [0075] 인접하는 두 개의 화소(1)들은 구동 전압선(26)을 공유한다. 상세히 구동 전압선(26)은 인접하는 두 개의 화소(1)들 사이에 배치되며 제1방향으로 연장되고, 제5컨택홀(55)을 통해 인접하는 두 개의 화소(1)들에 각각 포함된 제1발광 제어 박막 트랜지스터(T5)와 연결되고 제7컨택홀(57)을 통해 인접하는 두 개의 화소(1)들에 공통으로 포함된 제1스토리지 커패시터(Cst1)의 제2전극(C2)과 연결된다. 본 발명의 실시예는 인접하는 두 개의 화소(1)들이 구동 전압선(26)을 공유함으로써, 인접하는 두 개의 화소(1)들이 구동 전압선(26)을 기준으로 대칭 구조를 형성할 수 있다. 이에 따라 구동 전압선(26)의 개수를 줄일 수 있고, 배선의 숫자 감소에 따라 설계 공간 확보가 용이한 특징이 있다.
- [0076] 도 4는 도 3A의 A-A'선 및 B-B'선을 따라 자른 단면도이다. 도 4에서는 복수의 박막 트랜지스터 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 제1스토리지 커패시터(Cst1) 및 제2스토리지 커패시터(Cst2)를 도시하고 있다.
- [0077] 도 4에서는 발명의 특징을 명확히 나타내기 위하여, 절단선을 따라 자른 단면에 배치되는 일부 배선, 일부 전극, 일부 반도체층과 같은 구성요소 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 제1스토리지 커패시터(Cst1) 및 제2스토리지 커패시터(Cst2)를 나타내는데 관련성이 적은 구성요소는 생략하여 도시하였다. 따라서, 도 4는 도 3A를 실제로 A-A'선 및 B-B'선을 따라 자른 단면도와 차이가 있을 수 있다.
- [0078] 도 4를 참조하면, 기판(100) 상에는 버퍼층(101)이 형성된다. 버퍼층(101)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할을 한다.
- [0079] 버퍼층(101) 상에는 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 및 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 반도체층(A6)이 형성된다. 반도체층(A1, 및 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 반도체층(A4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 반도체층(A7), 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 반도체층(A5) 또한 구동 반도체층(A1), 및 제2발광 제어 반도체층(A6)과 연결되어 동시에 형성될 수 있다.
- [0080] 반도체층(A1, 및 A6)을 덮도록 제1게이트 절연막(GI1)이 기판(101) 전면(全面)에 적층된다. 제1게이트 절연막(GI1)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제1게이트 절연막은 반도체층과 제1게이트 전극들을 절연하는 역할을 한다. 본 발명의 일 실시예에 의하면 제1게이트 절연막(GI1)은 추후에 설명될 제2게이트 절연막(GI2) 또는 제3게이트 절연막(GI3)에 비하여 그 두께가 두꺼운 것이 특징이다. 제1게이트 절연막(GI1)은 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제2초기화 박막 트랜지스터(T7), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 트랜지스터(T6)의 반도체층과 제1게이트 전극 사이를 절연하는 역할을 한다. 이러한 제1게이트 절연막(GI1)의 두께가 두꺼운 경우 반도체층과 제1게이트 전극 사이의 기생 커패시턴스가 줄어들 수 있어 유기 발광 표시 장치에 의해 표시되는 이미지의 얼룩이 감소하는 효과가 있다.
- [0081] 제1게이트 절연막(GI1) 상부에 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 게이트 전극(G6)이 형성된다. 또한, 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2), 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 게이트 전극(G4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 게이트 전극(G7), 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 게이트 전극(G5)이 제2발광 제어 게이트 전극(G6)과 동시에 형성된다. 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5) 및 제2발광 제어 게이트 전극(G6)은 제1게이트 배선(GL1) 물질로 형성되며, 이하에서는 제1게이트 전극이라 한다. 제1게이트 전극들은 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)과 중첩하는 반도체층으로부터 정의된다. 따라서, 제1게이트 전극들을 형성하는 과정은 곧 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)을 형성

하는 과정이다. 제1게이트 배선(GL1) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0082] 제1게이트 전극들을 덮도록 제2게이트 절연막(GI2)이 기판(100) 전면(全面)에 적층된다. 제2게이트 절연막(GI2)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제2게이트 절연막(GI2)은 제1게이트 전극들과 제2게이트 전극들을 절연하는 역할을 한다. 제2게이트 절연막(GI2)은 제1게이트 절연막(GI1)에 비하여 두께가 얇은 것을 특징으로 한다.

[0083] 제2게이트 절연막(GI2) 상부에 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1) 및 이와 연결된 제1스토리지 커패시터(Cst1)의 제1전극(C1)이 형성된다. 구동 게이트 전극(G1) 및 제1전극(C1)은 제2게이트 배선(GL2) 물질로 형성되며, 이하에서는 제2게이트 전극이라 한다. 제2게이트 배선(GL2) 물질 또한 제1게이트 배선(GL1) 물질과 유사하게 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0084] 본 발명의 일 실시예에 의하면 구동 박막 트랜지스터(T1)는 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이에 제1게이트 절연막(GI1) 및 제2게이트 절연막(GI2)이 배치되어 구동 반도체층(A1)과 구동 게이트 전극(G1)을 절연하는 역할을 한다. 따라서, 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이에 두꺼운 절연층이 개재됨으로써, 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이의 기생 커패시턴스가 줄어든다. 따라서, 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 구동 범위(Driving range)가 넓은 범위를 가지게 되고, 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 크기를 달리하여 유기 발광 소자로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다. 즉, 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이에 두꺼운 절연층을 구비함으로써, 구동 박막 트랜지스터의 구동 범위가 넓은 범위를 가질 수 있게 되는 바 구동 범위를 증가시키기 위해 구동 반도체층(A1)의 길이를 길게 설계할 필요가 없다. 따라서, 구동 반도체층(A1)의 길이를 보다 짧게 설계할 수 있고 결과적으로 구동 박막 트랜지스터(T1)의 전체 면적, 보다 상세하게는 구동 게이트 전극(G1)의 면적, 이 줄어들 수 있게 되고 화소가 차지하는 면적을 감소시킬 수 있게 되어 고해상도 유기 발광 표시 장치의 제조가 가능하게 된다.

[0085] 제2게이트 전극들을 덮도록 제3게이트 절연막(GI3)이 기판(100) 전면(全面)에 적층된다. 제3게이트 절연막(GI3)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제3게이트 절연막(GI3)은 제2게이트 전극과 제3게이트 전극들을 절연하는 역할을 하며 제1스토리지 커패시터(Cst1)의 제1전극(C1)과 제2전극(C2) 사이의 유전체층 역할을 한다. 제3게이트 절연막(GI3)은 제1스토리지 커패시터(Cst1)의 저장 용량을 최대로 하기 위해 제1게이트 절연막(GI1)에 비하여 두께가 얇은 것을 특징으로 한다.

[0086] 제3게이트 절연막(GI3) 상부에는 제1스토리지 커패시터(Cst1)의 제2전극(C2)이 형성된다. 제2전극(C2)은 제3게이트 배선(GL3) 물질로 형성되며, 이하에서는 제3게이트 전극이라 한다. 제3게이트 배선(GL3) 물질 또한 제1게이트 배선(GL1) 물질 및 제2게이트 배선(GL2) 물질과 유사하게 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0087] 본 발명의 일 실시예에 의하면, 제1스토리지 커패시터(Cst1)는 구동 박막 트랜지스터(T1)와 중첩하여 구비된다. 상세히, 구동 게이트 전극(G1)과 제1전극(C1)이 일체(一體)로 형성되므로 제1스토리지 커패시터(Cst1)와 구동 박막 트랜지스터(T1)가 중첩하여 배치될 수 밖에 없다. 그런데, 상술한 바와 같이 고해상도 유기 발광 표시 장치를 제조하기 위하여 구동 박막 트랜지스터(T1)의 전체 면적, 보다 상세하게는 구동 게이트 전극(G1)의 면적, 을 감소시킴에 따라 제1전극(C1)의 면적도 함께 감소하게 되고 하기 수 1에 따라 제1스토리지 커패시터(Cst1)의 저장 용량이 감소하게 된다. 수 1에서 C는 스토리지 커패시터의 저장 용량, ε은 유전상수, A는 중첩하는 전극들의 면적을 나타내고 d는 중첩하는 전극들 사이의 거리를 나타낸다.

[0088] 수 1

$$C = \epsilon \frac{A}{d}$$

[0089]

[0090] 유기 발광 표시 장치가 불량 없이 원하는 계조를 표현하기 위해서는 화소 내 일정한 저장 용량이 보장되어야 한

다. 따라서, 줄어든 제1스토리지 커패시터(Cst1)의 저장 용량을 유지 또는 보완하기 위한 설계가 요구된다. 본 발명의 일 실시예에 의하면 제1스토리지 커패시터(Cst1)와는 별도로 제2스토리지 커패시터(Cst2)를 형성함으로써, 화소 내 스토리지 커패시터의 저장 용량을 유지 또는 보완하고자 한다.

[0091] 제1스토리지 커패시터(Cst1)의 제2전극(C2)을 덮도록 제1층간 절연막(ILD1)이 기판(100) 전면(全面)에 형성된다. 제1층간 절연막(ILD1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 예컨대 무기 물질은 금속 산화물 또는 금속 질화물일 수 있으며, 구체적으로 무기 물질은 실리콘산화물(SiO₂), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al₂O₃), 티타늄산화물(TiO₂), 탄탈산화물(Ta₂O₅), hafnium산화물(HfO₂), 또는 아연산화물(ZrO₂) 등을 포함할 수 있다. 제1층간 절연막(ILD1)은 제3게이트 전극과 제1데이터 전극을 절연하는 역할을 한다.

[0092] 제1층간 절연막(ILD1) 상부에는 제2스토리지 커패시터(Cst2)의 제3전극(C3)이 형성된다. 또한, 도시되지 않았으나, 데이터선(16), 제1컨택 메탈(CM1) 및 제2컨택 메탈(CM2)이 제3전극(C3)과 동시에 형성된다. 제3전극(C3)은 제3게이트 절연막(GI3)과 제1층간 절연막(ILD1)에 형성된 제1컨택홀(51)을 통해 제1전극(C1)과 접촉한다. 제3전극(C2)은 제1게이트 절연막(GI1), 제2게이트 절연막(GI2), 제3게이트 절연막(GI3) 및 제1층간 절연막(ILD1)에 형성된 제2컨택홀(52)을 통해 보상 박막 트랜지스터(T3) 및 제1초기화 박막 트랜지스터(T4)와 접촉한다. 제3전극(C3), 데이터선(16), 제1컨택 메탈(CM1) 및 제2컨택 메탈(CM2)은 제1데이터 배선(DAT1) 물질로 형성되며, 이하에서는 제1데이터 전극이라 한다. 제1데이터 배선(DAT1) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0093] 본 발명의 실시예에 의하면 제3전극(C3)은 제1스토리지 커패시터(Cst1)와 중첩하지 않는다. 따라서 제1스토리지 커패시터(Cst1)와 제2스토리지 커패시터(Cst2)가 공간적으로 분리되어 형성될 수 있다. 이로써, 화소 내의 저장 용량은 제1스토리지 커패시터(Cst1)의 저장 용량과 제2스토리지 커패시터(Cst2)의 저장 용량의 합이 될 수 있다.

[0094] 제3전극(C3)을 덮도록 제2층간 절연막(ILD2)이 기판(100) 전면(全面)에 적층된다. 제2층간 절연막(ILD2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제1층간 절연막(ILD1)은 제1데이터 전극과 제2데이터 전극을 절연하는 역할을 하며, 제2스토리지 커패시터(Cst2)의 유전체층 역할을 한다.

[0095] 제2층간 절연막(ILD2) 상부에는 제2스토리지 커패시터(Cst2)의 제4전극(C4)이 형성된다. 또한, 도시되지 않았으나, 제4전극(C4)과 연결된 초기화 전압선(20), 구동 전압선(26), 제3컨택 메탈(CM3)이 제4전극(C4)과 동시에 형성된다. 제4전극(C4)은 초기화 전압선(20)과 일체로 형성될 수 있으며, 제4전극(C4)은 제4컨택홀(54)의 제1컨택 메탈(CM1)을 통해 제1초기화 박막 트랜지스터(T4) 및 제2초기화 박막 트랜지스터(T7)와 접촉한다. 제4전극(C4), 초기화 전압선(20), 구동 전압선(26) 및 제3컨택 메탈(CM3)은 제2데이터 배선(DAT2) 물질로 형성되며, 이하에서는 제2데이터 전극이라 한다. 제2데이터 배선(DAT2) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0096] 제4전극(C4)을 덮도록 기판(100) 전면(全面)에 보호막(PL)이 형성된다. 보호막(PL) 상부에는 애노드 전극(111)이 형성된다. 애노드 전극(111)은 비아홀(VIA)을 통해 제6컨택홀(48)에 형성된 제2 및 제3컨택 금속들(CM2, CM3)과 연결되어, 제2발광 제어 드레인 전극(D6) 및 제2초기화 소스 전극(S7)과 연결된다.

[0097] 한편, 도 3A에서는 도시되어 있지 않지만 도 4에서는 설명의 편의를 위하여 유기 발광 소자의 애노드 전극(111)을 도시하였다. 유기 발광 소자는 애노드 전극(111) 및 이와 대향하는 캐소드 전극을 포함하며, 애노드 전극(111)과 캐소드 전극 사이에는 유기 발광층을 포함하는 중간층이 구비된다.

[0098] 한편, 도 3A 및 도 4에서는 박막 트랜지스터의 소스 전극 및 드레인 전극 중 타 배선과 연결되지 않는 소스 전극 및 드레인 전극은 반도체층 각각과 동일한 층으로 형성되고 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 반도체층 각각과 다른 층으로 형성되고, 컨택홀에 의해 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.

[0099] 도 5는 본 발명의 다른 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.

- [0100] 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(1000)의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T7) 및 두 개의 스토리지 커패시터(storage capacitor, Cst1, Cst2)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로(2)를 통해 구동 전류를 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.
- [0101] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6) 및 제2초기화 박막 트랜지스터(T7)를 포함한다.
- [0102] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1주사 신호(Sn)를 전달하는 제1주사선(14), 제1초기화 박막 트랜지스터(T4)에 제2주사 신호(Sn-1)를 전달하는 제2주사선(24), 제2초기화 박막 트랜지스터(T7)에 제3주사신호(Sn+1)를 전달하는 제3주사선(34), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(15), 제1주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 제1전원전압(ELVDD)을 전달하는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(20)을 포함한다.
- [0103] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 제1스토리지 커패시터(Cst1)의 제1전극(C1) 및 제2스토리지 커패시터(Cst2)의 제3전극(C3)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.
- [0104] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1주사선(14)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0105] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1주사선(14)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극, 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1주사선(14)을 통해 전달받은 제1주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0106] 제1초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2주사선(24)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있다. 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 제1초기화 박막 트랜지스터(T4)는 제2주사선(24)을 통해 전달받은 제2주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0107] 제1발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(15)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0108] 제2발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(15)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자

(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제2발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 박막 트랜지스터(T6)는 발광 제어선(15)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 제1전원 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.

[0109] 제2초기화 박막 트랜지스터(T7)의 게이트 전극(G7)은 제3주사선(34)에 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(20)과 연결되어 있다. 제2초기화 박막 트랜지스터(T7)는 제3주사선(34)을 통해 전달받은 제3주사 신호(Sn+1)에 따라 턴 온되어 유기 발광 소자(OLED)의 애노드(anode) 전극을 초기화 시킨다.

[0110] 제1스토리지 커패시터(Cst1)의 제2전극(C2)은 구동 전압선(26)과 연결되어 있다. 제1스토리지 커패시터(Cst1)의 제1전극(C1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.

[0111] 제2스토리지 커패시터(Cst2)의 제3전극(C3)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 제1스토리지 커패시터(Cst1)의 제1전극(C1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 제1초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다. 제2스토리지 커패시터(Cst2)의 제4전극(C4)은 제2주사선(24)과 연결되어 있다.

[0112] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.

[0113] 도 6A 및 도 6B는 본 발명의 다른 실시예에 따른 도 5의 화소를 나타낸 개략적인 평면도이다. 도 6A 및 도 6B에서는 인접하는 두 개의 화소(1)를 도시한다.

[0114] 도 6A를 참조하면, 화소(1)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제1발광 제어 박막 트랜지스터(T5), 제2발광 제어 박막 트랜지스터(T6), 제2초기화 박막 트랜지스터(T7), 제1스토리지 커패시터(Cst1) 및 제2스토리지 커패시터(Cst2)가 형성되어 있다. 도 6A에서는 유기 발광 소자(OLED)는 생략되어 있다.

[0115] 구동 박막 트랜지스터(T1)는 구동 반도체층(A1), 구동 게이트 전극(G1), 구동 소스 전극(S1) 및 구동 드레인 전극(D1)을 포함한다. 구동 소스 전극(S1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G1)은 제1스토리지 커패시터(Cst1)의 제1전극(C1), 제2스토리지 커패시터(Cst2)의 제3전극(C3), 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 및 제1초기화 박막 트랜지스터(T4)의 제1초기화 드레인 전극(D4)과 연결된다. 보다 상세하게, 구동 게이트 전극(G1)은 제1전극과 동일한 층에 일체(一體)로 구비된다. 구동 게이트 전극(G1)과 제3전극(C3)은 제1컨택홀(51)에 구비된 제1컨택 메탈(CM1)을 통해 서로 연결된다. 구동 게이트 전극(G1)과 보상 드레인 전극(D3) 및 제1초기화 드레인 전극(D4)은 제1컨택홀(51) 및 제2컨택홀(52)을 통한 제1컨택 메탈(CM1)에 의해 연결된다.

[0116] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G2), 스위칭 소스 전극(S2) 및 스위칭 드레인 전극(D2)을 포함한다. 스위칭 소스 전극(S2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역에 해당한다. 스위칭 소스 전극(S2)은 제3컨택홀(53)을 통해 데이터선(16)과 연결된다. 스위칭 드레인 전극(D2)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 스위칭 게이트 전극(G2)은 제1주사선(14)의 일부로 형성된다.

[0117] 보상 박막 트랜지스터(T3)는 보상 반도체층(A3), 보상 게이트 전극(G3), 보상 소스 전극(S3) 및 보상 드레인 전극(D3)을 포함한다. 보상 소스 전극(S3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 게이트 전극(G3)은 제1주사선(14)의 일부와 제1주사선(14)으로부터 돌출되어 연장된 배선의 일부에 의해 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.

[0118] 제1초기화 박막 트랜지스터(T4)는 제1초기화 반도체층(A4), 제1초기화 게이트 전극(G4), 제1초기화 소스 전극(S4) 및 제1초기화 드레인 전극(D4)을 포함한다. 제1초기화 소스 전극(S4)은 제1초기화 반도체층(A4)에서 불순물이 도핑된 제1초기화 소스 영역에 해당하고, 제1초기화 드레인 전극(D4)은 제1초기화 반도체층(A4)에서 불순

물이 도핑된 제1초기화 드레인 영역에 해당한다. 제1초기화 소스 전극(S4)은 보상 박막 트랜지스터(T3)와 연결될 수 있고 제1초기화 드레인 전극은 제2컨택홀(52)을 통해 제2스토리지 커패시터(Cst2)의 제4전극(C4)과 연결되고, 제2컨택홀(52) 및 제1컨택홀(51)에 구비된 제1컨택 메탈(CM1)을 통해 구동 게이트 전극(G1) 및 제1전극(C1)과 연결될 수 있다. 제1초기화 게이트 전극(G4)은 제2주사선(24)의 일부로 형성된다. 제1초기화 반도체층(A4)은 제1초기화 게이트 전극(G4)과 두 번 오버랩 됨으로써 듀얼 게이트 전극을 형성한다.

[0119] 제1발광 제어 박막 트랜지스터(T5)는 제1발광 제어 반도체층(A5), 제1발광 제어 게이트 전극(G5), 제1발광 제어 소스 전극(S5) 및 제1발광 제어 드레인 전극(D5)을 포함한다. 제1발광 제어 소스 전극(S5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 소스 영역에 해당하고, 제1발광 제어 드레인 전극(D5)은 제1발광 제어 반도체층(A5)에서 불순물이 도핑된 제1발광 제어 드레인 영역에 해당한다. 제1발광 제어 소스 전극(S5)은 제4컨택홀(54)을 통해 구동 전압선(26)과 연결될 수 있다. 제1발광 제어 게이트 전극(G5)은 발광 제어선(15)의 일부로 형성된다.

[0120] 제2발광 제어 박막 트랜지스터(T6)는 제2발광 제어 반도체층(A6), 제2발광 제어 게이트 전극(G6), 제2발광 제어 소스 전극(S6) 및 제2발광 제어 드레인 전극(D6)을 포함한다. 제2발광 제어 소스 전극(S6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 소스 영역에 해당하고, 제2발광 제어 드레인 전극(D6)은 제2발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 드레인 영역에 해당한다. 제2발광 제어 드레인 전극(D6)은 제5컨택홀(55)과 연결된 제2컨택 메탈(CM2)과 제2컨택 메탈(CM2)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극과 연결된다. 제2발광 제어 게이트 전극(G6)은 발광 제어선(15)의 일부로 형성된다.

[0121] 제2초기화 박막 트랜지스터(T7)는 제2초기화 반도체층(A7), 제2초기화 게이트 전극(G7), 제2초기화 소스 전극(S7) 및 제2초기화 드레인 전극(D7)을 포함한다. 제2초기화 소스 전극(S7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제2초기화 소스 영역에 해당하고, 제2초기화 드레인 전극(D7)은 제2초기화 반도체층(A7)에서 불순물이 도핑된 제2초기화 드레인 영역(D7)에 해당한다. 제2초기화 소스 전극(S7)은 제6컨택홀(56)을 통해 초기화 전압선(20)과 연결될 수 있고, 제2초기화 드레인 전극(D7)은 제5컨택홀(55)과 연결된 제2컨택 메탈(CM2)과 제2컨택 메탈(CM2)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극과 연결된다. 제2초기화 게이트 전극(G7)은 제3주사선(34)의 일부로 형성된다.

[0122] 제1스토리지 커패시터(Cst1)의 제1전극(C1)은 구동 게이트 전극(G1)과 직접 연결되며, 제1컨택홀(51)에 구비된 제1컨택 메탈(CM1)을 통해 제2스토리지 커패시터(Cst2)의 제3전극(C3)과도 연결된다. 또한, 제1컨택홀(51) 및 제2컨택홀(52)에 구비된 제1컨택 메탈(CM1)을 통해 제1초기화 박막 트랜지스터(T4) 및 보상 박막 트랜지스터(T3)와 연결된다. 제1전극(C1)은 플로팅 전극 형태를 가질 수 있으며 구동 반도체층(A1)과 중첩하도록 배치된다.

[0123] 제1스토리지 커패시터(Cst1)의 제2전극(C2)은 제1전극(C1)과 중첩하나, 제2전극(C2)이 제1전극(C1)을 완전히 가리도록 중첩하는 것은 아니다. 제2전극(C2)은 제1전극(C1)의 일부를 노출하는 개구(op)를 포함하며 이 개구(op) 내에 제1컨택홀(51)이 형성된다. 인접하는 두 개의 화소(1)들에 포함된 제2전극(C2)은 서로 연결될 수 있다. 구동 전압선(26)은 인접하는 두 개의 화소(1)들에 공통으로 포함된 제2전극(C2)의 중앙 부분과 제7컨택홀(57)을 통해 연결되어 두 개의 화소(1)들에 구동 전압(ELVDD)을 동시에 전달할 수 있다. 즉, 인접하는 두 개의 화소(1)들은 공통으로 형성된 제2전극(C2)에 의해 하나의 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.

[0124] 제2스토리지 커패시터(Cst2)의 제3전극(C3)은 제1컨택홀(51)에 형성된 제1컨택 메탈(CM1)을 통해 제1스토리지 커패시터(Cst1)의 제1전극(C1) 및 구동 게이트 전극(G1)과 연결된다. 또한 제2컨택홀(52)을 통해 보상 드레인 전극(D3) 및 제1초기화 드레인 전극(D4)과 연결된다. 제3전극(C3)은 데이터선(16)과 동일한 층에 형성될 수 있다. 제3전극(C3)은 제1스토리지 커패시터(Cst1)와 공간적으로 분리되며, 제1스토리지 커패시터(Cst1)와 중첩하지는 않는다. 이로써, 도 6B에 도시된 바와 같이 제2스토리지 커패시터(Cst2)는 제1스토리지 커패시터(Cst1)와 공간적으로 분리될 수 있고, 제2스토리지 커패시터(Cst2)가 제1스토리지 커패시터(Cst1)의 저장 용량과 별도의 저장 용량을 확보할 수 있다. 따라서 고해상도 유기 발광 표시 장치에서 발생할 수 있었던 화소 내의 저장 용량 저하의 문제를 해결하고, 화소 내 저장 용량을 증대와 유사하게 유지 및 더 나아가 보상할 수 있다.

[0125] 제2스토리지 커패시터(Cst2)의 제4전극(C4)은 제3전극(C3)과 중첩하도록 배치된다. 제4전극(C4)은 제2주사선(24)과 동일한 층에 형성되며, 보다 상세하게는 제2주사선(24)의 일부로 형성된다. 제2주사선(24)은 제1초기화 게이트 전극(G4)을 형성하므로, 제4전극(C4)도 제1초기화 박막 트랜지스터(T4)와 연결될 수 있다.

[0126] 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 모두 동일한 층에 형성되며 제2방향으로

연장된다. 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)은 제1스토리지 커패시터(Cst1)의 제1전극(C1) 및 제2스토리지 커패시터(Cst2)의 제4전극(C4)과 동일한 층에 형성된다.

[0127] 데이터선(16), 구동 전압선(26) 및 초기화 전압선(20)은 제2스토리지 커패시터(Cst2)의 제3전극(C3)과 동일한 층에 형성되며 제1방향으로 연장된다.

[0128] 인접하는 두 개의 화소(1)들은 구동 전압선(26)을 공유한다. 상세히 구동 전압선은 인접하는 두 개의 화소(1)들 사이에 배치되며 제1방향으로 연장되고, 제5컨택홀(55)을 통해 인접하는 두 개의 화소(1)들에 각각 포함된 제1 발광 제어 박막 트랜지스터(T5)와 연결되고 제7컨택홀(57)을 통해 인접하는 두 개의 화소(1)들에 공통으로 포함된 제1스토리지 커패시터(Cst1)의 제2전극(C2)과 연결된다. 본 발명의 실시예는 인접하는 두 개의 화소(1)들이 구동 전압선(26)을 공유함으로써, 인접하는 두 개의 화소(1)들이 구동 전압선(26)을 기준으로 대칭 구조를 형성할 수 있다. 이에 따라 구동 전압선(26)의 개수를 줄일 수 있고, 배선의 숫자 감소에 따라 설계 공간 확보가 용이한 특징이 있다.

[0129] 도 7은 도 6A의 C-C' 선, D-D' 선 및 E-E' 선을 따라 자른 단면도이다. 도 7에서는 복수의 박막 트랜지스터 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 제1스토리지 커패시터 및 제2스토리지 커패시터(Cst)를 도시하고 있다.

[0130] 도 7에서는 발명의 특징을 명확히 나타내기 위하여, 절단선을 따라 자른 단면에 배치되는 일부 배선, 일부 전극, 일부 반도체층과 같은 구성요소 중 구동 박막 트랜지스터(T1), 제2발광 제어 박막 트랜지스터(T6), 제1스토리지 커패시터 및 제2스토리지 커패시터(Cst)를 나타내는데 관련성이 적은 구성요소는 생략하여 도시하였다. 따라서, 도 7은 도 6A를 실제로 C-C' 선, D-D' 선 및 E-E' 선을 따라 자른 단면도와 차이가 있을 수 있다.

[0131] 도 7을 참조하면, 기판(100) 상에는 버퍼층(101)이 형성된다. 버퍼층(101)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할을 한다.

[0132] 버퍼층(101) 상에는 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 및 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 반도체층(A6)이 형성된다. 반도체층(A1, 및 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 반도체층(A4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 반도체층(A7), 제1발광 제어 박막 트랜지스터(T5)의 제1발광 제어 반도체층(A5) 또한 구동 반도체층(A1), 및 제2발광 제어 반도체층(A6)과 연결되어 동시에 형성될 수 있다.

[0133] 반도체층(A1 및 A6)을 덮도록 제1게이트 절연막(GI1)이 기판(100) 전면(全面)에 적층된다. 제1게이트 절연막(GI1)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제1게이트 절연막(GI1)은 반도체층과 게이트 전극들을 절연하는 역할을 한다. 본 발명의 일 실시예에 의하면 제1게이트 절연막(GI1)은 추후에 설명될 제2게이트 절연막(GI2)에 비하여 그 두께가 두꺼운 것이 특징이다. 제1게이트 절연막(GI1)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 제1초기화 박막 트랜지스터(T4), 제2초기화 박막 트랜지스터(T7), 제1발광 제어 박막 트랜지스터(T5) 및 제2발광 제어 트랜지스터(T6)의 반도체층과 제1게이트 전극 사이를 절연하는 역할을 한다. 이러한 제1게이트 절연막(GI1)의 두께가 두꺼운 경우 반도체층과 제1게이트 전극 사이의 기생 커패시턴스가 줄어들 수 있어 유기 발광 표시 장치에 의해 표시되는 이미지의 얼룩이 감소한다. 또한, 구동 박막 트랜지스터(T1)의 경우 구동 반도체층(A1)과 구동 게이트 전극(G1) 사이의 기생 커패시턴스가 줄어들게 되어 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 구동 범위(Driving range)가 넓은 범위를 가지게 된다. 이에 따라, 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)에 인가되는 게이트 전압(Vgs)의 크기를 달리하여 유기 발광 소자로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다.

[0134] 제1게이트 절연막(GI1) 상부에 제2발광 제어 박막 트랜지스터(T6)의 제2발광 제어 게이트 전극(G6), 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1), 제1스토리지 커패시터(Cst1)의 제1전극(C1) 및 제2스토리지 커패시터(Cst2)의 제4전극(C4)이 형성된다. 또한, 도시되지 않았으나, 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2), 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3), 제1초기화 박막 트랜지스터(T4)의 제1초기화 게이트 전극(G4), 제2초기화 박막 트랜지스터(T7)의 제2초기화 게이트 전극(G7), 제1발광 제어 박막 트랜지스터(T

5)의 제1발광 제어 게이트 전극(G5)이 제2발광 제어 게이트 전극(G6), 구동 게이트 전극(G1), 제1전극(C1) 및 제4전극(C4)과 동시에 형성된다. 구동 게이트 전극(G1), 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5), 제2발광 제어 게이트 전극(G6), 제1전극(C1) 및 제4전극(C4)은 제1게이트 배선(GL1) 물질로 형성되며, 이하에서는 제1게이트 전극이라 한다.

[0135] 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5) 및 제2발광 제어 게이트 전극(G6)은 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)과 중첩하는 반도체층으로부터 정의된다. 또한 제4전극(C4)은 제2주사선(24)의 일부이다. 따라서, 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 제1초기화 게이트 전극(G4), 제2초기화 게이트 전극(G7), 제1발광 제어 게이트 전극(G5), 제2발광 제어 게이트 전극(G6) 및 제4전극(C5)을 형성하는 과정은 곧 제1주사선(14), 제2주사선(24), 제3주사선(34) 및 발광 제어선(15)을 형성하는 과정이다. 구동 게이트 전극(G1)은 제1전극과 일체로 형성된다. 제1게이트 배선(GL1) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0136] 본 발명의 일 실시예에 의하면, 제1스토리지 커패시터(Cst1)는 구동 박막 트랜지스터(T1)와 중첩하여 구비된다. 상세히, 구동 게이트 전극(G1)과 제1전극(C1)이 일체(一體)로 형성되므로 제1스토리지 커패시터(Cst1)와 구동 박막 트랜지스터(T1)가 중첩하여 배치될 수 밖에 없다. 그런데, 고해상도 유기 발광 표시 장치를 제조하기 위하여 구동 박막 트랜지스터(T1)의 전체 면적, 보다 상세하게는 구동 게이트 전극(G1)의 면적, 을 감소시킴에 따라 제1전극(C1)의 면적도 함께 감소하게 되고 하기 수 1에 따라 제1스토리지 커패시터(Cst1)의 저장 용량이 감소하게 된다. 수 1에서 C는 스토리지 커패시터의 저장 용량, ε은 유전상수, A는 중첩하는 전극들의 면적을 나타내고 d는 중첩하는 전극들 사이의 거리를 나타낸다.

[0137] 수 1

$$C = \epsilon \frac{A}{d}$$

[0138]

[0139] 유기 발광 표시 장치가 불량 없이 원하는 계조를 표현하기 위해서는 화소 내 일정한 저장 용량이 보장되어야 한다. 따라서, 줄어든 제1스토리지 커패시터(Cst1)의 저장 용량을 유지 또는 보완하기 위한 설계가 요구된다. 본 발명의 일 실시예에 의하면 제1스토리지 커패시터(Cst1)와는 별도로 제2스토리지 커패시터(Cst2)를 형성함으로써, 화소 내 커패시터의 저장 용량을 유지 또는 보완하고자 한다.

[0140] 제1게이트 전극들을 덮도록 제2게이트 절연막(GI2)이 기판(100) 전면(全面)에 적층된다. 제2게이트 절연막(GI2)은 실리콘산화물 또는 실리콘질화물 등의 무기 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다. 제2게이트 절연막(GI2)은 제1게이트 전극들과 제2게이트 전극들을 절연하는 역할을 한다. 또한 제2게이트 절연막(GI2)은 제1스토리지 커패시터(Cst1)의 유전체층 역할을 한다. 수 1에 의해 제1스토리지 커패시터(Cst1)의 저장 용량을 크게 하기 위하여, 제2게이트 절연막(GI2)은 제1게이트 절연막(GI1)에 비하여 두께가 얇은 것을 특징으로 한다.

[0141] 제2게이트 절연막(GI2) 상부에 제1스토리지 커패시터(Cst1)의 제2전극(C2)이 형성된다. 제2전극(C2)은 제1전극(C1)과 중첩하도록 형성된다. 그러나, 제2전극(C2)은 제1전극(C1)의 일부를 노출하는 개구부(op)를 포함한다. 이 개구부(op) 내에 형성된 제1컨택홀(51)을 통해 제1전극(C1)은 제3전극(C3)과 연결될 수 있다. 제2전극(C2)은 제2게이트 배선(GL2) 물질로 형성되며, 이하에서는 제2게이트 전극이라 한다. 제2게이트 배선(GL2) 물질 또한 제1게이트 배선(GL1) 물질과 유사하게 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0142] 제1스토리지 커패시터(Cst1)의 제2전극(C2)을 덮도록 제1층간 절연막(ILD1)이 기판(100) 전면(全面)에 형성된다. 제1층간 절연막(ILD1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 예컨대 무기 물질은 금속 산화물 또는 금속 질화물일 수 있으며, 구체적으로 무기 물질은 실리콘산화물(SiO₂), 실리콘질화물(SiN_x), 실리콘산질화물(SiON), 알루미늄산화물(Al₂O₃), 티타늄산화물(TiO₂), 탄탈산화물(Ta₂O₅), 하프늄산화물(HfO₂), 또는 아연산화물(ZrO₂) 등을 포함할 수

있다. 제1층간 절연막(ILD1)은 제2전극(C2)과 데이터 전극을 절연하는 역할을 한다. 또한 제1층간 절연막(ILD 1)은 제2게이트 절연막(GI1)과 함께 제2스토리지 커패시터(Cst2)의 유전체층 역할을 한다.

[0143] 제1층간 절연막(ILD1) 상부에는 제2스토리지 커패시터(Cst2)의 제3전극(C3)이 형성된다. 제3전극(C3)은 제2스토리지 커패시터(Cst2)를 이루기 위해 제4전극(C4)과 중첩하도록 형성된다. 또한, 도시되지 않았으나, 데이터선(16), 구동 전압선(26), 제1컨택 메탈(CM1) 및 제2컨택 메탈(CM2)이 제3전극(C3)과 동시에 형성된다. 제3전극(C3)은 제2게이트 절연막(GI2)과 제1층간 절연막(ILD1)에 형성된 제1컨택홀(51)을 통해 제1전극(C1)과 접속한다. 제3전극(C3)은 제1게이트 절연막(GI1), 제2게이트 절연막(GI2), 및 제1층간 절연막(ILD1)에 형성된 제2컨택홀(52)을 통해 보상 박막 트랜지스터(T3) 및 제1초기화 박막 트랜지스터(T4)와 접속한다. 제3전극(C3), 데이터선(16), 구동 전압선(26), 제1컨택 메탈(CM1) 및 제2컨택 메탈(CM2)은 데이터 배선(DAT) 물질로 형성되며, 이하에서는 데이터 전극이라 한다. 데이터 배선(DAT) 물질은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0144] 본 발명의 실시예에 의하면 제2스토리지 커패시터(Cst2)는 제1스토리지 커패시터(Cst1)와 중첩하지 않는다. 따라서 도 6B와 같이 제1스토리지 커패시터(Cst1)와 제2스토리지 커패시터(Cst2)가 공간적으로 분리되어 형성될 수 있다. 이로써, 화소 내의 저장 용량은 제1스토리지 커패시터(Cst1)의 저장 용량과 제2스토리지 커패시터(Cst2)의 저장 용량의 합이 될 수 있다.

[0145] 제3전극(C3)을 덮도록 기판(100) 전면(全面)에 보호막이 형성된다. 보호막(PL) 상부에는 애노드 전극(111)이 형성된다. 애노드 전극(111)은 비아홀(VIA)을 통해 제5컨택홀(55)에 형성된 제2컨택 메탈(CM2)과 연결되어, 제2발광 제어 드레인 전극(D6) 및 제2초기화 소스 전극(S7)과 연결된다.

[0146] 한편, 도 6A에서는 도시되어 있지 않지만 도 7에서는 설명의 편의를 위하여 유기 발광 소자의 애노드 전극(111)을 도시하였다. 유기 발광 소자는 애노드 전극(111) 및 이와 대향하는 캐소드 전극을 포함하며, 애노드 전극(111)과 캐소드 전극 사이에는 유기 발광층을 포함하는 중간층이 구비된다.

[0147] 한편, 도 6A 및 도 7에서는 박막 트랜지스터의 소스 전극 및 드레인 전극 중 타 배선과 연결되지 않는 소스 전극 및 드레인 전극은 반도체층 각각과 동일한 층으로 형성되고 있다. 즉, 각 박막 트랜지스터의 소스 전극 및 드레인 전극은 선택적으로 도핑 물질이 도핑된 폴리 실리콘으로 형성될 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 본 발명의 다른 실시예에 따른 박막 트랜지스터의 소스 전극 및 드레인 전극 각각은 반도체층 각각과 다른 층으로 형성되고, 컨택홀에 의해 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.

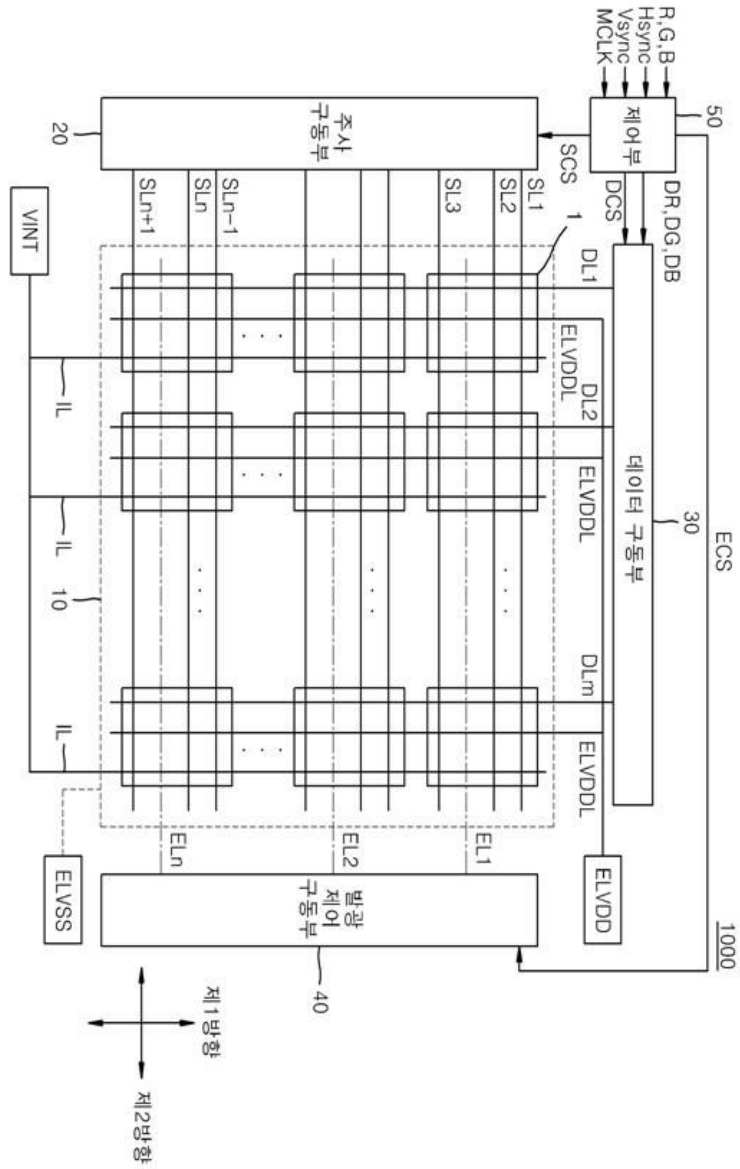
[0148] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

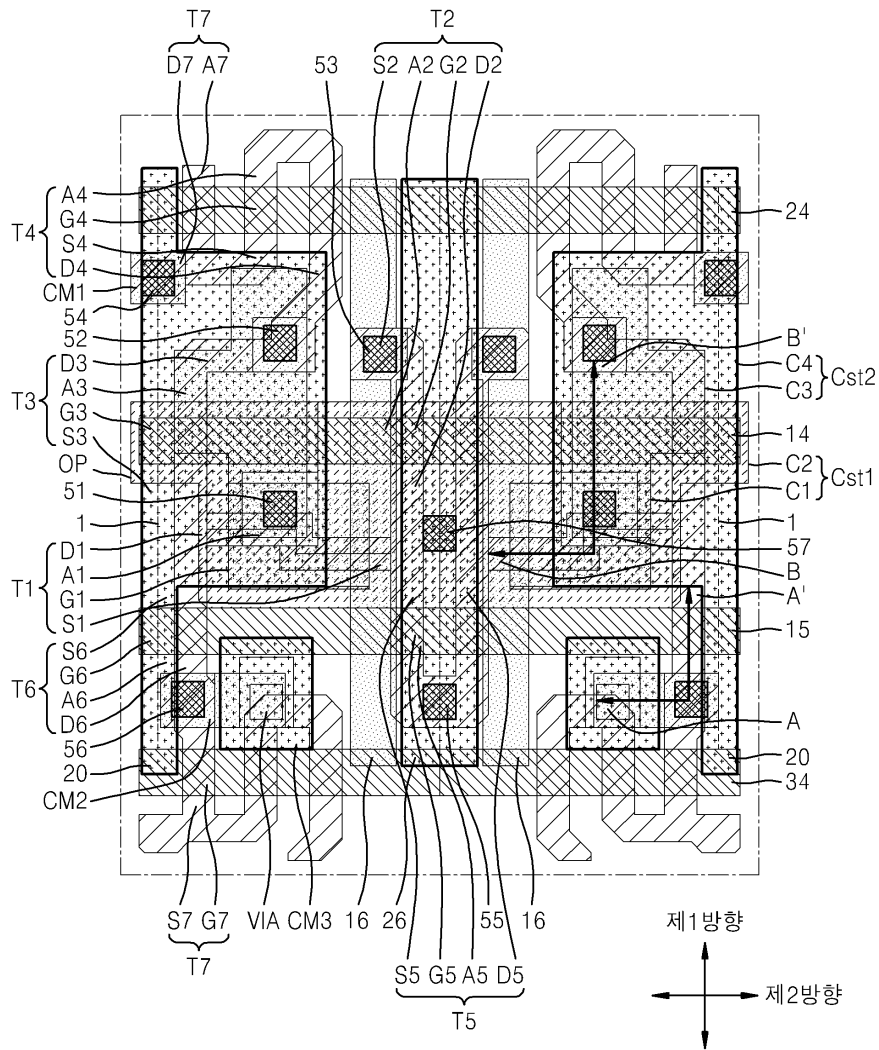
[0149] Cst1: 제1스토리지 커패시터
 Cst2: 제2스토리지 커패시터

도면

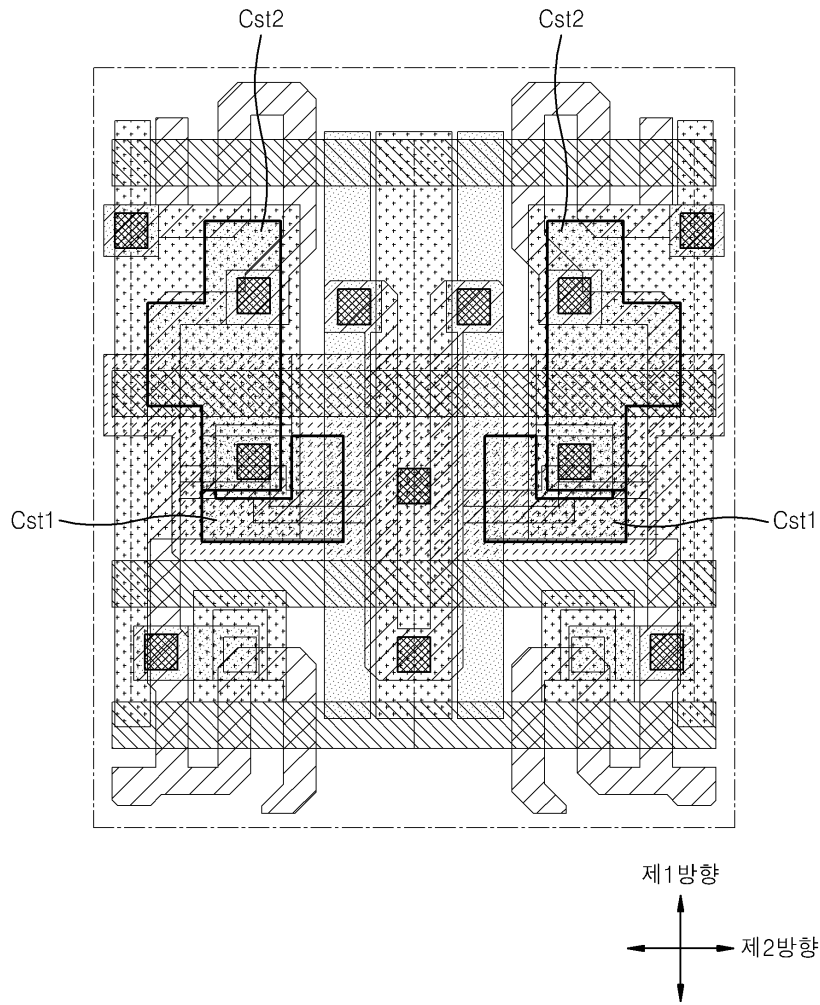
도면1



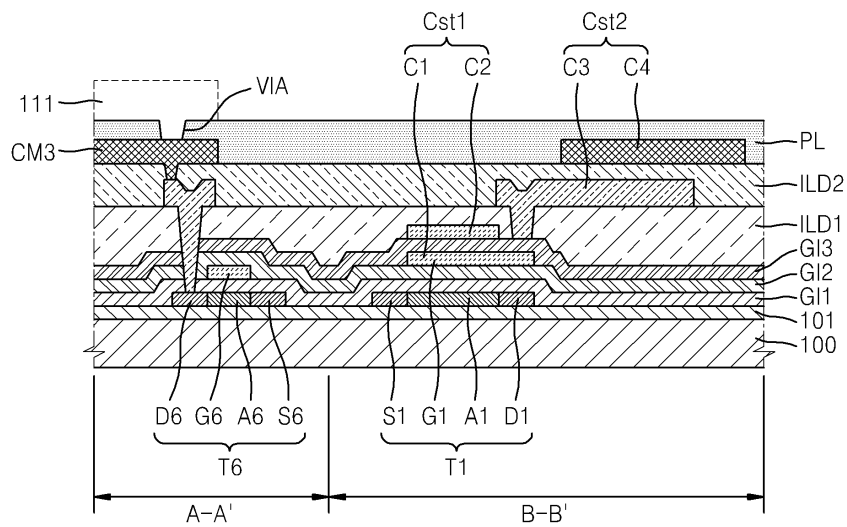
도면3a



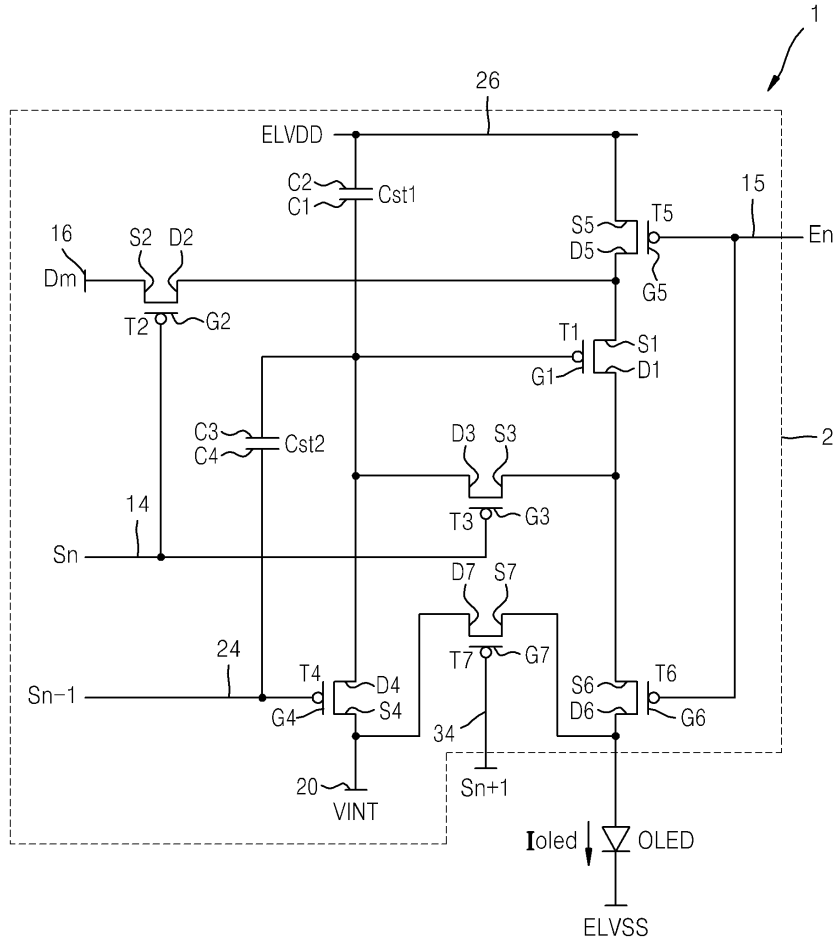
도면3b



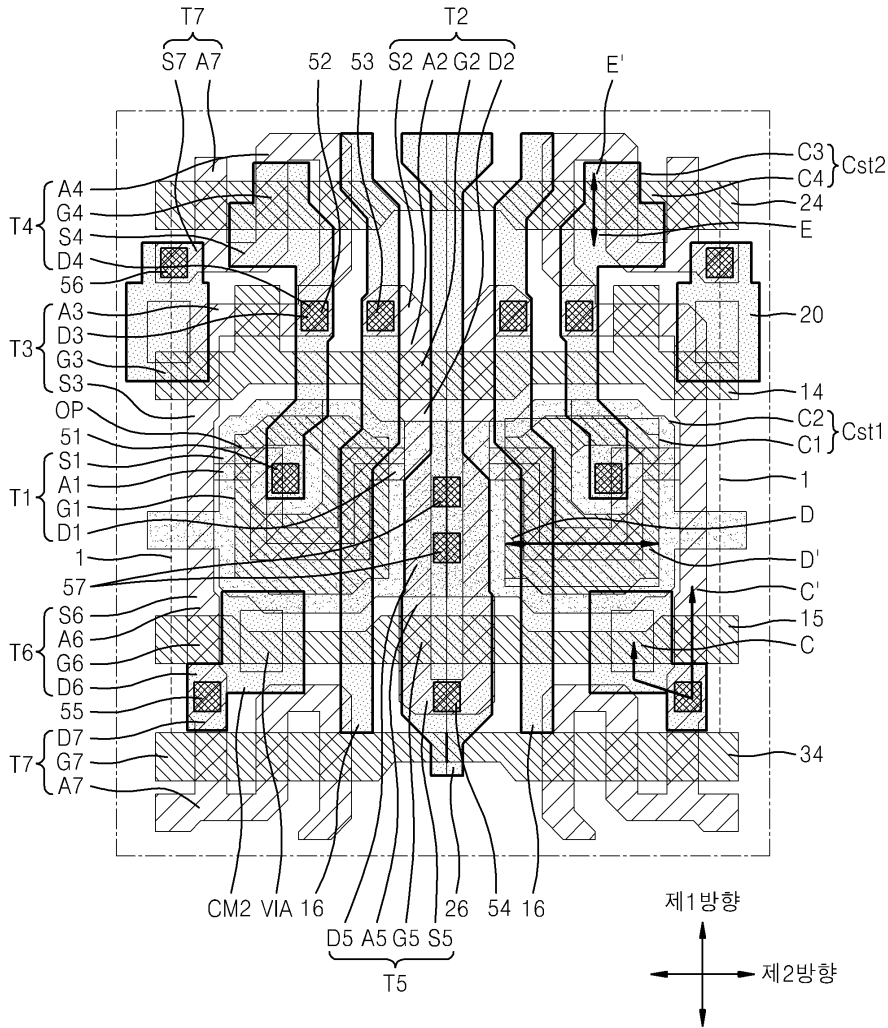
도면4



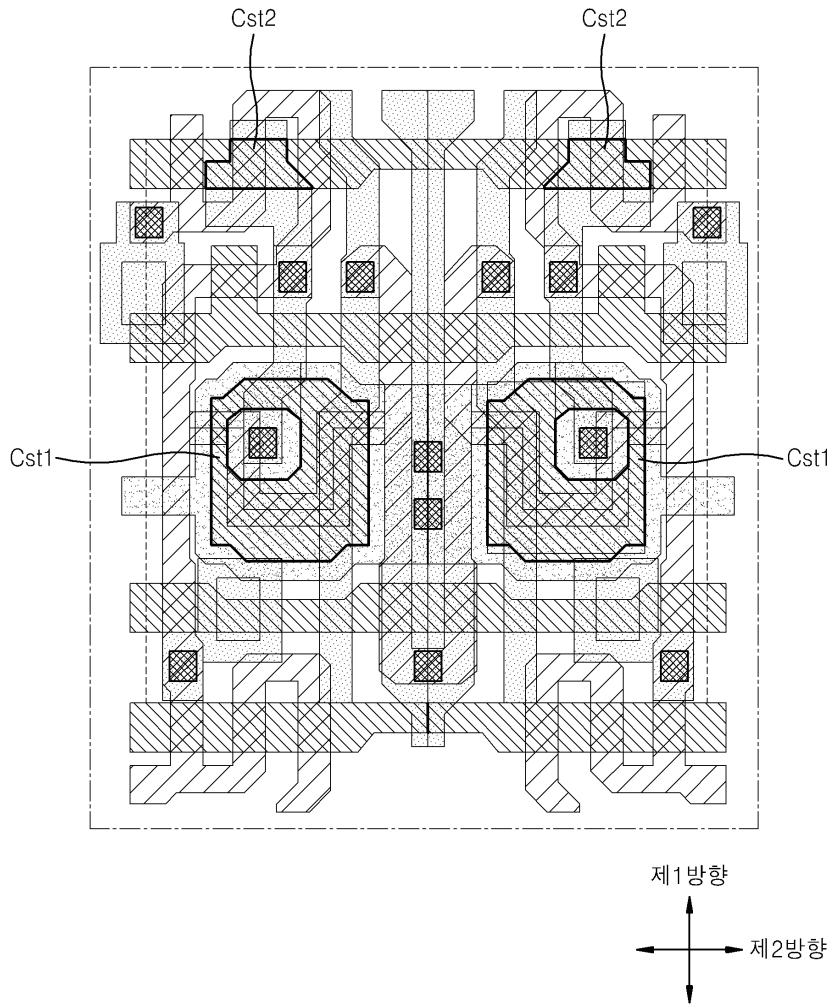
도면5



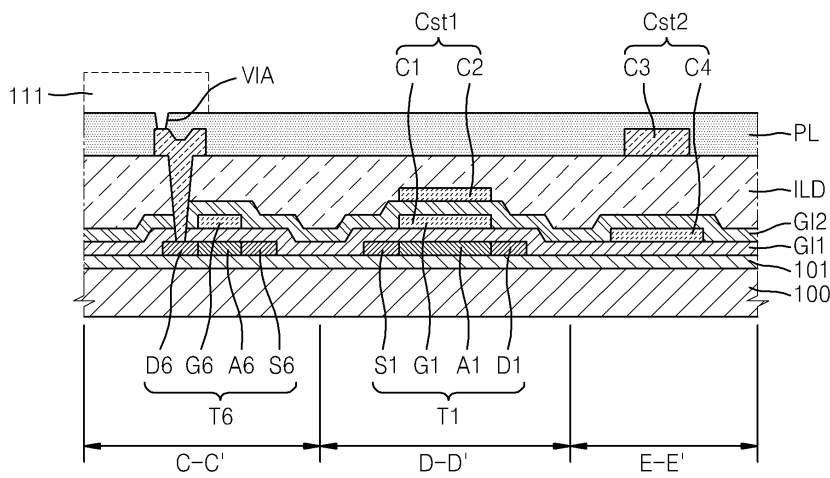
도면6a



도면6b



도면7



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020150105586A	公开(公告)日	2015-09-17
申请号	KR1020140027429	申请日	2014-03-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HER YONG KOO 허용구		
发明人	허용구		
IPC分类号	H01L27/32 G09G3/32		
CPC分类号	H01L27/3262 G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/0251 H01L27/3265		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，公开了一种具有多个像素的有机发光显示装置。每个像素包括：设置在基板上的驱动薄膜晶体管；第一存储电容器，其第一电极连接到驱动薄膜晶体管的驱动栅电极，第二电极设置在第一电极的上部并与第一电极绝缘；第二存储电容器，具有与第一电极电连接的第三电极，设置在与第一和第二电极不同的层上，并且不与设置在第三电极的上部的第一电容器和第四电极重叠，并且与第三个电极绝缘。

COPYRIGHT KIPO 2015

