



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0053475  
(43) 공개일자 2015년05월18일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0135458

(22) 출원일자 2013년11월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박영주

서울 성동구 성수일로8길 47, 102동 2201호 (성수동2가, 성수롯데캐슬파크)

조대규

서울 용산구 새창로12길 103, (산천동)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 4 항

(54) 발명의 명칭 유기발광다이오드 표시장치의 구동방법

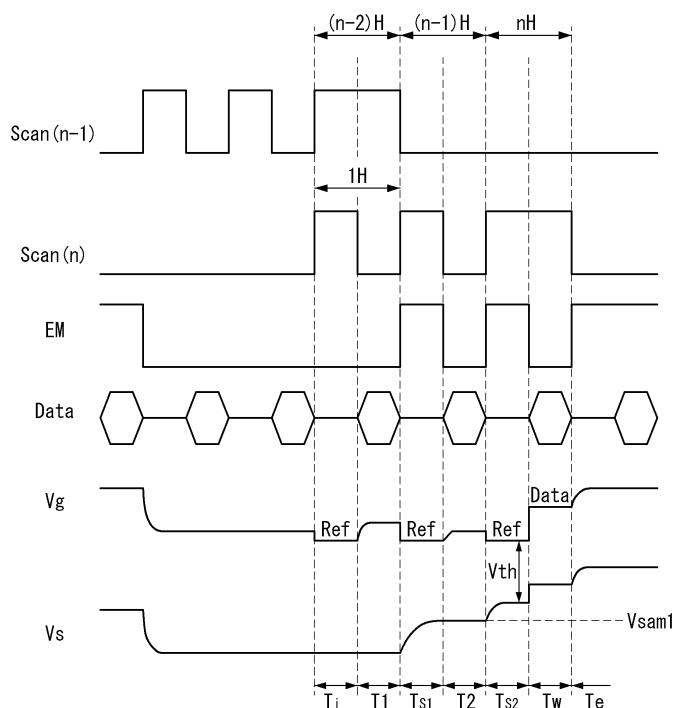
### (57) 요약

본 발명은 유기발광다이오드의 구동방법에 관한 것이다.

본 발명에 의한 유기발광다이오드의 구동방법은 제(n-2) 수평라인의 스캔을 위한 제(n-2) 수평기간 내에서, 상기 케이트전극과 상기 데이터라인 사이의 제1 노드에 기준전압을 인가하고 상기 소스전극과 상기 유기발광다이오드

(뒷면에 계속)

대 표 도 - 도3



사이의 제2 노드에 초기화전압을 인가함으로써, 상기 구동트랜지스터의 게이트-소스 간의 전위를 초기화하는 초기화 단계; 제(n-1) 수평기간 내에서, 상기 제2 노드를 플로팅시킨 상태에서 상기 제2 노드에 상기 구동전압을 제공함으로써, 상기 구동트랜지스터의 소스전극의 전위를 상승시키는 제1 샘플링 단계; 제n 수평기간 내에서, 상기 제1 샘플링 단계와 동일한 과정을 수행함으로써, 상기 제1 샘플링 단계에서 1차적으로 상승한 소스 전극의 전위를 상기 기준전압과 상기 구동트랜지스터의 문턱전압 간의 차이에 해당하는 전압으로 포화시키는 제2 샘플링 단계; 및 제n 수평기간 내에서, 발광제어신호에 따라서 상기 테이터전압을 상기 구동트랜지스터의 문턱전압과 무관하게 보상하면서 제n 수평라인에 상기 유기발광다이오드를 발광하는 단계;를 포함하는 유기발광다이오드 표시 장치의 구동방법.

---

## 명세서

### 청구범위

#### 청구항 1

게이트전극을 통해서 데이터라인으로부터 기준전압 및 구동전압을 공급받고, 드레인전극을 통해서 구동전압을 공급받으며 소스전극이 유기발광다이오드와 연결되는 구동트랜지스터를 포함하는 유기발광다이오드 표시장치의 구동방법에 있어서,

제(n-2) 수평라인의 스캔을 위한 제(n-2) 수평기간 내에서, 상기 게이트전극과 상기 데이터라인 사이의 제1 노드에 기준전압을 인가하고 상기 소스전극과 상기 유기발광다이오드 사이의 제2 노드에 초기화전압을 인가함으로써, 상기 구동트랜지스터의 게이트-소스 간의 전위를 초기화하는 초기화 단계;

제(n-1) 수평기간 내에서, 상기 제2 노드를 플로팅시킨 상태에서 상기 제2 노드에 상기 구동전압을 제공함으로써, 상기 구동트랜지스터의 소스전극의 전위를 상승시키는 제1 샘플링 단계;

제n 수평기간 내에서, 상기 제1 샘플링 단계와 동일한 과정을 수행함으로써, 상기 제1 샘플링 단계에서 1차적으로 상승한 소스 전극의 전위를 상기 기준전압과 상기 구동트랜지스터의 문턱전압 간의 차이에 해당하는 전압으로 포화시키는 제2 샘플링 단계; 및

제n 수평기간 내에서, 발광제어신호에 따라서 상기 데이터전압을 상기 구동트랜지스터의 문턱전압과 무관하게 보상하면서 제n 수평라인에 상기 유기발광다이오드를 발광하는 단계;를 포함하는 유기발광다이오드 표시장치의 구동방법.

#### 청구항 2

제 1 항에 있어서,

상기 유기발광다이오드 표시장치는, 상기 초기화전압을 제공하는 초기화라인과 상기 제2 노드 간의 전류 경로를 스위칭하는 제2 트랜지스터; 및 상기 데이터라인과 상기 제1 노드 간의 전류 경로를 스위칭하는 제3 트랜지스터를 더 포함하고,

상기 초기화 단계는,

상기 제3 트랜지스터가 제n 스캔신호에 응답하여 상기 데이터라인으로부터 제공받은 상기 기준전압을 상기 제1 노드에 제공하는 단계; 및

상기 제2 트랜지스터가 제(n-1) 스캔신호에 응답하여 상기 초기화라인으로부터 제공받는 상기 초기화전압을 상기 제2 노드에 공급하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 구동방법.

#### 청구항 3

제 2 항에 있어서,

상기 제1 및 제2 샘플링 단계는,

상기 제3 트랜지스터가 상기 제n 스캔신호에 응답하여 상기 데이터라인으로부터 제공받은 상기 기준전압을 상기 제1 노드에 제공하는 단계; 및

상기 제2 트랜지스터가 발광제어신호에 응답하여 상기 구동전압을 상기 구동트랜지스터의 소스전극으로 인가하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치의 구동방법.

#### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 초기화 단계, 그리고 상기 제1 및 제2 샘플링 단계는 1/2 수평주기 동안에 수행되는 것을 특징으로 하는 유기발광다이오드 표시장치의 구동방법.

### 발명의 설명

#### 기술 분야

본 발명은 유기발광다이오드 표시장치의 구동방법에 관한 것이다.

#### 배경기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 스위치 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 이처럼 구동트랜지스터에 공급되는 데이터전압을 이용하여 유기발광다이오드를 발광시킨다. 즉, 유기발광다이오드에 공급되는 전류는 구동트랜지스터의 게이트전극에 인가되는 데이터전압에 의해서 조절된다. 그런데, 제조공정의 특성상 화소들에 형성되는 각각의 구동트랜지스터는 문턱전압( $V_{th}$ )에 대한 편차가 발생한다. 구동트랜지스터의 문턱전압의 편차에 의해서 유기발광다이오드에 공급되는 전류는 설계된 값과 다른 값이 제공될 수 있고, 이에 따라서 발광하는 휘도가 원하는 값과 달라질 수 있다.

[0004] 근래에는 구동트랜지스터의 문턱전압을 보상하기 위한 방법들이 많이 연구되고 있으며, 일례로 공개특허 제10-2011-0078387호에 개시된 '유기발광장치 및 그 구동방법'은 유기발광다이오드의 전류를 문턱전압에 관계없이 흐르도록 함으로써, 소자편차에 기인한 화질 저하를 개선하는 방안을 개시하고 있다.

[0005] 언급한 선행특허 이외에 많은 선행기술들은 문턱전압의 보상방법으로서, 유기발광다이오드의 발광기간 이전에, 구동트랜지스터를 특정전압으로 초기화하는 초기화기간과, 문턱전압을 겹출하는 샘플링기간을 거친 이후에 데이터전압을 인가하는 구동방법을 택하고 있다. 이러한 방법에서 샘플링기간은 구동트랜지스터의 게이트-소스전극 간의 전압편차를 문턱전압에 가깝게 하기 위한 것으로, 충분한 시간을 가질수록 문턱전압의 편차를 효율적으로 할 수 있다. 하지만, 하나의 스캔라인에 인가되는 구동파형에서 1수평기간(Horizontal Time; 이하, H)은 한정되어 있기 때문에 샘플링 기간에 충분한 시간을 확보하기는 쉽지 않다. 특히 해상도를 높일수록 1H 기간은 짧아지기 때문에 더욱더 샘플링 기간을 확보하기에 난점이 있다.

#### 발명의 내용

##### 해결하려는 과제

[0006] 이에 따라서, 본 발명은 샘플링 기간을 충분히 확보하여 구동트랜지스터의 문턱전압의 편차를 효율적으로 보상하기 위한 유기발광다이오드 표시장치의 구동방법을 제공하는 위한 것이다.

##### 과제의 해결 수단

[0007] 본 발명에 의한 유기발광다이오드의 구동방법은 제(n-2) 수평라인의 스캔을 위한 제(n-2) 수평기간 내에서, 상기 게이트전극과 상기 데이터라인 사이의 제1 노드에 기준전압을 인가하고 상기 소스전극과 상기 유기발광다이오드 사이의 제2 노드에 초기화전압을 인가함으로써, 상기 구동트랜지스터의 게이트-소스 간의 전위를 초기화하

는 초기화 단계; 제(n-1) 수평기간 내에서, 상기 제2 노드를 플로팅시킨 상태에서 상기 제2 노드에 상기 구동전압을 제공함으로써, 상기 구동트랜지스터의 소스전극의 전위를 상승시키는 제1 샘플링 단계; 제n 수평기간 내에서, 상기 제1 샘플링 단계와 동일한 과정을 수행함으로써, 상기 제1 샘플링 단계에서 1차적으로 상승한 소스 전극의 전위를 상기 기준전압과 상기 구동트랜지스터의 문턱전압 간의 차이에 해당하는 전압으로 포화시키는 제2 샘플링 단계; 및 제n 수평기간 내에서, 발광제어신호에 따라서 상기 테이터전압을 상기 구동트랜지스터의 문턱 전압과 무관하게 보상하면서 제n 수평라인에 상기 유기발광다이오드를 발광하는 단계;를 포함하는 유기발광다이오드 표시장치의 구동방법.

### 발명의 효과

[0008] 본 발명에 의한 유기발광다이오드 표시장치의 구동방법은 샘플링 기간을 2회의 스캔주기에 걸쳐서 수행하기 때문에 스캔시간을 충분히 확보할 수 있다. 따라서 본 발명은 구동트랜지스터의 문턱전압 편차로 인한 화질저하를 효과적으로 개선할 수 있다. 특히, 본 발명은 현재단 발광을 위한 샘플링을 이전 스캔주기와 현재 스캔주기에 나누어 수행하기 때문에 한정된 스캔주기를 효율적으로 이용할 수 있고, 이에 따라서 스캔주기가 짧은 고화질의 표시장치에서도 전압보상을 효과적으로 할 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 본 발명에 의한 유기발광다이오드 표시장치를 나타내는 도면.

도 2는 본 발명에 의한 유기발광다이오드 표시장치에 포함되는 화소의 실시 예를 나타내는 도면.

도 3은 본 발명에 의한 유기발광다이오드 표시장치를 구동하기 위한 타이밍도.

도 4a 내지 도 4e는 본 발명에 의한 유기발광다이오드 표시장치의 구동 방법을 나타내는 도면들.

### 발명을 실시하기 위한 구체적인 내용

[0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

도 1은 본 발명에 의한 유기발광다이오드 표시장치를 보여준다.

[0012] 도 1을 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 화소들(P)이 매트릭스 형태로 배열되는 표시패널(10), 데이터 구동회로(12), 게이트 구동회로(13) 및 타이밍 콘트롤러(11)를 구비한다.

[0013] 표시패널(10)은 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시하기 위한 것이다. 화소(P)들은 제1 내지 제m 수평라인(HL1 내지 HL[m])들 각각에 복수 개가 일정한 간격으로 배열됨으로써 표시패널(10) 내에서 매트릭스 형태로 배치된다.

[0014] 이때, 각각의 화소(P)들은 서로 직교하는 데이터라인부(14)와 다수의 게이트라인부(15)가 교차되는 영역에 배치된다. 각 화소(P)에 접속하는 데이터라인부(14)는 초기화라인(14a) 및 데이터라인(14b)을 포함하고, 게이트라인부(15)는 이전단 스캔라인(15a), 현재단 스캔라인(15b) 및 에미션라인(15c)을 포함한다.

[0015] 그리고 화소(P)들 각각은 유기발광다이오드(OLED), 구동트랜지스터(DT) 및 제1 내지 제3 트랜지스터(T1, T2, T3), 스토리지 커패시터(Cs) 및 보조커패시터(C1) 포함한다. 구동트랜지스터(DT) 및 제1 내지 제3 트랜지스터(T1, T2, T3)는 산화물 반도체층을 포함한 산화물 박막트랜지스터(Thin Film Transistor; 이하, TFT)로 구현될 수 있다. 산화물 TFT는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 TFT의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.

[0016] 타이밍 콘트롤러(11)는 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수

평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

[0017] 데이터 구동회로(12)는 데이터라인부(14)를 구동하기 위한 것이다. 이를 위해서 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(14)들에 공급한다.

[0018] 게이트 구동회로(13)는 게이트라인부(15)를 구동하기 위한 것이다. 이를 위해서 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호, 발광제어신호, 및 초기화신호를 발생한다. 게이트 구동회로(13)는 스캔신호를 라인 순차 방식으로 스캔라인(15a)에 공급하고, 발광제어신호를 라인 순차 방식으로 에미션라인(15b)에 공급하며, 초기화신호를 라인 순차 방식으로 초기화라인(15c)에 공급한다.

[0019] 도 3은 도 2에 도시된 화소(P)의 일 예를 나타내는 것으로서, 제n 수평라인의 화소(P)들 중의 하나를 도시한 것이다. 이때, 제n 수평라인은 제3 수평라인에서 제m 수평라인 내의 범위에 속한다.

[0020] 도 3을 참조하면, 본 발명의 일 실시 예에 따른 화소(P)는 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1 내지 제3 트랜지스터(ST1~ST3), 제1 및 제2 커페시터(C1,C2)를 구비한다.

[0021] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 구동트랜지스터(DT)의 소스전극에 접속되고, 캐소드전극은 접지단(VSS)에 연결된다.

[0022] 구동트랜지스터(DT)는 자신의 게이트-소스 간의 전압으로 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 이를 위해서 구동트랜지스터(DT)의 게이트전극은 데이터전압(Vdata)의 입력단에 연결되고, 드레인전극은 구동전압(VDD)의 입력단에 연결되며, 소스전극은 저전압구동전압(VSS)과 연결된다.

[0023] 제1 트랜지스터(ST1)는 발광제어신호(EM)에 응답하여, 구동전압(VDD) 입력단과 구동트랜지스터(DT) 간의 전류 경로를 제어한다. 이를 위해서 제1 트랜지스터(ST1)의 게이트 전극은 발광제어신호라인(15c)에, 드레인전극은 구동전압(VDD) 입력단에, 소스전극은 구동트랜지스터(DT)에 연결된다.

[0024] 제2 트랜지스터(T2)는 제(n-1) 스캔신호(Scan[n-1])에 응답하여, 초기화라인(14a)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)로 제공한다. 이를 위해서 제2 트랜지스터(T2)의 게이트 전극은 제(n-1) 스캔라인(15a)에, 드레인전극은 초기화라인(14a)에 소스전극은 제2 노드(n2)에 연결된다.

[0025] 제3 트랜지스터(ST3)는 제n 스캔신호(Scan[n])에 응답하여, 데이터라인(14c)으로부터 제공받는 기준전압(Vref) 및 데이터전압(Vdata)을 구동트랜지스터(DT)에 제공한다. 이를 위해서, 제3 트랜지스터(T3)의 게이트 전극은 스캔라인()에, 드레인전극은 데이터라인(14c)에, 소스전극은 구동트랜지스터(DT)에 연결된다.

[0026] 스토리지 커페시터(Cs)는 데이터라인(14c)으로부터 제공받는 데이터전압(Vdata)을 한 프레임동안 유지하여 구동트랜지스터(DT)가 일정한 전압을 유지하도록 한다. 이를 위해서 스토리지 커페시터(Cs)는 구동트랜지스터(DT)의 게이트 전극과 소스 전극에 연결된다.

[0027] 보조커페시터(C1)는 제2 노드(n2)에서 스토리지 커페시터(Cs)와 직렬로 연결되어, 구동전압(Vdata)의 효율을 높여주는 역할을 한다.

[0028] 상술한 바와 같은 구조를 갖는 화소(P)의 동작을 살펴보면 다음과 같다. 도 3은 도 2의 화소(P)에 인가되는 신호들(EM, SCAN, INIT, DATA)과, 그에 따른 구동트랜지스터(DT)의 게이트전극과 소스전극의 전위변화를 나타내는 파형도이다.

[0029] 도면에서, 수평주기(H)는 하나의 수평라인에 배열된 화소들의 구동을 위한 스캔 기간이다. 즉, 제n 수평주기([n]H)는 제n 수평라인의 화소들을 구동하기 위한 스캔 기간이고, 제(n-1) 수평주기는 이전단 수평라인인 제(n-1) 수평라인의 화소들을 스캔하기 위한 기간이며, 제[n-2] 수평주기([n-2]H)는 전전단인 제[n-2] 수평라인의 화소들을 스캔하기 위한 기간이다.

[0030] 그리고, 도 4a 내지 도 4e는 각각 초기화기간(Ti), 샘플링기간(Ts), 라이팅기간(Tw), 발광기간(Te)에서의 화소

(P)의 등가회로를 보여준다. 이때, 도 4a 내지 도 4e는 소자들이 활성화된 것을 실선으로, 반대로 소자들이 비활성화된 것을 점선으로 표시하고 있다.

[0031] 도 4를 참조하면, 본 발명에 따른 화소(P)의 동작은 노드 A,B,C를 특정 전압으로 초기화하는 초기화기간(Ti), 구동트랜지스터(DT)의 문턱전압을 검출 및 저장하는 제1 및 제2 샘플링기간(Ts1, Ts2), 데이터전압(Vdata)을 인가하는 라이팅 기간(Tw), 문턱전압과 데이터전압(Vdata)을 이용하여 유기발광다이오드(OLED)에 인가되는 구동전류를 문턱전압과 무관하게 보상하여 발광하는 발광기간(Te)을 포함한다.

[0032] 도 3 및 도 4a를 참조하면, 제n 수평라인에 대한 초기화기간(T1)은 제[n-2] 수평주기([n-2]H)에서 수행된다.

[0033] 초기화기간(Ti) 동안에 제2 트랜지스터(T2)는 제(n-1) 스캔신호(Scan[n-1])에 응답하여 초기화라인(14a)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)에 공급한다. 따라서, 제2 노드(n2)의 전압인 구동트랜지스터(DT)의 소스전압(Vs)은 초기화전압(Vini)의 전위를 갖는다. 그리고 제3 트랜지스터(T3)는 제n 스캔신호(Scan[n])에 응답하여 데이터라인(14c)으로부터 제공받는 기준전압(Vref)을 구동트랜지스터(DT)의 게이트전극의 제1 노드(n1)에 공급한다. 따라서, 제1 노드(n1)의 전압인 구동트랜지스터(DT)의 게이트전압(Vg)은 기준전압(Vref)의 전위를 갖는다.

[0034] 이러한 초기화기간(Ti)에서 제2 노드(n2)에 공급되는 초기화전압(Vini)은 화소(P)를 일정 수준으로 초기화하기 위한 것으로서, 이때 초기화전압(Vini)의 크기는 유기발광다이오드(OLED)가 발광하지 않도록 유기발광다이오드(OLED)의 동작전압 보다 작은 전압값으로 설정된다. 예컨대, 초기화전압(Vini)은 -1 내지 +1(V)의 크기를 갖는 전압으로 설정할 수 있다.

[0035] 그리고 제(n-2) 수평주기([n-2]H)는 제(n-2) 수평라인의 화소구동을 위한 라이팅 기간을 포함하기 때문에, 초기화기간(Ti)은 1수평주기(1H)의 40~60%의 시간, 예컨대 1/2(H) 시간범위에서 수행될 수 있다.

[0036] 이어서 제1 과도기 기간(T1)에는, 제1 노드(n1)의 전압은 기준전압(Vref)으로 유지되고, 제2 노드(n2)의 전압은 초기화전압(Vini)으로 유지된다.

[0037] 도 3 및 도 4b를 참조하면, 제n 수평라인에 대한 제1 샘플링기간(Ts1)은 제(n-1) 수평주기([n-1]H)에서 수행된다.

[0038] 이때, 제3 트랜지스터(T3)는 제n 스캔신호(Scan[n])에 응답하여 데이터라인(14c)으로부터 제공받는 기준전압(Vref)을 제1 노드(n1)로 공급한다. 그리고 제1 트랜지스터(T1)는 발광제어신호(EM)에 응답하여 구동전압(VD)을 구동트랜지스터(DT)로 공급한다. 이때, 구동트랜지스터 게이트전극전압(Vg)은 기준전압(Vref)을 유지한다. 그리고 제2 노드(n2)가 플로팅(floating) 상태임에 따라서, 제2 노드(n2)의 전압은 구동전압(VDD)에서 제1 트랜지스터(T1)와 구동트랜지스터(DT)를 통해 흐르는 전류가 축적되어서 초기화전압으로부터 제1 샘플링전압(Vsam1)까지 상승한다.

[0039] 그리고 [n-1]수평주기는 이전 단 스캔주기에서 데이터전압의 인가를 포함하는 기간이기 때문에, 제1 샘플링기간(Ts1)은 1수평주기(1H)의 40~60%의 시간, 예컨대 1/2(H) 시간범위에서 수행될 수 있다. 이처럼 제1 샘플링 기간인 1/2(H) 시간 동안에 제2 노드(n2)에는 초기화전압(Vini)으로부터 서서히 전압이 상승한다.

[0040] 이어서 제2 과도기 기간(T2)에서는, 제1 내지 제3 트랜지스터(T1,T2,T3)가 턴-오프되며, 제1 노드(n1)에는 기준전압(Vref)이 유지되고, 제2 노드(n2)에는 제1 샘플링 기간(Ts1) 동안에 축적된 전압이 유지된다.

[0041] 도 3 및 도 4c를 참조하면, 제n 수평라인에 대한 제2 샘플링 기간(Ts2)은 현재 단 수평주기([n]H)에서 수행된다.

[0042] 제2 샘플링 기간(Ts2)에서, 제3 트랜지스터(T3)는 제n 스캔신호(Scan[n])에 응답하여 데이터라인(14c)으로부터 제공받는 기준전압(Vref)을 제1 노드(n1)로 공급한다. 그리고 제1 트랜지스터(T1)는 발광제어신호(EM)에 응답하여 구동전압(VDD)을 구동트랜지스터(DT)로 공급한다.

[0043] 이때, 구동트랜지스터 게이트전극 전압(Vg)은 기준전위(Vref)를 유지한다. 그리고, 제2 노드(n2)가 플로팅(floating) 상태이기 때문에, 제2 노드(n2)의 전압은 구동전압(VDD)에서 제1 트랜지스터(T1) 및 구동트랜지스터(DT)를 통해서 흐르는 전류가 축적되어서 제1 샘플링기간에 상승한 전압으로부터 다시 상승한다. 이때, 제2 샘플링기간(Ts2)을 통해서 상승한 전압은 기준전압(Vref)과 구동트랜지스터(DT)의 문턱전압(Vth) 간의 차이에 해당하는 크기를 갖는 전압으로 포화(saturation)된다. 즉, 제1 및 제2 샘플링 기간(Ts1,Ts2)을 통해서, 구동트랜지스터(DT)의 게이트-소스 간의 전위차이는 문턱전압(Vth)의 크기가 된다.

[0044] 즉, 제2 샘플링기간(Ts2)을 통해서 구동트랜지스터(DT)의 소스전극에 축적되는 전위는 2회의 수평주기(H)의 스

캔 기간, 즉 이전단 수평주기 및 현재단 수평주기의 스캔 기간 동안에 각각 수행되는 제1 및 제2 샘플링 기간 ( $T_{s1}, T_{s2}$ )을 통해서 축적된다. 이처럼 본 발명은 충분한 시간적 여유를 갖고 문턱전압을 검출할 수 있기 때문에, 문턱전압의 편차에 의한 화질저하를 효과적으로 개선할 수 있다.

[0045] 도 3 및 도 4d를 참조하면, 현재단 수평라인에 대한 라이팅 기간( $T_w$ )은 현재단 수평주기([n]H)에서 행해진다.

[0046] 라이팅 기간( $T_w$ )에서, 제1 및 제2 트랜지스터( $T_1, T_2$ )는 터-오프 된다. 그리고 제3 트랜지스터( $T_3$ )는 터-온 되면서 데이터라인(14c)으로부터 제공받는 데이터전압( $V_{data}$ )을 제1 노드( $n_1$ )로 공급한다. 이때, 플로팅(floating) 상태인 제2 노드( $n_2$ ) 전압은 스토리지 커패시터( $C_s$ ) 및 보조커패시터( $C_1$ )의 비율에 의해서 커플링(Coupling)되어서 상승하거나 하강한다.

[0047] 도 3 및 도 4e를 참조하면, 제n 수평라인에 대한 발광기간( $T_e$ )은 제n 수평주기([n]H)에서 행해진다.

[0048] 발광기간( $T_e$ )에서, 제2 및 제3 트랜지스터( $T_2, T_3$ )는 터-오프되며, 제1 트랜지스터( $T_1$ )는 터-온된다. 이때, 스토리지 커패시터( $C_s$ )에 저장된 데이터전압( $V_{data}$ )은 유기발광다이오드(OLED)로 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압( $V_{data}$ )에 비례하는 밝기로 발광한다. 이때, 라이팅 기간( $T_w$ )에서 결정된 제1 노드( $n_1$ ) 및 제2 노드( $n_2$ )의 전압에 의해서 구동트랜지스터(DT)에 전류가 흐르게 되어 유기발광다이오드(OLED)로 원하는 전류가 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압( $V_{data}$ )에 의해 밝기를 조절할 수 있다.

[0049] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

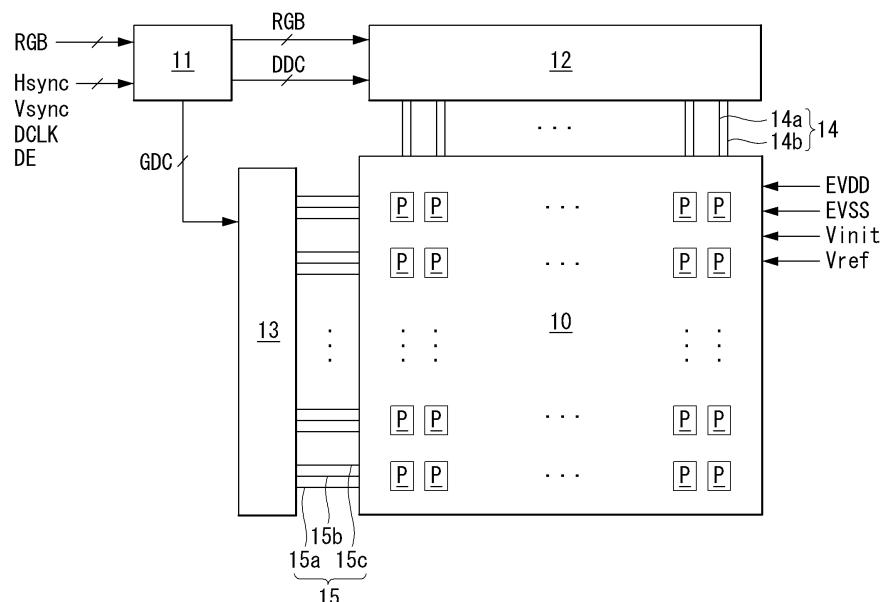
10 : 표시패널 11 : 타이밍 콘트롤러

12 : 데이터 구동회로 13 : 게이트 구동회로

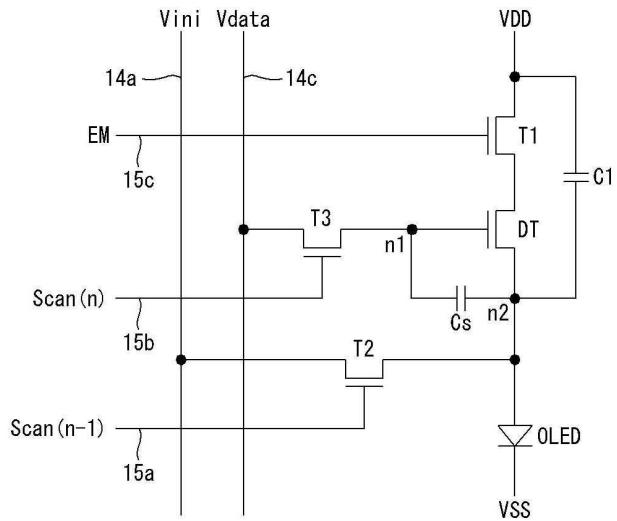
14 : 데이터라인부 15 : 게이트라인부

### 도면

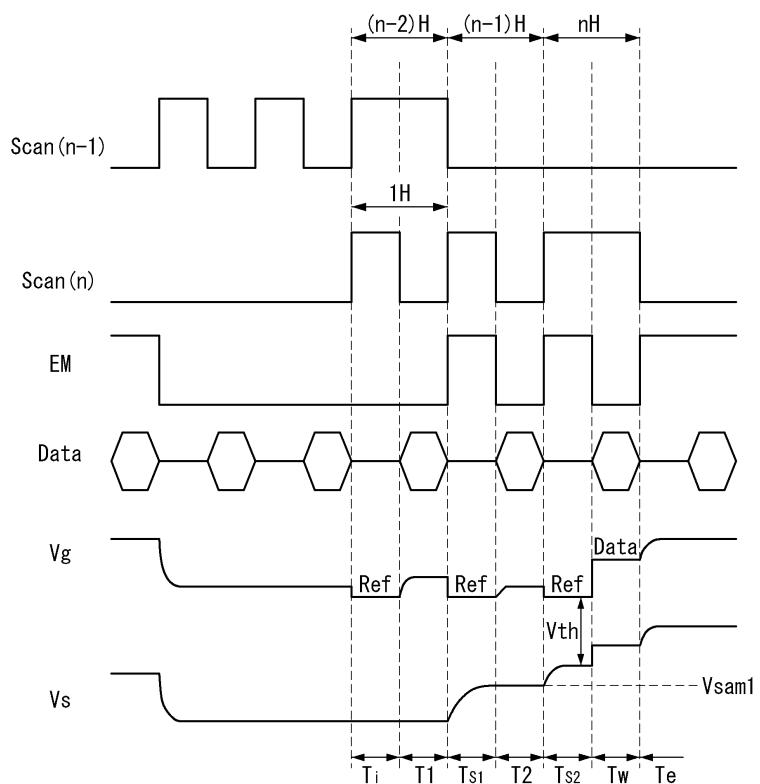
#### 도면1



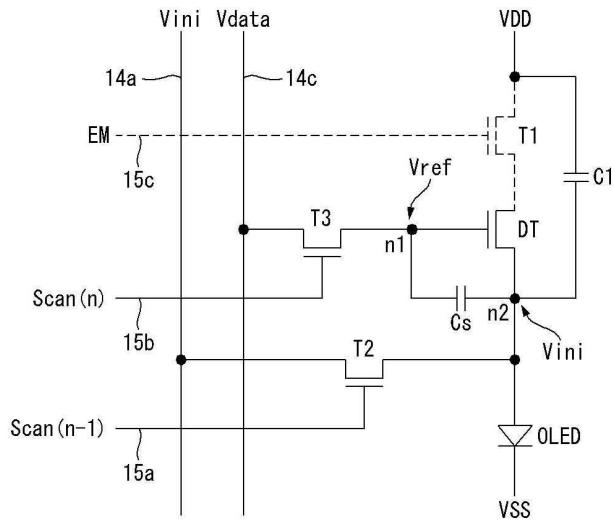
## 도면2



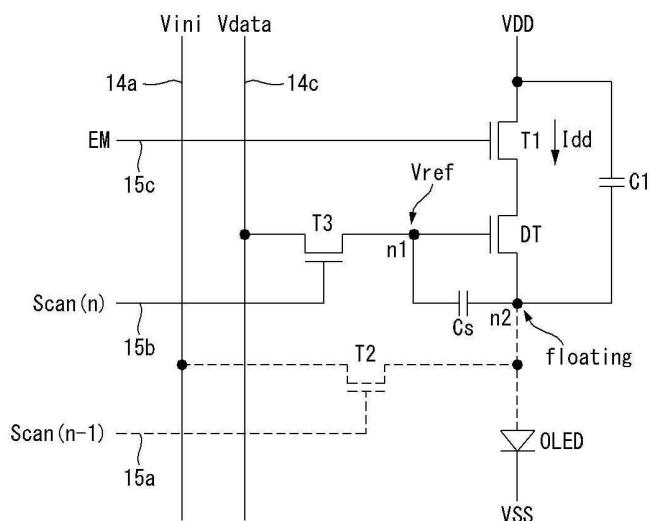
## 도면3



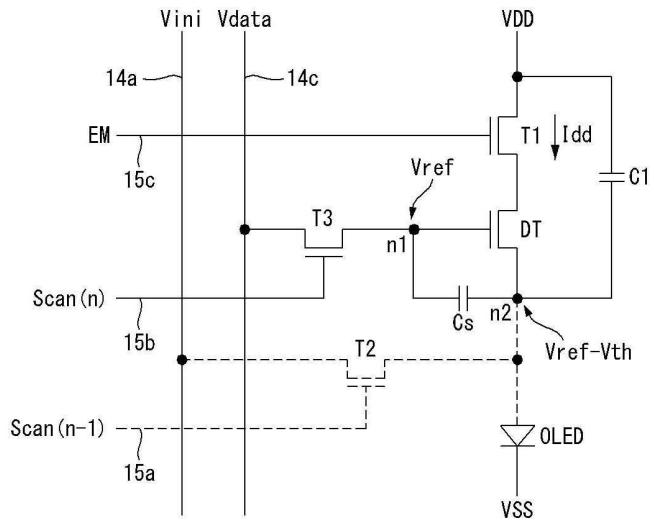
### 도면4a



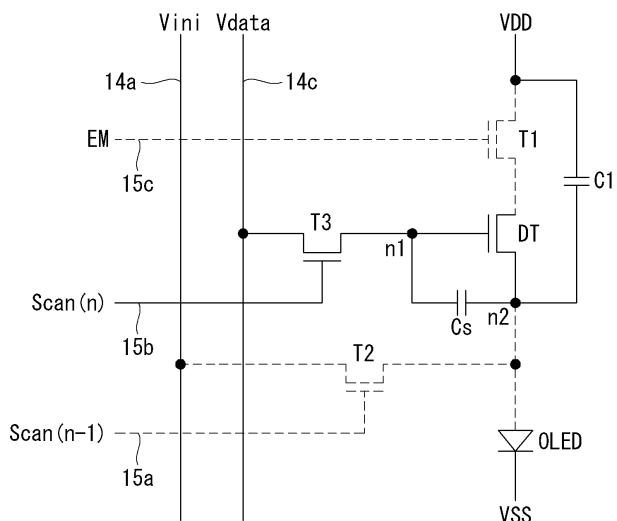
### 도면4b



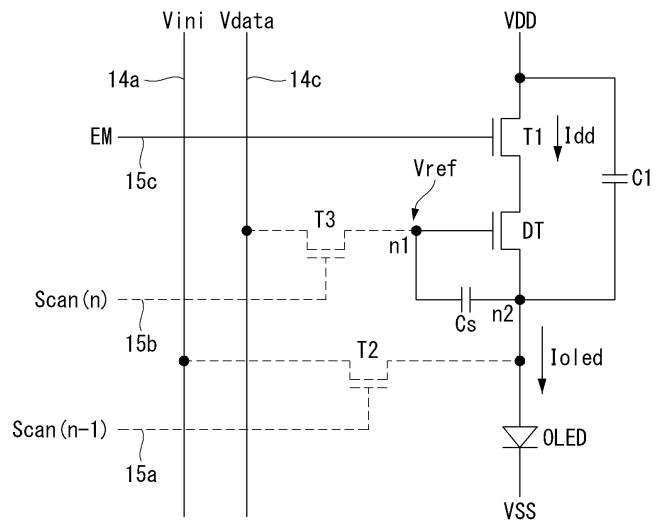
### 도면4c



## 도면4d



### 도면4e



专利名称(译)	标题 : 有机发光二极管显示装置的驱动方法		
公开(公告)号	<a href="#">KR1020150053475A</a>	公开(公告)日	2015-05-18
申请号	KR1020130135458	申请日	2013-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YOUNG JU 박영주 JO DAE GYU 조대규		
发明人	박영주 조대규		
IPC分类号	G09G3/32		
其他公开文献	<a href="#">KR102076845B1</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

驱动有机发光二极管的方法技术领域本发明涉及一种驱动有机发光二极管的方法。根据本发明的用于驱动有机发光二极管的方法包括初始化步骤，该初始化步骤是通过将参考电压施加到栅极中的第一节点和漏极之间的第一节点来初始化驱动晶体管的栅极和源极之间的电势。第 ( n-2 ) 个水平周期，用于扫描第 ( n-2 ) 条水平线并将初始化电压施加到源电极和有机发光二极管之间的第二节点，第一采样步骤是提高电势 当第二节点在 ( n-1 ) 个水平周期中浮置时，通过向第二节点提供驱动电压来提供驱动晶体管的源电极的电压，第二采样步骤使源电极的电势饱和，该电势首先在第二节点中上升。在第n个水平周期中，将第一采样步骤采样到与参考电压和驱动晶体管的阈值电压之差相对应的电压，并发射光f 在第n个水平周期中，在不依赖于驱动晶体管的阈值电压的情况下，根据发光控制信号补偿数据电压，同时在第n个水平周期中对有机发光二极管进行充电。

