(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0072711
(43) 공개일자 2014년06월13일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H01L 29/786* (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0140542
(22) 출원일자 2012년12월05일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
진성현
경기도 용인시 기흥구 삼성2로 95 (농서동)
오재환
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

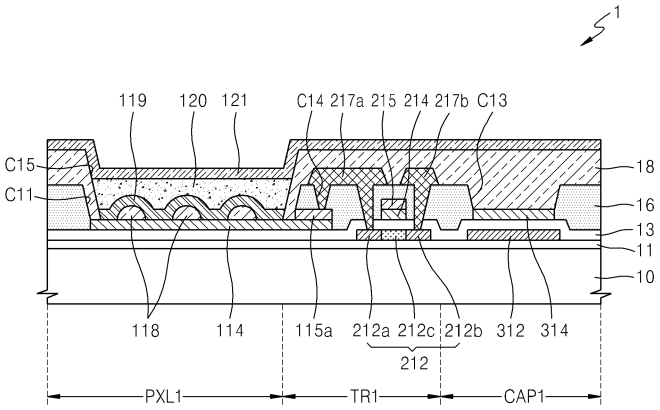
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조 방법**

(57) 요 약

본 발명의 일 측면에 의하면, 기판; 상기 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 소스 전극 및 드레인 전극 중 하나와 접속하는 제1 화소 전극; 상기 제1 화소 전극 상에 형성된 요철부; 상기 요철부 상에 요철 패턴으로 형성된 제2 화소 전극; 상기 제2 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

대 표 도 - 도1



(72) 발명자

장영진

경기도 용인시 기흥구 삼성2로 95 (농서동)

박세훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

이원규

경기도 용인시 기흥구 삼성2로 95 (농서동)

최재범

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기판;

상기 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 소스 전극 및 드레인 전극 중 하나와 접속하는 제1 화소 전극;

상기 제1 화소 전극 상에 형성된 요철부;

상기 요철부 상에 요철 패턴으로 형성된 제2 화소 전극;

상기 제2 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 화소 전극은 투명 도전물을 포함하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제1 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In203), 인듐갈륨옥사이드(indium gallium oxide: IGO) 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 제2 화소 전극은 반투과 금속층을 포함하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함하는 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 요철부는 상기 박막 트랜지스터를 덮는 절연층과 동일 재료로 형성된 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 절연층에는 상기 제1 화소 전극을 노출시키는 개구가 형성되고,

상기 요철부는 상기 개구 안에 형성된 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 절연층은 유기 절연물을 포함하는 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 제1 화소 전극은 상기 게이트 전극과 동일층에 형성되고, 상기 게이트 전극을 형성하는 재료 중 적어도 하나와 동일한 재료를 포함하는 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

상기 활성층과 동일층에 형성된 커패시터 제1전극; 및

상기 제1 화소 전극과 동일층에 형성된 커패시터 제2전극;을 더 포함하는 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 커패시터 제1 전극은 이온 불순물이 도핑 된 반도체를 포함하는 유기 발광 표시 장치.

청구항 12

제10 항에 있어서,

상기 요철부는 상기 박막트랜지스터를 덮는 절연층과 동일 재료로 형성되고,

상기 커패시터 제2전극의 상면은 상기 요철부를 형성하는 절연층과 직접 접촉하는 유기 발광 표시 장치.

청구항 13

제1 항에 있어서,

상기 제2 화소 전극은 상기 소스 전극 및 드레인 전극 중 하나와 전기적으로 접속하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 절연층은 상기 제1 화소 전극과 상기 대향 전극 사이에 형성되고,

상기 절연층에는 상기 제1 화소 전극을 노출시키는 개구가 형성되고,

상기 요철부는 상기 개구 안에 형성되고,

상기 제2 화소 전극은 상기 절연층에 형성된 상기 개구의 식각면을 따라 연장되어 상기 요철부 상에 형성된 유기 발광 표시 장치.

청구항 15

제12 항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극은 상기 소스 전극 및 드레인 전극 중 하나와 서로 반대의 방향에서 각각 전기적으로 접속하는 유기 발광 표시 장치.

청구항 16

제1 항에 있어서,

상기 기판과 상기 제1 화소 전극 사이에 버퍼층이 더 포함된 유기 발광 표시 장치.

청구항 17

기판 상에 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 기판 상에 상기 소스 전극 및 드레인 전극 중 하나와 접속하는 제1 화소 전극을 형성하는 단계;

상기 제1 화소 전극 상에 요철부를 형성하는 단계;

상기 요철부 상에 제2 화소 전극을 형성하는 단계;

상기 제2 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및

상기 중간층 상에 대향 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 요철부는 상기 제1 화소 전극과 상기 대향 전극 사이에 형성된 절연층과 동일 재료로 상기 절연층과 동시에 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 절연층은 유기 절연물로 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 18 항에 있어서,

상기 제1 화소 전극은 상기 게이트 전극과 동일층에 형성하고,

상기 절연층에는 상기 제1 화소 전극을 노출시키도록 개구를 형성하고,

상기 개구에 상기 요철부를 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 18 항에 있어서,

상기 제2 화소 전극을 형성하는 단계에서, 상기 제2 화소 전극을 상기 소스 전극 및 드레인 전극 중 하나와 접속하도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제 18 항에 있어서,

상기 활성층과 동일층에 커패시터 제1전극을 형성하고,

상기 제1 화소 전극과 동일층에 커패시터 제2전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제 22 항에 있어서,

상기 활성층과 동일층에 형성된 커패시터 제1전극을 형성하고,

상기 제1 화소 전극과 동일층에 커패시터 제2전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor:

TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 유기 발광 표시 장치는 저전압으로 구동이 가능하고, 경량의 박형이며, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점으로 인해 차세대 디스플레이 장치로서 주목 받고 있다.

[0004] 이러한 유기 발광 표시 장치는 넓은 발광 파장을 가지며, 이에 따라 발광 효율이 떨어지고 색순도가 저하된다. 또한, 유기 발광층에서 방출되는 빛은 특정한 방향성이 없으므로, 임의의 방향으로 방출되는 광자 중 상당수가 유기 발광 소자의 내부 전반사에 의해 실제 관측자에게 도달하지 못하여 유기 발광 소자의 광 추출 효율을 떨어뜨린다. 광 추출 효율을 향상시키기 위해 유기 발광 표시 장치 내에 DBR(distributed bragg reflector) 미러(mirror)를 적용하거나, 유기층의 두께를 조절하는 공진 구조를 적용할 수 있다. 그러나 이러한 공진 구조는 광 효율은 향상시키지만, 시야각에 따른 색 편이(color shift)가 발생하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 광효율을 높이고 시야각에 따른 색 편이(color shift)가 개선된 유기 발광 표시 장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 의하면, 기판; 상기 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 소스 전극 및 드레인 전극 중 하나와 접속하는 제1 화소 전극; 상기 제1 화소 전극 상에 형성된 요철부; 상기 요철부 상에 요철 패턴으로 형성된 제2 화소 전극; 상기 제2 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0007] 상기 제1 화소 전극은 투명 도전물을 포함할 수 있다.

[0008] 상기 제1 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO) 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.

[0009] 상기 제2 화소 전극은 반투과 금속층을 포함할 수 있다.

[0010] 상기 반투과 금속층은 은(Ag) 또는 은(Ag) 합금을 포함할 수 있다.

[0011] 상기 요철부는 상기 박막 트랜지스터를 덮는 절연층과 동일 재료로 형성될 수 있다.

[0012] 상기 절연층에는 상기 제1 화소 전극을 노출시키는 개구가 형성되고, 상기 요철부는 상기 개구 안에 형성될 수 있다.

[0013] 상기 절연층은 유기 절연물을 포함할 수 있다.

[0014] 상기 제1 화소 전극은 상기 게이트 전극과 동일층에 형성되고, 상기 게이트 전극을 형성하는 재료 중 적어도 하나와 동일한 재료를 포함할 수 있다.

[0015] 상기 활성층과 동일층에 형성된 커패시터 제1전극; 및 상기 제1 화소 전극과 동일층에 형성된 커패시터 제2전극;을 더 포함할 수 있다.

[0016] 상기 커패시터 제1 전극은 이온 불순물이 도핑 된 반도체를 포함할 수 있다.

[0017] 상기 요철부는 박막 트랜지스터를 덮는 절연층과 동일 재료로 형성되고, 상기 커패시터 제2전극의 상면은 상기 요철부를 형성하는 절연층과 직접 접촉할 수 있다.

[0018] 상기 제2 화소 전극은 상기 소스 전극 및 드레인 전극 중 하나와 접속할 수 있다.

[0019] 상기 절연층은 상기 제1 화소 전극과 상기 대향 전극 사이에 형성되고, 상기 절연층에는 상기 제1 화소 전극을 노출시키는 개구가 형성되고, 상기 요철부는 상기 개구 안에 형성되고, 상기 제2 화소 전극은 상기 절연층에 형성된 상기 개구의 식각면을 따라 연장되어 상기 요철부 상에 형성될 수 있다.

[0020] 상기 제1 화소 전극과 상기 제2 화소 전극은 상기 소스 전극 및 드레인 전극 중 하나와 서로 반대의 방향에서 각각 접속할 수 있다.

[0021] 상기 기판과 상기 제1 화소 전극 사이에 버퍼층이 더 포함될 수 있다.

[0022] 본 발명의 다른 측면에 의하면, 기판 상에 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계; 상기 기판 상에 상기 소스 전극 및 드레인 전극 중 하나와 접속하는 제1 화소 전극을 형성하는 단계; 상기 제1 화소 전극 상에 요철부를 형성하는 단계; 상기 요철부 상에 제2 화소 전극을 형성하는 단계; 상기 제2 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및 상기 중간층 상에 대향 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법을 제공할 수 있다.

[0023] 상기 요철부는 상기 제1 화소 전극과 상기 대향 전극 사이에 형성된 절연층과 동일 재료로 상기 절연층과 동시에 형성될 수 있다.

[0024] 상기 절연층은 유기 절연물로 형성될 수 있다.

[0025] 상기 제1 화소 전극은 상기 게이트 전극과 동일층에 형성하고, 상기 절연층에는 상기 제1 화소 전극을 노출시키도록 개구를 형성하고, 상기 개구에 상기 요철부를 형성할 수 있다.

[0026] 상기 제2 화소 전극을 형성하는 단계에서, 상기 제2 화소 전극을 상기 소스 전극 및 드레인 전극 중 하나와 접속하도록 형성할 수 있다.

[0027] 상기 활성층과 동일층에 커패시터 제1전극을 형성하고, 상기 제1 화소 전극과 동일층에 커패시터 제2전극을 형성하는 단계를 더 포함할 수 있다.

[0028] 상기 활성층과 동일층에 형성된 커패시터 제1전극을 형성하고, 상기 제1 화소 전극과 동일층에 커패시터 제2전극을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0029] 상술한 본 실시예에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0030] 첫째, 제1 화소 전극은 투명 도전물을 포함하고, 제2 화소 전극은 반투과 금속을 포함하고, 대향 전극은 반사 전극으로 형성하여, 마이크로 캐비티(micro-cavity) 구조를 형성함으로써 유기 발광 유기 표시 장치의 광 효율을 향상시킬 수 있다.

[0031] 둘째, 제1 화소 전극과 제2 화소 전극 사이에 요철부를 형성함으로써 유기 발광 표시 장치의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0032] 셋째, 제1 화소 전극과 제2 화소 전극 양쪽에 각각 트랜지스터의 구동 신호를 전달함으로써, 화소 전극에 전달되는 신호 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

도 2a 내지 도 2f는 도 1의 유기 발광 표시 장치(1)의 제조 방법을 개략적으로 도시한 단면도들이다.

도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0035] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0036] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로

제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성을 중심으로 설명하기로 한다.

[0037] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0038] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0039] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0040] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

[0041] 도 1을 참조하면, 기판(10) 상에 픽셀 영역(PXL1), 트랜지스터 영역(TR1), 및 커패시터 영역(CAP1)이 구비된다.

[0042] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등의 투명 기판으로 구비될 수 있다.

[0043] 기판(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기판(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.

[0044] 트랜지스터 영역(TR1)에서, 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널 영역(212c)과, 채널 영역(212c) 외측에 이온 불순물이 도핑 된 소스 영역(212b) 및 드레인 영역(212a)을 포함할 수 있다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.

[0045] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트 전극(214, 215)이 구비된다.

[0046] 게이트 전극(214, 215)은 투명 도전성 산화물을 포함하는 제1층(214)과, 제1층(214)보다 저항이 작은 금속을 포함하는 제2층(215)이 차례로 구비된다.

[0047] 제1층(214)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0048] 제2층(215)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0049] 게이트 전극(214, 215) 상에는 층간 절연막인 제2 절연층(16)이 형성된다. 제2 절연층(16)에는 제1 화소 전극(114)의 상면을 오픈시키는 개구(C11) 및 커패시터 영역(CAP1)의 커패시터 제2전극(314)의 상면을 오픈시키는 개구(C15)가 형성된다.

[0050] 제2 절연층(23) 상에 소스 전극(217b) 및 드레인 전극(217a)이 구비된다. 소스 전극(217b) 및 드레인 전극(217a)은 제2 절연층(13)을 관통하여 각각 활성층(212)의 소스 영역(212b) 및 드레인 영역(212a)에 접속한다. 소스 전극(217b) 및 드레인 전극(217a)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다.

[0051] 제2 절연층(16) 상에는 소스 전극(217b) 및 드레인 전극(217a)을 덮도록 제3 절연층(18)이 구비된다. 제3 절연층(18)은 유기 절연막으로 구비될 수 있다. 제3 절연층(18)은 픽셀 영역(PXL1)의 제1 화소 전극(114)의 상면을 오픈 시키는 개구(C15)가 형성된다.

[0052] 픽셀 영역(PXL1)에는, 상기 개구(C15)에 제1 화소 전극(114)이 배치된다. 제1 화소 전극(114)은 전술한 게이트 전극(214, 215)의 제1층(214)과 동일한 투명 도전물로 형성될 수 있다. 즉, 제1 화소 전극(114)은 투명 도전물을 포함할 수 있다. 제1 화소 전극(114)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In2O3; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminum zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0053] 제1 화소 전극(114)은 소스 전극(217b) 및 드레인 전극(217a) 중 하나와 전기적으로 접속할 수 있다. 도 1에는 제1 화소 전극(114)이 드레인 전극(217a)과 접속한 구조를 도시하였지만 본 발명은 이에 한정되지 않으며, 제1 화소 전극(114)은 소스 전극(217b)과 접속할 수 있다.

[0054] 본 실시예에서, 제1 화소 전극(114)은 제1 화소 전극(114)의 가장자리에 형성된 제1 접속부(115a)에 직접 접속하고, 제1 접속부(115a)는 제2 절연층(16)에 형성된 개구(C14)를 통하여 드레인 전극(217a)에 접속한다. 제1 접속부(115a)는 전술한 게이트 전극(214, 215)의 제2층(215)과 동일한 저항이 작은 금속을 포함할 수 있다.

[0055] 제1 화소 전극(114) 상에 요철부(118)가 형성된다. 요철부(118)는 상기 제3 절연층(18)과 동일 재료로 형성될 수 있다. 요철부(118)는 유기 절연막으로 형성될 수 있다. 요철부(118)의 형상은 원형, 삼각형, 오각형 등 다양한 형상으로 제조 가능함은 물론이다.

[0056] 요철부(118) 상에 요철부(118)의 요철 패턴을 따라 제2 화소 전극(119)이 형성된다. 제2 화소 전극(119)은 반투과 금속층을 포함할 수 있다. 반투과 금속층은 은(Ag) 또는 은(Ag) 합금 물질을 포함할 수 있다. 제2 화소 전극(119)은 반투과 금속층의 두께를 적당히 조절함으로써 후술할 유기 발광층(120)에서 방출되는 광을 일부 투과하거나 일부 반사시킬 수 있다. 따라서 제2 화소 전극(119)은 후술할 반사 전극인 대향 전극(121)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성하여, 배면 발광 유기 표시 장치(1)의 광 효율을 향상시킬 수 있다. 또한, 제2 화소 전극(119)은 요철부(118) 위에 얇게 형성되므로 요철부(118)의 요철 패턴이 전사된다. 이와 같은 요철 패턴은 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0057] 제2 화소 전극(119) 상에 유기 발광층(120)을 포함하는 중간층(미도시)이 구비된다.

[0058] 유기 발광층(120)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(120)이 저분자 유기물일 경우, 중간층(미도시)에는 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층 될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층 될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(120)이 고분자 유기물일 경우, 중간층(미도시)에는 정공 수송층(HTL)이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 이와 같은 유기 발광층(120)은 적색, 녹색, 청색의 빛을 방출하는 서브 픽셀로 하나의 단위 픽셀을 이룰 수 있다.

[0059] 상술한 실시예에서는 유기 발광층(120)이 개구(C15) 내부에 형성되어 각 픽셀 별로 서로 다른 색을 발광하는 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 유기 발광층(120)은 픽셀의 위치에 관계 없이 제3 절연층(18) 상부에 공통으로 형성될 수 있다. 이때, 유기 발광층(120)은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나 혼합되어 형성될 수 있다. 물론, 백색광을 방출할 수 있다면 다른 색의 조합이 가능함은 물론이다. 또한, 유기 발광 표시 장치(1)는 상기 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나, 컬러 필터를 더 구비할 수 있다.

[0060] 한편, 도 1에는 중간층(미도시)을 자세히 도시하지 않았지만, 유기 발광층(120)을 제외한 중간층에 포함된 다양한 층들은 전체 픽셀에 공통층으로 형성되거나 픽셀 마다 부분적으로 형성될 수 있다. 또한 중간층은 필요에 따라 픽셀마다 두께를 다르게 하여 형성될 수 있다. 이러한 중간층(미도시)은 유기재료로 형성될 수 있으며, 또한, 유기 재료에 한정되지 않고 무기 재료를 포함할 수 있다.

[0061] 유기 발광층(120) 상에는 대향 전극(121)이 형성 된다. 대향 전극(21)은 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1 화소 전극(114)은 애노드 전극으로 사용되고, 대향 전극(12

1)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0062] 대향 전극(121)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 대향 전극(121)은 Ag, Al, Mg, Li, Ca, LiF/Ca 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(121)이 반사 전극으로 구비됨으로써, 유기 발광층(120)에서 방출된 광은 대향 전극(121)에 의해 반사되어 투명 도전물로 구성된 제1 화소 전극(114)을 투과하여 기판(10) 측으로 방출된다. 이때, 제1 화소 전극(114)과 대향 전극(121) 사이에 반투과 물질을 포함하는 제2 화소 전극(119) 형성되어 마이크로 캐비티(micro-cavity) 구조에 의한 광 효율을 높일 수 있다. 또한, 상술한 바와 같이 제1 화소 전극(114)과 대향 전극(121) 사이에 형성된 요철부(118)의 구조에 의해 색 편이(color shift)를 감소시킬 수 있다.

[0063] 커패시터 영역(CAP1)에는, 기판(10) 상에 커패시터 제1전극(312)이 형성되어 있다. 커패시터 제1전극(312)은 전술한 활성층(212)과 동일층에 형성될 수 있다. 예를 들어, 커패시터의 제1전극(312)은 활성층(212)의 소스 영역(212b) 및 드레인 영역(212a)과 동일 재료로서, 이온 불순물이 도핑된 반도체 물질로 형성될 수 있다.

[0064] 커패시터 제1전극(312) 상에 트랜지스터 영역(TR1)에서 연장된 제1 절연층(13)이 형성된다. 제1 절연층(13)은 커패시터의 유전막으로 기능한다.

[0065] 제1 절연층(13) 상에는 게이트 전극(214, 215)의 제1층(214)과 동일 재료로 형성된 커패시터 제2전극(314)이 형성된다.

[0066] 커패시터 제2전극(314) 상에는 제3 절연층(18)이 배치된다. 제3 절연층(18)은 트랜지스터 영역(TR1)에서 연장되어 커패시터 제2전극(314) 상에 직접 접속된다. 커패시터 제2전극(314)과 공통 전극인 대향 전극(121) 사이에 유전율이 작은 유기 절연물을 포함하는 제3 절연층(18)이 개재됨으로써, 커패시터 제2전극(314)과 공통 전극인 대향 전극(121) 사이에 형성될 수 있는 기생 용량을 줄일 수 있다.

[0067] 상술한 본 실시예에 따른 유기 발광 표시 장치(1)에 따르면, 투명 도전물을 포함하는 제1 화소 전극(114)과 반투과 금속을 포함하는 제2 화소 전극(119)은, 반사 전극인 공통 전극(121)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성함으로써 유기 발광 유기 표시 장치(1)의 광 효율을 향상시킬 수 있다. 또한, 제1 화소 전극(114)과 제2 화소 전극(119)에 형성된 요철부(118)는 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0068] 이하, 도 2a 내지 2f를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.

[0069] 도 2a는 도 1의 유기 발광 표시 장치(1)에 대한 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0070] 도 2a를 참조하면, 기판(10) 상에 버퍼층(11)과 반도체층(미도시)을 순차로 형성하고, 반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(212), 커패시터 하부 전극(312)을 형성한다.

[0071] 상기 도면에는 도시되어 있지 않지만, 기판(10)상에는 버퍼층(11) 및 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그라피 공정에 의해 반도체층(미도시)이 패터닝된다. 패터닝 결과, 전술한 활성층(212), 커패시터 제1전극(312)이 형성된다. 포토리소그라피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

[0072] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallzation)법, ELA(excimer laser annealing)법, MIC(metal induced crystallzation)법, MILC(metal induced lateral crystallzation)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 한편, 활성층(212)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.

[0073] 도 2b는 도 1의 유기 발광 표시 장치(1)에 대한 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0074] 도 2b를 참조하면, 도 2a의 제1마스크 공정의 결과물 상에 제1 절연층(13)을 적층하고, 제1 절연층(13) 상에 투명 도전성 산화물층(미도시) 및 제1 금속층(미도시)을 차례로 적층한다.

[0075] 제1 절연층(13)은 SiO2, SiNx, SiON, Al2O3, TiO2, Ta2O5, HfO2, ZrO2, BST 및 PZT에서 선택된 무기 절연막이 단층 또는 복수층으로 형성될 수 있다.

[0076] 투명 도전성 산화물층(미도시)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0077] 제1 금속층(미도시)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0078] 투명 도전성 산화물층(미도시) 및 제1 금속층(미도시)을 패터닝하여 픽셀영역(PXL1)에는 제1 절연층(13) 상에 제1 화소 전극(114) 및 제1 화소 전극 상부층(115)을 형성하고, 트랜지스터 영역(TR1)에는 게이트 전극(214, 215)을 형성하고, 커패시터 영역(CAP1)에는 커패시터 제2전극(314)과 제2전극 상부층(315)을 형성한다.

[0079] 상기와 같이 패터닝 된 구조물 위에 이온불순물이 도핑된다. 이온 불순물은 B 또는 P 이온을 도핑 할 수 있는데, 1×10^{15} atoms/㎠ 이상의 농도로 박막트랜지스터의 활성층(212)을 타겟으로 하여 1차 도핑(D1)한다. 이때, 게이트 전극(214, 215)을 셀프-얼라인(self-align) 마스크로 하여 활성층(212)에 이온 불순물을 도핑함으로서 활성층(212)에는 이온 불순물이 도핑된 드레인 영역(212a)과 소스 영역(212b), 드레인 영역(212a)과 소스 영역(212b) 사이에 채널영역(212c)이 형성된다.

[0080] 한편, 상기 도면에는 도시되어 있지 않으나, 활성층(212)과 동일 재료로 동일층에 형성된 커패시터 제1전극(312)에 연결되는 배선도 활성층(212)과 함께 동시에 도핑된다. 이때, 제2전극 상부층(315)은 차단 마스크로 기능하기 때문에 커패시터 제1전극(312)은 도핑 되지 않는다.

[0081] 도 2c는 본 도 1의 유기 발광 표시 장치(1)에 대한 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0082] 도 2c를 참조하면, 도 2b의 제2마스크 공정의 결과물 상에 제2 절연층(16)을 형성하고, 제2 절연층(16)을 패터닝한다.

[0083] 픽셀 영역(PXL1)에는 화소 전극 상부층(115)을 노출시키는 개구(C11, C14)를 형성하고, 트랜지스터 영역(TR1)에는 활성층(212)의 소스 영역(212b) 및 드레인 영역(212a)의 일부를 노출시키는 개구(C12)를 형성하고, 커패시터 영역(CAP1)에는 제2전극 상부층(315)을 노출시키는 개구(C13)을 형성한다.

[0084] 도 2d는 도 1의 유기 발광 표시 장치(1)에 대한 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0085] 도 2d를 참조하면, 도 2d의 제3마스크 공정의 결과물 상에 제2 금속층(미도시)을 형성한다.

[0086] 제2 금속층(미도시)으로는 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 제2 금속층(미도시)은 전술한 제1 금속층(미도시)과 동일 재료로 형성될 수 있다.

[0087] 제2 금속층(미도시)을 패터닝하여, 소스 전극(217b)과 드레인 전극(217a)이 형성된다.

[0088] 소스 전극(217b) 및 드레인 전극(217a)을 형성하는 공정에서 화소 전극 상부층(115)과, 제2전극 상부층(315)이 함께 식각 된다. 이때, 드레인 전극(217b)은, 화소 전극 상부층(115)이 식각되면서 제2 절연층(16) 하부에 잔존한 접속부(115a)에 개구(C14)를 통하여 접속된다.

[0089] 제2전극 상부층(315)을 식각 한 후, 커패시터 제1전극(312)을 타겟으로 2차 도핑(D2)을 실시한다. 이때, 커패시터 제2전극(314) 전체 두께는 약 100 옴스트롱(Å) 에서 약 1,000 옴스트롱(Å) 사이로 형성될 수 있다. 커패시터 제1전극(312)이 도핑됨으로써 커패시터는 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화 시키고 전압 마진을 높일 수 있다.

[0090] 도 2e는 도 1의 유기 발광 표시 장치(1)에 대한 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0091] 도 2e를 참조하면, 도 2d의 제4마스크 공정의 결과물 상에 제3 절연층(18)을 형성한 후, 이를 패터닝한다.

[0092] 제3 절연층(18)은 트랜지스터 영역(TR1)의 박막 트랜지스터 및 커패시터 영역(CAP1)을 덮으며 평탄화층으로 기

능하고, 픽셀 영역(PXL1)에서는 제1 화소 전극(114)의 상부를 노출시키는 개구(C15)를 형성한다. 이때, 픽셀 영역(PXL1)의 개구(C15)에는 요철부(118)가 형성된다.

[0093] 요철부(118)는 하프톤 마스크 또는 슬릿 마스크 등을 사용하여, 제3 3절연층(18)을 패터닝하는 공정에서 하나의 마스크를 이용하여 개구(C15)와 함께 형성될 수 있다.

[0094] 도 2f는 도 1의 유기 발광 표시 장치(1)에 대한 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0095] 도 2f를 참조하면, 도 2e의 제5마스크 공정의 결과물 상에 반투과 금속층(미도시)을 형성한 후, 이를 패터닝하여 요철부(118) 상에 제2 화소 전극(119)을 형성한다.

[0096] 제2 화소 전극(119)은 은(Ag) 또는 은(Ag) 합금을 포함할 수 있다.

[0097] 또한, 제2 화소 전극(119)은 도 2f에 도시된 바와 같이 다층으로 형성될 수 있다. 예를 들어, 제2 화소 전극(119)은 반투과 금속층(119b)을 식각 환경으로부터 보호하는 층(119c)과, 반투과 금속층(113b)과 요철부(118) 및 제1 화소 전극(114) 사이의 접착 스트레스를 줄이고 접착력을 강화하는 층(119a)을 포함할 수 있다. 이때, 두 개의 층(119a, 119c)은 투명 도전성 산화물을 포함할 수 있다.

[0098] 제2 화소 전극(119)은 요철부(118)의 요철 패턴이 전사되어 요철 모양으로 형성될 수 있다. 이와 같은 요철 패턴은 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0099] 상술한 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법에 따르면, 마스크 공정을 최소화하여 마이크로 캐비티(micro-cavity) 구조 및 요철부(118)를 형성함으로써 유기 발광 유기 표시 장치(1)의 광 효율을 향상시킬 수 있고, 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0100] 이하, 도 3을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다.

[0101] 도 3은 본 발명의 다른 실시예에 관한 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

[0102] 도 3을 참조하면, 본 실시예에 따른 유기 발광 표시 장치(2)는 픽셀 영역(PXL2), 트랜지스터 영역(TR2), 및 커패시터 영역(CAP2)을 구비한다. 이하, 전술한 실시예에 따른 유기 발광 표시 장치(1)와 차이점을 중심으로 본 실시예를 설명하기로 하며, 동일한 식별번호는 전술한 실시예와 동일한 구성을 나타낸다.

[0103] 기판(10) 상에 버퍼층(11)이 구비될 수 있다.

[0104] 버퍼층(11) 상에 활성층(212)과 커패시터 제1전극(312)이 구비된다. 활성층(212)은 소스 영역(212b), 드레인 영역(212a) 및 채널층(212b)을 구비할 수 있다.

[0105] 활성층(212)과 커패시터 제1전극(312) 상에 제1 절연층(13)이 형성된다.

[0106] 제1 절연층(13) 상에 제1 화소 전극(114), 게이트 전극(214, 215), 및 커패시터 제2전극(314)이 구비된다.

[0107] 게이트 전극(214, 215) 상에는 층간 절연막인 제2 절연층(16)이 형성된다. 제2 절연층(16)에는 제1 화소 전극(114)의 상면을 오픈 시키는 개구(C11), 제1 화소 전극(114)의 가장자리에 형성된 제1 접속부(115a)를 오픈 시키는 개구(C14) 및 커패시터 제2전극(314)의 상면을 오픈 시키는 개구(C15)가 형성된다.

[0108] 제2 절연층(23) 상에 소스 전극(217b) 및 드레인 전극(217a)이 구비된다. 소스 전극(217b) 및 드레인 전극(217a)은 제2 절연층(13)을 관통하여 각각 활성층(212)의 소스 영역(212b) 및 드레인 영역(212a)에 접속한다.

[0109] 제2 절연층(16) 상에는 소스 전극(217b) 및 드레인 전극(217a)을 덮도록 제4 절연층(18-1)이 구비된다.

[0110] 제4 절연층(18-1)은 무기 절연막 및/또는 유기 절연막으로 구비될 수 있다.

[0111] 제4 절연층(18-1)에는 픽셀 영역(PXL2)의 제1 화소 전극(114)의 상면을 오픈 시키는 개구(C15)와, 드레인 전극(217b)의 상면을 오픈 시키는 개구(C16)가 형성된다. 또한, 제4 절연층(18-1)은 제2 절연층(16)에 혈성된 개구(C13)를 통하여 커패시터 제2전극(314)의 상면에 직접 접촉한다.

[0112] 제1 화소 전극(114) 상에 요철부(118-1)가 형성된다. 요철부(118-1)는 상기 제4 절연층(18-1)과 동일 재료로 형성될 수 있다. 요철부(118)는 유기 발광 표시 장치(2)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0113] 요철부(118-1) 상에 요철부(118-1)의 요철 패턴을 따라 제2 화소 전극(119-1)이 형성된다. 제2 화소 전극(119-

2)은 반투과 금속층을 포함할 수 있다. 따라서, 반사 전극인 대향 전극(121)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성하여, 유기 표시 장치(2)의 광 효율을 향상시킬 수 있다.

[0114] 본 실시예에서, 픽셀 영역(PLX2)에서 제2 절연층(16)에 형성된 개구(C15)의 식각면을 따라 제2 화소 전극(119-1)에서 연장된 연장부(119-1a)가 제4 절연층(18-1)에 형성된 개구(C16)를 통하여 박막 트랜지스터의 드레인 전극(127a)과 접속한다.

[0115] 제4 절연층(18-1) 상에 제5 절연층(18-2)이 형성된다.

[0116] 제5 절연층(18-2)에는 제2 화소 전극(119-a)의 연장부(119-1a)를 덮으며, 제2 화소 전극(119-1)의 상면을 오픈시키는 개구(C17)가 형성된다.

[0117] 제2 화소 전극(119-1) 상에는 유기 발광층(120)을 포함하는 중간층(미도시)이 구비되고, 유기 발광층(120) 상에는 대향 전극(121)이 형성 된다.

[0118] 상술한 본 실시예에 따른 유기 발광 표시 장치(2)에 따르면, 투명 도전물을 포함하는 제1 화소 전극(114)과 반투과 금속을 포함하는 제2 화소 전극(119-1)은, 반사 전극인 공통 전극(121)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성함으로써 유기 발광 유기 표시 장치(2)의 광 효율을 향상시킬 수 있다. 또한, 제1 화소 전극(114)과 제2 화소 전극(119-1)에 형성된 요철부(118-1)는 유기 발광 표시 장치(2)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다.

[0119] 또한, 본 실시예에 따른 유기 발광 표시 장치(2)에 따르면, 제1 화소 전극(114)은 전술한 제1 접속부(115a)를 통하여 드레인 전극(217a)에 접속하고, 제2 화소 전극(119-1)은 연장부(119-a)를 통하여 드레인 전극(217a)에 접속한다. 따라서, 제1 화소 전극(114) 및 제2 화소 전극(119-1) 양쪽에 모두 트랜지스터의 구동 신호가 전달될 수 있기 때문에, 제1 화소 전극(114) 및 제2 화소 전극(119-1)에 전달되는 신호 품질을 향상시킬 수 있다.

[0120] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

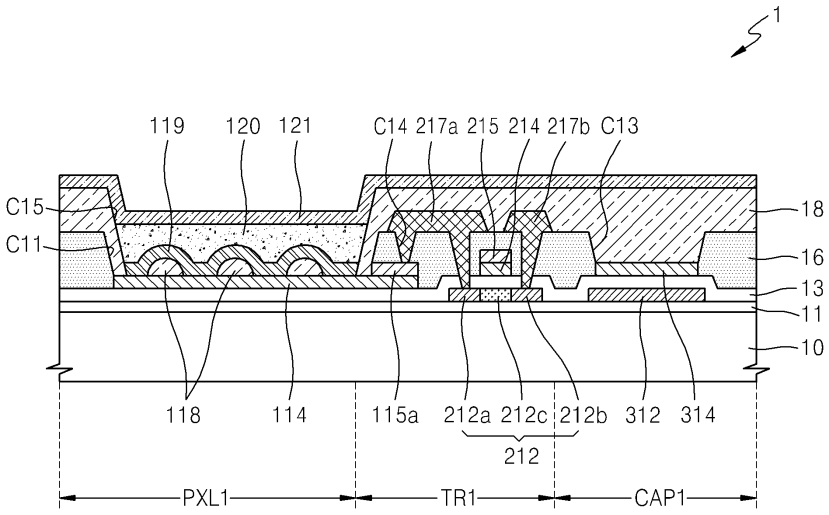
부호의 설명

[0121]

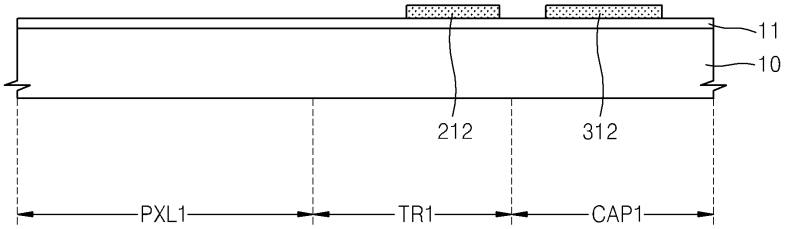
1: 유기 발광 표시 장치	10: 기판
11: 버퍼층	13: 제1 절연층
15: 제2 절연층	18: 제3 절연층
114: 제1 화소전극	115a: 접속부
118: 요철부	119: 제2 화소전극
120: 유기 발광층	121: 대향 전극
212: 활성층	214, 215: 게이트 전극
217a: 드레인 전극	217b: 소스 전극
312: 커패시터의 제1전극	314: 커패시터의 제2전극
PXL1: 픽셀 영역	TR1: 트랜지스터 영역
CAP1: 커패시터 영역	

도면

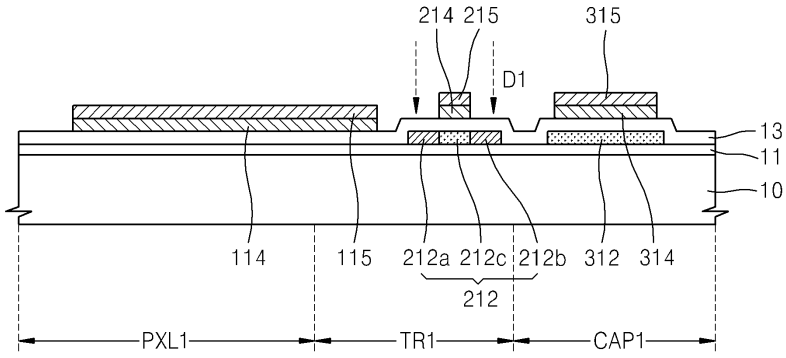
도면1



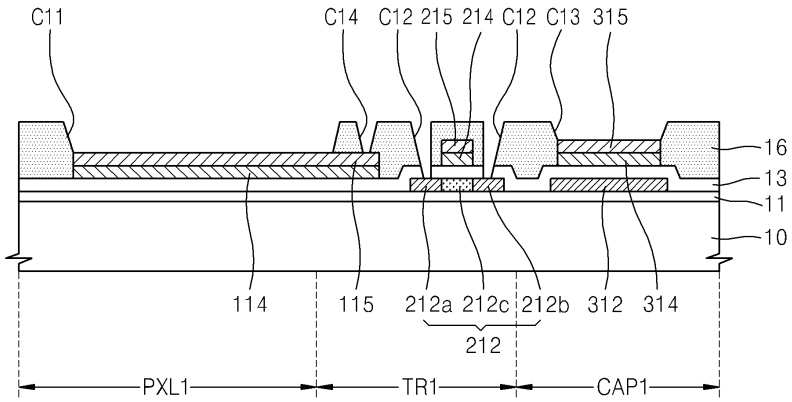
도면2a



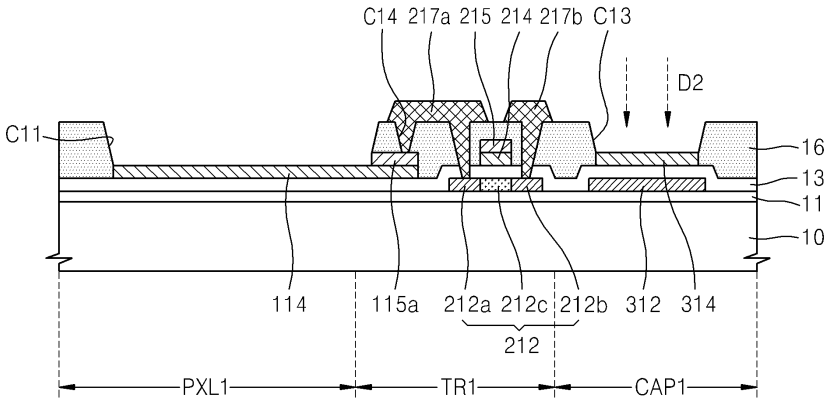
도면2b



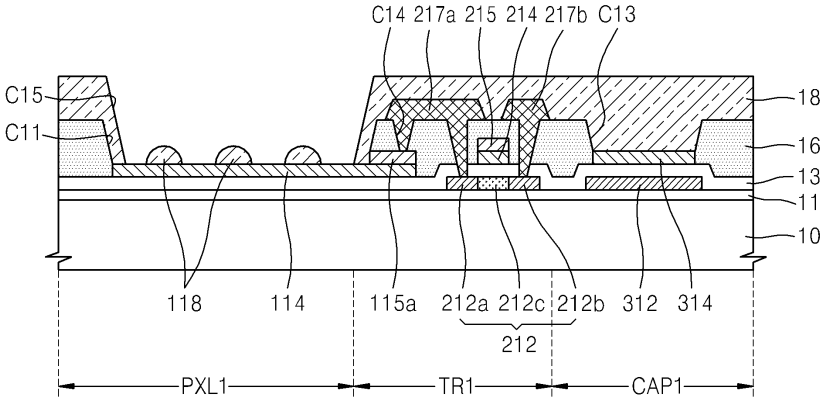
도면2c



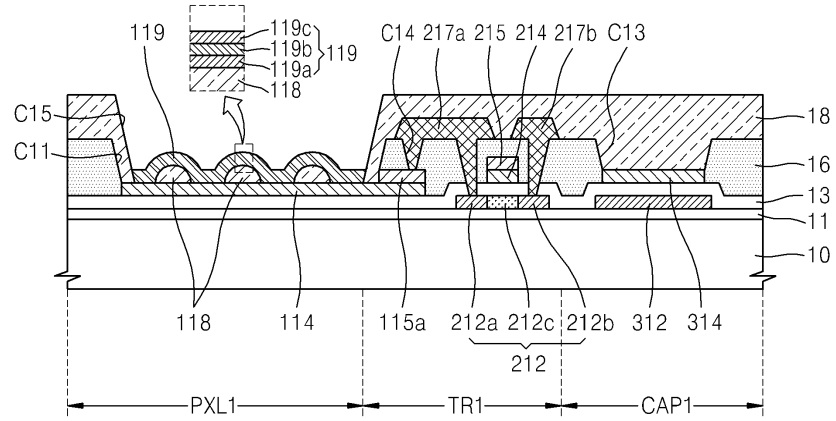
도면2d



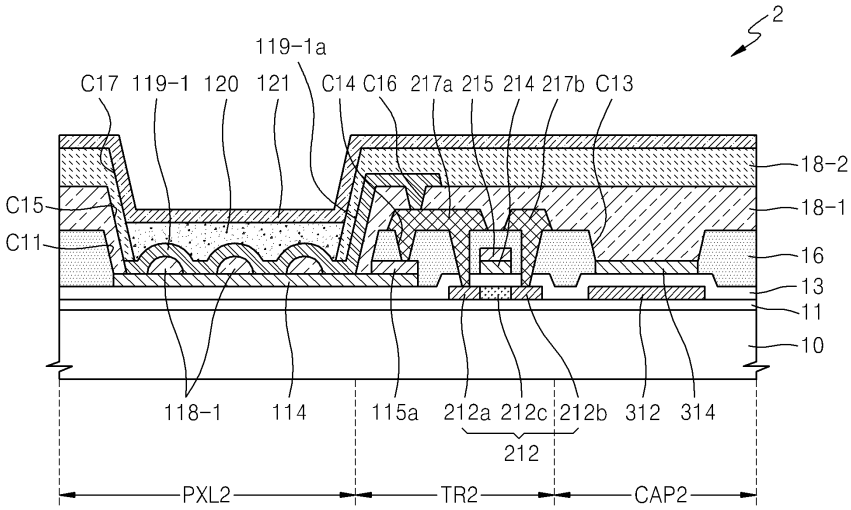
도면2e



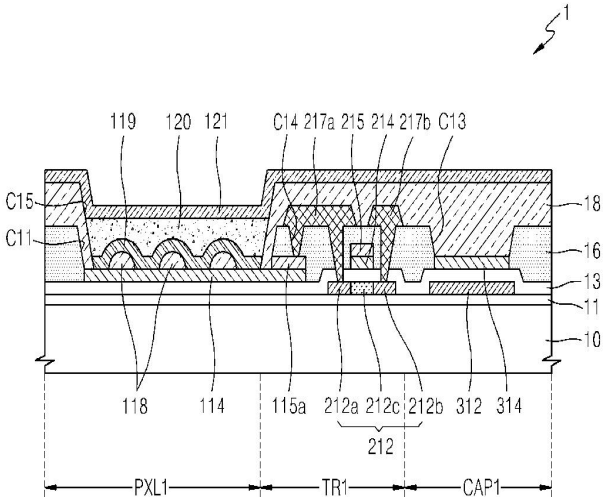
도면2f


119
119c
119b
119a
119
118
C14 217a 215 214 217b C13
C15
C11
18
16
13
11
10
118
114
115a
212a 212c 212b
212
312
314
PXL1
TR1
CAP1

도면3


2
119-1a
C17 119-1 120 121 C14 C16 217a 215 214 217b C13
18-2
C15
18-1
C11
16
13
11
10
118-1
114
115a
212a 212c 212b
212
312
314
PXL2
TR2
CAP2

专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR1020140072711A	公开(公告)日	2014-06-13
申请号	KR1020120140542	申请日	2012-12-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JIN SEONG HYUN 진성현 OH JAE HWAN 오재환 CHANG YEOUNG JIN 장영진 PARK SE HUN 박세훈 LEE WON KYU 이원규 CHOI JAE BEOM 최재범		
发明人	진성현 오재환 장영진 박세훈 이원규 최재범		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/3248 H01L51/5209 H01L51/5265 H01L27/3265		
其他公开文献	KR102013317B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，提供了一种有机发光显示装置，包括：基板;薄膜晶体管，设置在基板上，包括有源层，栅电极，源电极和漏电极;第一像素电极，与源电极或漏电极连接;突起部分形成在第一像素电极上;第二像素电极以突起图案形成在突起部分上;中间层，形成在第二像素电极上并包括有机发光层;和形成在中间层上的对电极。