(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0080855
(43) 공개일자 2012년07월18일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2011-0002303
(22) 출원일자 2011년01월10일
심사청구일자 2011년01월10일

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
신혜진
경기도 용인시 기흥구 삼성2로 95 (농서동)
곽원규
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

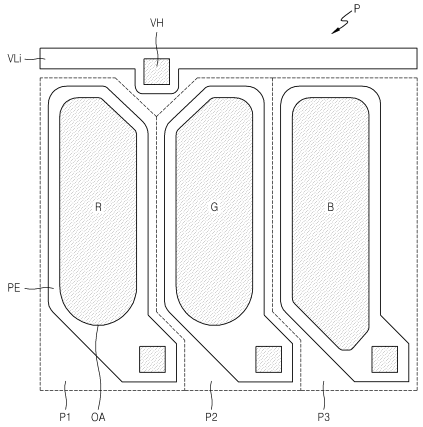
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **유기발광표시장치 및 그 제조방법**

(57) 요 약

본 발명은 적어도 하나 이상의 커패시터, 적어도 하나 이상의 박막트랜지스터 및 유기발광소자를 각각 포함하는 제1 내지 제3서브픽셀; 상기 제1 내지 제3서브픽셀 각각에 전기적으로 연결되어 턴 온 될 때 초기화 전압을 상기 제1 내지 제3서브픽셀로 인가하며, 드레인전극 또는 소스전극 중 어느하나를 공통으로 구현하는 것을 특징으로 하는 제1 내지 제3 스위칭소자; 상기 제1 내지 제3스위칭 소자 상에 형성된 평탄화막; 상기 평탄화막을 관통하여 공통으로 구현된 상기 드레인전극 또는 소스전극을 노출하도록 형성된 비아홀; 및 상기 비아홀을 통해 공통으로 구현된 상기 드레인전극 또는 소스전극과 전기적으로 연결되며, 상기 초기화전압을 전달하는 초기화전극; 을 포함하는 유기발광표시장치 를 제공하여 개구율을 높이는 것을 특징으로 한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

적어도 하나 이상의 커패시터, 적어도 하나 이상의 박막트랜지스터 및 유기발광소자를 각각 포함하는 제1 내지 제3서브픽셀;

상기 제1 내지 제3서브픽셀 각각에 전기적으로 연결되어 턴 온 될 때 초기화 전압을 상기 제1 내지 제3서브픽셀로 인가하며, 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하는 것을 특징으로 하는 제1 내지 제3 스위칭소자;

상기 제1 내지 제3스위칭 소자 상에 형성된 평탄화막;

상기 평탄화막을 관통하여 공통으로 구현된 상기 드레인전극 또는 소스전극을 노출하도록 형성된 비아홀; 및

상기 비아홀을 통해 공통으로 구현된 상기 드레인전극 또는 소스전극과 전기적으로 연결되며, 상기 초기화전압을 전달하는 초기화전극;

을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 비아홀은 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 유기발광소자는 화소전극, 대향전극 및 상기 화소전극과 대향전극 사이에 개재된 유기막을 포함하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 초기화전극은 상기 화소전극과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 제1스위칭소자는 채널을 형성하는 제1액티브층, 상기 제1액티브층과 절연되어 형성된 제1게이트전극, 상기 제1액티브층과 전기적으로 연결되는 상기 제1소스전극 및 제1드레인전극을 포함하며,

상기 제2스위칭소자는 채널을 형성하는 제2액티브층, 상기 제2액티브층과 절연되어 형성된 제2게이트전극, 상기 제2액티브층과 전기적으로 연결되는 상기 제2소스전극 및 제2드레인전극을 포함하며,

상기 제3스위칭소자는 채널을 형성하는 제3액티브층, 상기 제3액티브층과 절연되어 형성된 제3게이트전극, 상기 제3액티브층과 전기적으로 연결되는 상기 제3소스전극 및 제3드레인전극을 포함하며,

상기 제1소스전극, 제2소스전극 및 제3소스전극을 공통으로써 공통소스전극으로 구현하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제1액티브층, 제2액티브층 및 제3액티브층은 서로 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 7

제5항에 있어서,

상기 제1게이트전극, 제2게이트전극 및 제3게이트전극은 서로 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 8

제5항에 있어서,

상기 제1액티브층 내지 제3액티브층과 상기 제1 내지 제3게이트전극 사이에 형성된 게이트절연막;

상기 제1 내지 제3게이트전극 상에 형성된 층간절연막; 및

상기 제1 내지 제3액티브층과 상기 공통소스전극을 전기적으로 연결하기 위해 상기 게이트절연막 및 층간절연막에 형성된 공통컨택홀;

을 더 포함하는 유기발광표시장치,

청구항 9

제8항에 있어서

상기 공통컨택홀을 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 10

제8항에 있어서

상기 공통컨택홀은 상기 비아홀과 인접하여 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 11

적어도 하나 이상의 커패시터, 적어도 하나 이상의 박막트랜지스터 및 유기발광소자를 각각 포함하는 제1 내지 제3서브픽셀을 정의하는 단계;

상기 제1 내지 제3서브픽셀 각각에 전기적으로 연결되어 턴 온 될 때 초기화 전압을 상기 제1 내지 제3서브픽셀로 인가하며, 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하는 것을 특징으로 하는 제1 내지 제3 스위칭소자를 형성하는 단계;

상기 제1 내지 제3스위칭 소자 상에 평탄화막을 형성하는 단계;

상기 평탄화막을 관통하여 공통으로 구현된 상기 드레인전극 또는 소스전극을 노출하도록 비아홀을 형성하는 단계; 및

상기 비아홀을 통해 공통으로 구현된 상기 드레인전극 또는 소스전극과 전기적으로 연결되며, 상기 초기화전압을 전달하는 초기화전극을 형성하는 단계;

을 포함하는 유기발광표시장치의 제조방법.

청구항 12

제11항에 있어서,

상기 비아홀은 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 13

제11항에 있어서,

상기 유기발광소자는 화소전극, 대향전극 및 상기 화소전극과 대향전극 사이에 개재된 유기막을 포함하는 유기발광표시장치의 제조방법.

청구항 14

제13항에 있어서,

상기 초기화전극은 상기 화소전극과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 15

제11항에 있어서,

상기 제1스위칭소자는 채널을 형성하는 제1액티브층, 상기 제1액티브층과 절연되어 형성된 제1게이트전극, 상기 제1액티브층과 전기적으로 연결되는 상기 제1소스전극 및 제1드레인전극을 순차적으로 형성하여 제조하며,

상기 제2스위칭소자는 채널을 형성하는 제2액티브층, 상기 제2액티브층과 절연되어 형성된 제2게이트전극, 상기 제2액티브층과 전기적으로 연결되는 상기 제2소스전극 및 제2드레인전극을 순차적으로 형성하여 제조하며,

상기 제3스위칭소자는 채널을 형성하는 제3액티브층, 상기 제3액티브층과 절연되어 형성된 제3게이트전극, 상기 제3액티브층과 전기적으로 연결되는 상기 제3소스전극 및 제3드레인전극을 순차적으로 형성하여 제조하며,

상기 제1소스전극, 제2소스전극 및 제3소스전극을 공통으로써 공통소스전극으로 구현하는 유기발광표시장치의 제조방법.

청구항 16

제15항에 있어서,

상기 제1액티브층, 제2액티브층 및 제3액티브층은 서로 연결된 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 17

제15항에 있어서,

상기 제1게이트전극, 제2게이트전극 및 제3게이트전극은 서로 연결된 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 18

제15항에 있어서,

상기 제1액티브층 내지 제3액티브층과 상기 제1 내지 제3게이트전극 사이에 게이트절연막을 형성하는 단계;

상기 제1 내지 제3게이트전극 상에 층간절연막을 형성하는 단계; 및

상기 제1 내지 제3액티브층과 상기 공통소스전극을 전기적으로 연결하기 위해 상기 게이트절연막 및 층간절연막에 공통컨택홀을 형성하는 단계;

을 더 포함하는 유기발광표시장치의 제조방법.

청구항 19

제18항에 있어서

상기 공통컨택홀을 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 20

제18항에 있어서

상기 공통컨택홀은 상기 비아홀과 인접하여 형성되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 초기화전압을 인가하는 초기화 전극과, 각 서브픽셀에 대응하는 스위칭소자들을 전기적으로 연결하는 비아홀을 공통으로 구현하는 유기발광표시장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 유기발광표시장치는 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 특성이 우수하기 때문에 MP3 플레이어(MP3 player)나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비젼(TV)에 이르기까지 응용 범위가 확대되고 있다.

[0003] 유기발광표시장치에는 적어도 하나 이상의 커패시터를 포함하는 복수개의 픽셀이 포함된다. 여기서, 픽셀을 고해상도로 구현하고자 할수록 고용량의 충전용량 확보가 필수적이다. 그러나, 초기화전압을 인가하는 초기화 전극이 게이트전극과 동일한 층에 동일한 물질로 구현되어 있는 경우 고용량의 충전용량을 가진 커패시터를 구현하기 위한 공간이 확보될 수 없다.

[0004] 한편, 유기발광표시장치에서 고용량의 충전용량을 가진 커패시터를 구현하기 위해 초기화전극을 다른 레이어의 배선으로 교체하더라도, 초기화전압을 인가하기 위해 초기화전극과 서브픽셀에 대응하는 스위칭소자를 전기적으로 연결하는 비아홀은 각 서브픽셀마다 존재한다. 따라서, 비아홀이 형성된 만큼 화소개구부가 줄어드는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시 예는 상기와 같은 문제를 해결하기 위하여, 초기화전극을 유기발광소자의 화소전극과 동일한 층에 형성하는 유기발광표시장치 및 그 제조방법을 제공하는 데에 목적이 있다.

[0006] 또한, 본 발명의 일 실시 예는 상기와 같은 문제를 해결하기 위하여, 각 서브픽셀에 대응하는 스위칭소자들의 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하고, 따라서, 공통으로 구현된 소스전극 또는 드레인전극과 초기화전극을 연결하는 비아홀도 복수개의 서브픽셀에 대해 공통으로 형성하는 유기발광표시장치 및 그 제조 방법을 제공하는 데에 목적이 있다.

과제의 해결 수단

[0007] 상기와 같은 목적을 달성하기 위하여, 본 발명은, 적어도 하나 이상의 커패시터, 적어도 하나 이상의 박막트랜지스터 및 유기발광소자를 각각 포함하는 제1 내지 제3서브픽셀; 상기 제1 내지 제3서브픽셀 각각에 전기적으로 연결되어 턴 온 될 때 초기화 전압을 상기 제1 내지 제3서브픽셀로 인가하며, 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하는 것을 특징으로 하는 제1 내지 제3 스위칭소자; 상기 제1 내지 제3스위칭소자 상에 형성된 평탄화막; 상기 평탄화막을 관통하여 공통으로 구현된 상기 드레인전극 또는 소스전극을 노출하도록 형성된 비아홀; 및 상기 비아홀을 통해 공통으로 구현된 상기 드레인전극 또는 소스전극과 전기적으로 연결되며, 상기 초기화전압을 전달하는 초기화전극; 을 포함하는 유기발광표시장치를 제공한다.

[0008] 본 발명의 다른 특징에 따르면, 상기 비아홀은 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 한다.

[0009] 본 발명의 다른 특징에 따르면, 상기 유기발광소자는 화소전극, 대향전극 및 상기 화소전극과 대향전극 사이에 개재된 유기막을 포함한다.

[0010] 본 발명의 다른 특징에 따르면, 상기 초기화전극은 상기 화소전극과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 한다.

[0011] 본 발명의 다른 특징에 따르면, 상기 제1스위칭소자는 채널을 형성하는 제1액티브층, 상기 제1액티브층과 절연되어 형성된 제1게이트전극, 상기 제1액티브층과 전기적으로 연결되는 상기 제1소스전극 및 제1드레인전극을 포함하며, 상기 제2스위칭소자는 채널을 형성하는 제2액티브층, 상기 제2액티브층과 절연되어 형성된 제2게이트전극, 상기 제2액티브층과 전기적으로 연결되는 상기 제2소스전극 및 제2드레인전극을 포함하며, 상기 제3스위칭소자는 채널을 형성하는 제3액티브층, 상기 제3액티브층과 절연되어 형성된 제3게이트전극, 상기 제

3액티브층과 전기적으로 연결되는 상기 제3소스전극 및 제3드레인전극을 포함하며, 상기 제1소스전극, 제2소스전극 및 제3소스전극을 공통으로써 공통소스전극으로 구현한다.

[0012] 본 발명의 다른 특징에 따르면, 상기 제1액티브층, 제2액티브층 및 제3액티브층은 서로 연결된 것을 특징으로 한다.

[0013] 본 발명의 다른 특징에 따르면, 상기 제1게이트전극, 제2게이트전극 및 제3게이트전극은 서로 연결된 것을 특징으로 한다.

[0014] 본 발명의 다른 특징에 따르면, 상기 제1액티브층 내지 제3액티브층과 상기 제1 내지 제3게이트전극 사이에 형성된 게이트절연막; 상기 제1 내지 제3게이트전극 상에 형성된 층간절연막; 및 상기 제1 내지 제3액티브층과 상기 공통소스전극을 전기적으로 연결하기 위해 상기 게이트절연막 및 층간절연막에 형성된 공통컨택홀;을 더 포함한다.

[0015] 본 발명의 다른 특징에 따르면, 상기 공통컨택홀을 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 한다.

[0016] 본 발명의 다른 특징에 따르면, 상기 공통컨택홀은 상기 비아홀과 인접하여 형성되는 것을 특징으로 한다.

[0017] 상기와 같은 목적을 달성하기 위하여, 본 발명은, 적어도 하나 이상의 커패시터, 적어도 하나 이상의 박막트랜지스터 및 유기발광소자를 각각 포함하는 제1 내지 제3서브픽셀을 정의하는 단계; 상기 제1 내지 제3서브픽셀 각각에 전기적으로 연결되어 턴 온 될 때 초기화 전압을 상기 제1 내지 제3서브픽셀로 인가하며, 드레인전극 또는 소스전극 중 어느하나를 공통으로 구현하는 것을 특징으로 하는 제1 내지 제3 스위칭소자를 형성하는 단계; 상기 제1 내지 제3스위칭 소자 상에 평탄화막을 형성하는 단계; 상기 평탄화막을 관통하여 공통으로 구현된 상기 드레인전극 또는 소스전극을 노출하도록 비아홀을 형성하는 단계; 및 상기 비아홀을 통해 공통으로 구현된 상기 드레인전극 또는 소스전극과 전기적으로 연결되며, 상기 초기화전압을 전달하는 초기화전극을 형성하는 단계; 을 포함하는 유기발광표시장치의 제조방법을 제공한다.

[0018] 본 발명의 다른 특징에 따르면, 상기 비아홀은 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 한다.

[0019] 본 발명의 다른 특징에 따르면, 상기 유기발광소자는 화소전극, 대향전극 및 상기 화소전극과 대향전극 사이에 개재된 유기막을 포함한다.

[0020] 본 발명의 다른 특징에 따르면, 상기 초기화전극은 상기 화소전극과 동일한 층에 동일한 물질로 형성되는 것을 특징으로 한다.

[0021] 본 발명의 다른 특징에 따르면, 상기 제1스위칭소자는 채널을 형성하는 제1액티브층, 상기 제1액티브층과 절연되어 형성된 제1게이트전극, 상기 제1액티브층과 전기적으로 연결되는 상기 제1소스전극 및 제1드레인전극을 순차적으로 형성하여 제조하며, 상기 제2스위칭소자는 채널을 형성하는 제2액티브층, 상기 제2액티브층과 절연되어 형성된 제2게이트전극, 상기 제2액티브층과 전기적으로 연결되는 상기 제2소스전극 및 제2드레인전극을 순차적으로 형성하여 제조하며, 상기 제3스위칭소자는 채널을 형성하는 제3액티브층, 상기 제3액티브층과 절연되어 형성된 제3게이트전극, 상기 제3액티브층과 전기적으로 연결되는 상기 제3소스전극 및 제3드레인전극을 순차적으로 형성하여 제조하며, 상기 제1소스전극, 제2소스전극 및 제3소스전극을 공통으로써 공통소스전극으로 구현한다.

[0022] 본 발명의 다른 특징에 따르면, 상기 제1액티브층, 제2액티브층 및 제3액티브층은 서로 연결된 것을 특징으로 한다.

[0023] 본 발명의 다른 특징에 따르면, 상기 제1게이트전극, 제2게이트전극 및 제3게이트전극은 서로 연결된 것을 특징으로 한다.

[0024] 본 발명의 다른 특징에 따르면, 상기 제1액티브층 내지 제3액티브층과 상기 제1 내지 제3게이트전극 사이에 게이트절연막을 형성하는 단계; 상기 제1 내지 제3게이트전극 상에 층간절연막을 형성하는 단계; 및 상기 제1 내지 제3액티브층과 상기 공통소스전극을 전기적으로 연결하기 위해 상기 게이트절연막 및 층간절연막에 공통컨택홀을 형성하는 단계; 을 더 포함한다.

[0025] 본 발명의 다른 특징에 따르면, 상기 공통컨택홀을 상기 제1 내지 제3서브픽셀에 대하여 공통으로 형성되는 것을 특징으로 한다.

[0026] 본 발명의 다른 특징에 따르면, 상기 공통컨택홀은 상기 비아홀과 인접하여 형성되는 것을 특징으로 한다.

[0027] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0028] 상기한 바와 같은 본 발명의 일 실시 예에 따르면, 초기화전극을 유기발광소자의 화소전극과 동일한 층에 형성함으로써, 화소전극과 다른 레이어에 위치한 커패시터를 고용량으로 구현할 수 있는 공간적인 이득이 있다.

[0029] 또한 상기한 바와 같은 본 발명의 일 실시 예에 따르면, 각 서브픽셀에 대응하는 스위칭소자들의 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하고 이에 따라 비아홀도 복수개의 서브픽셀에 대해 공통으로 형성함으로써, 종래에 각 서브픽셀마다 비아홀이 형성되었던 영역이 화소개구부를 넓게 설계할 수 있는 공간을 제공하여, 유기발광표시장치의 개구율이 향상되는 효과가 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시 예에 따른 유기발광표시장치의 화소전극 및 유기막 레이어를 도시한 것이다.

도 2는 도 1의 액티브 레이어를 도시한 것이다.

도 3은 도 2에 게이트전극 레이어를 더 도시한 것이다.

도 4는 도 3에 소스/드레인전극 레이어를 더 도시한 것이다.

도 5는 도 4에 화소전극 레이어를 더 도시한 것이다.

도 6은 도 5의 Ⅰ-Ⅰ`을 절단한 것이다.

도 7은 본 발명의 일 실시 예에 따른 유기발광표시장치에 포함된 유기발광소자의 일부 단면을 나타낸 것이다.

도 8은 도 1 및 비교예를 함께 도시한 것이다.

도 9는 본 발명의 일 실시 예에 의한 스위칭소자들을 나타낸 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0032] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0033] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0034] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시 예들에 대하여 보다 상세히 설명한다.

[0035] 도 1은 본 발명의 일 실시 예에 따른 유기발광표시장치의 화소전극 (PE) 및 유기막(OL) 레이어를 도시한 것이다. 도 2는 도 1의 액티브 레이어를 도시한 것이다. 도 3은 도 2에 게이트전극(GE) 레이어를 더 도시한 것이다. 도 4는 도 3에 소스/드레인전극(SE, DE) 레이어를 더 도시한 것이다. 도 5는 도 4에 화소전극(PE) 레이어를 더 도시한 것이다. 도 6은 도 5의 Ⅰ-Ⅰ`을 절단한 것이다. 도 7은 본 발명의 일 실시 예에 따른 유기발광표시장치에 포함된 유기발광소자(OLED)의 일부 단면을 나타낸 것이다.

[0036] 먼저, 스위칭소자들(TR1, TR2, TR3)을 비롯하여 각종 회로부품을 포함하는 서브픽셀들(P1, P2, P3)은 기판(1)

또는 기판(1) 상에 형성된 버퍼층(11) 상에 형성될 수 있다.

[0037] 도 1을 참조하면, 본 발명의 일 실시 예에 의한 유기발광표시장치는 복수개의 서브픽셀들(P1, P2, P3)을 포함한다. 복수개의 서브픽셀들(P1, P2, P3)은 하나의 유닛픽셀(P)을 구성할 수 있다. 예를 들어, 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 하나의 유닛픽셀(P)로 할 수 있다. 이하에서는 적색 서브픽셀(R)을 제1서브픽셀(P1), 녹색 서브픽셀(G)을 제2서브픽셀(P2), 및 청색 서브픽셀(B)을 제3서브픽셀(P3)로 지칭하여 기술한다.

[0038] 각 서브픽셀에는 적어도 하나 이상의 커패시터(Cst), 적어도 하나이상의 박막트랜지스터 및 유기발광소자(OLED)를 포함한다. 예를 들어, 한 서브픽셀에 6개의 박막트랜지스터 및 2개의 커패시터(Cst)가 포함될 수 있다. 여기서, 박막트랜지스터는 유기발광소자(OLED)와 전기적으로 연결되는 구동트랜지스터와 적어도 하나 이상의 스위칭트랜지스터를 포함할 수 있다. 본 발명의 일 실시 예에 의하면, 각 서브픽셀에 포함된 박막트랜지스터 및 커패시터(Cst)는 턴 온되어 초기화전극을 인가받는 스위칭소자와 전기적으로 연결될 수 있다. 예를들어, 제1서브픽셀(P1)은 제1스위칭소자(TR1)와 전기적으로 연결되며, 제2서브픽셀(P2)은 제2스위칭소자(TR2)와 전기적으로 연결되며, 제3서브픽셀(P3)은 제3스위칭소자(TR3)와 전기적으로 연결된다. 여기서 스위칭소자는 일종의 박막트랜지스터일 수 있다.

[0039] 제1스위칭소자(TR1)는 채널을 형성하는 제1액티브층(131), 제1액티브층(131)과 절연되어 형성된 제1게이트전극(GE1), 제1액티브층(131)과 전기적으로 연결되는 제1소스전극(SE1) 및 제1드레인전극(DE1)을 포함한다. 제2스위칭소자(TR2)는 채널을 형성하는 제2액티브층(132), 제2액티브층(132)과 절연되어 형성된 제2게이트전극(GE2), 제2액티브층(132)과 전기적으로 연결되는 제2소스전극(SE2) 및 제2드레인전극(DE2)을 포함한다. 제3스위칭소자(TR3)는 채널을 형성하는 제3액티브층(133), 제3액티브층(133)과 절연되어 형성된 제3게이트전극(GE3), 제3액티브층(133)과 전기적으로 연결되는 제3소스전극(SE3) 및 제3드레인전극(DE3)을 포함한다.

[0040] 도 2를 참조하면, 제1액티브층(131), 제2액티브층(132) 및 제3액티브층(133)은 서로 연결된 것을 특징으로 한다. 도 2에서 서로 연결된 제1 내지 제3액티브층(131, 132, 133) 은 도면부호 130으로 표시하였다. 제1액티브층(131), 제2액티브층(132) 및 제3액티브층(133)은 타액티브층(135)이 형성될 때 함께 형성된다. 예를 들어, 액티브층(130)은 비정질 실리콘층으로 형성되거나, 다결정 실리콘층으로 형성되거나, G-I-Z-O층 [$(In_2O_3)a(Ga_2O_3)b(ZnO)c$층](a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$의 조건을 만족시키는 실수)와 같은 산화물 반도체층으로 형성될 수 있다. 본 발명의 일 실시 예에 의하면, 제1액티브층(131), 제2액티브층(132) 및 제3액티브층(133)은 서로 연결되기 때문에, 초기화전극(VLi)으로부터 인가되는 초기화신호를 제1 내지 제3서브픽셀들(P1, P2, P3)로 전달할 수 있다.

[0041] 도 3을 참조하면, 제1게이트전극(GE1), 제2게이트전극(GE2) 및 제3게이트전극(GE3)은 서로 연결된 것을 특징으로 한다. 제1게이트전극(GE1), 제2게이트전극(GE2) 및 제3게이트전극(GE3)은 n-1번째 게이트라인(GLn-1), 타게이트전극(150)이 형성될 때 함께 형성된다. 여기서 n-1번째 게이트라인(GLn-1)은 제1 내지 제3스위칭소자(TR1, TR2, TR3)를 턴 온 시키기 위한 n-1 번째 주사신호(Sn-1)를 전달한다.

[0042] 도 4를 참조하면, 본 발명의 일 실시 예에 의하면, 제1 내지 제3 스위칭소자(TR1, TR2, TR3)는 드레인전극 또는 소스전극 중 어느 하나를 공통으로 구현하는 것을 특징으로 한다. 구체적으로 도 4를 참조하면, 제1소스전극(SE1), 제2소스전극(SE2) 및 제3소스전극(SE3)을 공통으로 구현하는 것을 특징으로 한다. 따라서, 공통으로 구현된 소스전극은 공통소스전극(SEc)이라 지칭한다. 한편, 도 4에서 나타난 바와 같이 공통소스전극(SEc)은 아일랜드 형상이며, 공통소스전극(SEc)은 드레인전극 및 커패시터(Cst)의 하부전극을 형성할 동일 레이어의 타 배선들과는 이격되어 형성된 것을 특징으로 한다. 그러나 본 발명은 이에 한정되지 않고, 제1드레인전극(DE1), 제2드레인전극(DE2) 및 제3드레인전극(DE3)을 공통으로 구현하여 공통드레인전극으로 지칭할 수도 있을 것이다.

[0043] 본 발명의 일 실시 예에 의하면, 공통소스전극(SEc)으로 인하여, 제1 내지 제3 서브픽셀(P1, P2, P3)에 공통으로 비아홀(VH)이 하나면 형성된 가진 유기발광표시장치를 제조할 수 있게 된다. 한편, 제1내지 제3게이트전극(GE1, GE2, GE3)에 주사신호가 전달되어 제1 내지 제3스위칭소자(TR1, TR2, TR3)가 턴 온된 후, 공통소스전극(SEc)으로 초기화신호가 인가되고, 제1 내지 제3액티브층(131, 132, 133)에 채널이 형성되어, 초기화신호가 제1 내지 제3드레인전극(DE1, DE2, DE3)으로 전달될 수 있다. 즉, 공통소스전극(SEc)으로 인하여 제1 내지 제3스위칭소자(TR1, TR2, TR3)는 동시에 초기화신호를 제1 내지 제3서브픽셀(P1, P2, P3)로 전달할 수 있게 된다.

[0044] 도 6을 참조하면, 액티브층(130)과 게이트전극(GE) 사이에는 액티브층(130)과 게이트전극(GE)을 절연하기 위

한 게이트절연막(13)이 형성된다. 또한, 게이트전극(GE) 상에는 층간절연막(15)이 형성된다. 게이트절연막(13) 및 층간절연막(15)은 실리콘 옥사이드, 탄탈륨 옥사이드, 또는 알루미늄 옥사이드 등으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니다.

[0045] 한편, 공통컨택홀(CTc)은 액티브층(130)과 공통소스전극(SEc)을 전기적으로 연결하기 위해 상기 게이트절연막(13) 및 층간절연막(15)에 형성된다. 즉, 공통컨택홀(CTc)이란, 공통소스전극(SEc)이 형성될 위치에 대응하여 액티브층(130)을 노출하도록 게이트절연막(13) 및 층간절연막(15)을 일부 제거한 부분에 해당한다. 공통소스전극(SEc)에 관련된 것이므로, 공통컨택홀(CTc)도 제1 내지 제3서브픽셀(P1, P2, P3)에 공통으로 형성되는 것을 특징으로 한다.

[0046] 한편, 제1드레인전극, 제2드레인전극, 및 제3드레인전극(DE1, DE2, DE3) 또한 액티브층(130)과 전기적으로 연결되어야 한다. 도 4의 영역에서는 도시되지 않았으나, 각 드레인전극(DE)은 제1 내지 제3액티브층(131, 132, 133) 연결되어 연장된 타액티브층(135)과 컨택하여 전기적으로 연결될 수 있다. 그러나, 이에 한정되지 않고, 액티브층(130)어디라도 각 드레인전극(DE)이 컨택하여 전기적으로 연결되면 된다.

[0047] 다음으로 다시 도 6을 참조하면, 제1 내지 제3 스위칭소자(TR1, TR2, TR3) 상에 평탄화막(17)이 형성된다. 구체적으로 각 드레인전극(DE) 및 공통소스전극(SEc) 상에 평탄화막(17)이 형성된다. 평탄화막(17)은 구조물에 의해 불균일해진 표면을 평탄화하기 위해 형성될 수 있다. 그러나 이에 한정되지 않고, 스위칭소자들을 보호하는 패시베이션층이 평탄화막(17)의 하부에 더 형성될 수도 있다.

[0048] 평탄화막(17)에는 비아홀(VH)이 형성된다. 비아홀(VH)은 공통소스전극(SEc)이 형성된 위치에 대응하여 공통소스전극(SEc)을 노출하도록 평탄화막(17) 일부를 제거한 부분에 해당한다. 비아홀(VH)은 공통소스전극(SEc)에 대응하여 형성되므로, 비아홀(VH)은 제1 내지 제3서브픽셀(P1, P2, P3)에 공통으로 형성되는 것을 특징으로 한다.

[0049] 비아홀(VH)을 통해 초기화전극(VLi)이 공통소스전극(SEc)과 컨택하여 전기적으로 연결된다. 도 5를 참조하면, 비아홀(VH)은 공통컨택홀(CTc)과 인접하여 형성되는 것을 특징으로 한다. 왜냐하면, 비아홀(VH)은 초기화전극(VLi)이 공통소스전극(SEc)과 전기적으로 연결되기 위한 부분이고, 공통컨택홀(CTc)은 공통소스전극(SEc)과 액티브층(130)이 전기적으로 연결되기 위한 부분이다. 즉, 공통소스전극(SEc)과 대응하여 형성되는 구조물이며, 본 발명의 일 실시 예에 의하면, 공통소스전극(SEc)은 아일랜드 형상으로 형성되므로 비아홀(VH)과 공통컨택홀(CTc)은 서로 인접하게 배치된다.

[0050] 도 5를 참조하면, 초기화전극(VLi)은 외부로부터 초기화전압 또는 초기화신호를 인가받아 전기적으로 연결된 공통소스전극(SEc)으로 전달한다. 본 발명의 일 실시 예에 의하면, 초기화전극(VLi)은 화소전극(PE)과 동일한 레이어에 형성되는 것을 특징으로 한다.

[0051] 도 7을 참조하면, 각 서브픽셀에 포함된 유기발광소자(OLED)를 나타낸 것이다. 유기발광소자(OLED)는 평탄화막(17) 상에 형성된 화소전극(PE), 상기 화소전극(PE) 상에 형성된 유기막(OL)을 덮고 서브픽셀 상에 전면적으로 형성된 대향전극(200)을 포함한다. 도시되지 않았지만, 유기발광소자(OLED)는 서브픽셀에 포함된 미도시된 구동트랜지스터와 전기적으로 연결된다. 구체적으로 스위칭소자들(TR1, TR2, TR3)과 유사하게 구동트랜지스터 상에 평탄화막(17)이 형성되고, 평탄화막(17)에 형성된 홀을 통해 화소전극(PE)과 구동트랜지스터가 컨택된다. 화소전극(PE)을 형성한 후에는 화소전극(PE)의 적어도 일부가 화소개구부(OA)로 드러나도록 화소전극(PE)의 적어도 일부의 상부에 화소정의막(19)이 형성된다. 화소개구부(OA)로 드러난 화소전극(PE) 상에는 유기막(OL)이 형성된다. 유기막(OL)은 유기발광층을 포함한다. 한편, 제1 내지 제3 세브픽셀(P1, P2, P3) 별로 서로 다른 종류의 유기발광층을 가지도록 형성된다. 유기막(OL) 및 화소전극(PE) 상에는 대향전극(200)이 형성된다. 따라서, 구동트랜지스터로부터 화소전극(PE)에 전압이 인가되어 대향전극(200)과의 사이에 적절한 전압 조건이 형성되면 유기발광소자(OLED)에서 발광이 일어나게 된다. 한편, 대향전극(200)은 화소정의막(19), 유기막(OL)을 포함하는 레이어를 모두 덮도록 전체적으로 형성된다.

[0052] 대향전극(200) 의 방향으로 화상을 구현하는 전면 발광형 구조의 경우, 화소전극(PE)은 반사형 전극으로 구비될 수 있다. 또한 대향전극(200)은 광투과형 전극으로 구비될 수 있다. 이 경우, 대향전극(200)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 박막으로 형성한 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있다. 배면 발광형 구조의 경우, 대향전극(200)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 증착하여 반사 기능을 갖도록 할 수 있다.

[0053] 화소전극(PE)을 애노드 전극으로 사용할 경우, 일함수(절대치)가 높은 ITO, IZO, ZnO 등의 금속 산화물로 이

루어진 층을 포함하도록 한다. 화소전극(PE)을 캐소드 전극으로 사용할 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등의 일함수(절대치)가 낮은 고도전성의 금속을 사용한다. 화소전극(PE)을 애노드로 할 경우, 대향전극(200)은 캐소드로, 화소전극(PE)을 캐소드로 할 경우, 대향전극(200)은 애노드로 한다.

[0054] 한편, 본 발명의 일 실시 예에 의하면, 초기화전극(VLi)은 화소전극(PE)과 동일한 층에 화소전극(PE)과 동일한 물질로 형성하는 것을 특징으로 한다. 즉, 화소전극(PE)을 구성할 금속층을 형성한 후 초기화전극(VLi) 및 화소전극(PE)을 동시에 패터닝하는 것이다. 도 5 및 도 6에서 확인할 수 있듯이 화소전극(PE)과 초기화전극(VLi)은 모두 평탄화막(17) 상에 형성되므로 동일한 레이어에 형성되는 것을 확인할 수 있다.

[0055] 먼저, 본 발명의 일 실시 예에 따르면, 초기화전극(VLi)을 유기발광소자(OLED)의 화소전극(PE)과 동일한 층에 형성함으로써, 화소전극(PE)과 다른 레이어에 위치한 커패시터(Cst)를 고용량으로 구현할 수 있는 공간적인 이득이 있다.

[0056] 초기화전극(VLi)을 게이트배선과 동일한 층에 형성하는 경우, 행방향으로 배치될 초기화전극(VLi)을 마련할 공간을 확보하기 위해 서브픽셀의 영역의 상하 길이가 줄어들게 된다. 커패시터(Cst)는 서브픽셀의 게이트전극과 동일 레이어의 타게이트전극(150)을 하부전극으로 하고 소스/드레인전극과 동일 레이어의 배선을 상부전극으로 하여 형성된다. 따라서, 초기화전극(VLi)을 확보하기 위해 서브픽셀의 상하길이가 줄어들면, 커패시터(Cst)의 면적도 줄어들게 된다. 결국, 고해상도 픽셀에서 충분한 충전용량을 확보할 수 없는 문제가 있다. 그러나 본 발명의 일 실시 예에 의하면 초기화전극(VLi)은 화소전극(PE) 레이어에 형성함으로써, 커패시터(Cst)의 면적이 줄어들 이유가 없다.

[0057] 도 8은 도 1 및 비교예를 함께 도시한 것이다. 도 8을 참조하여, 본 발명의 일 실시 예에 의한 유기발광표시장치가 비교예에 비해 어떤 장점이 있는지 살펴본다.

[0058] 도 8 (a)의 경우, 각 서브픽셀에 대응하는 각 스위칭소자들 (TR1, TR2, TR3) 이 공통소스전극 (SEc) 을 가지지 않고, 이에 따라 비아홀 (VH) 도 각 서브픽셀마다 형성된 경우를 개략적으로 도시한 것이다.

[0059] 도 8 (b)의 경우, 본 발명의 일 실시 예로써, 제1 내지 제3서브픽셀 (P1, P2, P3) 에 대응하는 제1 내지 제3 스위칭소자들 (TR1, TR2, TR3) 에 대해 공통으로 구현된 공통소스전극 (SEc) 을 형성한것이다. 이에 따라 비아홀 (VH) 도 복수개의 서브픽셀들 (P1, P2, P3) 에 대해 공통으로 형성된 것이다.

[0060] 도 8 (b) 를 보면, 도 8 (a)의 사라진 비아홀 (VH) 의 영역이 화소개구부 (OA) 를 좀 더 넓게 설계할 수 있는 공간을 제공할 수 있다. 여기서 화소개구부 (OA) 는 위에서 설명하였듯이 화소전극 (PE) 의 적어도 일부가 드러나도록 화소전극 (PE) 의 적어도 일부의 상부에 화소정의막(19)이 제거된 부분으로 유기막(OL)이 덮혀 발광하는 부분이다. 실험적으로 (b)의 제1서브픽셀 및 제2서브픽셀 (P1, P2) 의 개구율은 (a)에 비해 약 11.7 % 향상된다. 또한 (b)의 제3서브픽셀(P3)의 개구율은 (a)에 비해 약 13.5% 향상된다. 이와 같이 개구율이 향상된 설계를 가진 유기발광표시장치는 그 수명이 개선되며, 품질이 향상되는 장점이 있다.

[0061] 한편, 본 발명의 일 실시 예에 의한 유기발광표시장치의 제조방법은 상술한 순서대로 제조하는 것이다. 간략하게 기판(1), 기판(1) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 도 2와 같이 액티브층(130)을 형성한다. 액티브층(130)은 패터닝할 때, 형성된 제1내지 제3액티브층 (131, 132, 133) 이 서로 연결되도록 한다. 또한, 커패시터(Cst)에 사용될 하부전극으로써의 타액티브층(135)도 제1내지 제3액티브층 (131, 132, 133)와 함께 연결되도록 패터닝한다.

[0062] 다음으로 액티브층(130) 상에 게이트절연막(13)을 형성한다. 다음으로 도 3과 같이 게이트금속을 올리고 패터닝한다. 패터닝시, 제1 내지 제3게이트전극(GE1, GE2, GE3) 및 게이트라인(GLn-1)이 연결되도록 패터닝한다.

[0063] 다음으로 게이트금속 상에 층간절연막(15)을 형성한다. 다음으로 층간절연막(15)과 게이트절연막(13)을 일부 제거하여 공통컨택홀 (CTc)을 형성한다. 다음으로 도 4와 같이 소스/드레인금속을 올리고 패터닝한다. 이 때, 공통소스전극 (SEc) 및 제1 내지 제3드레인전극 (DE1, DE2, DE3)과 커패시터(Cst)에 사용될 상부전극에 대응하는 배선을 형성하도록 패터닝한다. 이 때 공통소스전극(SEc)은 공통컨택홀(CTc)을 통해 액티브층(130)과 접촉한다.

[0064] 다음으로 소스드레인금속 상에 평탄화막(17)을 형성한다. 평탄화막(17)에는 비아홀 (VH)을 형성한다. 다음으로 도 5와 같이 평탄화막(17) 상에 화소전극 (PE) 및 초기화전극이(VLi) 형성되도록 화소전극금속을 올리고 패터닝한다. 여기서 초기화전극 (VLi)은 비아홀 (VH)을 통해 공통소스전극(SEc)과 접촉한다.

[0065] 다음으로 화소전극 (PE) 금속 상에 화소정의막(19)을 형성한다. 여기서, 발광부가 형성될 화소전극 (PE)의 영

역에 화소정의막(19)을 일부 제거하여 화소개구부 (OA)를 형성한다. 화소개구부 (OA)로 노출된 화소전극 (PE) 상에는 유기막(OL)을 증착하고, 유기막(OL)과 화소정의막(19) 전체적으로 대향전극(200)을 형성한다.

[0066] 도 9는 본 발명의 일 실시 예에 의한 스위칭소자들 (TR1, TR2, TR3)을 나타낸 회로도이다.

[0067] 도 9와 도 1을 비교해 보면, 비아홀 (VH)은 한군데에만 형성되며, 각 스위칭소자들 (TR1, TR2, TR3)의 소스단은 공통노드에 연결된 것을 확인할 수 있다. 공통노드에 저항(R)으로 표시된 부분은 액티브층(130)으로 서로 전기적으로 연결된 부분을 도시한 것이다. 도 9에서 Vi 는 초기화전압이며, Sn-1은 각 스위칭소자들 (TR1, TR2, TR3)을 턴 온 시키는 n-1 번째 주사신호가 된다.

[0068] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

부호의 설명

[0069] P: 유닛픽셀 VH: 비아홀

VLi: 초기화전극 OA: 화소개구부

P1, P2, P3: 제1 내지 제3서브픽셀

TR1, 2, 3: 제1 내지 제3스위칭소자

GE1, 2, 3: 제1 내지 제3게이트전극

DE1, 2, 3: 제1 내지 제3드레인전극

SE1, 2, 3: 제1 내지 제3소스전극

131, 132, 133: 제1 내지 제3 액티브층

SEc: 공통소스전극 CTc: 공통컨택홀

130: 액티브층 GLn-1: n-1 번째 게이트라인

1: 기판 11: 버퍼층

13: 게이트절연막 15: 층간절연막

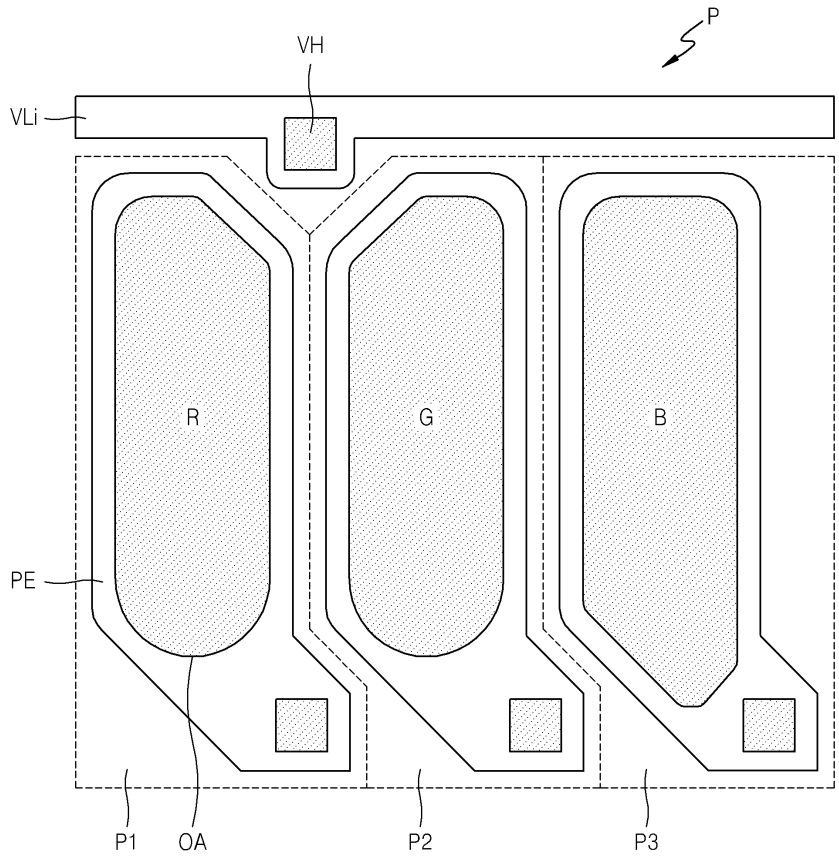
17: 평탄화막 19; 화소정의막

OLED: 유기발광소자 PE: 화소전극

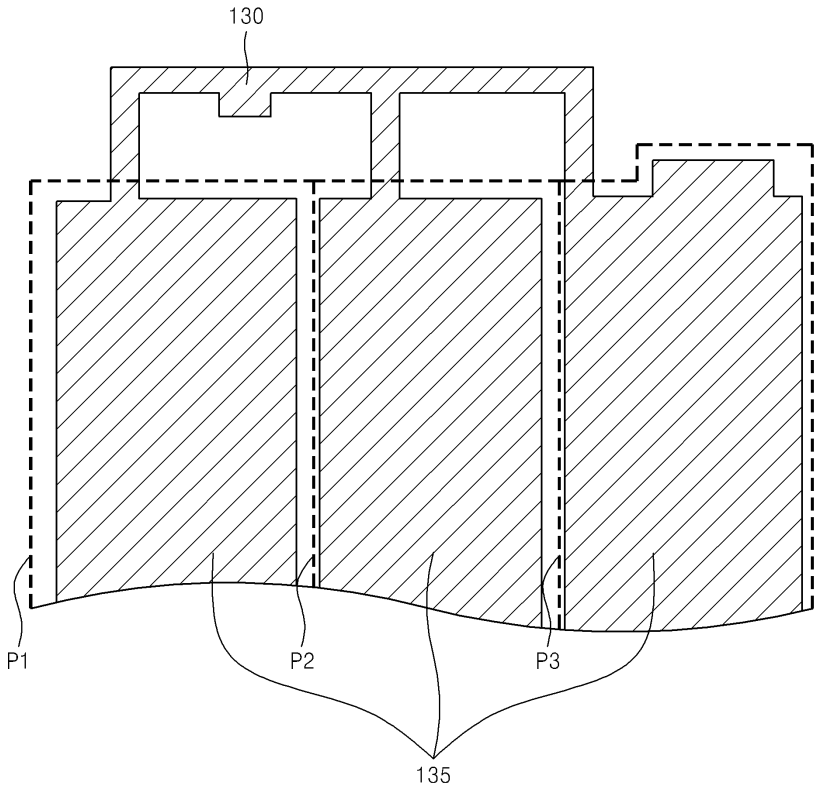
OL: 유기막 200: 대향전극

도면

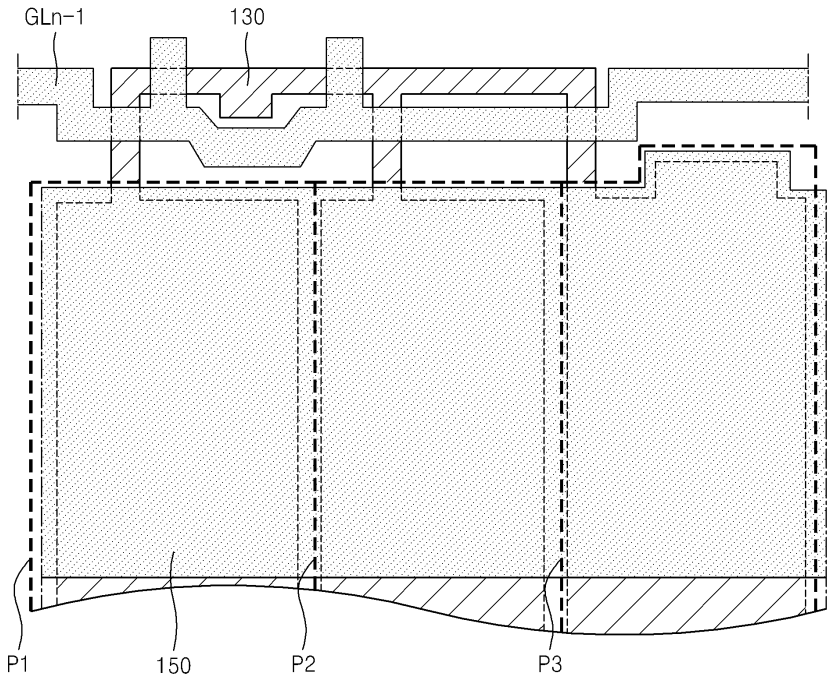
도면1



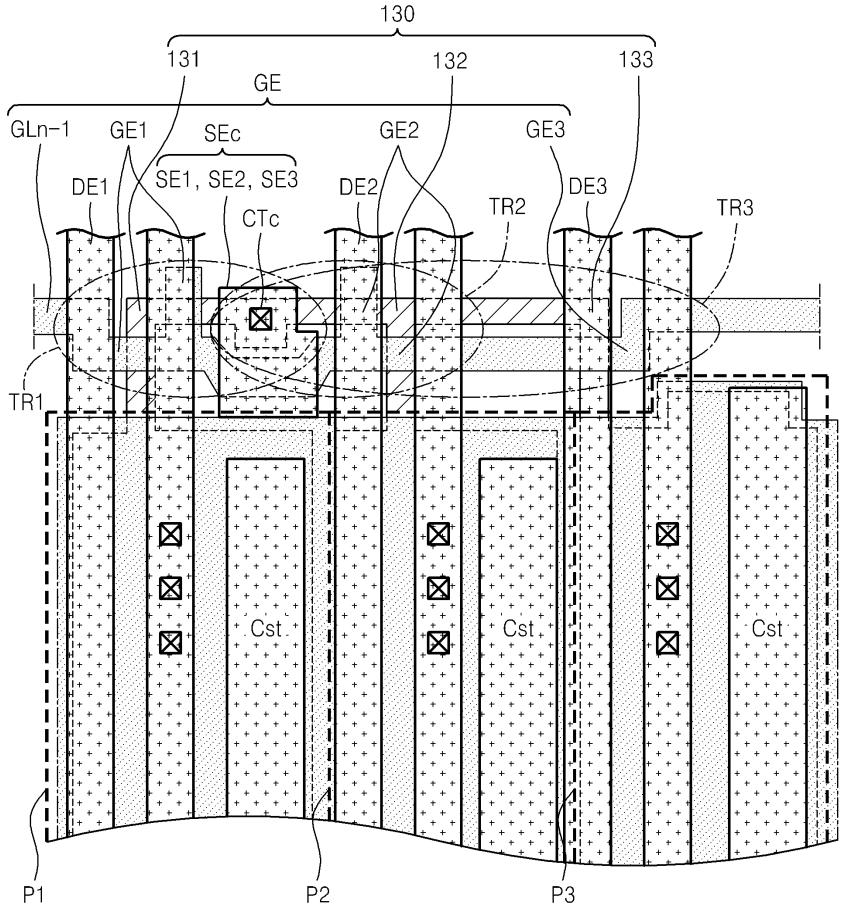
도면2



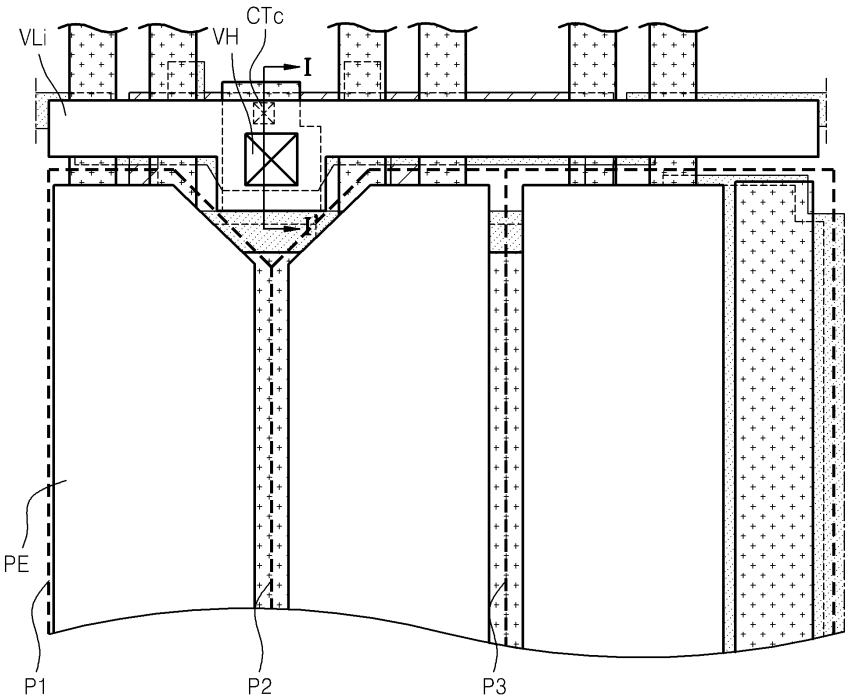
도면3



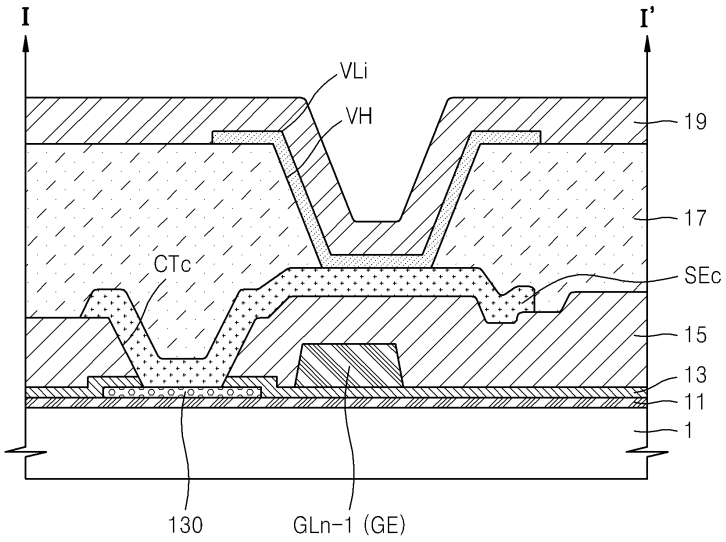
도면4


130
131
132
133
GE
GLn-1
GE1
SEc
GE2
GE3
DE1
SE1, SE2, SE3
DE2
DE3
TR2
TR3
CTc
TR1
Cst
Cst
Cst
P1
P2
P3

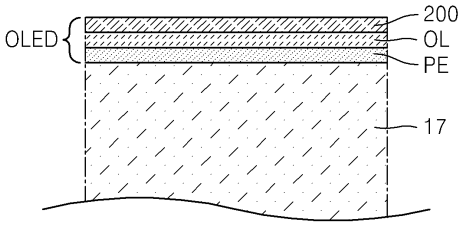
도면5


VLi
VH
CTc
I
I'
PE
P1
P2
P3

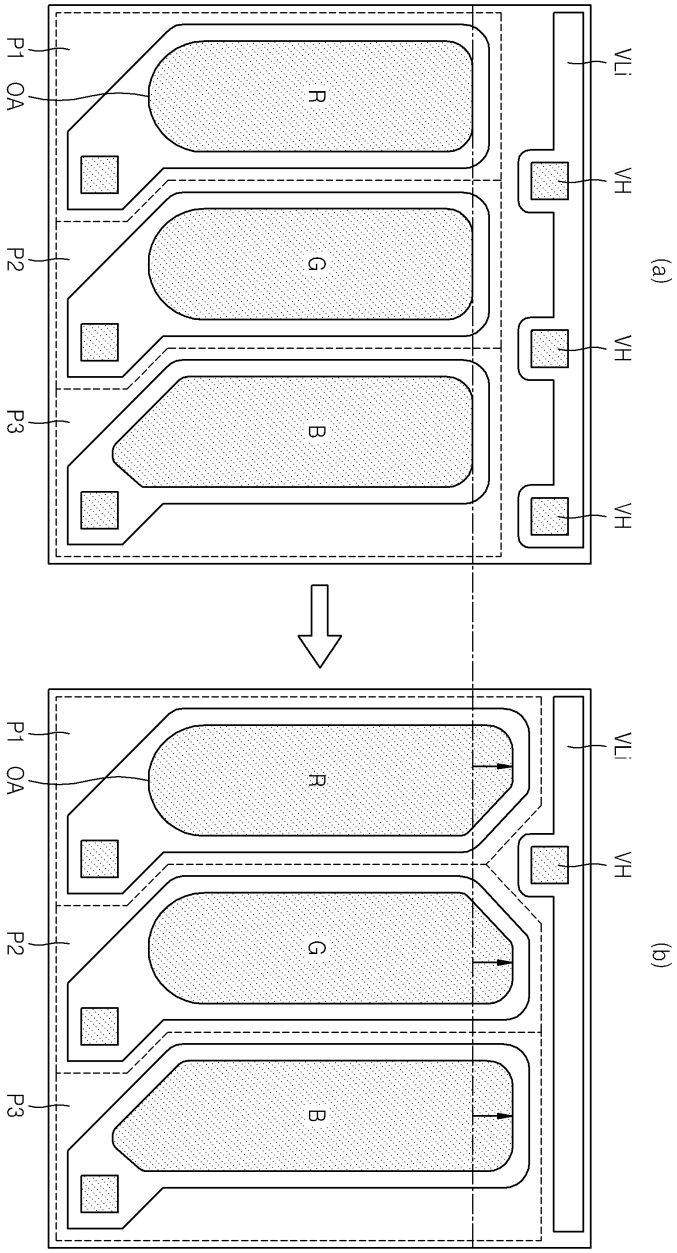
도면6



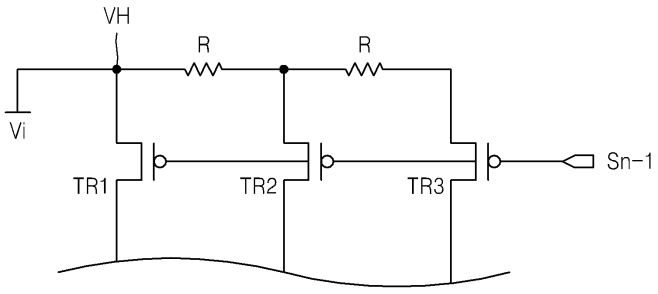
도면7



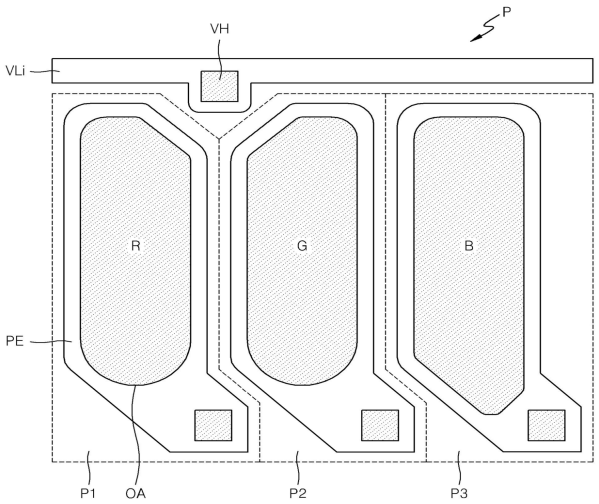
도면8


P1
OA
P2
P3
R
G
B
VLi
VH
VH
VH
(a)
P1
OA
P2
P3
R
G
B
VLi
VH
(b)

도면9


VH
R
R
Vi
TR1
TR2
TR3
Sn-1

专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020120080855A	公开(公告)日	2012-07-18
申请号	KR1020110002303	申请日	2011-01-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN HYE JIN 신혜진 KWAK WON KYU 곽원규		
发明人	신혜진 곽원규		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/3211 H01L27/3248		
其他公开文献	KR101223725B1		
外部链接	Espacenet		

摘要(译)

本发明涉及第一至第三子像素，初始电压分别与第一至第三子像素电连接：首先包括至少一个电容器，至少一个薄膜晶体管和有机发光器件通过第三子电容连接像素，它打开。并且有机发光显示装置暗示在初始电压之前提供初始电压，它通常与第一至第三开关装置电连接：首先通过平坦化膜实现：通孔：通常暴露漏电极或源电极通过通常通过形成在第三开关装置上的通孔实现的平坦化膜和漏电极或源电极来实现，其提供了授权的漏电极或源电极中的任何一个，并且增大了开口率。