

(72) 발명자

윤순일

경기 파주시 쇠재로 30, 711동 504호 (금촌동, 서원마을아파트)

이동호

경기 평택시 현신3길 76, 215동 1103호 (용이동, 평택용이푸르지오2차아파트)

이영희

경기 용인시 기흥구 신갈로96번길 19-5, 102호 (신갈동)

특허청구의 범위

청구항 1

하부기관;

상기 하부기관 상에 형성된 하부배선; 및

상기 하부기관 상에 형성된 트랜지스터부 및 유기 발광다이오드를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하며,

상기 백색 서브 픽셀은 상기 하부배선과 비중첩하도록 이격되어 형성된 제1전극을 포함하고,

상기 제1전극은 개구 영역을 정의하는 बैं크층과 이격하도록 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 백색 서브 픽셀에 포함된 제1전극과 상기 적색, 녹색 및 청색 서브 픽셀의 제1전극은 길이가 다른 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 백색 서브 픽셀에 포함된 제1전극은

상기 적색, 녹색 및 청색 서브 픽셀의 제1전극 대비 제1방향의 길이가 짧은 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 백색 서브 픽셀은

상기 적색, 녹색 및 청색 서브 픽셀대비 좁은 발광영역을 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 하부배선은

전원을 전달하는 전원배선 또는 신호를 전달하는 신호배선인 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

하부기관;

상기 하부기관 상에 형성된 하부배선; 및

상기 하부기관 상에 형성된 트랜지스터부 및 유기 발광다이오드를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하며,

상기 적색, 녹색, 청색 및 백색 중 적어도 하나의 서브 픽셀의 제1전극의 하부에 접하는 절연막은 비노출영역과 노출영역을 포함하고,

상기 비노출영역은 상기 적어도 하나의 서브 픽셀과 인접한 전원배선의 위치에 대응되고, 상기 노출영역은 상기 적어도 하나의 서브 픽셀과 인접한 신호배선의 위치에 대응되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제9항에 있어서,

상기 적어도 하나이 서브 픽셀은 상기 백색 서브 픽셀인 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제10항에 있어서,

상기 노출영역은

상기 백색 서브 픽셀의 개구영역을 정의하는 수직길이에 대응되거나 이보다 작은 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제10항에 있어서,

상기 노출영역은

$N(N$ 은 1 이상 정수)개로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 13

하부기관 상에 형성된 하부배선 및 트랜지스터부를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 유기전계발광표시장치의 제조방법에 있어서,

상기 백색 서브 픽셀은 절연막 상에 상기 하부배선과 비중첩하도록 이격하여 제1전극을 형성하는 단계;

상기 절연막 상에 개구영역을 정의하는 뱅크층을 형성하는 단계;

상기 제1전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 제2전극을 형성하는 단계를 포함하고,

상기 제1전극은 상기 뱅크층과 이격하도록 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 14

제13항에 있어서,

상기 백색 서브 픽셀에 포함된 제1전극과 상기 적색, 녹색 및 청색 서브 픽셀의 제1전극은 길이가 다른 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 15

제13항에 있어서,

상기 백색 서브 픽셀에 포함된 제1전극은

상기 적색, 녹색 및 청색 서브 픽셀의 제1전극 대비 제1방향의 길이가 짧은 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 16

삭제

청구항 17

하부기관 상에 형성된 하부배선 및 트랜지스터부를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 유기전계발광표시장치의 제조방법에 있어서,

절연막 상에 상기 적색, 녹색, 청색 및 백색 서브 픽셀의 제1전극을 형성하는 단계;

상기 절연막 상에 개구영역을 정의하는 बैं크층을 형성하는 단계;

상기 제1전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 제2전극을 형성하는 단계를 포함하되,

상기 적색, 녹색, 청색 및 백색 중 적어도 하나의 서브 픽셀의 제1전극의 하부에 위치하는 상기 절연막은 비노출영역과 노출영역을 포함하고,

상기 비노출영역은 상기 적어도 하나의 서브 픽셀과 인접한 전원배선의 위치에 대응되고, 상기 노출영역은 상기 적어도 하나의 서브 픽셀과 인접한 신호배선의 위치에 대응되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 18

제17항에 있어서,

상기 적어도 하나의 서브 픽셀은 상기 백색 서브 픽셀인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 19

제18항에 있어서,

상기 노출영역은

상기 백색 서브 픽셀의 개구영역을 정의하는 수직길이에 대응되거나 이보다 작은 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 20

제18항에 있어서,

상기 노출영역은

$N(N$ 은 1 이상 정수)개로 형성된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

배경기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀에 포함된 트랜지스터 등이 구동하게 된다. 그리고 유기 발광다이오드가 이때 형성된 전류에 대응하여 발광을 하게 됨으로써 영상을 표시하게 된다.

[0004] 유기전계발광표시장치 중 일부는 광효율을 증가시키면서 순색의 휘도 저하 및 색감 저하를 방지하기 위해 적색, 녹색, 청색 및 백색을 포함하는 서브 픽셀 구조를 갖는 유기전계발광표시장치(이하 RGBW OLED로 약기함)로 구현된다.

[0005] RGBW OLED는 백색을 발광하는 백색 유기 발광다이오드와 백색의 광을 적색, 녹색 및 청색으로 변환하는 컬러필터를 이용하여 RGBW를 구현한다. 이 구조의 경우, 백색 서브 픽셀은 백색의 광을 그대로 출사하므로 컬러필터가 미포함된다. 이 때문에, 백색 서브 픽셀은 적색, 녹색 및 청색 서브 픽셀 대비 백색 유기 발광다이오드가 형성되는 층이 낮으므로 하부배선과 백색 유기 발광다이오드의 제1전극 간의 수직거리가 가깝다. 즉, 백색 서브 픽셀은 다른 서브 픽셀들 대비 단차가 낮다.

[0006] 이로 인하여, 종래 RGBW OLED는 공정(예컨대, 포토리소그래피, 에칭, 세정 등) 중에 유입된 이물(예컨대 파티클) 등에 의해 패턴이 유실되면 하부배선과 백색 서브 픽셀에 포함된 제1전극 간에 쇼트나 과전류가 발생하게 된다. 이와 같이 이중 전극간에 쇼트나 과전류가 발생하면 국부적인 소자의 연소(Burnt)가 패널 전반에 걸쳐 확산되므로 이를 방지할 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 공정 중 유입된 이물 등에 의해 하부배선과 백색 서브 픽셀에 포함된 제1전극 간의 쇼트나 과전류 발생 확률을 저감함은 물론 숨구멍 형성시 하부배선의 손상이나 고전위 전원배선과 저전위 전원배선 간의 수직거리 감소에 따른 쇼트 발생 확률을 낮춰 패널의 생산 수율을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 하부기판; 하부기판 상에 형성된 하부배선; 하부기판 상에 형성된 트랜지스터부 및 유기 발광다이오드를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하며, 백색 서브 픽셀은 하부배선과 비중첩하도록 이격되어 형성된 제1전극을 포함하는 유기전계발광표시장치를 제공한다.

[0009] 백색 서브 픽셀에 포함된 제1전극과 적색, 녹색 및 청색 서브 픽셀의 제1전극은 길이가 다를 수 있다.

[0010] 백색 서브 픽셀에 포함된 제1전극은 적색, 녹색 및 청색 서브 픽셀의 제1전극 대비 제1방향의 길이가 짧을 수 있다.

[0011] 백색 서브 픽셀에 포함된 제1전극은 개구영역을 정의하는 बैं크층과 이격하도록 형성될 수 있다.

[0012] 백색 서브 픽셀에 포함된 제1전극은 개구영역을 정의하는 बैं크층과 접촉하도록 형성될 수 있다.

[0013] 백색 서브 픽셀에 포함된 제1전극은 개구영역을 정의하는 बैं크층의 하부에 일부가 인입되도록 형성될 수 있다.

[0014] 백색 서브 픽셀은 적색, 녹색 및 청색 서브 픽셀대비 좁은 발광영역을 가질 수 있다.

[0015] 하부배선은 전원을 전달하는 전원배선 또는 신호를 전달하는 신호배선일 수 있다.

[0016] 다른 측면에서 본 발명은 하부기판; 하부기판 상에 형성된 하부배선; 하부기판 상에 형성된 트랜지스터부 및 유기 발광다이오드를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하며, 백색 서브 픽셀의 제1전극의 하부에 접하는 절연막은 비노출영역과 노출영역을 포함하는 유기전계발광표시장치를 제공한다.

[0017] 비노출영역은 백색 서브 픽셀과 인접한 전원배선의 위치에 대응되고, 노출영역은 백색 서브 픽셀과 인접한 신호배선의 위치에 대응될 수 있다.

[0018] 노출영역은 백색 서브 픽셀의 개구영역을 정의하는 수직길이에 대응되거나 이보다 작을 수 있다.

[0019] 노출영역은 N(N은 1 이상 정수)개로 형성될 수 있다.

[0020] 또 다른 측면에서 본 발명은 하부기판 상에 형성된 하부배선 및 트랜지스터부를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 유기전계발광표시장치의 제조방법에 있어서, 백색 서브 픽셀은 절연막 상에 하부배선과 비중첩하도록 이격하여 제1전극을 형성하는 단계; 절연막 상에 개구영역을 정의하는 बैं크층을 형성하는 단계; 제1전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 제2전극을 형성하는 단계를 포함하는 유

기전계발광표시장치의 제조방법을 제공한다.

- [0021] 백색 서브 픽셀에 포함된 제1전극과 적색, 녹색 및 청색 서브 픽셀의 제1전극은 길이가 다를 수 있다.
- [0022] 백색 서브 픽셀에 포함된 제1전극은 적색, 녹색 및 청색 서브 픽셀의 제1전극 대비 제1방향의 길이가 짧을 수 있다.
- [0023] 백색 서브 픽셀에 포함된 제1전극은 뱅크층과 접촉하도록 형성되거나 뱅크층의 하부에 일부가 인입되도록 형성될 수 있다.
- [0024] 또 다른 측면에서 본 발명은 하부기관 상에 형성된 하부배선 및 트랜지스터부를 포함하는 적색, 녹색, 청색 및 백색 서브 픽셀을 포함하는 유기전계발광표시장치의 제조방법에 있어서, 백색 서브 픽셀은 절연막 상에 제1전극을 형성하는 단계; 절연막 상에 개구영역을 정의하는 뱅크층을 형성하는 단계; 제1전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 제2전극을 형성하는 단계를 포함하되, 제1전극의 하부에 위치하는 절연막은 비노출영역과 노출영역을 포함하는 유기전계발광표시장치의 제조방법을 제공한다.
- [0025] 비노출영역은 백색 서브 픽셀과 인접한 전원배선의 위치에 대응되고, 노출영역은 백색 서브 픽셀과 인접한 신호배선의 위치에 대응될 수 있다.
- [0026] 노출영역은 백색 서브 픽셀의 개구영역을 정의하는 수직길이에 대응되거나 이보다 작을 수 있다.
- [0027] 노출영역은 $N(N$ 은 1 이상 정수)개로 형성될 수 있다.

발명의 효과

- [0028] 본 발명은 공정 중 유입된 이물 등에 의해 하부배선과 백색 서브 픽셀에 포함된 제1전극 간의 쇼트나 과전류 발생 확률을 저감함은 물론 숨구멍 형성시 하부배선의 손상이나 고전위 전원배선과 저전위 전원배선 간의 수직거리 감소에 따른 쇼트 발생 확률을 낮춰 패널의 생산 수율을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도.
- 도 2는 서브 픽셀의 회로 구성 예시도.
- 도 3은 픽셀의 구성을 설명하기 위한 도면.
- 도 4는 서브 픽셀의 개략적인 단면 계층도.
- 도 5는 본 발명의 제1실시예에 따른 백색 서브 픽셀의 단면도.
- 도 6은 도 5에 도시된 백색 서브 픽셀의 제1변형 예시도.
- 도 7은 도 5에 도시된 백색 서브 픽셀의 제2변형 예시도.
- 도 8은 백색 서브 픽셀에 형성된 제1전극과 다른 서브 픽셀에 형성된 제1전극의 차이점을 비교 설명하기 위한 평면도.
- 도 9는 종래 백색 서브 픽셀의 단면도.
- 도 10은 도 9의 구조에 파티클이 유입된 단면도.
- 도 11 내지 도 14는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면.
- 도 15는 본 발명의 제2실시예에 따른 백색 서브 픽셀의 단면도.
- 도 16은 본 발명의 제3실시예에 따른 서브 픽셀들의 평면도.
- 도 17은 도 16의 A1-A2 영역의 단면도.
- 도 18은 도 16의 B1-B2 영역의 단면도.

도 19는 도 16에 도시된 서브 픽셀들의 제1변형 예시도.

도 20은 도 16에 도시된 서브 픽셀들의 제2변형 예시도.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0031] <제1실시예>
- [0032] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 서브 픽셀의 회로 구성 예시도이며, 도 3은 픽셀의 구성을 설명하기 위한 도면이고, 도 4는 서브 픽셀의 개략적인 단면 계층도이다.
- [0033] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 타이밍제어부(130), 데이터구동부(150), 스캔구동부(140) 및 패널(110)이 포함된다.
- [0034] 타이밍제어부(130)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(150)와 스캔구동부(140)의 동작 타이밍을 제어한다. 타이밍제어부(130)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(130)에서 생성되는 제어신호들에는 스캔구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스, 게이트 시프트 클럭, 게이트 출력 인에이블신호 등이 포함된다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스, 소스 샘플링 클럭, 소스 출력 인에이블신호 등이 포함된다.
- [0035] 스캔구동부(140)는 타이밍제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(140)는 패널(110)에 포함된 서브 픽셀들(SP)에 연결된 스캔배선들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.
- [0036] 데이터구동부(150)는 타이밍제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(130)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(150)는 데이터신호(DATA)를 감마 기준전압으로 변환한다. 데이터구동부(150)는 패널(110)에 포함된 서브 픽셀들(SP)에 연결된 데이터배선들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.
- [0037] 패널(110)은 두 개의 기관(또는 필름) 사이에 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 패널(110)에 포함된 서브 픽셀들(SP)은 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성될 수 있다. 그러나 서브 픽셀들(SP)에 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C 등으로 구성된다.
- [0038] 도 2에 도시된 바와 같이 보상회로가 추가된 경우, 패널(110)에 포함된 서브 픽셀은 다음과 같은 구조를 갖게 된다. 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(WOLED)가 포함된다.
- [0039] 스위칭 트랜지스터(SW)는 제1스캔배선(SL1)을 통해 공급된 스캔신호에 응답하여 제1데이터배선(SL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 고전위 전원을 전달하는 고전위 전원배선(EVDD)과 저전위 전원을 전달하는 저전위 전원배선(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(WOLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0040] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상한다. 예컨대, 보상회로(CC)는 다이오드 커넥션 방식이나 소스팔로워(source-follower) 방식 등으로 구성되어 구동 트랜지스터(DR)의 문턱전압 등을 보상한다. 이를 위해, 보상회로(CC)는 하나 이상의 트랜지스터와 커패시터로 구성된다. 그리고 보상회로(CC)의 특정 노드에는 초기화전압, 기준전압 또는 보조전압 등이 더 공급된다. 보상회로(CC)의 구성은 매우 다양한바 이에 대한 구체적인 예시 및 설명은 생략한다.

- [0041] 도 3에 도시된 바와 같이, 패널(110)에 포함된 서브 픽셀들(SP)은 적색 서브 픽셀(SPr), 녹색 서브 픽셀(SPg), 청색 서브 픽셀(SPb) 및 백색 서브 픽셀(SPw)을 포함한다. 적색 서브 픽셀(SPr), 녹색 서브 픽셀(SPg), 청색 서브 픽셀(SPb) 및 백색 서브 픽셀(SPw)은 하나의 픽셀(P)을 구성한다. 도면에서는 서브 픽셀들이 r, g, b, w의 순으로 배열된 것을 예로 하였으나 이들의 배열 순서는 w, r, g, b, r, w, g, b, r, g, w, b 등으로 구현하고자 하는 색감이나 구조에 따라 달라질 수 있다. 위의 구조는 광효율을 증가시키면서 순색의 휘도 저하 및 색감 저하를 방지하기 위해 적색, 녹색, 청색 서브 픽셀과 더불어 백색 서브 픽셀이 더 추가된다.
- [0042] 도 4에 도시된 바와 같이, 적색 서브 픽셀(SPr), 녹색 서브 픽셀(SPg) 및 청색 서브 픽셀(SPb)은 트랜지스터부(TFT), RGB 컬러필터(CFr, CFg, CFb) 및 백색 유기 발광다이오드(WOLED)를 포함한다. 적색 서브 픽셀(SPr), 녹색 서브 픽셀(SPg) 및 청색 서브 픽셀(SPb)은 백색 유기 발광다이오드(WOLED)로부터 출사된 백색의 광을 RGB 컬러필터(CFr, CFg, CFb)로 변환하여 RGB를 구현한다.
- [0043] 반면, 백색 서브 픽셀(SPw)은 트랜지스터부(TFT) 및 백색 유기 발광다이오드(WOLED)를 포함한다. 백색 서브 픽셀(SPw)은 백색 유기 발광다이오드(WOLED)로부터 출사된 백색의 광을 그대로 출사하므로 컬러필터를 미포함한다.
- [0044] 서브 픽셀의 개략적인 단면 계층도에서 알 수 있듯이, 백색 서브 픽셀(SPw)은 적색 서브 픽셀(SPr), 녹색 서브 픽셀(SPg) 및 청색 서브 픽셀(SPb) 대비 백색 유기 발광다이오드(WOLED)가 형성되는 층이 낮으므로 하부배선과 백색 유기 발광다이오드의 제1전극 간의 수직거리가 가깝다.
- [0045] 도 4에 도시된 수직거리 $y_1 < y_2$ 의 관계에서도 알 수 있듯이, 백색 서브 픽셀(SPw)은 컬러필터가 미포함된 만큼 다른 서브 픽셀들(SPr ~ SPb) 대비 단차가 낮다. 하부배선과 백색 유기 발광다이오드(WOLED)의 제1전극 간의 수직거리가 가까울 경우, 트랜지스터 공정(예컨대, 포토리소그래피, 에칭, 세정) 중 또는 공정 중에 유입된 이물(예컨대 파티클) 등에 의해 패턴이 유실되면 하부배선과 유기 발광다이오드(WOLED)의 제1전극 간에 쇼트나 과전류가 발생하게 된다. 한편, 쇼트나 과전류가 발생하는 이유는 하부배선과 백색 유기 발광다이오드의 제1전극 간의 수직거리가 가까운 것은 물론 절연막 패턴시 발생하는 정전기 등으로 다양하다.
- [0046] 본 발명은 앞서 설명한 문제를 해결하기 위해 백색 서브 픽셀(SPw)의 구조를 하기와 같이 변경한다.
- [0047] 도 5는 본 발명의 제1실시예에 따른 백색 서브 픽셀의 단면도이고, 도 6은 도 5에 도시된 백색 서브 픽셀의 제1 변형 예시도 이며, 도 7은 도 5에 도시된 백색 서브 픽셀의 제2변형 예시도 이고, 도 8은 백색 서브 픽셀에 형성된 제1전극과 다른 서브 픽셀에 형성된 제1전극의 차이점을 비교 설명하기 위한 평면도이다.
- [0048] 도 5 내지 도 7에 도시된 바와 같이, 하부기판(110a) 상에는 백색 서브 픽셀의 영역(SPw_A)과 적색 서브 픽셀의 영역(SPr_A)이 도시된다. 백색 서브 픽셀의 영역(SPw_A)에 도시된 구동 트랜지스터(DT)와 백색 유기 발광다이오드(WOLED)는 백색 서브 픽셀에 포함된다. 적색 서브 픽셀의 영역(SPr_A)에 도시된 R컬러필터(117r)는 적색 서브 픽셀에 포함된다. 그리고 백색 서브 픽셀의 영역(SPw_A)과 적색 서브 픽셀의 영역(SPr_A) 사이에 도시된 하부배선(WIRE)은 적색 서브 픽셀에 연결된다. 이하 도시된 단면 구조에 대해 구체적으로 설명하되, 서브 픽셀 간의 영역의 구분은 필요한 경우에만 언급한다.
- [0049] 하부기판(110a) 상에는 게이트전극(111a) 및 제1금속층(111b)이 형성된다. 게이트전극(111a) 및 제1금속층(111b)은 상호 이격 되어 형성된다. 게이트전극(111a) 및 제1금속층(111b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.
- [0050] 게이트전극(111a) 및 제1금속층(111b) 상에는 제1절연막(112)이 형성된다. 제1절연막(112)은 제1금속층(111b)의 일부를 노출하도록 형성된다. 제1절연막(112)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.
- [0051] 게이트전극(111a)과 대응되는 제1절연막(112) 상에는 반도체층(113)과 오믹콘택층(114)이 형성된다. 반도체층(113)은 아몰포스 실리콘(a-Si), 폴리실리콘(poly-Si), 산화물(oxide)이나 유기물(organic) 등으로 선택된다. 오믹콘택층(114)은 반도체층(113)과 이후에 형성되는 소오스 및 드레인 전극(115a, 115b) 간의 접촉 저항을 줄이는 층으로서 이는 생략될 수도 있다.
- [0052] 반도체층(113) 또는 오믹콘택층(114) 상에는 소오스 및 드레인 전극(115a, 115b)이 형성되고, 제1금속층(111b) 상에는 제2금속층(115c)이 형성된다. 제1금속층(111b) 및 제2금속층(115c)은 전기적으로 연결되어 하부배선(EVDD)을 구성하게 된다. 소오스전극(115a), 드레인 전극(115b) 및 제2금속층(115c)은 몰리브덴(Mo), 알루미늄

(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금 일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다. 구동 트랜지스터(DT)는 하부기관(110a) 상에 형성된 게이트전극(111a), 반도체층(113), 오믹콘택층(114), 소오스전극(115a) 및 드레인전극(115b)을 포함한다.

[0053] 한편, 트랜지스터부에는 도시된 하부배선(WIRE) 및 구동 트랜지스터(DT)뿐만 아니라 스캔배선, 데이터배선 및 커패시터 등과 같이 백색 유기 발광다이오드(WOLED)를 제외한 구성이 포함된다.

[0054] 한편, 하부배선(WIRE)에는 도 1 및 도 2에 도시된 고전위 전원배선(EVDD) 및 저전위 전원배선(EVSS)과 같은 전원배선은 물론 데이터배선들(DL1 ~ DLn) 및 스캔배선들(SL1 ~ SLm)과 같은 신호배선이 포함된다. 또한, 서브 픽셀에 보상회로가 포함된 경우 하부배선(WIRE)에는 보조전압을 전달하는 보조전원배선, 기준전압을 전달하는 기준전원배선 및 초기화전압을 전달하는 초기화전원배선 등이 더 포함된다. 그러므로, 하부배선(WIRE)은 앞서 나열된 배선 중 하나로 해석되어야 한다.

[0055] 소오스전극(115a), 드레인 전극(115b) 및 제2금속층(115c) 상에는 제2절연막(116)이 형성된다. 제2절연막(116)은 드레인 전극(115b)의 일부를 노출하도록 형성된다. 제2절연막(116)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.

[0056] 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제2절연막(116) 상에는 R컬러필터(117r)가 형성된다. 반면, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제2절연막(116) 상에는 컬러필터가 미형성된다.

[0057] 제2절연막(116) 상에는 R컬러필터(117r)를 덮도록 제3절연막(118)이 형성된다. 제3절연막(118)은 드레인 전극(115b)의 일부를 노출하도록 형성된다. 제3절연막(118)은 유기 절연막, 무기 절연막 또는 유무기 절연막 등으로 선택된다. 한편, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제3절연막(118)의 제1높이(y1)는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 제2높이(y2)보다 낮다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제3절연막(118)의 제1높이(y1)는 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막의 높이보다 낮다. 그 이유는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 하부에 R컬러필터(117r)가 형성되어 있기 때문이다. 또한, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막(118)의 하부에 G컬러필터 및 B컬러필터가 형성되어 있기 때문이다. 즉, 백색 서브 픽셀에 포함된 제3절연막(118)은 적색, 녹색 및 청색 서브 픽셀에 포함된 제3절연막(118)보다 낮은 단차를 형성한다. 여기서, 제1 및 제2높이(y1, y2)는 소오스 및 드레인전극(115a, 115b)의 기저면으로부터 제3절연막(118)의 기저면까지의 수직거리이다. 여기서, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막의 높이는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 높이에 대응될 수 있다.

[0058] 제3절연막(118) 상에는 제4절연막(119)이 형성된다. 제4절연막(119)은 드레인 전극(115b)의 일부를 노출하도록 형성된다. 제4절연막(119)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다. 제4절연막(119)은 구조에 따라 생략될 수도 있다.

[0059] 제4절연막(119) 상에는 제1전극(121)이 형성된다. 제1전극(121)은 제4절연막(119)을 통해 노출된 드레인 전극(115b)과 전기적으로 연결된다. 제1전극(121)은 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)과 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)으로 구분된다. 제1전극(121)은 서브 픽셀들의 영역에 대응하여 분리되어 형성된다. 제1전극(121)은 애노드전극으로 선택된다. 이때, 제1전극(121)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide)나 그래핀(graphene) 등과 같은 투명도전막으로 선택된다.

[0060] 제4절연막(119) 및 제1전극(121)의 일부 영역 상에는 बैं크층(122)이 형성된다. बैं크층(122)은 백색 서브 픽셀의 개구영역과 적색 서브 픽셀의 개구영역을 정의한다. बैं크층(122)은 모든 서브 픽셀의 개구영역을 정의한다.

[0061] 제1전극(121) 및 बैं크층(122) 상에는 유기 발광층(123)이 형성된다. 유기 발광층(123)은 백색을 발광한다. 유기 발광층(123)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL)로 구성되거나 이들 중 하나 이상이 생략되도록 구성된다. 유기 발광층(123)은 정공과 전자의 이동 특성을 조절하는 기능층이나 층간의 계면 안정화를 도모하는 기능층 등이 더 포함될 수도 있다.

[0062] 유기 발광층(123) 상에는 제2전극(124)이 형성된다. 제2전극(124)은 모든 서브 픽셀 영역에 걸쳐 공통으로 연결되도록 전면전극 형태로 형성된다. 제2전극(124)은 캐소드전극으로 선택된다. 이때, 제2전극(124)은 일함수가 낮은 알루미늄(Al), 은(Ag), 마그네슘(Mg), 칼슘(Ca) 또는 이들의 합금 등으로 선택된다. 제2전극(124)은 저전위 하부배선에 연결된다. 이상의 구성으로 구동 트랜지스터(DT)를 포함하는 트랜지스터부 상에는 백색 유기 발

광다이오드(WOLED)가 형성된다.

- [0063] 한편, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 비중첩하도록 이격되어 형성된다. 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 데이터배선과도 비중첩하도록 이격되어 형성될 수 있다.
- [0064] 구체적으로 설명하면, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 5와 같이뱅크층(122)과 이격하도록 형성된다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 6과 같이뱅크층(122)과 접촉하도록 형성된다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 7과 같이뱅크층(122)의 하부에 일부가 인입되도록 형성된다.
- [0065] 그러나, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)의 일측 말단은 하부배선(WIRE)의 일측 말단과 이격하는 비중첩영역(NOA)을 갖도록 이격되어 형성된다. 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)이 위와 같은 구조로 형성되면, 제1전극(121)과 하부배선(WIRE) 간의 수직거리가 가깝더라도 이물(예컨대 파티클) 등에 의한 쇼트나 과전류 발생 확률을 줄일 수 있다.
- [0066] 이와 달리, 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)과 녹색 서브 픽셀의 영역 및 청색 서브 픽셀의 영역에 위치하는 제1전극은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 중첩하도록 형성된다.
- [0067] 구체적으로 설명하면, 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)과 녹색 서브 픽셀의 영역 및 청색 서브 픽셀의 영역에 위치하는 제1전극은뱅크층(122)의 내부로 인입되어 제4절연막의 말단까지 형성된다. 적색, 녹색 및 청색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)이 위와 같은 구조로 형성되면, 발광영역이 넓어진다. 그러나, 적색, 녹색 및 청색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121) 또한 하부배선(WIRE)과 비중첩하도록 형성될 수 있다.
- [0068] 이하, 평면 상에 도시된 제1전극(121)을 이용하여 위와 관련된 설명을 더한다.
- [0069] 도 8의 (a)는 적색, 녹색 및 청색 서브 픽셀(SPrgb)에 포함된 제1전극(121)의 평면 구조를 나타내고 (b)는 백색 서브 픽셀(SPw)에 포함된 제1전극(121)의 평면 구조를 나타낸다.
- [0070] x1은 제1방향(x)에서 백색 서브 픽셀(SPw)에 포함된 제1전극(121)의 길이를 나타내고, x2는 제1방향(x)에서 적색, 녹색 및 청색 서브 픽셀(SPrgb)에 포함된 제1전극(121)의 길이를 나타낸다. 여기서, 제1방향(x)은 서브 픽셀의 단축방향이 되고, 제2방향(y)은 서브 픽셀의 장축방향이 된다.
- [0071] 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)은 하부배선(WIRE)과의 쇼트나 과전류를 방지하기 위해 제1방향(x)의 길이를 줄인다. 일 예로, 하부배선(WIRE)이 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 좌측으로 배선된 경우, 하부배선(WIRE)과 인접된 "w1"의 길이를 줄인다. 다른 예로, 하부배선(WIRE)이 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 우측으로 배선된 경우, 하부배선(WIRE)과 인접된 "w2"의 길이를 줄인다. 또 다른 예로, 하부배선(WIRE)이 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 양측으로 배선된 경우, 하부배선(WIRE)과 인접된 "w1" 및 "w2"의 길이를 줄인다. 여기서, "w1"은 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 좌측에서 삭제된 길이를 나타내고, "w2"는 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 우측에서 삭제된 길이를 나타낸다.
- [0072] 위의 설명에서 알 수 있듯이, 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)과 적색, 녹색 및 청색 서브 픽셀(SPrgb)에 위치하는 제1전극(121)은 제2방향(y)의 길이는 유사하거나 동일하다. 하지만, 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)의 제1방향(x)의 길이는 적색, 녹색 및 청색 서브 픽셀(SPrgb)에 위치하는 제1전극(121)의 제1방향(x)의 길이 보다 "w1", "w2" 또는 "w1" 및 "w2" 만큼 짧다. 따라서, 적색, 녹색 및 청색 서브 픽셀에 위치하는 제1전극(121)이 하부배선(WIRE)과 중첩하도록 형성된 경우, 백색 서브 픽셀(SPw)에 위치하는 제1전극(121)과의 관계를 정리하면 $x2 > x1$ 을 갖게 된다.
- [0073] 한편, $x2 > x1$ 관계에 따라 백색 서브 픽셀(SPw)은 적색, 녹색 및 청색 서브 픽셀(SPrgb) 대비 좁은 발광영역을 갖게 된다. 그러나, 백색 서브 픽셀(SPw)은 컬러필터를 사용하지 않고 백색의 광을 그대로 출사하므로 발광영역의 크기가 적색, 녹색 및 청색 서브 픽셀(SPrgb)보다 작아지더라도 휘도에 큰 영향을 미치지 않는다.
- [0074] 이하, 종래 백색 서브 픽셀의 구조와 이물(예컨대 파티클)에 의한 쇼트나 과전류 발생에 대한 예를 설명한다.

- [0075] 도 9는 종래 백색 서브 픽셀의 단면도이고, 도 10은 도 9의 구조에 파티클이 유입된 단면도이다.
- [0076] 도 9에 도시된 바와 같이, 종래 백색 서브 픽셀의 영역(SP_wA)에 위치하는 제1전극(121)은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 중첩되어 형성된다. 구체적으로 설명하면, 백색 서브 픽셀의 영역(SP_wA)에 위치하는 제1전극(121)은 बैं크층(122)의 내부로 인입되어 제4절연막의 말단까지 형성되고 하부배선(WIRE)과 중첩된 영역(OA)을 갖도록 형성된다. 이는 백색 서브 픽셀의 영역(SP_wA)에 위치하는 제1전극(121)뿐만 아니라 적색, 녹색 및 청색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극도 이와 같이 형성된다.
- [0077] 도 10에 도시된 바와 같이, 종래 백색 서브 픽셀의 영역(SP_wA)에 위치하는 제1전극(121)은 하부배선(WIRE)과 중첩되어 형성되므로, 공정(예컨대, 포토리소그래피, 에칭, 세정 등) 중 파티클(PT)이 유입되면 이들 간에 쇼트나 과전류가 발생하게 된다. 유기전계발광표시장치에서 사용되는 박막의 두께는 μm 로 얇다. 따라서, 파티클(PT) 등에 의해 패턴이 유실되면 제1전극(121)과 하부배선(WIRE)은 쇼트나 과전류가 발생하게 된다. 그리고 이 경우 국부적인 소자의 연소(Burnt)가 패널 전반에 걸쳐 확산되기도 한다. 여기서, 쇼트는 파티클(PT)이 전도성을 갖는 경우에 나타날 수 있다. 그리고 과전류는 파티클(PT)이 전도성을 갖지 않더라도 후속 공정에서 형성된 박막 등에 의해 파티클(PT)의 일부영역이 전도성을 갖는 경우에 나타날 수 있으나 이에 한정되지 않고 다양한 원인에 의해 나타날 수 있다.
- [0078] 그러나, 앞서 도 5 내지 도 8을 참조하여 설명한 본 발명은 백색 서브 픽셀의 영역에 위치하는 제1전극(121)과 하부배선(WIRE)이 비중첩하므로 수직거리가 가깝더라도 이물(예컨대 파티클) 등에 의한 쇼트나 과전류 발생 확률을 줄일 수 있다.
- [0079] 이하, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.
- [0080] 도 11 내지 도 14는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면이다.
- [0081] 도 11 내지 도 14에 도시된 바와 같이, 하부기판(110a) 상에는 백색 서브 픽셀의 영역(SP_wA)과 적색 서브 픽셀의 영역(SPr_A)이 도시된다. 백색 서브 픽셀의 영역(SP_wA)에 도시된 구동 트랜지스터(DT)와 백색 유기 발광다이오드(WOLED)는 백색 서브 픽셀에 포함된다. 적색 서브 픽셀의 영역(SPr_A)에 도시된 R컬러필터(117r)는 적색 서브 픽셀에 포함된다. 그리고 백색 서브 픽셀의 영역(SP_wA)과 적색 서브 픽셀의 영역(SPr_A) 사이에 도시된 하부배선(WIRE)은 적색 서브 픽셀에 연결된다. 이하 도시된 단면 구조에 대해 구체적으로 설명하되, 서브 픽셀 간의 영역의 구분은 필요한 경우에만 언급한다.
- [0082] 먼저, 하부기판(110a) 상에 게이트전극(111a) 및 제1금속층(111b)을 형성한다. 하부기판(110a) 상에 제1금속층을 형성하고 게이트전극(111a) 및 제1금속층(111b)으로 구분되어 상호 이격하도록 패터닝 한다. 게이트전극(111a) 및 제1금속층(111b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다.
- [0083] 다음, 게이트전극(111a) 및 제1금속층(111b) 상에 제1절연막(112)을 형성한다. 제1절연막(112)을 하부기판(110a) 상에 형성하고 제1금속층(111b)의 일부가 노출되도록 패터닝 한다. 제1절연막(112)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.
- [0084] 다음, 게이트전극(111a)과 대응되는 제1절연막(112) 상에 반도체층(113)과 오믹콘택층(114)을 형성한다. 반도체층(113)은 아몰포스 실리콘(a-Si), 폴리실리콘(poly-Si), 산화물(oxide)이나 유기물(organic) 등으로 선택된다. 오믹콘택층(114)은 반도체층(113)과 이후에 형성되는 소오스 및 드레인 전극(115a, 115b) 간의 접촉 저항을 줄이는 층으로서 이는 생략될 수도 있다.
- [0085] 다음, 제1절연막(112) 상에 제2금속층을 형성하고 반도체층(113) 또는 오믹콘택층(114) 상에 위치하는 소오스 및 드레인 전극(115a, 115b), 제1금속층(111b) 상에 위치하는 제2금속층(115c)으로 구분되어 상호 이격하도록 패터닝한다. 제1금속층(111b) 및 제2금속층(115c)은 전기적으로 연결되어 하부배선(WIRE)을 구성하게 된다. 여기서, 하부배선(WIRE)은 제1금속층(111b) 및 제2금속층(115c)에 의해 구성된 것을 일례로 하였다. 하지만, 하부배선(WIRE)은 제2금속층(115c)만으로도 구성될 수 있다.
- [0086] 소오스전극(115a), 드레인 전극(115b) 및 제2금속층(115c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 형성될 수 있다. 구동 트랜지스터(DT)는 하부기판(110a) 상에 형성된 게이트전극(111a), 반도체층(113), 오믹콘택층(114), 소오스전극(115a) 및 드레인전극(115b)을 포함한다. 한편, 트랜지스터부에는 도시된 하부배선(WIRE) 및 구동 트랜지스터(DT)뿐만 아니라 스캔배선, 데이터배선 및 커패시터 등과 같이 백색 유기 발

광다이오드(WOLED)를 제외한 구성이 포함된다.

- [0087] 다음, 제1절연막(112) 상에 소오스전극(115a), 드레인 전극(115b) 및 제2금속층(115c)을 덮도록 제2절연막(116)을 형성한다. 제2절연막(116)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.
- [0088] 다음, 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제2절연막(116) 상에 R컬러필터(117r)를 형성한다. 이때, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제2절연막 상에는 G컬러필터 및 B컬러필터를 형성한다. 반면, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제2절연막(116) 상에는 컬러필터를 형성하지 않는다.
- [0089] 다음, R컬러필터(117r) 및 제2절연막(116)을 덮도록 제3절연막(118)을 형성한다. 제3절연막(118)은 유기 절연막, 무기 절연막 또는 유무기 절연막 등으로 선택된다. 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제3절연막(118)의 제1높이(y1)는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 제2높이(y2)보다 낮게 형성된다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제3절연막(118)의 제1높이(y1)는 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막의 높이보다 낮게 형성된다. 그 이유는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 하부에 R컬러필터(117r)가 형성되어 있기 때문이다. 또한, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막(118)의 하부에 G컬러필터 및 B컬러필터가 형성되어 있기 때문이다. 즉, 백색 서브 픽셀에 포함된 제3절연막(118)은 적색, 녹색 및 청색 서브 픽셀에 포함된 제3절연막(118)보다 낮은 단차를 형성한다. 여기서, 제1 및 제2높이(y1, y2)는 소오스 및 드레인전극(115a, 115b)의 기저면으로부터 제3절연막(118)의 기저면까지의 수직거리이다. 여기서, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막의 높이는 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제3절연막(118)의 높이에 대응될 수 있다.
- [0090] 다음, 제3절연막(118) 상에 제4절연막(119)을 형성하고 드레인 전극(115b)의 일부를 노출하도록 패터닝 한다. 제4절연막(119)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x) 등으로 선택된다.
- [0091] 다음, 제4절연막(119) 상에 제1전극(121)을 형성한다. 제1전극(121)은 제4절연막(119)을 통해 노출된 드레인 전극(115b)과 전기적으로 연결된다. 제1전극(121)은 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)과 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)으로 구분된다. 제1전극(121)은 서브 픽셀들의 영역에 대응하여 분리되어 형성된다. 제1전극(121)은 애노드전극으로 선택된다. 이때, 제1전극(121)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide)나 그래핀(graphene) 등과 같은 투명도전막으로 선택된다.
- [0092] 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 비중첩하도록 이격되어 형성된다.
- [0093] 구체적으로 설명하면, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 5와 같이 뱅크층(122)과 이격하도록 형성된다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 6과 같이 뱅크층(122)과 접촉하도록 형성된다. 또한, 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)은 도 7과 같이 뱅크층(122)의 하부에 일부가 인입되도록 형성된다.
- [0094] 그러나, 제1전극(121)의 일측 말단은 하부배선(WIRE)의 일측 말단과 이격하는 비중첩영역(NOA)을 갖도록 이격되어 형성된다. 백색 서브 픽셀의 영역(SPw_A)에 위치하는 제1전극(121)이 위와 같은 구조로 형성되면, 제1전극(121)과 하부배선(WIRE) 간의 수직거리가 가깝더라도 이물(예컨대 파티클) 등에 의한 쇼트나 과전류 발생 확률을 줄일 수 있다.
- [0095] 이와 달리, 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)과 녹색 서브 픽셀의 영역 및 청색 서브 픽셀의 영역에 위치하는 제1전극은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 중첩하도록 형성된다.
- [0096] 구체적으로 설명하면, 적색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)과 녹색 서브 픽셀의 영역 및 청색 서브 픽셀의 영역에 위치하는 제1전극은 뱅크층(122)의 내부로 인입되어 제4절연막의 말단까지 형성된다. 적색, 녹색 및 청색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121)이 위와 같은 구조로 형성되면, 발광영역이 넓어진다. 그러나, 적색, 녹색 및 청색 서브 픽셀의 영역(SPr_A)에 위치하는 제1전극(121) 또한 하부배선(WIRE)과 비중첩하도록 형성될 수 있다.
- [0097] 다음, 제4절연막(119) 및 제1전극(121)의 일부 영역 상에 뱅크층(122)을 형성한다. 뱅크층(122)은 백색 서브 픽셀의 개구영역과 적색 서브 픽셀의 개구영역을 정의한다. 뱅크층(122)은 모든 서브 픽셀의 개구영역을 정의한다.

- [0098] 다음, 제1전극(121) 및 बैं크층(122) 상에 유기 발광층(123)을 형성한다. 유기 발광층(123)은 백색을 발광한다. 유기 발광층(123)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL)로 구성되거나 이들 중 하나 이상이 생략되도록 구성된다. 유기 발광층(123)은 정공과 전자의 이동 특성을 조절하는 기능층이나 층간의 계면 안정화를 도모하는 기능층 등이 더 포함될 수도 있다.
- [0099] 다음, 유기 발광층(123) 상에 제2전극(124)을 형성한다. 제2전극(124)은 모든 서브 픽셀 영역에 걸쳐 공통으로 연결되도록 전면전극 형태로 형성된다. 제2전극(124)은 캐소드전극으로 선택된다. 이때, 제2전극(124)은 일함수가 낮은 알루미늄(Al), 은(Ag), 마그네슘(Mg), 칼슘(Ca) 또는 이들의 합금 등으로 선택된다. 제2전극(124)은 저전위 하부배선에 연결된다. 이상의 구성으로 구동 트랜지스터(DT)를 포함하는 트랜지스터부 상에는 백색 유기 발광다이오드(WOLED)가 형성된다.
- [0100] 이하, 본 발명의 제2실시예에 대해 설명한다.
- [0101] <제2실시예>
- [0102] 도 15는 본 발명의 제2실시예에 따른 백색 서브 픽셀의 단면도이다.
- [0103] 도 15에 도시된 백색 서브 픽셀은 도 5 내지 도 7 대비 제3절연막(118)에 단차가 없는 구조이다. 구체적으로 설명하면, 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제3절연막(118)과 적색 서브 픽셀의 영역(SP_r_A)에 위치하는 제3절연막(118)의 높이는 유사하거나 동일하다. 또한, 녹색 및 청색 서브 픽셀의 영역에 위치하는 제3절연막(118)의 높이 또한 이들과 마찬가지로 동일하다.
- [0104] 본 발명의 제2실시예는 모든 서브 픽셀에 위치하는 제3절연막(118)의 높이가 유사하거나 동일하되, 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제1전극(121)은 도 15와 같이 बैं크층(122)과 이격하도록 형성된다. 또한, 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제1전극(121)은 बैं크층(122)과 접촉하도록 형성된다(도 6 참조). 또한, 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제1전극(121)은 बैं크층(122)의 하부에 일부가 인입되도록 형성된다(도 7 참조).
- [0105] 그러나, 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제1전극(121)의 일측 말단은 하부배선(WIRE)의 일측 말단과 이격하는 비중첩영역(NOA)을 갖도록 이격되어 형성된다. 백색 서브 픽셀의 영역(SP_w_A)에 위치하는 제1전극(121)이 위와 같은 구조로 형성되면, 제1전극(121)과 하부배선(WIRE) 간의 수직거리가 가깝더라도 이물(예컨대 파티클) 등에 의한 쇼트나 과전류 발생 확률을 줄일 수 있다.
- [0106] 이와 달리, 적색 서브 픽셀의 영역(SP_r_A)에 위치하는 제1전극(121)과 녹색 서브 픽셀의 영역 및 청색 서브 픽셀의 영역에 위치하는 제1전극은 제2 내지 제4절연막(116 ~ 119)의 하부에 위치하는 하부배선(WIRE)과 중첩하도록 형성된다.
- [0107] 이상 본 발명은 공정 중 유입된 이물 등에 의해 하부배선과 백색 서브 픽셀에 포함된 제1전극 간의 쇼트나 과전류 발생 확률을 저감하여 패널의 생산 수율을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.
- [0108] 위의 실시예에서는 백색 서브 픽셀의 제1전극(121)의 구조를 변경하는 방법으로 쇼트나 과전류 발생 확률을 저감하였다. 그러나, 쇼트나 과전류 발생 확률을 저감하는 방법은 하기와 같이 제1전극(121)과 접하는 제4절연막(119)의 구조를 변경하는 방법에 의해서도 달성할 수 있다.
- [0109] <제3실시예>
- [0110] 도 16은 본 발명의 제3실시예에 따른 서브 픽셀들의 평면도이고, 도 17은 도 16의 A1-A2 영역의 단면도이며, 도 18은 도 16의 B1-B2 영역의 단면도이다.
- [0111] 도 16 내지 도 18에 도시된 바와 같이, 녹색, 적색, 백색 및 청색 서브 픽셀(SP_g ~ SP_b)이 배치된다. 도면에서는 서브 픽셀들이 녹색, 적색, 백색 및 청색 서브 픽셀(SP_g ~ SP_b)로 배치된 것을 일례로 도시하였으나 이에 한정되지 않는다. 녹색, 적색, 백색 및 청색 서브 픽셀(SP_g ~ SP_b)의 구조는 제1실시예 또는 제2실시예의 구조가 적용될 수 있다. 하지만, 제3실시예에서는 본 발명이 적용되는 구조를 다양하게 설명하기 위해 하부배선의 구조를 다층이 아닌 단층을 이용한다.
- [0112] 제3실시예에서, 제4절연막(119)은 제3절연막(118)을 모두 덮는 비노출영역(NOPN)과 제3절연막(118)의 일부를 노출하는 노출영역(OPN)을 포함한다. 제4절연막(119)의 비노출영역(NOPN)은 백색 서브 픽셀(SP_w)과 인접한 하부배선의 위치에 대응되고, 제4절연막(119)의 노출영역(OPN)은 백색 서브 픽셀(SP_w)과 인접한 하부배선의 위치에 대

응된다.

- [0113] 도 16과 같이 백색 서브 픽셀(SPw)의 우측과 인접한 하부배선은 제2방향(y)으로 배선된 고전위 전원배선(EVDD)으로 선택될 수 있고, 백색 서브 픽셀(SPw)의 좌측과 인접한 하부배선은 제2방향(y)으로 배선된 데이터배선(DLi)으로 선택될 수 있다.
- [0114] 이 경우, 제4절연막(119)의 비노출영역(NOPN)은 백색 서브 픽셀(SPw)과 인접한 고전위 전원배선(EVDD)의 위치에 대응되고, 제4절연막(119)의 노출영역(OPN)은 백색 서브 픽셀(SPw)과 인접한 제i번째 데이터배선(DLi)의 위치에 대응된다.
- [0115] 그러나, 하부배선에 대한 정의는 제1실시예에서 설명한 바와 같이, 도 1 및 도 2에 도시된 고전위 전원배선(EVDD) 및 저전위 전원배선(EVSS)과 같은 전원배선은 물론 데이터배선들(DL1 ~ DLn) 및 스캔배선들(SL1 ~ SLm)과 같은 신호배선이 포함된다.
- [0116] 또한, 서브 픽셀에 보상회로가 포함된 경우 하부배선에는 보조전압을 전달하는 보조전원배선, 기준전압을 전달하는 기준전원배선 및 초기화전압을 전달하는 초기화전원배선 등이 더 포함된다. 그러므로, 하부배선은 앞서 나열된 배선 중 하나로 해석되어야 한다.
- [0117] 이하, 노출영역(OPN)과 비노출영역(NOPN)을 구분하여 제4절연막(119)을 포함하는 하부 구조를 설명한다.
- [0118] [노출영역: 도 17]
- [0119] 하부기관(110a) 상에는 제1절연막(112)이 형성된다. 제1절연막(112) 상에는 제2금속층(115c)이 형성된다. 제2금속층(115c)은 제i번째 데이터배선(DLi)이 된다. 제2금속층(115c) 상에는 제2절연막(116)이 형성된다. 제2절연막(116) 상에는 적색 서브 픽셀의 영역(SPr_A)에 포함된 R컬러필터(117r)가 형성된다. 제2절연막(116) 상에는 제3절연막(118)이 형성된다. 제3절연막(118)은 R컬러필터(117r)를 덮도록 형성된다. 제4절연막(119)은 제3절연막(118) 상에 형성된다. 제4절연막(119)은 제i번째 데이터배선(DLi)의 위치에 대응되는 제3절연막(118)의 일부를 노출하는 노출영역(OPN)을 갖는다.
- [0120] [비노출영역: 도 18]
- [0121] 하부기관(110a) 상에는 제1절연막(112)이 형성된다. 제1절연막(112) 상에는 제2금속층(115c)이 형성된다. 제2금속층(115c)은 제i번째 데이터배선(DLi)이 된다. 제2금속층(115c) 상에는 제2절연막(116)이 형성된다. 제2절연막(116) 상에는 적색 서브 픽셀의 영역(SPr_A)에 포함된 R컬러필터(117r)가 형성된다. 제2절연막(116) 상에는 제3절연막(118)이 형성된다. 제3절연막(118)은 R컬러필터(117r)를 덮도록 형성된다. 제4절연막(119)은 제3절연막(118) 상에 형성된다. 제4절연막(119)은 고 전위 전원배선(EVDD)의 위치에 대응되는 제3절연막(118)을 모두 덮는 비노출영역(NOPN)을 갖는다.
- [0122] 위와 같은 구조로 제4절연막(119)을 형성하는 이유는 다음과 같다.
- [0123] 제4절연막(119)은 유기 발광층에서 발생된 광을 이용하여 색을 표현할 때, 색 재현율을 높이기 위해 사용된다. 제4절연막(119)의 하부에는 위치하는 제3절연막(118)은 트랜지스터부(TFT)와 유기 발광다이오드(WOLED) 간의 겹을 유지하며 전기적으로 분리 및 절연시키는 역할 등을 한다.
- [0124] 제4절연막(119)의 하부에 위치하는 제3절연막(118)은 유기 절연막으로 선택될 수 있다. 유기 절연막으로 선택된 제3절연막(118)은 아웃 게싱(out gassing)을 유발한다.
- [0125] 아웃 게싱은 유기 발광층에 대한 열화나 수축 등을 유발시켜 서브 픽셀의 수명을 단축한다. 이러한 이유로 제4절연막(119)을 형성할 때에는 숨구멍이라고 하는 노출영역(OPN)을 형성한다. 숨구멍 역할을 수행하는 노출영역(OPN)을 통해 제3절연막(118)으로부터 발생된 가스는 배출된다.
- [0126] 제3실시예의 구조의 경우, 제4절연막(119)의 일부 영역에만 숨구멍 역할을 수행하는 노출영역(OPN)이 형성된다. 제4절연막(119)에 노출영역(OPN)을 형성할 때에는 드라이 에칭(Dry etch)가 사용되는데, 이때 발생된 정전기는 고전위 전원배선(EVDD)에 손상을 줄 수 있을 만큼의 표면 손상을 일으킨다.
- [0127] 이 때문에, 제3실시예에서는 데이터배선의 위치에 대응되는 영역만 노출영역(OPN)을 형성하고, 고전위 전원배선(EVDD)의 위치에 대응되는 영역은 노출영역(OPN)을 형성하지 않는다.
- [0128] 제3실시예의 구조의 경우, 고전위 전원배선(EVDD)과 대응되는 영역을 비노출하므로 고전위 전원배선(EVDD)과 제1전극(121) 간의 쇼트 또는 이후의 공정 진행시 제1전극(121)과 저전위 전원배선이 되는 제2전극(124) 간의 쇼

트로 전이되는 표면 손상이 유발되지 않는다.

- [0129] 또한 제3실시예의 구조의 경우, 제4절연막(119)이 고 전위 전원배선(EVDD)에 대응되는 영역에 위치하는 제3절연막(118)을 덮도록 그대로 내버려 둔다. 이에 따라, 고전위 전원배선(EVDD)과 저전위 전원배선이 되는 제2전극(124) 사이의 수직 거리가 증가하게 되므로 이물 등에 의한 쇼트 발생 확률이 낮아진다.
- [0130] 위와 같은 구조로 제4절연막(119)에 노출영역(OPN)과 비노출영역(OPN)을 구분하여 형성하는 이유는 백색 서브 픽셀(SPw)은 컬러필터가 미포함된 만큼 다른 서브 픽셀들(SPr ~ SPb) 대비 단차가 낮기 때문이다.
- [0131] 이러한 이유로 본 발명의 제3실시예에서는 백색 서브 픽셀(SPw)의 좌우측에 위치하는 고전위 전원배선(EVDD)과 제i번째 데이터배선(DLi)를 기준으로 설명하였다. 그러나, 이는 하나의 예시일뿐 적색, 녹색, 청색 및 백색 서브 픽셀(SPg ~ SPb)의 단차가 동일할 경우(도 15의 예), 적색, 녹색, 청색 서브 픽셀(SPr, SPg, SPb) 또한 이와 같은 구조를 가질 수 있다. 즉, 도 15에 도시된 제2실시예에도 제3실시예가 적용될 수 있다.
- [0132] 한편, 숨구멍 역할을 수행하는 노출영역(OPN)의 크기는 제3절연막(118)의 두께, 제4절연막(119)의 두께 또는 서브 픽셀의 개구영역의 크기 등을 기반으로 산출될 수 있다. 예컨대, 제4절연막(119)의 노출영역(OPN)은 백색 서브 픽셀(SPw)의 개구영역을 정의하는 수직길이(OPw_y)보다 작게 형성된다.
- [0133] 도 19는 도 16에 도시된 서브 픽셀들의 제1변형 예시도이고, 도 20은 도 16에 도시된 서브 픽셀들의 제2변형 예시도이다.
- [0134] 도 19에 도시된 바와 같이, 제1변형 예시도에 따르면 숨구멍 역할을 수행하는 노출영역(OPN)의 크기는 백색 서브 픽셀(SPw)의 개구영역을 정의하는 수직길이(OPw_y)에 대응하여 형성된다.
- [0135] 도 20에 도시된 바와 같이, 제2변형 예시도에 따르면 숨구멍 역할을 수행하는 노출영역(OPN)은 N(N은 1 이상 정수)개로 형성된다.
- [0136] 이하, 본 발명의 제3실시예에 따른 유기전계발광표시장치의 제조방법을 설명한다.
- [0137] 본 발명의 제3실시예에 따른 유기전계발광표시장치의 제조방법은 제4절연막(119)에 노출영역(OPN)과 비노출영역(NOPN)을 형성하는 공정을 제외하고 제1실시예에 따른 유기전계발광표시장치의 제조방법과 동일 또는 유사하다. 따라서, 하부기관(110a) 상에 제3절연막(118)까지 형성하는 공정은 제1실시예를 참고하고, 이하의 설명은 도 16 내지 도 20을 참고한다.
- [0138] 제3절연막(118) 상에 제4절연막(119)을 형성하고 제3절연막(118)을 모두 덮는 비노출영역(NOPN)과 제3절연막(118)의 일부를 노출하는 노출영역(OPN)을 정의하고 노출영역(OPN)에 대해 드라이 엷치(Dry etch)를 수행하여 제4절연막(119)을 제거한다.
- [0139] 예컨대, 백색 서브 픽셀(SPw)의 우측과 인접한 하부배선은 제2방향(y)으로 배선된 고전위 전원배선(EVDD)으로 선택될 수 있고, 백색 서브 픽셀(SPw)의 좌측과 인접한 하부배선은 제2방향(y)으로 배선된 데이터배선(DLi)으로 선택될 수 있다.
- [0140] 이 경우, 제4절연막(119)의 비노출영역(NOPN)은 백색 서브 픽셀(SPw)과 인접한 고전위 전원배선(EVDD)의 위치에 대응되고, 제4절연막(119)의 노출영역(OPN)은 백색 서브 픽셀(SPw)과 인접한 제i번째 데이터배선(DLi)의 위치에 대응된다.
- [0141] 따라서, 제i번째 데이터배선(DLi)의 위치에 대응되는 제4절연막(119)을 드라이 엷치(Dry etch)하여 노출영역(OPN)을 형성한다.
- [0142] 다음, 제4절연막(119) 상에 제1전극(121), बैं크층(122), 유기 발광층(123) 및 제2전극(124)을 형성한다. 제1전극(121), बैं크층(122), 유기 발광층(123) 및 제2전극(124)을 형성하는 공정은 제1실시예를 참고한다.
- [0143] 이상 본 발명은 공정 중 유입된 이물 등에 의해 하부배선과 백색 서브 픽셀에 포함된 제1전극 간의 쇼트나 과전류 발생 확률을 저감함은 물론 숨구멍 형성시 하부배선의 손상이나 고전위 전원배선과 저전위 전원배선 간의 수직거리 감소에 따른 쇼트 발생 확률을 낮춰 패널의 생산 수율을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.
- [0144] 한편, 본 발명은 앞서 설명된 제1 내지 제3실시예는 각기 단독으로 구현되거나 제1 내지 제3실시예가 적절하게 혼합되어 구현될 수 있다. 일례로, 본 발명은 제1실시예에서 설명된 제1전극의 구조와 제3실시예에서 설명된 제4절연막의 구조가 동시에 적용된 구조로 구현될 수 있다. 다른 예로, 본 발명은 제2실시예에서 설명된 제1전극

의 구조와 제3실시예에서 설명된 제4절연막의 구조가 동시에 적용된 구조로 구현될 수 있다.

[0145]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

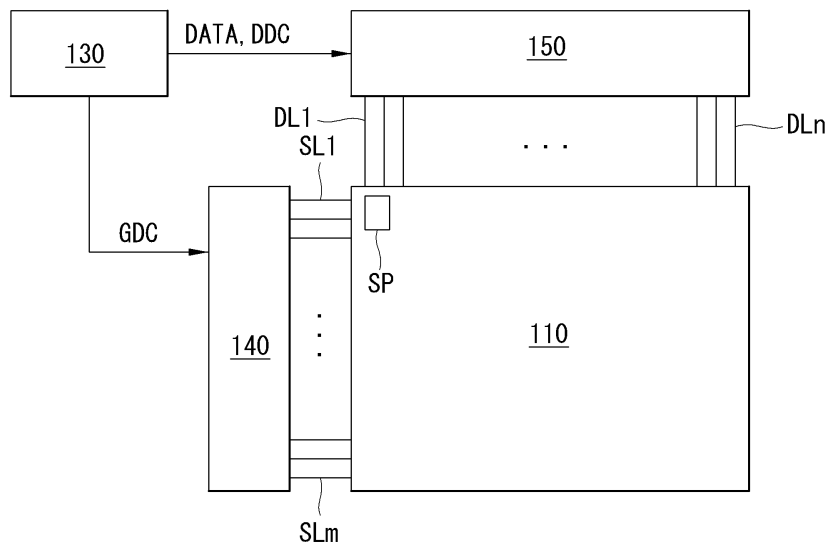
부호의 설명

[0146]

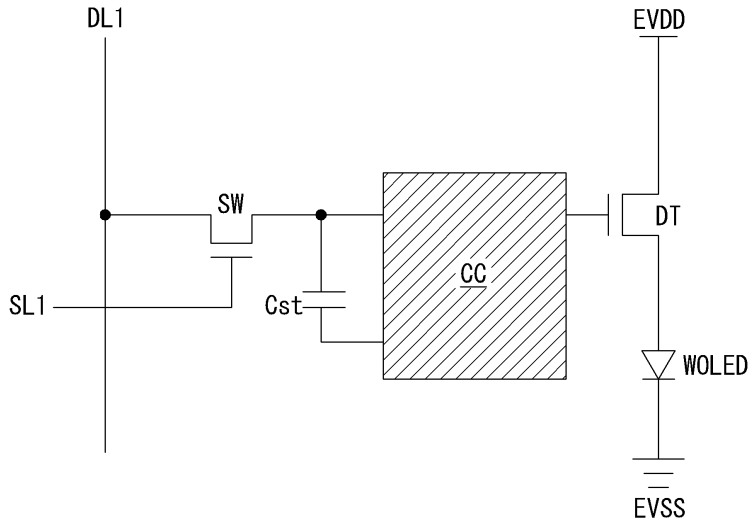
- | | |
|---------------|-------------------|
| 130: 타이밍제어부 | 150: 데이터구동부 |
| 140: 스캔구동부 | 110: 패널 |
| 117r: R컬러필터 | 118: 제3절연막 |
| 121: 제1전극 | 122: 뱅크층 |
| SPw: 백색 서브 픽셀 | SPr: 적색 서브 픽셀 |
| WIRE: 하부배선 | PT: 파티클 |
| DT: 구동 트랜지스터 | WOLED: 백색 발광 다이오드 |
| OPN: 노출영역 | NOPN: 비노출영역 |

도면

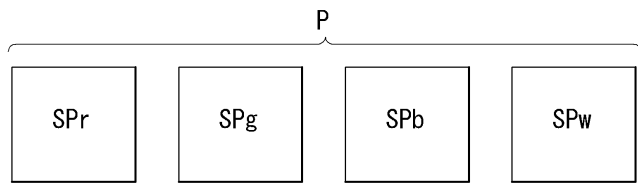
도면1



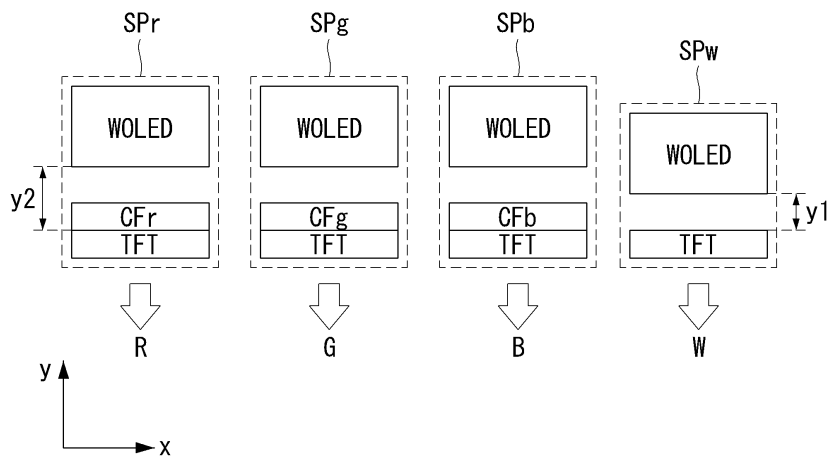
도면2



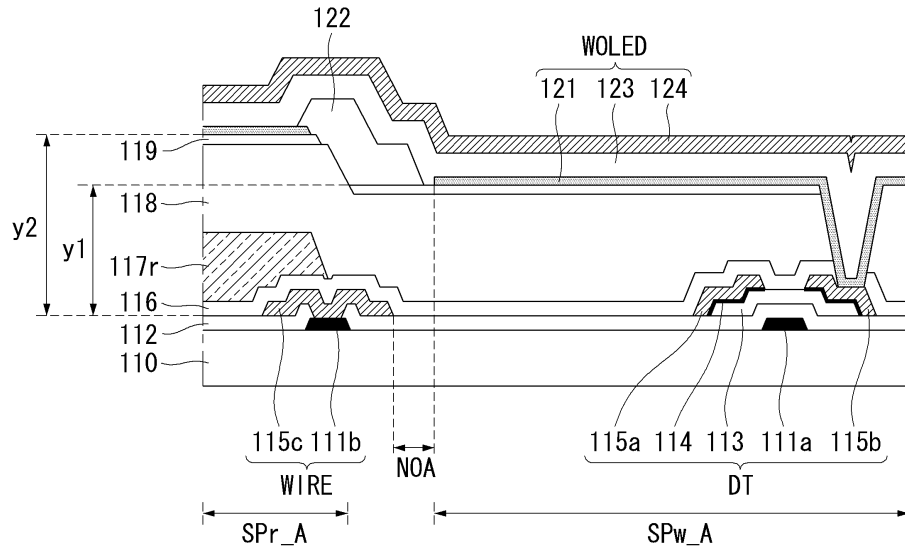
도면3



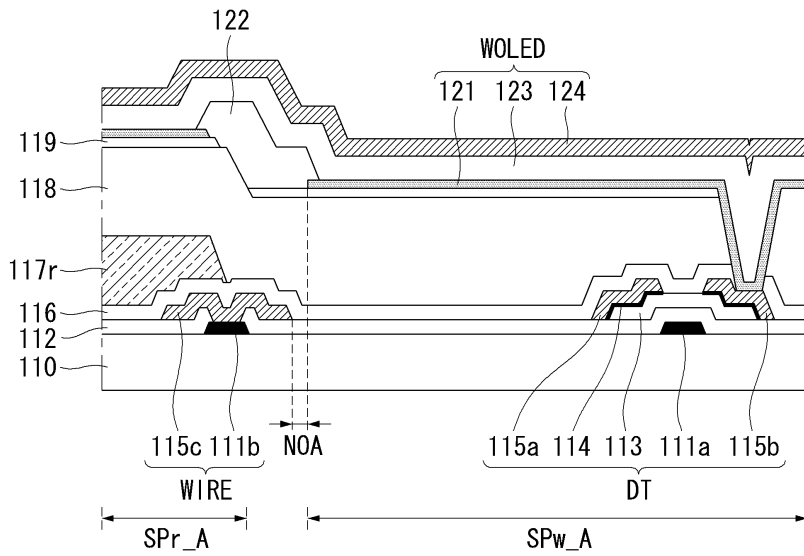
도면4



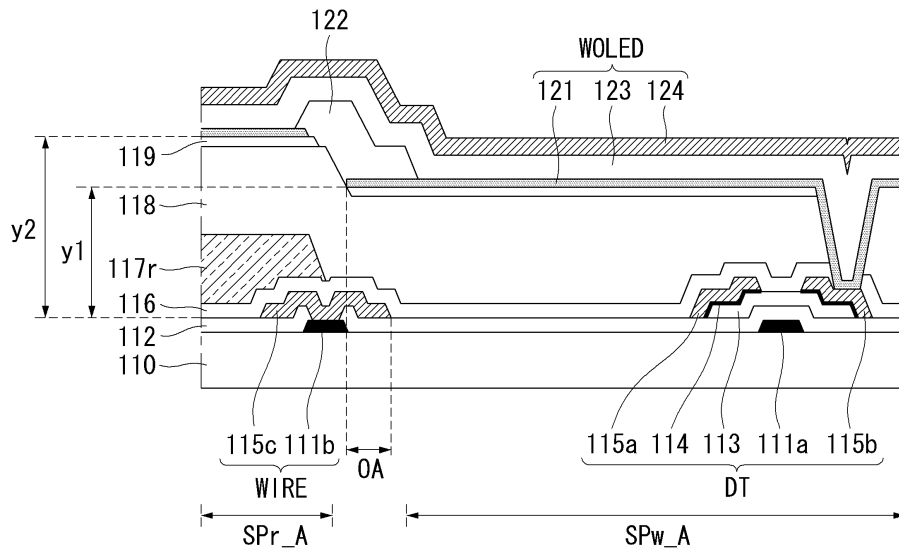
도면5



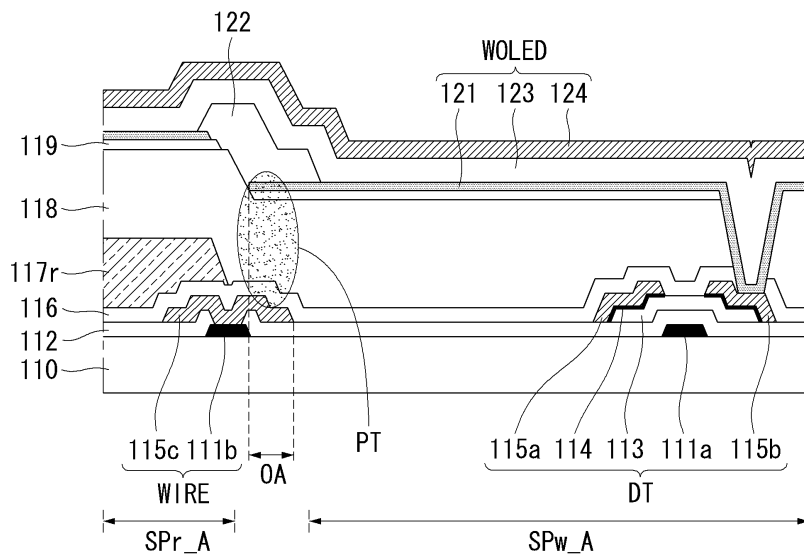
도면6



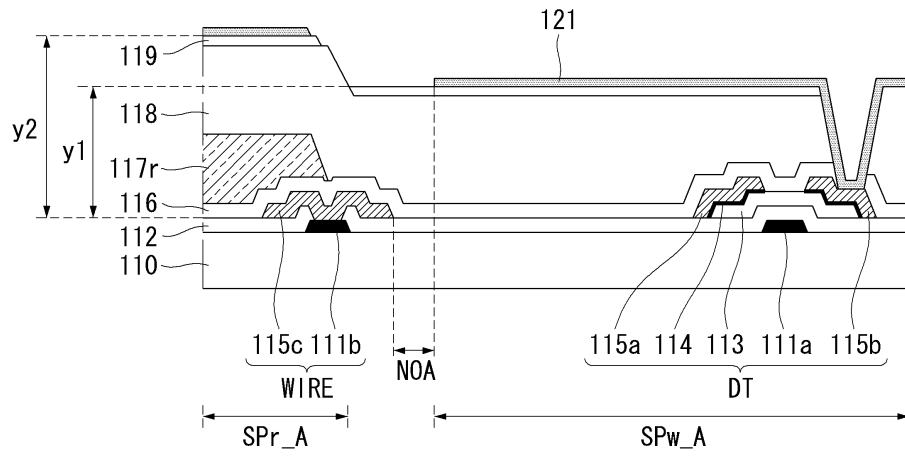
도면9



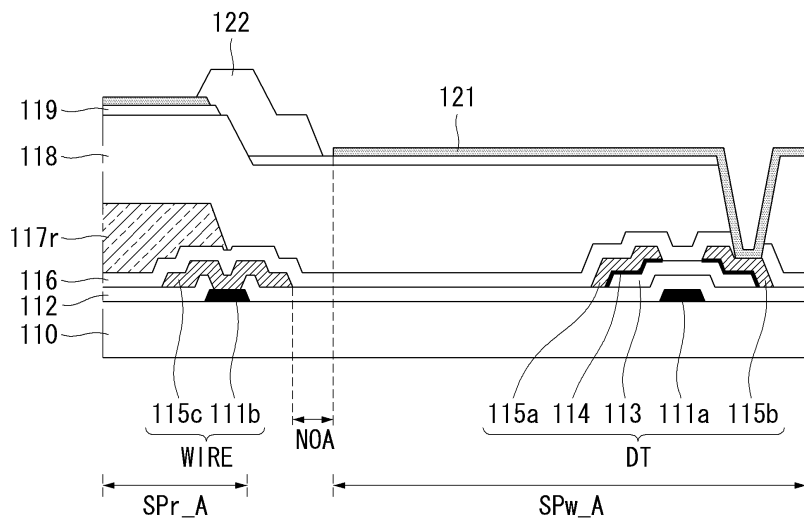
도면10



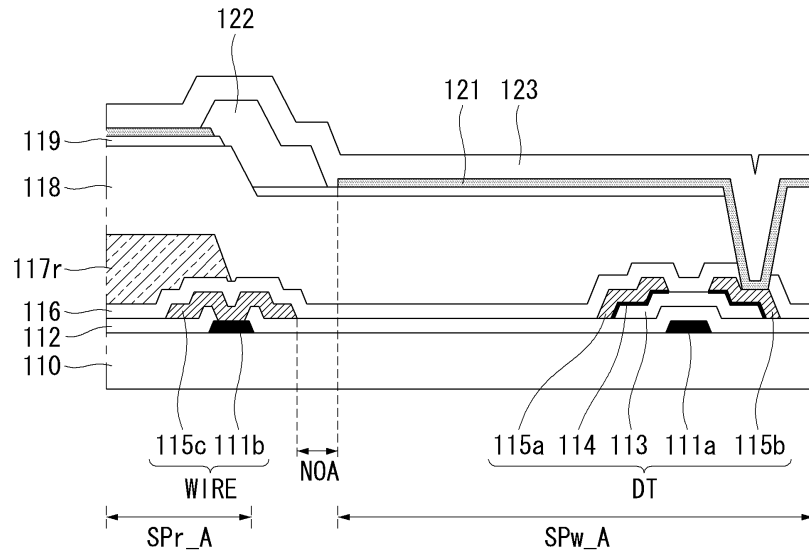
도면11



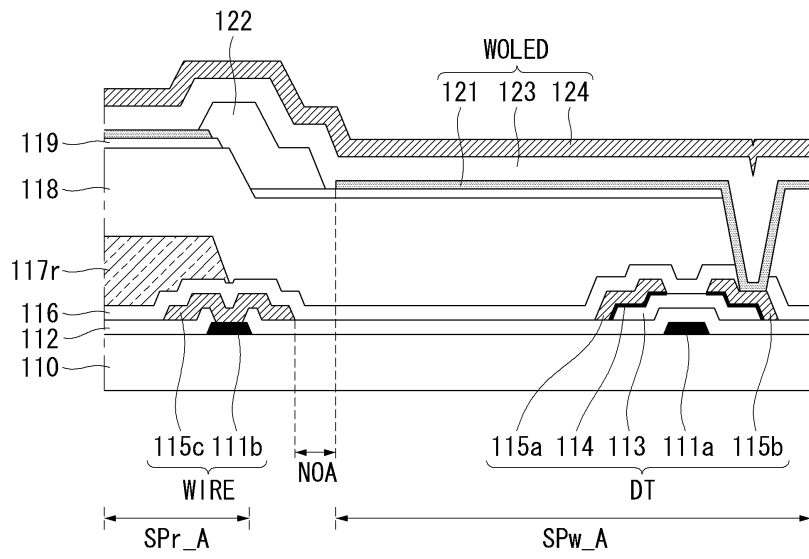
도면12



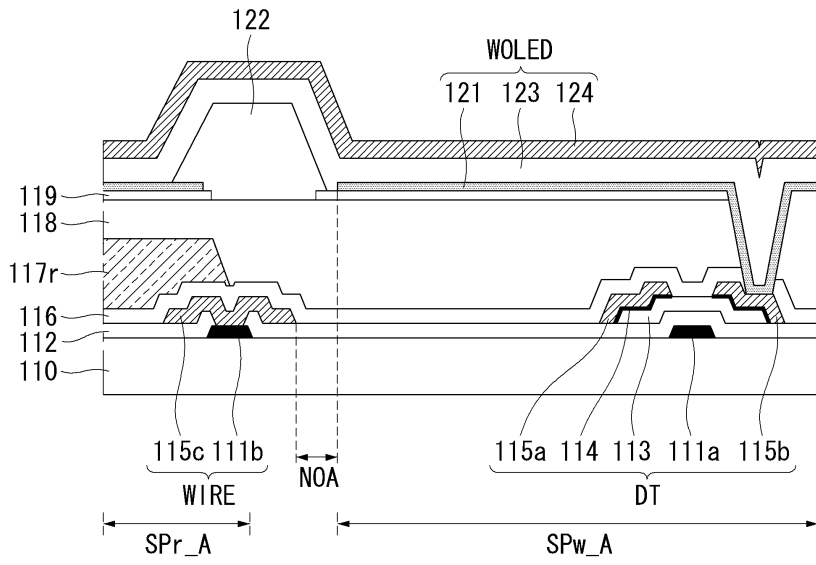
도면13



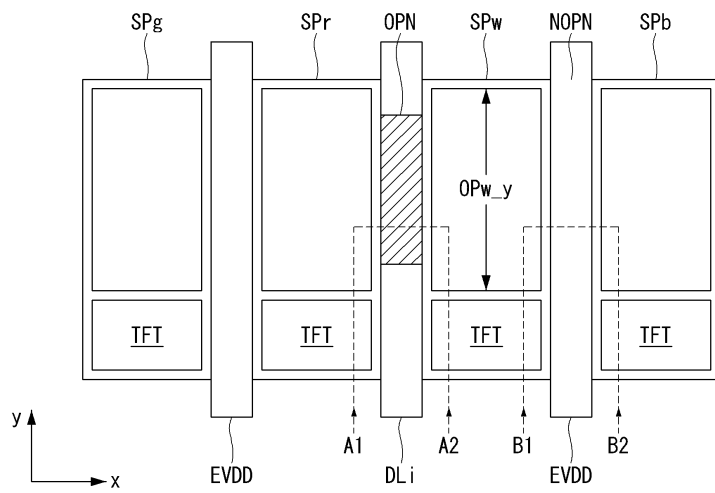
도면14



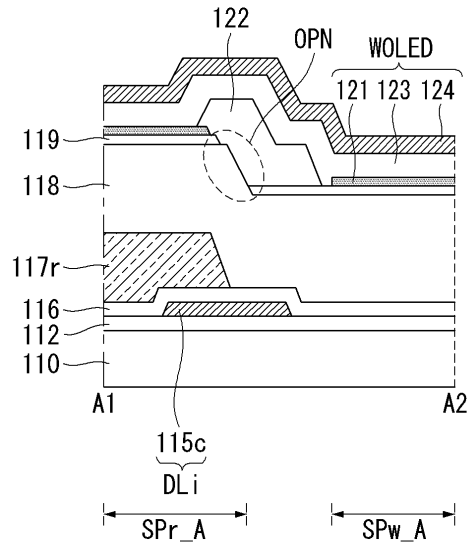
도면15



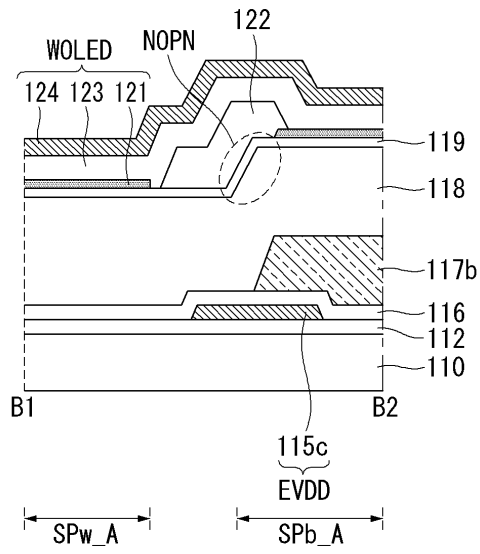
도면16



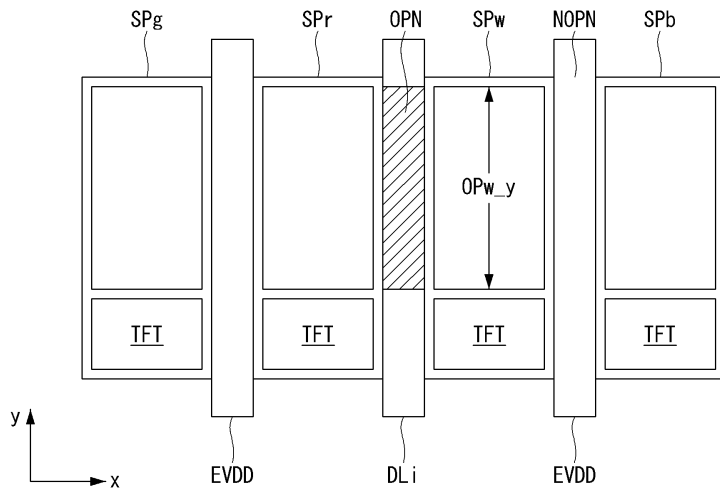
도면17



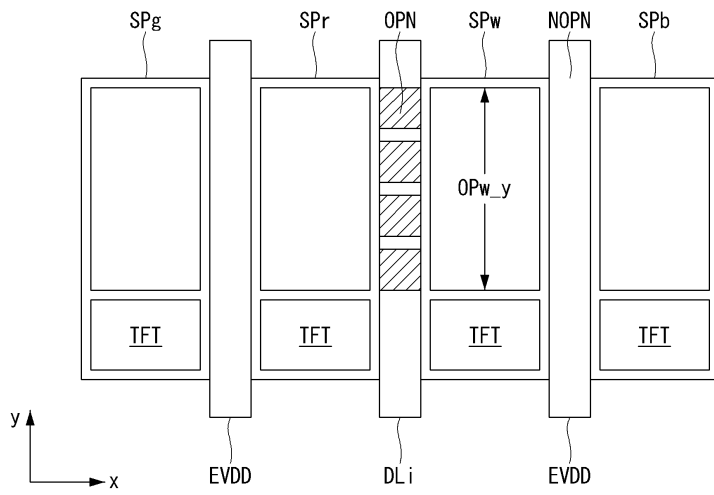
도면18



도면19



도면20



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：有机电致发光显示装置及其制造方法 | | |
| 公开(公告)号 | KR101503122B1 | 公开(公告)日 | 2015-03-18 |
| 申请号 | KR1020120131456 | 申请日 | 2012-11-20 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | PARK IN CHEOL 박인철 HONG SUNG JIN 홍성진 YUN SOON IL 윤순일 LEE DONG HO 이동호 LEE YOUNG HEE 이영희 | | |
| 发明人 | 박인철 홍성진 윤순일 이동호 이영희 | | |
| IPC分类号 | H01L51/50 H05B33/10 | | |
| CPC分类号 | H01L27/3213 H01L27/3216 H01L27/322 H01L27/3246 H01L27/3258 H01L27/326 H01L27/3276 H01L51/0001 H01L2251/5392 | | |
| 优先权 | 1020120107268 2012-09-26 KR | | |
| 其他公开文献 | KR1020140040598A | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机发光显示装置具有下基板，下基板上的下层线，以及红色，绿色和蓝色子像素，每个子像素在下基板上具有晶体管部分和有机LED (WOLED)。白色子像素具有主电极，该主电极与下面的导线不重叠并且与下面的导线间隔开。白色子像素中的主电极的长度不同于红色，绿色和蓝色子像素的主电极的长度。白色子像素具有比红色，绿色和蓝色子像素更小的发光面积。包括用于制造有机发光显示装置的方法的独立权利要求。

