



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월02일  
(11) 등록번호 10-2129036  
(24) 등록일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01) H01L 27/32 (2006.01)  
(52) CPC특허분류  
H01L 27/124 (2013.01)  
H01L 27/3258 (2013.01)  
(21) 출원번호 10-2020-0035805(분할)  
(22) 출원일자 2020년03월24일  
심사청구일자 2020년03월24일  
(65) 공개번호 10-2020-0035251  
(43) 공개일자 2020년04월02일  
(62) 원출원 특허 10-2019-0045635  
원출원일자 2019년04월18일  
심사청구일자 2019년04월18일  
(56) 선행기술조사문헌  
KR1020060114459 A\*  
(뒷면에 계속)

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
전무경  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 19 항

심사관 : 윤난영

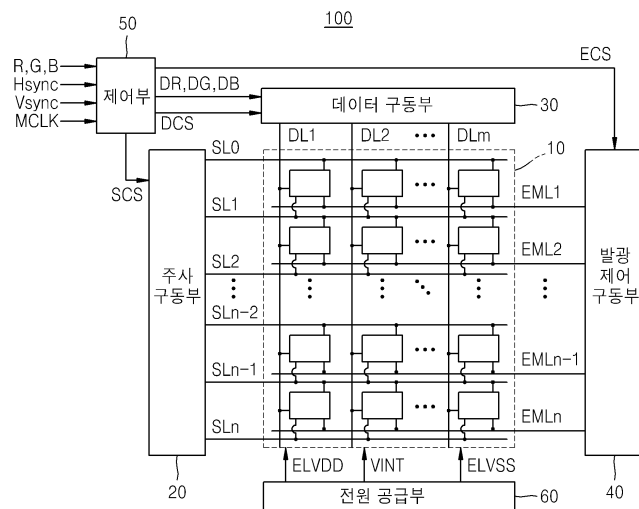
(54) 발명의 명칭 박막 트랜지스터 어레이 기관 및 이를 포함하는 표시 장치

(57) 요약

본 발명은 박막 트랜지스터 어레이 기관 및 이를 포함하는 표시 장치를 개시한다.

본 발명의 박막 트랜지스터 어레이 기관은, 반도체층을 덮는 제1절연층; 상기 제1절연층 상의 복수의 제1배선들을 덮는 제2절연층; 상기 제2절연층 상의 복수의 제2배선들을 덮는 제3절연층; 상기 제3절연층 상에 배치되고, 상기 반도체층과 접촉하는 커버 메탈; 상기 커버 메탈 상의 보호층; 상기 보호층 상에 배치되고, 상기 커버 메탈과 접촉하는 애노드 전극; 및 상기 제1배선들과 동일층에 배치된 제1전극 및 상기 제2배선들과 동일층에 배치된 제2전극을 포함하는 커패시터;를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3262* (2013.01)

*H01L 27/3279* (2013.01)

(56) 선행기술조사문헌

KR100911993 B1\*

KR1020110006812 A

KR1020070104779 A

US20070013077 A1

US20120299028 A1

KR1020110036378 A\*

KR1020120061009 A\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체층;

제1방향으로 연장된 제1배선;

상기 제1방향으로 연장된 제2배선;

상기 제1방향과 다른 제2방향으로 연장된 제3배선;

상기 반도체층과 상기 제1배선 사이의 제1절연층;

상기 제1배선과 상기 제2배선 사이의 제2절연층;

상기 제2배선과 상기 제3배선 사이의 제3절연층;

상기 제3배선 상의 보호층;

상기 보호층 상에 배치된 애노드 전극; 및

상기 제1배선, 상기 제2배선 및 상기 제3배선과 연결된 복수의 박막트랜지스터들 및 커패시터;를 포함하고,

상기 커패시터는 상기 제1배선과 동일층에 배치된 제1전극 및 상기 제2배선과 동일층에 배치된 제2전극을 포함하는, 박막 트랜지스터 어레이 기판.

#### 청구항 2

제1항에 있어서,

상기 제3절연층과 상기 제3배선 사이의 제4절연층;을 더 포함하는 박막 트랜지스터 어레이 기판.

#### 청구항 3

제1항에 있어서,

상기 제3배선이 상기 커패시터와 중첩하는, 박막 트랜지스터 어레이 기판.

#### 청구항 4

제1항에 있어서,

상기 제3배선은 구동 전압선인, 박막 트랜지스터 어레이 기판.

#### 청구항 5

제4항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 구동 전압선 및 발광소자 사이에 연결되고, 상기 반도체층의 일부인 제1반도체층과 상기 제2배선과 동일층의 게이트전극을 포함하는 제1박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

#### 청구항 6

제5항에 있어서,

상기 커패시터의 제1전극은 상기 제1박막트랜지스터의 게이트전극에 연결되고,

상기 커패시터의 제2전극은 상기 구동 전압선에 연결된, 박막 트랜지스터 어레이 기판.

#### 청구항 7

제5항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 반도체층의 일부인 제2반도체층과, 상기 제2배선과 동일층에 배치된 게이트전극을 포함하고, 상기 제2반도체층이 데이터선 및 상기 제1박막트랜지스터의 제1반도체층에 연결된 제2박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 8**

제5항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 반도체층의 일부인 제3반도체층과, 상기 제2배선과 동일층에 배치된 게이트전극을 포함하고, 상기 제3반도체층이 상기 제1박막트랜지스터의 제1반도체층 및 상기 제1박막트랜지스터의 게이트전극에 연결된 제3박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 9**

제5항에 있어서,

상기 제2배선은 초기화 전압선인, 박막 트랜지스터 어레이 기판.

**청구항 10**

제5항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 반도체층의 일부인 제5반도체층과, 상기 제1배선과 동일층에 배치된 게이트전극을 포함하고, 상기 제5반도체층이 상기 구동 전압선 및 상기 제1박막트랜지스터의 제1반도체층에 연결된 제5박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 11**

제5항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 반도체층의 일부인 제6반도체층과, 상기 제1배선과 동일층에 배치된 게이트전극을 포함하고, 상기 제6반도체층이 상기 제1박막트랜지스터의 제1반도체층 및 상기 발광소자에 연결된 제6박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 12**

제1항에 있어서,

상기 제1배선은 주사선 또는 발광 제어선인, 박막 트랜지스터 어레이 기판.

**청구항 13**

제1항에 있어서,

상기 제1배선에 연결된 게이트전극과, 상기 반도체층의 일부를 소스전극 및 드레인전극으로 갖는 박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 14**

제1항에 있어서,

상기 제2배선은 주사선 또는 초기화 전압선인, 박막 트랜지스터 어레이 기판.

**청구항 15**

제1항에 있어서,

상기 제2배선에 연결된 게이트전극과, 상기 반도체층의 일부를 소스전극 및 드레인전극으로 갖는 박막트랜지스터;를 포함하는 박막 트랜지스터 어레이 기판.

**청구항 16**

제9항에 있어서, 상기 복수의 박막트랜지스터들은,

상기 반도체층의 일부인 제4반도체층과, 상기 제1배선들과 동일층에 배치된 게이트전극을 포함하고, 상기 제4반도체층이 상기 초기화 전압선 및 상기 제1박막트랜지스터의 게이트전극에 연결된 제4박막트랜지스터;를 포함하는, 박막 트랜지스터 어레이 기판.

**청구항 17**

제1항에 있어서,

상기 제2배선과 제3배선 사이의 층에 배치된 커버메탈;을 더 포함하고,

상기 커버메탈은 상기 복수의 박막트랜지스터들 중 하나와 상기 애노드 전극에 연결된, 박막 트랜지스터 어레이 기판.

**청구항 18**

제2항에 있어서,

상기 제3절연층과 상기 보호층 사이에 배치된 커버메탈;을 더 포함하는 박막 트랜지스터 어레이 기판.

**청구항 19**

제1항에 있어서,

상기 제3배선과 동일층에 배치된 데이터선;을 더 포함하는 박막 트랜지스터 어레이 기판.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터 어레이 기판 및 이를 포함하는 표시 장치에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판 상에 위치하며 일 방향으로 연장된 게이트 배선들, 게이트 배선들과 교차하는 방향으로 연장된 데이터 배선들, 게이트 배선들 및 데이터 배선들 각각에 연결된 화소 회로 및 화소 회로와 연결된 유기 발광 소자를 포함한다. 최근 고해상도의 디스플레이를 추구함에 따라 화소 회로를 배치할 공간이 협소해지고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 저저항 신호 배선과 발광 소자와 연결되는 커버 메탈의 형성 단계를 분리하여 커버 메탈의 사이즈를 줄임으로써 고해상도에 최적인 표시 장치를 제공하고자 한다.

**과제의 해결 수단**

[0006] 본 발명의 바람직한 일 실시예에 따른 박막 트랜지스터 어레이 기판은, 반도체층을 덮는 제1절연층; 상기 제1절연층 상에 형성된 복수의 제1 게이트 배선을 덮는 제2절연층; 상기 제2절연층 상에 형성된 복수의 제2 게이트 배선을 덮는 제3절연층; 상기 제3절연층 상에 형성되고, 상기 제1절연층 내지 제3절연층을 관통하는 컨택홀을 통해 상기 반도체층과 접촉하는 커버 메탈; 상기 커버 메탈을 덮는 제4절연층; 상기 제4절연층 상에 형성된 보호층; 및 상기 보호층 상에 형성되고, 상기 보호층, 상기 제4절연층 및 상기 컨택홀을 관통하는 비아홀을 통해

상기 커버 메탈과 접촉하는 애노드 전극;을 포함할 수 있다.

- [0007] 상기 커버 메탈은 적어도 폴리브덴을 포함하고, 상기 커버 메탈의 적어도 한 면은 상기 비아홀의 대응하는 면과 일치하거나 작을 수 있다.
- [0008] 상기 기판은, 상기 제1 게이트 배선의 형성 물질과 동일 물질로 동일층에 형성된 커패시터 제1전극과, 상기 제2 게이트 배선의 형성 물질과 동일 물질로 동일층에 형성된 커패시터 제2전극을 포함하는 커패시터; 및 상기 제4 절연층 상부에 상기 커패시터의 제2전극과 중첩 배치되고, 상기 커패시터와 상기 제3절연층 및 상기 제4절연층에 의해 이격된 복수의 제2 신호 배선들;을 더 포함할 수 있다.
- [0009] 상기 복수의 제2 신호 배선들은 적어도 알루미늄을 포함할 수 있다.
- [0010] 상기 복수의 제2 신호 배선들은 데이터선 및 구동 전압선을 포함하고, 상기 구동 전압선은 상기 제3절연층 및 상기 제4절연층을 관통하는 컨택홀을 통해 상기 커패시터 제2전극과 연결될 수 있다.
- [0011] 상기 제1 게이트 배선들은 제2 주사선 및 발광 제어선을 포함하고, 상기 제2 게이트 배선들은 제1 주사선 및 초기화 전압선을 포함할 수 있다.
- [0012] 본 발명의 바람직한 일 실시예에 따른 표시 장치는, 반도체층 상에 차례로 적층된 제1절연층 내지 제4절연층; 상기 제1절연층과 제2절연층 사이에 형성된 복수의 제1 게이트 배선들과, 상기 제2절연층과 제3절연층 사이에 형성된 복수의 제2 게이트 배선들을 포함하는 복수의 제1 신호 배선들; 상기 제4절연층 상에 형성된 복수의 제2 신호 배선들; 상기 복수의 제1 및 제2 신호 배선들과 연결된 하나 이상의 박막 트랜지스터 및 커패시터; 상기 제3절연층과 상기 제4절연층 사이에, 상기 제1절연층 내지 제3절연층을 관통하는 컨택홀을 통해 상기 반도체층과 접촉하는 커버 메탈; 및 상기 제4절연층 상의 보호층 상에 형성되고, 상기 보호층, 상기 제4절연층을 관통하는 비아홀을 통해 상기 커버 메탈과 접촉하는 애노드 전극과, 상기 애노드 전극에 대향하는 캐소드 전극과, 상기 애노드 전극과 상기 캐소드 전극 사이의 발광층을 포함하는 발광 소자;를 포함할 수 있다.

**발명의 효과**

- [0013] 본 발명은 저저항 신호 배선과 커버 메탈을 다른 물질로 다른 층에서 형성함으로써, 커버 메탈의 사이즈를 줄여 고해상도에 최적인 표시 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0014] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다.
- 도 4는 도 3에 도시된 각 신호선을 나타낸 단면도이다.
- 도 5는 도 3에 도시된 화소 회로 및 유기 발광 소자를 나타낸 단면도이다.
- 도 6은 도 3의 A-A' 선을 자른 단면도이다.
- 도 7은 본 발명의 일 실시예에 따른 비아홀과 커버 메탈의 사이즈의 예를 개략적으로 나타낸 도면이다.
- 도 8은 도 6의 비교예에 따른 표시 장치의 화소에서 대응 영역을 개략적으로 도시한 도면이다.
- 도 9는 도 3의 B-B' 선을 자른 단면도이다.
- 도 10은 도 9의 비교예에 따른 표시 장치의 화소에서 대응 영역을 개략적으로 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0016] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

- [0017] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0018] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0019] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 블록도이다.
- [0021] 본 발명의 일 실시예에 의한 표시 장치(100)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 제어부(50), 표시장치에 외부 전압을 공급하는 전원 공급부(60)를 포함한다.
- [0022] 표시부(10)는 복수의 주사선(SL0 내지 SLn), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EML1 내지 EMLn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소를 포함한다. 복수의 화소는 전원 공급부(60)로부터 제1 전원전압(ELVDD), 제2 전원전압(ELVSS), 초기화 전압(VINT) 등 외부 전압을 공급받는다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 상기 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.
- [0023] 각 화소는 표시부(10)에 전달되는 복수의 주사선(SL0 내지 SLn) 중 두 개의 주사선에 연결되어 있다. 도 1에서 화소는 해당 화소 라인에 대응하는 주사선과 그 이전 라인의 주사선에 연결되어 있으나, 이에 반드시 제한되는 것은 아니다.
- [0024] 또한 각 화소는 표시부(10)에 전달되는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 표시부(10)에 전달되는 복수의 발광 제어선(EML1 내지 EMLn) 중 하나의 발광 제어선에 연결되어 있다.
- [0025] 주사 구동부(20)는 복수의 주사선(SL0 내지 SLn)을 통해 각 화소에 두 개의 대응하는 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 각 화소가 포함되는 화소 라인에 대응하는 주사선을 통해 제1 주사 신호를 전달하고, 해당 화소 라인의 이전 화소 라인에 대응하는 주사선을 통해 제2 주사 신호를 전달한다. 예를 들어, 주사 구동부(20)는 n번째 화소 라인의 m번째 열에 배치된 화소에 n번째 주사선(SLn)을 통해 제1 주사 신호(Sn)를 전달하고, n-1번째 주사선(SLn-1)을 통해 제2 주사 신호(Sn-1)를 전달한다.
- [0026] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호(D1 내지 Dm)를 전달한다.
- [0027] 발광 제어 구동부(40)는 복수의 발광 제어선(EML1 내지 EMLn)을 통해 각 화소에 발광 제어 신호(EM1 내지 EMn)를 생성하여 전달한다.
- [0028] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(R,G,B)를 복수의 영상 데이터 신호(DR,DG,DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.
- [0029] 복수의 화소 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호(D0 내지 Dm)에 따라 유기 발광 소자(OLED)로 공급되는 구동 전류(Ioled)에 의해 소정 휘도의 빛을 발광한다.
- [0030] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다. 도 2에 도시된 화소(1)는 n번째 화소 라인에 포함된 복수의 화소 중 하나로서, n번째 화소 라인에 대응하는 주사선(SLn)과 n번째 화소 라인 이전의 n-1번째 화소 라인에 대응하는 주사선(SLn-1)에 각각 연결되어 있다.
- [0031] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T6) 및 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로

(2)를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.

- [0032] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0033] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(24), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(14), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EMn)를 전달하는 발광 제어선(34), 제1 주사선(24)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 제1 전원전압(ELVDD)을 전달하며 데이터선(16)과 거의 평행하게 형성되어 있는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(20)을 포함한다.
- [0034] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(Cst1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.
- [0035] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(24)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(24)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0036] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선(24)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(24)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0037] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(14)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 제1 전극(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(14)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0038] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(34)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0039] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(34)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받은 발광 제어 신호(EMn)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.
- [0040] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 구동 전압선(26)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및,

초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.

- [0041] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.
- [0042] 도 3은 본 발명의 일 실시예에 따른 도 2의 화소를 나타낸 개략적인 평면도이다. 도 4는 도 3에 도시된 각 신호선을 나타낸 단면도이다.
- [0043] 도 3 및 도 4에 도시한 바와 같이, 본 발명의 일 실시예에 따른 표시 장치의 화소(1)는 제1 주사 신호(Sn), 제2 주사 신호(Sn-1), 발광 제어 신호(EMn) 및 초기화 전압(VINT)을 각각 인가하며 행 방향을 따라 형성되어 있는 제1 주사선(24), 제2 주사선(14), 발광 제어선(34) 및 초기화 전압선(20)을 포함하고, 제1 주사선(24), 제2 주사선(14), 발광 제어선(34) 및 초기화 전압선(20) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 제1 전원전압(ELVDD)을 각각 인가하는 데이터선(16) 및 구동 전압선(26)을 포함한다.
- [0044] 제2 주사선(14)과 발광 제어선(34)은 제1 게이트 배선(GL1)에 포함되고, 초기화 전압선(20)과 제1 주사선(24)은 제2 게이트 배선(GL2)에 포함된다. 제1 게이트 배선(GL1)과 제2 게이트 배선(GL2)은 제2 절연층(GI2)을 사이에 두고 서로 다른 층에 위치함으로써, 서로 다른 층에 위치하는 이웃하는 게이트 배선들 간의 거리를 좁게 형성할 수 있기 때문에, 동일한 면적에 보다 많은 화소를 형성할 수 있다. 즉, 고해상도의 표시 장치를 형성할 수 있다.
- [0045] 데이터선(16) 및 구동 전압선(26)은 제3 절연층(ILD) 및 제4 절연층(ILD2)을 사이에 두고 제2 게이트 배선들(GL2) 상에 위치하는 제2 신호 배선들이다. 제2 신호 배선들은 제1 게이트 배선(GL1)과 제2 게이트 배선(GL2)을 포함하는 제1 신호 배선들과 서로 교차한다. 제2 신호 배선들은 저저항 배선으로 형성한다.
- [0046] 또한, 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 표시 장치의 화소(1)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5), 제2 발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst), 그리고 유기 발광 소자(OLED)가 형성되어 있다.
- [0047] 구동 박막 트랜지스터(T1)는 구동 반도체층(A1), 구동 게이트 전극(G1), 구동 소스 전극(S1) 및 구동 드레인 전극(D1)을 포함한다. 구동 소스 전극(S1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 소스 영역에 해당하고, 구동 드레인 전극(D1)은 구동 반도체층(A1)에서 불순물이 도핑된 구동 드레인 영역에 해당한다. 구동 게이트 전극(G1)은 컨택홀(42 내지 45)을 통해 연결 부재(40)에 의해 스토리지 커패시터의 제1전극(Cst), 보상 박막 트랜지스터(T3)의 드레인 전극, 및 초기화 박막 트랜지스터(T4)의 드레인 전극과 연결된다.
- [0048] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(A2), 스위칭 게이트 전극(G2), 스위칭 소스 전극(S2) 및 스위칭 드레인 전극(D2)을 포함한다. 스위칭 소스 전극(S2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 소스 영역에 해당하고, 스위칭 드레인 전극(D2)은 스위칭 반도체층(A2)에서 불순물이 도핑된 스위칭 드레인 영역(D2)에 해당한다. 스위칭 소스 전극(S2)은 컨택홀(49)을 통해 데이터선(16)과 연결된다. 스위칭 드레인 전극(D2)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 스위칭 게이트 전극(G2)은 제1 주사선(24)에 연결되어 있다.
- [0049] 보상 박막 트랜지스터(T3)는 보상 반도체층(A3), 보상 게이트 전극(G3), 보상 소스 전극(S3) 및 보상 드레인 전극(D3)을 포함한다. 보상 소스 전극(S3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(D3)은 보상 반도체층(A3)에서 불순물이 도핑된 보상 드레인 영역에 해당한다. 보상 드레인 전극(D3)은 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.
- [0050] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(A4), 초기화 게이트 전극(G4), 초기화 소스 전극(S4) 및 초기화 드레인 전극(D4)을 포함한다. 초기화 소스 전극(S4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 소스 영역에 해당하고, 초기화 드레인 전극(D4)은 초기화 반도체층(A4)에서 불순물이 도핑된 초기화 드레인 영역(D4)에 해당한다. 초기화 소스 전극(S4)은 컨택홀(41)을 통해 초기화 전압선(20)과 연결될 수 있다.
- [0051] 제1 발광 제어 박막 트랜지스터(T5)는 제1 발광 제어 반도체층(A5), 제1 발광 제어 게이트 전극(G5), 제1 발광 제어 소스 전극(S5) 및 제1 발광 제어 드레인 전극(D5)을 포함한다. 제1 발광 제어 소스 전극(S5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 소스 영역에 해당하고, 제1 발광 제어 드레인 전극(D5)은 제1 발광 제어 반도체층(A5)에서 불순물이 도핑된 제1 발광 제어 드레인 영역에 해당한다. 제1 발광 제어 소스 전극(S5)은 컨택홀(48)을 통해 구동 전압선(20)과 연결될 수 있다.

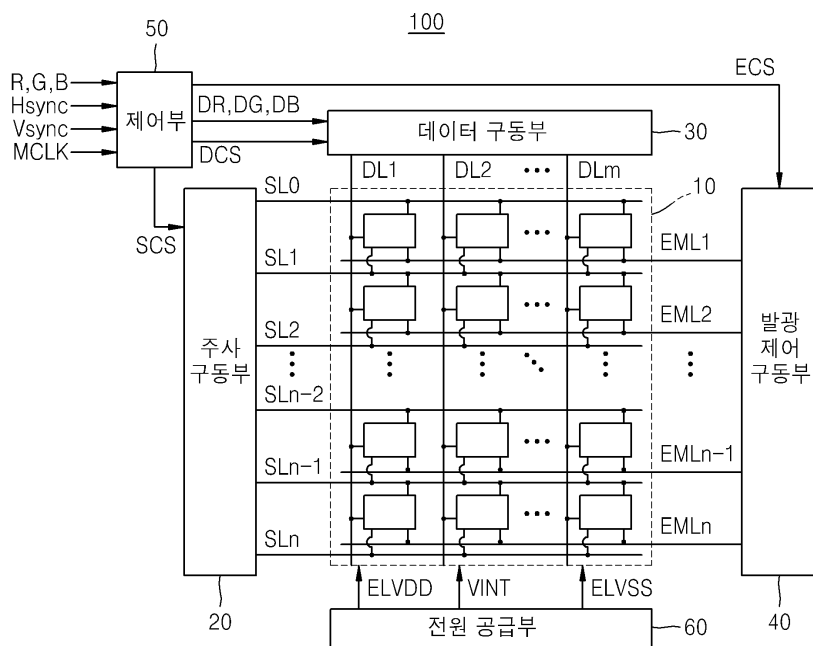
- [0052] 제2 발광 제어 박막 트랜지스터(T6)는 제2 발광 제어 반도체층(A6), 제2 발광 제어 게이트 전극(G6), 제2 발광 제어 소스 전극(S6) 및 제2 발광 제어 드레인 전극(D6)을 포함한다. 제2 발광 제어 소스 전극(S6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 소스 영역에 해당하고, 제2 발광 제어 드레인 전극(D6)은 제2 발광 제어 반도체층(A6)에서 불순물이 도핑된 발광 제어 드레인 영역에 해당한다. 제2 발광 제어 드레인 전극(D6)은 컨택홀(45)과 연결된 커버 메탈(CM)과 커버 메탈(CM)과 연결된 비아홀(VIA)을 통해 유기 발광 소자(OLED)의 애노드 전극(AE)과 연결된다.
- [0053] 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 연결 부재(40)에 의해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3), 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(D4), 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 함께 연결되어 있다. 연결 부재(40)는 데이터선(16)과 동일한 층에 형성되어 있다.
- [0054] 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 컨택홀(47a, 47b)을 통해 구동 전압선(26)과 연결되어, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0055] 도 5는 도 3에 도시된 화소 회로 및 유기 발광 소자를 나타낸 단면도이다. 도 6은 도 3의 A-A' 선을 자른 단면도이고, 도 9는 도 3의 B-B' 선을 자른 단면도이다.
- [0056] 도 5를 참조하면, 기판(101) 상부에 버퍼층(111)이 형성된다.
- [0057] 버퍼층(111) 상부에 구동 박막 트랜지스터(T1)의 구동 반도체층(A1), 스위칭 박막 트랜지스터(T2)의 스위칭 반도체층(A2), 보상 박막 트랜지스터(T3)의 보상 반도체층(A3), 초기화 박막 트랜지스터(T4)의 초기화 반도체층(A4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 반도체층(A5) 및 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 반도체층(A6)이 패턴링에 의해 형성된다. 반도체층(A1 내지 A6)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다.
- [0058] 반도체층(A1 내지 A6) 상부에 제1 절연층(GI1)이 기판(101) 전면에 적층된다. 제1 절연층(GI1)은 게이트 절연막으로 기능한다. 제1 절연층(GI1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0059] 제1 절연층(GI1) 상부에 초기화 박막 트랜지스터(T4)의 초기화 게이트 전극(G4), 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 게이트 전극(G5), 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 게이트 전극(G6)이 형성된다. 또한 스토리지 커패시터(Cst)의 제1 전극(Cst1)이 형성된다. 초기화 게이트 전극(G4), 제1 발광 제어 게이트 전극(G5), 제2 발광 제어 게이트 전극(G6), 스토리지 커패시터(Cst)의 제1 전극(Cst1)은 제1 게이트 배선(GL1) 물질로 형성된다. 제1 게이트 배선(GL1) 물질은 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.
- [0060] 초기화 게이트 전극(G4), 제1 발광 제어 게이트 전극(G5), 제2 발광 제어 게이트 전극(G6), 스토리지 커패시터(Cst)의 제1 전극(Cst1) 상부에 제2 절연층(GI2)이 기판(101) 전면에 적층된다. 제2 절연층(GI2)은 게이트 절연막으로 기능한다. 제2 절연층(GI2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0061] 제2 절연층(GI2) 상부에 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1), 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(G2), 보상 박막 트랜지스터(T3)의 보상 게이트 전극(G3)이 형성된다. 또한, 스토리지 커패시터(Cst)의 제2 전극(Cst2)이 형성된다. 구동 게이트 전극(G1), 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 스토리지 커패시터(Cst)의 제2 전극(Cst2)은 제2 게이트 배선(GL2) 물질로 형성된다. 제2 게이트 배선(GL2) 물질 또한 제1 게이트 배선(GL1) 물질과 유사하게 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.
- [0062] 구동 게이트 전극(G1), 스위칭 게이트 전극(G2), 보상 게이트 전극(G3), 스토리지 커패시터(Cst)의 제2 전극(Cst2) 상부에 제3 절연층(ILD1)이 기판(101) 전면에 적층된다. 제3 절연층(ILD1)은 층간 절연막으로서 기능한다.
- [0063] 제2 발광 제어 박막 트랜지스터(T6) 영역의 제3 절연층(ILD1) 상부에는, 제1 절연층(GI1), 제2 절연층(GI2), 제3 절연층(ILD1)을 관통하는 컨택홀(45)을 통해 커버 메탈(CM)이 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 반도체층(A6)과 연결된다.

- [0064] 도 6을 참조하면, 커버 메탈(CM)은 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 반도체층(A6)의 드레인 영역, 즉 제2 발광 제어 드레인 전극(D6)의 일부(AL)와 컨택홀(45)을 통해 접촉한다. 커버 메탈(CM)은 적어도 몰리브덴(Mo)을 포함하는 물질로 형성한다. 커버 메탈(CM) 상부에는 제4 절연층(ILD2)이 기판(101) 전면에 적층된다. 제4 절연층(ILD2)은 층간 절연막으로서 기능한다.
- [0065] 도 8은 도 6의 비교예에 따른 표시 장치의 화소에서 대응 영역을 개략적으로 도시한 도면이다. 도 8에 도시된 화소에서는, 제1 절연층(GI1), 제2 절연층(GI2), 제3 절연층(ILD1)이 커버 메탈(CM') 하부에 적층되고, 커버 메탈(CM')은 제3 절연층(ILD) 상부에 구동 전압선(26) 및 데이터선(16)과 동시에 동일 물질로 형성된다. 구동 전압선(26) 및 데이터선(16)은 저저항 신호 배선으로, 예를 들어, 알루미늄(A1)을 포함하는 Ti/A1/Ti의 3층 구조로 형성될 수 있다. 커버 메탈(CM') 상부에는 보호막(PL)이 형성되고, 커버 메탈(CM')은 보호막(PL)을 관통하는 비아홀(VIA)을 통해 애노드 전극(AE)과 접촉한다. 애노드 전극(AE)은 ITO와 같은 투명 도전 물질로 형성된다. 이런 경우, 커버 메탈(CM')과 애노드 전극(AE) 간의 접촉 저항 감소를 위해 커버 메탈(CM')을 저저항 금속으로 형성할 필요가 있다. 이에 따라 구동 전압선(26) 및 데이터선(16)을 형성할 때 동일층에 동일 물질로 커버 메탈(CM')을 형성한다. 또한, 알루미늄(A1)의 사이드 노출에 의한 부식 방지를 위해 커버 메탈(CM')은 비아홀(VIA)보다 충분히 넓게 형성되어야 한다. 그러나, 커버 메탈(CM')의 사이즈 증가는 고해상도 구현에 제약 사항이 된다.
- [0066] 반면, 도 6에 도시된 바와 같이, 본 발명의 실시예는 커버 메탈(CM)의 형성 단계를 구동 전압선(26) 및 데이터선(16)의 형성 단계와 분리한다. 이에 따라 커버 메탈(CM)의 형성 물질과 구동 전압선(26) 및 데이터선(16)의 형성 물질을 다르게 적용할 수 있다. 본 발명의 실시예에서는 커버 메탈(CM)은 제3 절연층(ILD1) 상부에 적어도 몰리브덴(Mo)을 포함하는 금속 물질로 형성하고, 커버 메탈(CM) 상부의 제4 절연층(ILD2) 상부에 Ti/A1/Ti과 같이 적어도 알루미늄(A1)을 포함하는 금속 물질로 구동 전압선(26) 및 데이터선(16)을 형성한다. 따라서, 커버 메탈(CM)을 비아홀(VIA)보다 충분히 넓게 형성할 필요가 없다.
- [0067] 도 7은 본 발명의 일 실시예에 따른 비아홀과 커버 메탈의 사이즈의 예를 개략적으로 나타낸 도면이다. 도 7을 참조하면, 커버 메탈(CM)을 몰리브덴(Mo)을 포함하는 금속 물질로 형성함으로써, 비아홀(VIA)에 커버 메탈(CM)의 사이드 노출이 가능하다. 따라서, 커버 메탈(CM)의 사이즈는 비아홀(VIA)과 적어도 한 면이 일치하거나 작게 형성할 수 있다. 도 7의 예에서는 커버 메탈(CM)의 사이즈가 비아홀(VIA)과 거의 일치하는 예를 도시하고 있으며, 비아홀(VIA)보다 작은 사이즈를 갖도록 형성할 수도 있다. 즉, 도 8에 도시된 비교예에 비해, 본 발명의 실시예에서는 커버 메탈(CM)의 사이즈를 줄일 수 있다. 또한 몰리브덴(Mo)과 ITO 간의 접촉 저항은 Ti/A1/Ti와 ITO 간의 접촉 저항보다 작아 접촉 면적을 줄일 수 있다. 이로 인해 본 발명의 실시예에서는 고해상도에 최적화된 화소를 구성할 수 있다.
- [0068] 제4 절연층(ILD2) 상부에는 구동 전압선(26), 연결 배선(40), 및 데이터 선(16)이 서로 이격되어 형성되어 있다. 구동 전압선(26)은 제3 절연층(ILD1)과 제4 절연층(ILD2)을 관통하는 컨택홀(47a, 47b)을 통해 스토리지 커패시터(Cst)의 제2 전극(Cst2)과 연결되고, 제1 절연층 내지 제4 절연층(GI1, GI2, ILD1, ILD2)을 관통하는 컨택홀(48)을 통해 제1 발광 제어 박막 트랜지스터(T5)의 제1 발광 제어 소스 전극(S5)과 연결되어, 각각에 제1 전원전압(ELVDD)을 공급한다. 연결 배선(40)의 일단은 제1 절연층 내지 제4 절연층(GI1, GI2, ILD1, ILD2)을 관통하는 컨택홀(42)을 통해 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(D4)과 연결되고, 타단은 제3 절연층(ILD1)과 제4 절연층(ILD2)을 관통하는 컨택홀(45)을 통해 구동 박막 트랜지스터(T1)의 구동 게이트 전극(G1)과 연결된다. 그리고, 연결 배선(40)의 중앙부는 제2 절연층(GI2), 제3 절연층(ILD1), 제4 절연층(ILD2)을 관통하는 컨택홀(43)을 통해 스토리지 커패시터(Cst)의 제1 전극(Cst1), 제1 절연층 내지 제4 절연층(GI1, GI2, ILD1, ILD2)을 관통하는 컨택홀(44)을 통해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(D3)과 연결된다. 데이터 선(16)은 제1 절연층 내지 제4 절연층(GI1, GI2, ILD1, ILD2)을 관통하는 컨택홀(49)을 통해 스위칭 트랜지스터(T2)의 스위칭 소스 전극(S2)과 연결되어, 데이터 신호(Dm)를 공급한다. 구동 전압선(26) 및 데이터 선(16)을 포함하는 제2 신호 배선의 형성 물질은 알루미늄(A1), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다. 연결 배선(40)은 제2 신호 배선 형성시 동일층에 동일물질로 형성될 수 있다.
- [0069] 도 9를 참조하면, 스토리지 커패시터(Cst)는 제1 게이트 배선(GL1) 형성 물질로 제1 절연층(GI1) 상에 형성된 제1 전극(Cst1)과 제2 게이트 배선(GL2) 형성 물질로 제2 절연층(GI2) 상에 형성된 제2 전극(Cst2)을 포함한다. 제4 절연층(ILD2) 상부에는 평행하게 배열된 데이터 선(16) 및 구동 전압선(26)이 스토리지 커패시터(Cst)와 중첩하여 배치된다. 제2 전극(Cst2)은 제3 절연층(ILD1)과 제4 절연층(ILD2)을 관통하는 컨택홀(47a)을 통해 구동 전압선(26)과 연결된다.

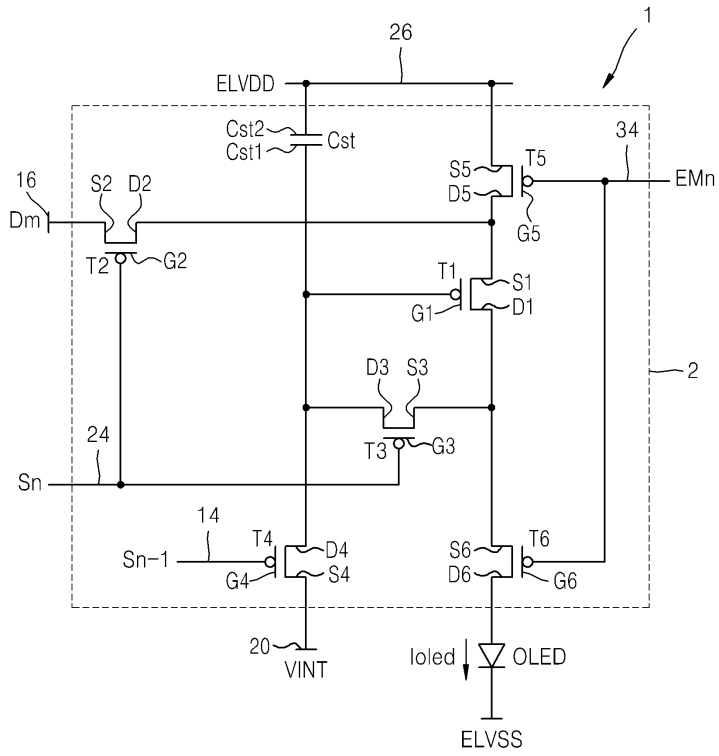
- [0070] 도 10은 도 9의 비교예에 따른 표시 장치의 화소에서 대응 영역을 개략적으로 도시한 도면이다. 도 10에 도시된 화소에서는, 스토리지 커패시터(Cst)는 제1 게이트 배선(GL1) 형성 물질로 제1 절연층(GI1) 상에 형성된 제1 전극(Cst1)과 제2 게이트 배선(GL2) 형성 물질로 제2 절연층(GI2) 상에 형성된 제2 전극(Cst2)을 포함한다. 제2 전극(Cst2) 상부의 제3 절연층(ILD1) 상부에는 평행하게 배열된 데이터 선(16) 및 구동 전압선(26)이 중첩하여 배치된다. 제2 전극(Cst2)은 제3 절연층(ILD1)을 관통하는 콘택홀(47a)을 통해 구동 전압선(26)과 연결된다.
- [0071] 도 10의 비교예에서는 스토리지 커패시터(Cst)와 데이터 선(16) 및 구동 전압선(26)과의 사이에 제3절연층(ILD1), 즉 한 층의 절연층이 배치된 반면, 본 발명의 실시예에서는 스토리지 커패시터(Cst)와 데이터 선(16) 및 구동 전압선(26)과의 사이에 제3 절연층(ILD1)과 제4 절연층(ILD2), 즉 두 층의 절연층이 배치된다. 따라서, 본원발명의 실시예에서는 절연층의 증가로 중첩된 배선들 간의 커패시턴스를 줄일 수 있다.
- [0072] 구동 전압선(26), 연결 배선(40), 및 데이터 선(16) 상부에는 보호막(PL)이 배치되고, 보호막(PL) 상부에는 보호막(PL), 제4절연층(ILD2) 및 콘택홀(46)을 관통하는 비아홀(VIA)을 통해 애노드 전극(AE)이 커버 메탈(CM)과 연결된다. 애노드 전극(AE)은 ITO, IZO, ZnO, In<sub>2</sub>O<sub>3</sub>, IGO, 및 AZO를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 투명 도전층으로 형성할 수 있다.
- [0073] 애노드 전극(AE) 상부에는 애노드 전극(AE)의 일부를 노출하는 개구를 갖는 화소정의막(PDL)이 형성되고, 개구 내에는 복수의 기능층을 포함하는 발광층(EL)이 형성되고, 발광층(EL) 상부에 캐소드 전극(CE)이 기관(101) 전면에 형성될 수 있다. 화소정의막(PDL)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 유기물 또는 실리카 계열의 무기물 등으로 만들 수 있다.
- [0074] 전술한 실시예에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 1개의 커패시터(capacitor)를 구비하는 6Tr-1Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다.
- [0075] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

**도면**

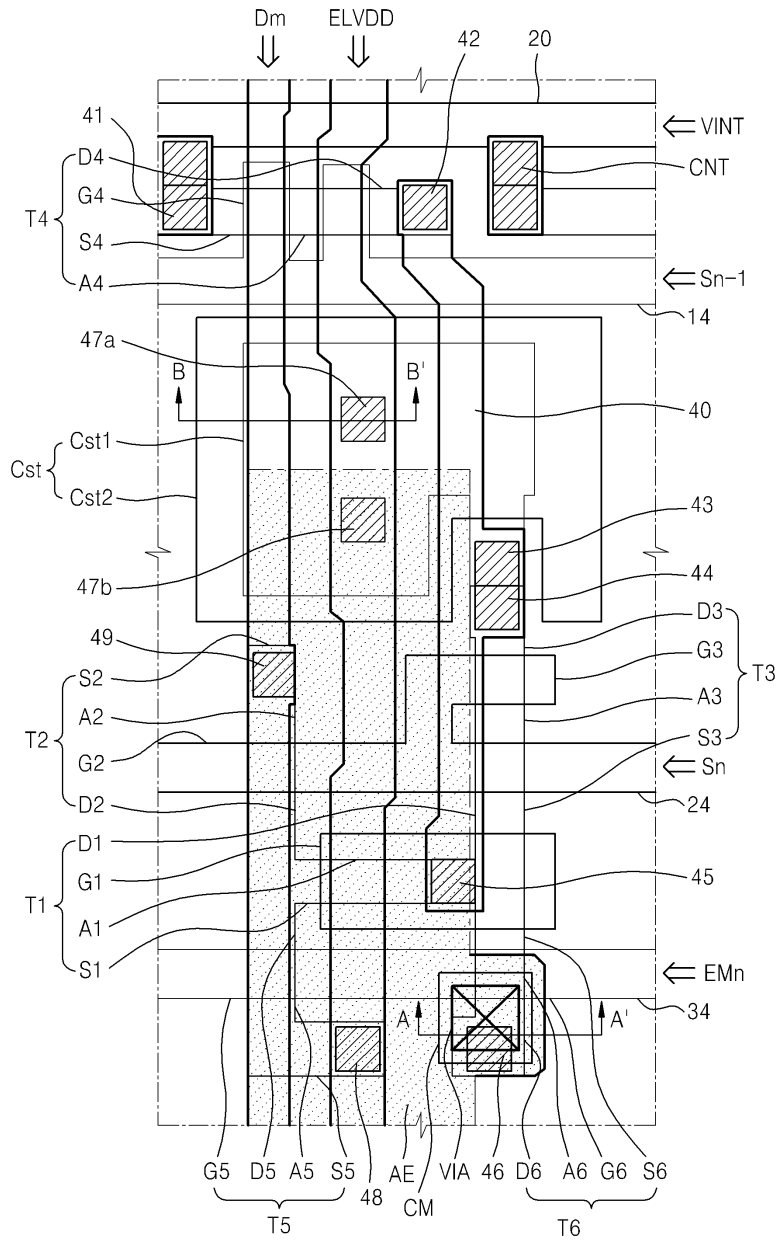
**도면1**



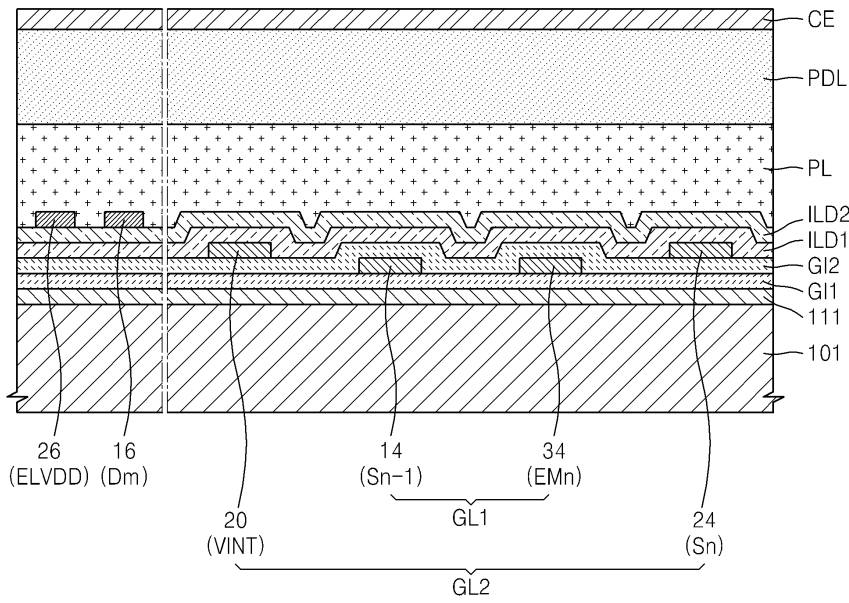
도면2



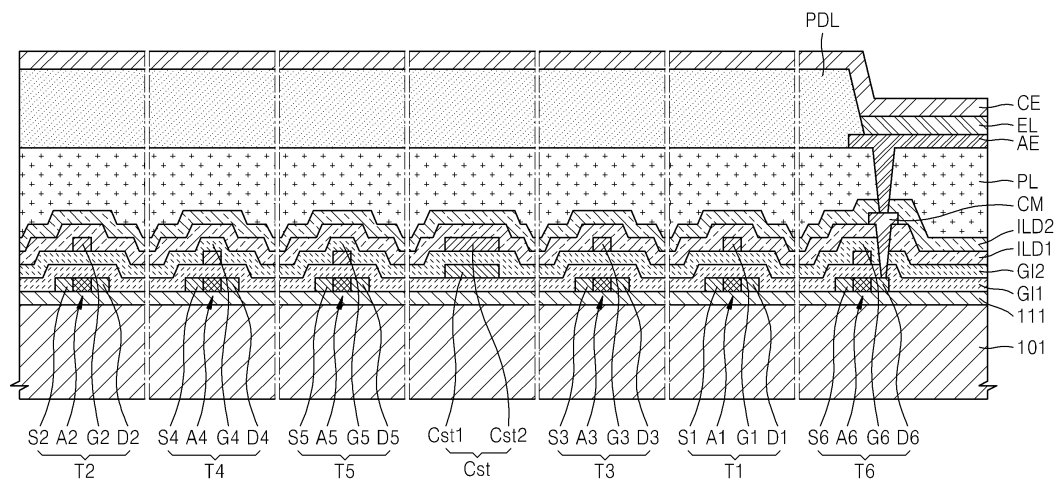
도면3



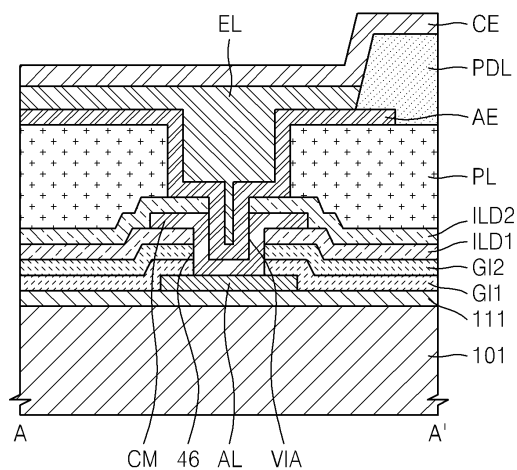
도면4



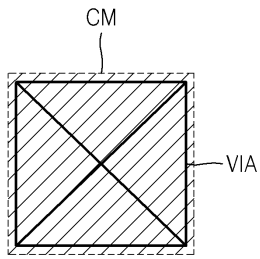
도면5



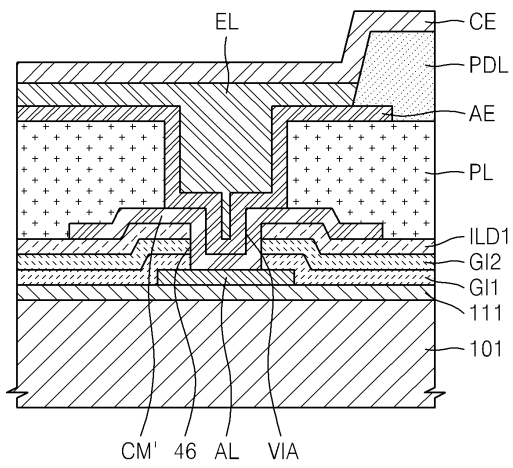
도면6



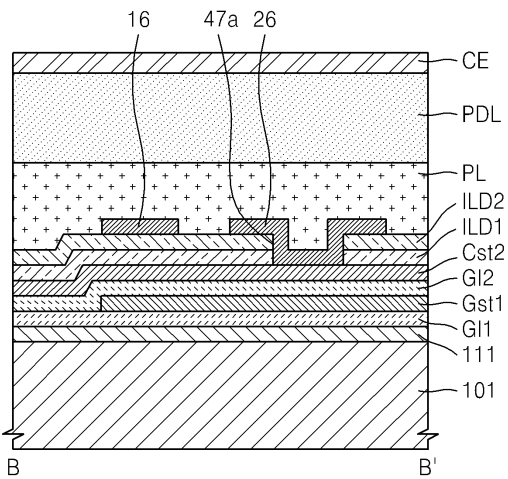
도면7



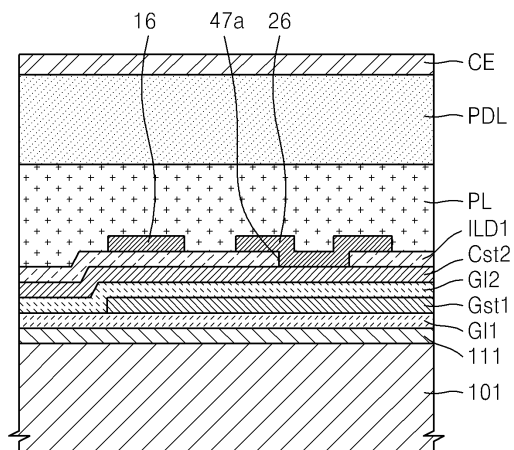
도면8



도면9



도면10



专利名称(译)	薄膜晶体管阵列基板和包括该薄膜晶体管阵列基板的显示装置		
公开(公告)号	<a href="#">KR102129036B1</a>	公开(公告)日	2020-07-02
申请号	KR1020200035805	申请日	2020-03-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	전무경		
发明人	전무경		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/124 H01L27/3258 H01L27/3262 H01L27/3279		
审查员(译)	允我永		
其他公开文献	KR1020200035251A		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板和包括该薄膜晶体管阵列基板的显示装置。本发明的薄膜晶体管阵列基板包括:覆盖半导体层的第一绝缘层;以及覆盖半导体层的第一绝缘层。第二绝缘层,覆盖第一绝缘层上的多个第一布线;第三绝缘层,覆盖在第二绝缘层上的多个第二布线。覆盖金属,设置在第三绝缘层上并与半导体层接触;覆盖金属上的保护层;阳极电极设置在保护层上并与覆盖金属接触;以及一种电容器,包括:第一电极,其布置在与第一布线相同的层上;以及第二电极,其布置在与第二布线相同的层上。

