



공개특허 10-2020-0074593



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0074593
(43) 공개일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)

H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3246 (2013.01)

H01L 27/3211 (2013.01)

(21) 출원번호 10-2018-0163168

(22) 출원일자 2018년12월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 벌명자
최광용
경기도 파주시 월롱면 엘지로 245
공인영
경기도 파주시 월롱면 엘지로 245

(74) 대리인
네이트특허법인

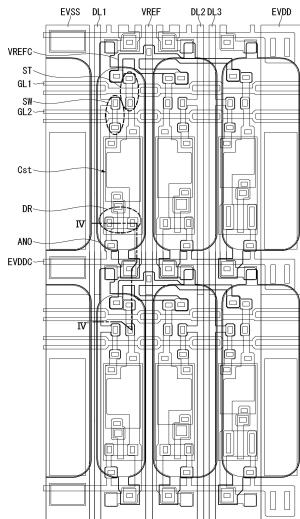
전체 청구항 수 : 총 16 항

(54) 벌명의 명칭 유기발광표시장치

(57) 요 약

본 벌명의 일 실시예에 따른 유기발광표시장치는 복수의 서브픽셀들이 배열된 기판, 상기 복수의 서브픽셀들에 각각 배치된 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터 상에 배치된 오버코트층, 및 상기 오버코트층 상에 배치되며 상기 박막트랜지스터에 연결된 유기발광 다이오드의 제1 전극, 상기 제1 전극을 노출하는 제1 뱅크층, 및 상기 제1 뱅크층 상에 배치되며, 상기 제1 뱅크층 및 상기 제1 전극을 노출하는 제2 뱅크층을 포함하고, 상기 오버코트층은 인접한 상기 서브픽셀들의 제1 전극들 사이에 배치된 적어도 하나의 홈부를 포함할 수 있다.

대 표 도 - 도11



(52) CPC특허분류

H01L 51/50 (2013.01)

H01L 51/5237 (2013.01)

명세서

청구범위

청구항 1

복수의 서브픽셀들이 배열된 기판;

상기 복수의 서브픽셀들에 각각 배치된 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터 상에 배치된 오버코트층, 및 상기 오버코트층 상에 배치되며 상기 박막트랜지스터에 연결된 유기발광 다이오드의 제1 전극;

상기 제1 전극을 노출하는 제1 뱅크층; 및

상기 제1 뱅크층 상에 배치되며, 상기 제1 뱅크층 및 상기 제1 전극을 노출하는 제2 뱅크층;을 포함하고,

상기 오버코트층은 인접한 상기 서브픽셀들의 제1 전극들 사이에 배치된 적어도 하나의 홈부를 포함하는 유기발광표시장치.

청구항 2

제1 항에 있어서,

상기 적어도 하나의 홈부는 인접한 상기 서브픽셀들의 발광영역들 사이에 배치된 유기발광표시장치.

청구항 3

제1 항에 있어서,

상기 적어도 하나의 홈부는 동일한 색을 발광하는 상기 서브픽셀들 사이에 배치된 유기발광표시장치.

청구항 4

제1 항에 있어서,

상기 적어도 하나의 홈부는 상기 제1 전극의 단변과 나란하게 배치된 유기발광표시장치.

청구항 5

제1 항에 있어서,

상기 제1 뱅크층은 상기 복수의 서브픽셀들의 제1 전극들을 각각 노출하여 발광영역을 정의하는 제1 개구부를 포함하고, 상기 제2 뱅크층은 상기 복수의 서브픽셀들 중 동일한 색을 발광하는 서브픽셀들을 노출하는 제2 개구부를 포함하는 유기발광표시장치.

청구항 6

제5 항에 있어서,

상기 적어도 하나의 홈부는 상기 제1 뱅크층 및 상기 제2 뱅크층과 중첩하는 유기발광표시장치.

청구항 7

제5 항에 있어서,

상기 적어도 하나의 홈부는 상기 제1 뱅크층과 중첩하되 상기 제2 뱅크층과 비중첩하는 유기발광표시장치.

청구항 8

제7 항에 있어서,

상기 적어도 하나의 홈부는 상기 제2 뱅크층을 사이에 두고 서로 이격된 유기발광표시장치.

청구항 9

제1 항에 있어서,

상기 적어도 하나의 홈부는 복수 개로 이루어지며, 상기 복수 개의 홈부는 상기 복수의 서브픽셀들의 장면이 연장된 방향으로 서로 이격된 유기발광표시장치.

청구항 10

제5 항에 있어서,

상기 적어도 하나의 홈부는 상기 제1 개구부와 비중첩하며 상기 제2 개구부와 중첩하는 유기발광표시장치.

청구항 11

제1 항에 있어서,

상기 유기발광 다이오드는,

상기 제1 전극 상에 배치된 유기 발광층; 및

상기 유기 발광층 상에 배치된 제2 전극을 포함하는 유기발광표시장치.

청구항 12

제11 항에 있어서,

상기 적어도 하나의 홈부의 깊이는 상기 유기 발광층의 두께에 대해 1.2 내지 3.5배로 이루어지는 유기발광표시장치.

청구항 13

제1 항에 있어서,

상기 제1 뱅크층은 친수성을 가지고 상기 제2 뱅크층은 소수성을 가지는 유기발광표시장치.

청구항 14

제5 항에 있어서,

상기 제2 뱅크층은 상기 홈부를 향해 돌출된 적어도 하나 이상의 돌출부를 포함하는 유기발광표시장치.

청구항 15

제14 항에 있어서,

상기 적어도 하나 이상의 돌출부는 상기 제2 개구부의 길이 방향과 교차하는 방향으로 돌출된 유기발광표시장치.

청구항 16

복수의 서브픽셀들이 배열된 기판;

상기 복수의 서브픽셀들에 각각 배치된 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터 상에 배치된 오버코트층, 및 상기 오버코트층 상에 배치되며 상기 박막트랜지스터에 연결된 유기발광 다이오드의 제1 전극;

상기 제1 전극을 노출하여 발광영역을 정의하는 제1 뱅크층; 및

상기 제1 뱅크층 상에 배치되며, 상기 제1 뱅크층 및 상기 제1 전극을 노출하는 제2 뱅크층;을 포함하고,

상기 오버코트층은 인접한 상기 서브픽셀들의 발광영역 사이에 배치된 적어도 하나의 홈부를 포함하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 이종 뱅크 구조를 갖는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기발광표시장치(Organic Light Emitting Display Device) 등이 있다.

[0003] 유기발광표시장치는 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다. 또한, 플라스틱과 같은 유연한 기판 상에 소자를 형성할 수 있어 플렉서블한 표시장치를 구현할 수 있다.

[0004] 최근에는 대면적의 고 해상도 유기발광표시장치가 요구됨에 따라 단일 패널에 다수의 서브픽셀이 포함된다. 일반적으로, 적색(R), 녹색(G), 청색(B) 서브픽셀의 발광층을 패터닝(patterning) 하기 위해 마스크를 이용한다. 대면적의 표시장치를 구현하기 위해서는 대면적의 기판과 대응되는 대면적의 미세 금속 마스크(Fine Metal Mask, FMM)가 필요하다. 다만, 대면적으로 갈수록 마스크가 쳐지는 현상이 발생하여, 발광층을 구성하는 유기 발광 물질이 원하는 위치에 중착되지 않는 등의 다양한 불량이 야기되고 있다.

[0005] 전술한 마스크를 이용한 중착법의 문제점을 해결하기 위해, 간단하면서도 대면적에 유리한 용액 공정이 관심을 모으고 있다. 용액 공정은 잉크젯 프린팅이나 노즐 프린팅 등을 통해 마스크 없이 대면적의 발광층의 패터닝이 가능하며, 재료 사용률이 10% 이하인 전공 중착에 비해 재료 사용률이 50 내지 80% 정도로 매우 높다. 또한 전공중착 박막에 비해서 유리전이온도(glass transition temperature)가 높아 열안정성과 모폴로지(morphology) 특성이 우수하다.

발명의 내용

해결하려는 과제

[0006] 그러나 용액 공정을 통해 발광층을 형성하는 경우, 서브픽셀 내의 두께 편차에 의한 발광층의 두께 불균일이 발생하여, 표시 품질이 현저히 저하되는 문제가 발생하고 있다. 따라서, 본 발명은 이종 뱅크 구조를 갖는 유기발광표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기발광표시장치는 복수의 서브픽셀들이 배열된 기판, 상기 복수의 서브픽셀들에 각각 배치된 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터 상에 배치된 오버코트층, 및 상기 오버코트층 상에 배치되며 상기 박막트랜지스터에 연결된 유기발광 다이오드의 제1 전극, 상기 제1 전극을 노출하는 제1 뱅크층, 및 상기 제1 뱅크층 상에 배치되며, 상기 제1 뱅크층 및 상기 제1 전극을 노출하는 제2 뱅크층을 포함하고, 상기 오버코트층은 인접한 상기 서브픽셀들의 제1 전극들 사이에 배치된 적어도 하나의 홈부를 포함할 수 있다.

[0008] 상기 적어도 하나의 홈부는 인접한 상기 서브픽셀들의 발광영역들 사이에 배치될 수 있다.

[0009] 상기 적어도 하나의 홈부는 동일한 색을 발광하는 상기 서브픽셀들 사이에 배치될 수 있다.

[0010] 상기 적어도 하나의 홈부는 상기 제1 전극의 단변과 나란하게 배치될 수 있다.

[0011] 상기 제1 뱅크층은 상기 복수의 서브픽셀들의 제1 전극들을 각각 노출하여 발광영역을 정의하는 제1 개구부를 포함하고, 상기 제2 뱅크층은 상기 복수의 서브픽셀들 중 동일한 색을 발광하는 서브픽셀들을 노출하는 제2 개구부를 포함할 수 있다.

[0012] 상기 적어도 하나의 홈부는 상기 제1 뱅크층 및 상기 제2 뱅크층과 중첩할 수 있다.

[0013] 상기 적어도 하나의 홈부는 상기 제1 뱅크층과 중첩하되 상기 제2 뱅크층과 비중첩할 수 있다.

[0014] 상기 적어도 하나의 홈부는 상기 제2 뱅크층을 사이에 두고 서로 이격될 수 있다.

- [0015] 상기 적어도 하나의 홈부는 복수 개로 이루어지며, 상기 복수 개의 홈부는 상기 복수의 서브픽셀들의 장변이 연장된 방향으로 서로 이격될 수 있다.
- [0016] 상기 적어도 하나의 홈부는 상기 제1 개구부와 비중첩하며 상기 제2 개구부와 중첩할 수 있다.
- [0017] 상기 유기발광 다이오드는, 상기 제1 전극 상에 배치된 유기 발광층, 및 상기 유기 발광층 상에 배치된 제2 전극을 포함할 수 있다.
- [0018] 상기 적어도 하나의 홈부의 깊이는 상기 유기 발광층의 두께에 대해 1.2 내지 3.5배로 이루어질 수 있다.
- [0019] 상기 제1 뱅크층은 친수성을 가지고 상기 제2 뱅크층은 소수성을 가질 수 있다.
- [0020] 상기 제2 뱅크층은 상기 홈부를 향해 돌출된 적어도 하나 이상의 돌출부를 포함할 수 있다.
- [0021] 상기 적어도 하나 이상의 돌출부는 상기 제2 개구부의 길이 방향과 교차하는 방향으로 돌출될 수 있다.
- [0022] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치는 복수의 서브픽셀들이 배열된 기판, 상기 복수의 서브픽셀들에 각각 배치된 적어도 하나의 박막트랜지스터, 상기 박막트랜지스터 상에 배치된 오버코트층, 및 상기 오버코트층 상에 배치되며 상기 박막트랜지스터에 연결된 유기발광 다이오드의 제1 전극, 상기 제1 전극을 노출하여 발광영역을 정의하는 제1 뱅크층, 및 상기 제1 뱅크층 상에 배치되며, 상기 제1 뱅크층 및 상기 제1 전극을 노출하는 제2 뱅크층을 포함하고, 상기 오버코트층은 인접한 상기 서브픽셀들의 발광영역 사이에 배치된 적어도 하나의 홈부를 포함할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예에 따른 유기발광표시장치는 이물이 존재하여도 이물 주변으로 모여드는 유기 발광물질을 홈부에 일부 채워지게 함으로써, 유기 발광물질의 흐름성을 저하시켜 서브픽셀들 간의 유기 발광층의 두께를 균일하게 형성할 수 있다. 따라서, 서브픽셀 간의 유기 발광층의 두께 불균일에 기인하는 휘도 차이를 감소시켜 표시품질을 향상시킬 수 있다. 또한, 유기 발광층 내부의 전류 밀도 차이를 저감하여 소자의 수명 저하를 방지하고 암점 발생을 방지하여 공정 수율을 향상시킬 수 있다.

도면의 간단한 설명

- [0024] 도 1은 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브픽셀의 개략적인 회로도.
- 도 3은 서브픽셀의 구체 회로도.
- 도 4는 본 발명에 따른 서브픽셀의 평면 레이아웃을 개략적으로 나타낸 도면.
- 도 5는 도 4의 절취선 I-I'에 따라 절취한 단면도.
- 도 6은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 평면도.
- 도 7은 도 6의 절취선 II-II'에 따라 절취한 단면도.
- 도 8은 도 6의 절취선 III-III'에 따라 절취한 단면도.
- 도 9는 용액 공정의 유기 발광층의 두께 불균일을 나타낸 단면도.
- 도 10은 이물에 의한 유기발광 다이오드의 불량을 나타낸 단면도.
- 도 11은 본 발명의 제1 실시예에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면.
- 도 12는 도 11의 절취선 IV-IV'에 따라 절취한 단면도.
- 도 13은 본 발명의 유기발광표시장치를 나타낸 평면도.
- 도 14는 도 13의 절취선 V-V'에 따른 단면도.
- 도 15는 도 13의 절취선 VI-VI'에 따른 단면도.
- 도 16은 홈부로 인한 유기 발광층의 퍼짐을 개략적으로 나타낸 단면도.

도 17은 본 발명의 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도.

도 18은 도 17의 절취선 VII-VII'에 따른 단면도.

도 19는 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도.

도 20은 도 19의 절취선 VIII-VIII'에 따른 단면도.

도 21은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

[0025]

본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 명세서의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0026]

본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0027]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0028]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0029]

제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0030]

본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0031]

이하 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 전계발광 표시장치에 대해 설명하기로 한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략하거나 간략히 설명한다.

[0032]

본 발명에 따른 표시장치는 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기 발광층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기 발광층 내에서 결합하여 정공-전자 쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.

[0033]

도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브픽셀의 개략적인 회로도이며, 도 3은 서브픽셀의 구체 회로도이다.

[0034]

도 1에 도시된 바와 같이, 유기발광표시장치(100)에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0035]

영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

- [0036] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0037] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0038] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel; GIP) 방식으로 형성된다.
- [0039] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.
- [0040] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 백색 서브픽셀, 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0041] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0042] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔 신호에 응답하여, 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0043] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0044] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광 다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화전압(또는 센싱 전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱 라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0045] 스위칭 트랜지스터(SW)는 제1 데이터 라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 제2 전극이 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 제1 전극이 연결되고 유기발광 다이오드(OLED)의 애노드 전극에 제2 전극에 제2 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 제1 전극이 연결되고 유기발광 다이오드(OLED)의 애노드 전극에 제2 전극이 연결된다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)의 제2 전극에 애노드 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 제1 전극이 연결되고 센싱 노드인 유기발광 다이오드(OLED)의 애노드 전극 및 구동 트랜지스터(DR)의 제2 전극에 제2 전극이 연결된다.
- [0046] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공유하도록 연결될 수 있다.
- [0047] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또

는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0048] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0049] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이종 금속의 복층)의 금속층으로 선택된다.

[0050] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광 다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0051] 도 4는 본 발명에 따른 서브픽셀의 평면 레이아웃을 개략적으로 나타낸 도면이고, 도 5는 도 4의 절취선 I-I'에 따라 절취한 단면도이다.

[0052] 도 4를 참조하면, 기판(SUB1)의 표시영역 상에는 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3)이 형성된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 각각에는 유기발광 다이오드(발광소자)와 유기발광 다이오드를 구동하는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR) 등을 포함하는 회로가 형성된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 각각은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 동작에 대응하여 유기발광 다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 사이에는 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제3 데이터 라인들(DL1 ~ DL3)이 배치된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3)을 가로지르며 배치된다.

[0053] 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제3 데이터 라인들(DL1 ~ DL3)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(비어홀)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱 라인(VREF)은 센싱 연결라인(VREFC)을 통해 제1 내지 제3 서브픽셀(SPn1~SPn3)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제3 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(DR)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제3 서브픽셀(SPn1~SPn3)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.

[0054] 전술한 제1 서브픽셀(SPn1)은 적색 서브픽셀일 수 있고 제2 서브픽셀(SPn2)은 녹색 서브픽셀일 수 있으며 제3 서브픽셀(SPn3)은 청색 서브픽셀일 수 있다. 그러나 각 서브픽셀의 배치는 서로 위치가 바뀔 수도 있다.

[0055] 도 5를 참조하여, 제1 내지 제3 서브픽셀 중 일 예로써 제1 서브픽셀의 단면 구조를 살펴보면 다음과 같다.

[0056] 도 5를 참조하면, 기판(SUB1) 상에 광차단층(LS)이 위치한다. 광차단층(LS)은 외부의 광이 입사되는 것을 차단하여 트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(LS) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF)은 광차단층(LS)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중 층일 수 있다.

[0057] 버퍼층(BUF) 상에 구동 트랜지스터(DR)의 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체, 산화물 반도체 또는 유기물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘을 이용하거나, 비정질 실리콘을 결정화한 다결정 실리콘을 이용하여 형성될 수도 있다. 산화물 반도체는 아연 산화물(ZnO), 인듐 아연 산화물(InZnO), 인듐 갈륨 아연 산화물(InGaZnO) 또는 아연 주석 산화물(ZnSnO) 중 어느 하나로 이루어질 수 있다. 유기물 반도체는 멜로시아닌, 프탈로시아닌, 웨타센, 티오펜폴리머 등의 저분자계 또는 고분자계 유기물로 이루어질 수도 있다. 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

[0058] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물

(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GAT)이 위치한다. 게이트 전극(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GAT)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0059] 게이트 전극(GAT) 상에 게이트 전극(GAT)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 상에 소스 전극(SE) 및 드레인 전극(DE)이 위치한다. 소스 전극(SE) 및 드레인 전극(DE)은 반도체층(ACT)의 소스 및 드레인 영역을 각각 노출하는 콘택홀들(CH)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 구동 트랜지스터(DR)와 이격된 영역에는 제1 데이터 라인(DL)이 위치하고, 또 다른 영역에는 캐소드 전원라인(EVSS)이 위치한다.

[0060] 따라서, 반도체층(ACT), 게이트 전극(GAT), 소스 전극(SE) 및 드레인 전극(DE)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0061] 구동 트랜지스터(DR)를 포함하는 기판(SUB1) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 패시베이션막(PAS)의 일부 영역에는 하부의 구동 트랜지스터(DR)의 드레인 전극(DE)을 노출시키는 제1 비아홀(VIA1)이 위치하고, 캐소드 전원라인(EVSS)을 노출시키는 제2 비아홀(VIA2)이 위치한다.

[0062] 패시베이션막(PAS) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐(resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)의 일부 영역에는 패시베이션막(PAS)의 제1 비아홀(VIA1)을 노출하여 드레인 전극(DE)을 노출시키는 제3 비아홀(VIA3)이 위치하고, 패시베이션막(PAS)의 제2 비아홀(VIA2)을 노출하여 캐소드 전원라인(EVSS)을 노출시키는 제4 비아홀(VIA4)이 위치한다.

[0063] 오버코트층(OC) 상에는 유기발광 다이오드(ED)가 형성된다. 유기발광 다이오드(ED)는 구동 트랜지스터(DR)에 연결된 제1 전극(ANO), 제1 전극(ANO)과 대향하는 제2 전극(CAT), 및 제1 전극(ANO)과 제2 전극(CAT) 사이에 개재된 유기 발광층(EML)을 포함한다. 제1 전극(ANO)은 애노드 전극일 수 있고, 제2 전극(CAT)은 캐소드 전극일 수 있다.

[0064] 제1 전극(ANO)은 오버코트층(OC) 상에 위치하여, 오버코트층(OC)을 관통하는 제3 비아홀(VIA3) 및 패시베이션막(PAS)의 제1 비아홀(VIA1)을 통해 구동 트랜지스터(DR)의 드레인 전극(DE)에 연결될 수 있다. 제1 전극(ANO)은 서브 픽셀 당 하나씩 할당될 수 있으나, 이에 한정되는 것은 아니다. 제1 전극(ANO)은, 채택된 발광 방식에 대응하여, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어져 투과 전극으로 기능할 수 있고, 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

[0065] 제1 전극(ANO)과 이격된 오버코트층(OC) 상에는 오버코트층(OC)의 제4 비아홀(VIA4) 및 패시베이션막(PAS)의 제2 비아홀(VIA2)을 통해 캐소드 전원라인(EVSS)과 연결된 연결패턴(ANC)이 위치한다. 연결패턴(ANC)은 제1 전극(ANO)과 동일한 구조로 이루어진다.

[0066] 제1 전극(ANO)이 형성된 기판(SUB1) 상에 뱅크층(BNK)이 위치한다. 뱅크층(BNK)은 제1 뱅크층(BNK1) 및 제2 뱅크층(BNK2)을 포함한다. 제1 뱅크층(BNK1)은 제1 전극(ANO)을 노출하는 제1 개구부(OP1)를 포함하고, 제2 뱅크층(BNK2)은 제1 뱅크층(BNK1)의 일부 및 제1 전극(ANO)을 노출하는 제2 개구부(OP2)를 포함한다. 제2 개구부(OP2)는 제1 개구부(OP1)보다 큰 면적으로 형성되어, 제1 뱅크층(BNK1)의 일부를 노출할 수 있다.

[0067] 또한, 제1 뱅크층(BNK1)은 연결패턴(ANC)을 노출하는 제3 개구부(OP3)를 포함하고, 제2 뱅크층(BNK2)은 제1 뱅

크층(BNK1)의 일부 및 연결패턴(ANC)을 노출하는 제4 개구부(OP4)를 포함한다. 제4 개구부(OP4)는 제3 개구부(OP3)보다 큰 면적으로 형성되어, 제1 뱅크층(BNK1)의 일부를 노출할 수 있다.

[0068] 뱅크층(BNK)이 형성된 기판(SUB1) 상에는 유기 발광층(EML)이 배치된다. 유기 발광층(EML)은 발광층(Emission layer, EL)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다.

[0069] 제2 전극(CAT)은 유기 발광층(EML) 상에 배치된다. 제2 전극(CAT)은 기판(SUB1)의 전면에 넓게 형성될 수 있다. 제2 전극(CAT)은, 채택된 발광 방식에 대응하여, 투과 전극 또는 반사 전극으로 기능할 수 있다. 제2 전극(CAT)이 투과 전극인 경우, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성되거나, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)은 제1 뱅크층(BNK1)의 제3 개구부(OP3) 및 제2 뱅크층(BNK2)의 제4 개구부(OP4)를 통해 연결패턴(ANC)에 연결됨으로써, 캐소드 전원라인(EVSS)에 연결된다.

[0070] 한편, 구동 트랜지스터(DR) 및 유기발광 다이오드(ED)가 형성된 기판(SUB1)과 대향하는 대향기판(SUB2)이 위치한다. 대향기판(SUB2)은 기판(SUB1)을 밀봉하는 것으로, 하부에 컬러필터(CF)를 포함한다. 컬러필터(CF)는 적색 컬러필터일 수 있으며, 적색의 색좌표를 진하게 만들어주는 기능을 한다. 일 예로, 제1 서브픽셀이 적색 서브픽셀인 경우 대향기판(SUB2)은 제1 서브픽셀과 대응하는 영역에 적색 컬러필터를 구비할 수 있다. 그리고, 녹색 서브픽셀인 제2 서브픽셀과 청색 서브픽셀인 제3 서브픽셀과 대응하는 대향기판(SUB2)의 영역에는 어떠한 컬러필터도 구비되지 않을 수 있다. 그러나 본 발명은 일 예를 설명하는 것일 뿐, 각 서브픽셀에 해당 색의 컬러필터가 모두 구비될 수도 있다. 도 5에 도시된 구조는 당해 서브픽셀 뿐만 아니라 다른 서브픽셀에도 동일하게 적용될 수 있다.

[0071] 하기에서는 전술한 도 1 내지 도 5에 따른 유기발광표시장치에 대해 보다 구체적으로 설명하기로 한다.

[0072] <제1 실시예>

[0073] 도 6은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 7은 도 6의 절취선 Ⅱ-Ⅱ'에 따라 절취한 단면도이며, 도 8은 도 6의 절취선 Ⅲ-Ⅲ'에 따라 절취한 단면도이고, 도 9는 용액 공정의 유기 발광층의 두께 불균일을 나타낸 단면도이며, 도 10은 이물에 의한 유기발광 다이오드의 불량을 나타낸 단면도이다.

[0074] 도 6 및 도 7을 참조하면, 본 발명의 제1 실시예에 따른 유기발광표시장치는 복수의 서브픽셀(R, G, B)들이 배열된 기판(SUB1)을 포함한다. 기판(SUB1)은 다양한 평면 형상을 가질 수 있다. 예를 들어, 도면에 도시된 바와 같이 장방형은 물론, 정방형, 원형, 타원형 등의 평면 형상을 모두 포함할 수 있다.

[0075] 기판(SUB1) 상에 전술한 박막 트랜지스터, 커패시터 및 유기발광 다이오드가 배치된다. 유기발광 다이오드는 제1 전극(ANO), 유기 발광층(EML) 및 제2 전극(CAT)을 포함한다. 각 서브픽셀(R, G, B)들은 뱅크층(BNK)에 의해 각 서브픽셀의 발광부가 정의된다. 도 6에서는 뱅크층(BNK)에 관해 구체적으로 설명하므로, 다른 구성요소는 생략하여 도시하였다.

[0076] 서브픽셀(R, G, B)들은 서로 교차하는 제1 방향(예를 들어, X축 방향) 및 제2 방향(예를 들어, Y축 방향)을 따라 배열될 수 있다. 제1 방향을 따라 이웃하여 배열된 서브픽셀들은 상이한 색의 광을 발광하고, 제2 방향을 따라 이웃하여 배열된 서브픽셀들은 동일한 색의 광을 발광할 수 있다. 예를 들어, 제1 방향으로 배열된 서브픽셀들은 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)이 반복하여 배열될 수 있고, 제2 방향으로 배열된 서브픽셀들은 제1 열에 적색 서브픽셀(R)들이 배열되고 제2 열에 녹색 서브픽셀(G)들이 배열되고 제3 열에 청색 서브픽셀(B)들이 배열될 수 있다. 그러나, 본 발명은 서브픽셀들의 배열을 예로 설명하는 것이므로 다양하게 배열될 수도 있다.

[0077] 각 서브픽셀(R, G, B)들에는, 유기발광 다이오드의 제1 전극(ANO)이 위치한다. 제1 전극(ANO) 상에 뱅크층(BNK)이 배치되어 발광영역을 구획한다. 뱅크층(BNK)은 제1 뱅크층(BNK1) 및 제2 뱅크층(BNK2)을 포함한다.

[0078] 제1 뱅크층(BNK1)은 제1 전극(ANO) 상에 위치하며 제1 전극(ANO)의 가장자리를 덮으며 배치된다. 제1 뱅크층(BNK1)은 제1 전극(ANO)의 적어도 일부를 노출시키는 제1 개구부(OP1)를 포함한다. 하나의 제1 개구부(OP1)는 하나의 제1 전극(ANO)을 노출시킨다. 따라서, 제1 개구부(OP1)는 제1 전극(ANO)과 1 대 1로 대응될 수 있다.

[0079] 제1 뱅크층(BNK1)은 상부에 형성되는 유기 발광층에 의해 덮일 수 있도록, 상대적으로 얇은 두께로 형성될 수

있다. 제1 뱅크층(BNK1)은 친수성(hydrophilicity)을 가질 수 있으며, 예를 들어, 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiNx)과 같은 친수성의 무기물로 형성될 수 있다.

[0080] 도 6에서는, 제1 개구부(OP1)가 대략 장방향 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제1 개구부(OP1)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제1 개구부(OP1)는 다른 하나의 제1 개구부(OP1)와 상이한 형상 및/또는 면적을 가질 수 있다. 예를 들어, 제1 개구부(OP1)의 형상 및/또는 면적은, 유기발광 다이오드의 유기 발광층을 형성하기 위한 유기 발광물질의 수명을 고려하여 적절히 선택될 수 있다. 제1 개구부(OP1)에 의해 노출된 제1 전극(ANO)의 부분은 발광부로 정의될 수 있다.

[0081] 제1 뱅크층(BNK1)이 형성된 기판(SUB1) 상에는, 제2 뱅크층(BNK2)이 위치한다. 제2 뱅크층(BNK2)은 서브픽셀들 중 서로 상이한 색을 발광하는 서브픽셀들 사이에 위치한다. 제2 뱅크층(BNK2)은 제1 전극(ANO)의 적어도 일부를 노출시키는 제2 개구부(OP2)를 포함한다. 복수의 제2 개구부(OP2)들은 제1 방향으로 서로 나란하게 배열되며, 제2 방향으로 각각 연장된다. 제2 개구부(OP2)는 제2 방향으로 연장되어, 제2 방향을 따라 배치된 각 서브픽셀들의 제1 전극(ANO)들을 노출시킨다. 또한 제2 개구부(OP2)는 제2 방향으로 연장되어, 제2 방향을 따라 배치된 복수의 제1 개구부(OP1)들을 노출시킨다.

[0082] 제2 뱅크층(BNK2)은 소수성(hydrophobicity)을 가질 수 있다. 일 예로, 제2 뱅크층(BNK2)은 절연막에 소수성을 가진 물질이 코팅되거나, 소수성을 가진 물질로 형성될 수 있다. 제2 뱅크층(BNK2)은 유기물로 이루어질 수 있다. 제2 뱅크층(BNK2)의 소수성의 특성은, 유기 발광층을 구성하는 유기 발광물질이 발광영역의 중앙부로 모이도록 밀어내는 기능을 할 수 있다. 또한, 제2 뱅크층(BNK2)은 서로 상이한 색의 유기 발광물질이 서로 혼합되는 것을 방지할 수 있도록, 해당 영역에 적하된 유기 발광물질을 가두는 배리어(barrier)로써 기능할 수 있다.

[0083] 도 6에서, 제2 개구부(OP2)가 바(bar) 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제2 개구부(OP2)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제2 개구부(OP2)는 다른 하나의 제2 개구부(OP2)와 상이한 형상 및/또는 면적을 가질 수 있다. 예를 들어, 제2 개구부(OP2)의 형상 및/또는 면적은, 유기 발광물질의 수명을 고려하여 적절히 선택될 수 있다.

[0084] 제2 개구부(OP2)는 제1 개구부(OP1) 외측으로 이격되어 위치한다. 즉, 제1 뱅크층(BNK1)의 경계는 제2 뱅크층(BNK2)의 경계로부터 설정된 간격만큼 이격된다. 이에 따라, 제1 개구부(OP1)는 제2 개구부(OP2)에 의해 노출될 수 있고, 제1 뱅크층(BNK1)이 제2 개구부(OP2)에 의해 노출될 수 있다.

[0085] 도 7 및 도 8을 참조하여, 제1 전극, 뱅크층, 유기 발광층 및 제2 전극이 구조를 살펴보기로 한다. 도 7 및 도 8에서는 오버코트층(OC) 하부의 구조물은 생략하여, 제1 전극, 뱅크층, 유기 발광층 및 제2 전극이 구조를 자세히 살펴보기로 한다.

[0086] 오버코트층(OC) 상에 각 서브픽셀의 제1 전극들(ANO)이 배치되고, 제1 전극들(ANO)은 제1 뱅크층(BNK1)에 의해 가장자리가 덮혀 일부가 노출된다. 제1 뱅크층(BNK2) 상에 제2 뱅크층(BNK2)이 위치한다.

[0087] 제2 뱅크층(BNK2)이 형성된 기판 상에 유기 발광층(EML)이 위치한다. 유기 발광층(EML)은 제2 뱅크층(BNK2)의 제2 개구부(OP2) 내에서 제2 개구부(OP2)의 연장 방향을 따라 형성될 수 있다. 즉, 하나의 제2 개구부(OP2)에 적하된 유기 발광물질은, 제2 개구부(OP2)에 의해 노출된 제1 전극(ANO)들 및 제1 뱅크층(BNK1)들을 덮는다. 유기 발광물질은 제1 뱅크층(BNK1)을 완전히 덮어 제1 뱅크층(BNK1)에 의해 분리되지 않고, 제2 뱅크층(BNK2)에 의해 분리된다.

[0088] 하나의 제2 개구부(OP2)에 의해 노출된 복수의 제1 전극(ANO)들 상에는, 동일한 색의 유기 발광물질이 적하된다. 이는, 하나의 제2 개구부(OP2)와 대응되는 위치에 할당된 복수의 서브픽셀들에서, 동일한 색의 광이 방출됨을 의미한다. 유기 발광층(EML)의 평면 형상은 제2 개구부(OP2)의 평면 형상과 대응되며, 예를 들어 바(bar) 형상으로 이루어질 수 있다.

[0089] 서로 상이한 색의 유기 발광물질들은, 대응되는 제2 개구부(OP2)들 각각에 순차적으로 교번하여 적하될 수 있다. 서로 상이한 색의 유기 발광물질들은, 적색(R), 녹색(G), 청색(B)을 발광하는 유기 발광물질일 수 있다.

[0090] 제2 뱅크층(BNK2)은 제1 방향(도 6의 x축 방향)으로 이웃하는 제1 전극(ANO)들 사이에 위치하여, 제1 방향으로 이웃하는 제2 개구부(OP2)들에 각각 적하된 서로 상이한 색의 유기 발광물질들이 서로 혼합되지 않도록 한다. 즉, 서로 다른 제2 개구부(OP2)들에 각각 적하된 서로 상이한 색의 유기 발광물질들은, 제2 뱅크층(BNK2)에 의

해 물리적으로 분리된다.

- [0091] 용액 공정 시 유기 발광층(EML)을 형성하기 위해 이용되는 유기 발광물질은, 제1 전극(ANO)의 적어도 일부, 제1 뱅크층(BNK1)의 일부, 및 제2 뱅크층(BNK2)의 일부를 덮도록 적하된다. 제1 뱅크층(BNK1)은 제1 전극(ANO)의 소수성 특성에 의한 습윤성(wettability) 불량을 방지하기 위해 구비된 친수성의 얇은 막으로 이루어져, 친수성인 유기 발광물질을 잘 퍼지도록 유도할 수 있다. 제2 뱅크층(BNK2)은 소수성의 두꺼운 막으로, 친수성인 유기 발광물질을 중앙부로 밀어낼 수 있도록 한다. 제1 뱅크층(BNK1)과 제2 뱅크층(BNK2)의 구조에 의해, 유기 발광층(EML)은 발광영역 상에서 상대적으로 균일한 두께로 형성될 수 있다.
- [0092] 본 발명은 하나의 제2 개구부(OP2) 내에 동일한 색을 발광하는 복수의 서브픽셀들이 할당될 수 있다. 만약, 제2 개구부(OP2)들이 각각 하나의 서브픽셀을 노출하게 되면, 용액 공정 시 설비 편차에 따라 제2 개구부(OP2)들 각각에 적하된 유기 발광물질의 두께가 상이할 수 있다. 상기 설비 편차는 잉크젯 장비의 노즐들 간 토출량 편차를 의미할 수 있다. 즉, 제2 개구부(OP2)들 상에 유기 발광물질을 적하하기 위해 이용되는 노즐들 각각은 토출량이 일정하지 못할 수 있다.
- [0093] 이 경우, 도 9에 도시된 바와 같이, 하나의 서브픽셀 당 할당되는 노즐들을 통해, 서브픽셀들 각각에 적하된 유기 발광물질의 두께가 위치에 따라 상이할 수 있다.
- [0094] 따라서, 본 발명은 하나의 제2 개구부(OP2) 내에, 복수 개의 서브픽셀(R, G, B)들이 할당될 수 있고, 서브픽셀들의 개수에 대응한 복수 개의 노즐이 할당될 수 있기 때문에, 노즐 간 토출량 편차가 보상되어 제2 개구부(OP2)들에 적하된 유기 발광물질 간 두께가 균일해 질 수 있다.
- [0095] 이에 따라, 본 발명에 의한 유기발광표시장치는 유기 발광층(EML)의 두께 균일도의 저하를 방지할 수 있어, 서브픽셀 내 두께 편차에 기인한 표시 품질 저하를 방지할 수 있다. 또한, 유기 발광층(EML)의 균일도를 확보하여, 소자의 수명이 저하되거나 암점이 발생하는 불량을 방지할 수 있다.
- [0096] 전술한 제1 뱅크층(BNK1)의 경계와 제2 뱅크층(BNK2)의 경계 사이의 기 설정된 간격은, 유기 발광층(EML)의 두께 균일도를 확보할 수 있는 최소 거리를 의미한다. 제1 뱅크층(BNK1)의 경계와 제2 뱅크층(BNK2)의 경계가 기 설정된 간격보다 가깝게 위치하는 경우, 유기 발광층(EML)의 균일도를 확보할 수 없고, 제1 뱅크층(BNK1)의 경계와 제2 뱅크층(BNK2)의 경계가 기 설정된 간격보다 멀게 위치하는 경우, 제1 뱅크층(BNK1)에 의해 차폐되는 제1 전극(ANO)의 면적이 증가하여 개구율이 저하되는 문제점이 발생할 수 있다.
- [0097] 본 발명에 의한 유기발광표시장치는, 제2 뱅크층(BNK2)의 제2 개구부(OP2)가 제2 방향을 따라 연장되기 때문에, 제2 방향으로 배열된 서브픽셀들 사이에는 제2 뱅크층(BNK2)이 위치하지 않는다. 따라서, 본 발명에서는, 제1 뱅크층(BNK1)의 전술한 위치 제약이 상대적으로 줄어들기 때문에, 설계 자유도를 개선할 수 있을 뿐만 아니라, 제1 전극(ANO) 상의 발광 영역을 넓게 확보할 수 있다. 이에 따라, 본 발명은 설계 자유도를 개선하면서도, 충분한 개구율을 확보한 유기발광표시장치를 제공할 수 있다.
- [0098] 또한, 고해상도로 갈수록 표시장치에 배열된 서브픽셀들의 면적이 상대적으로 줄어든다. 이 경우, 유기 발광물질이 제 위치에 적하되지 못함에 따라 서로 상이한 색의 유기 발광층(EML)이 서로 섞이는 혼색 불량이 발생할 수 있다. 본 발명은 복수의 서브픽셀에 대응하는 넓은 제2 개구부(OP2) 상에서, 유기 발광물질의 적하 면적을 충분히 확보할 수 있기 때문에, 혼색 불량을 개선할 수 있다.
- [0099] 또한, 도 10을 참조하면, 유기 발광층(EML) 하부에 이물(particle)이 존재하는 경우, 적하된 유기 발광물질이 이물로 인해 잘 퍼지지 못하고 이물에 인접한 서브픽셀의 유기 발광층(EML)의 두께(a)는 상대적으로 두껍게 형성되고 이물을 이웃한 서브픽셀의 유기 발광층(EML)의 두께(b)는 상대적으로 얇게 형성된다. 이로 인해, 서브픽셀들 간에 휘도 편차가 발생하여 표시 품질이 저하될 수 있다. 또한, 이물이 존재하거나 또는 다른 원인으로 인하여 유기 발광층(EML)의 두께가 인접 서브픽셀간에 차이가 발생할 수 있다. 이로 인해, 서브픽셀들 간에 휘도 편차가 발생하여 표시 품질이 저하될 수 있다.
- [0100] 이를 방지하기 위해, 본 발명의 제1 실시예에서는 인접하는 서브픽셀들 사이에 홈부를 구비할 수 있다.
- [0101] 도 11은 본 발명의 제1 실시예에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면이고, 도 12는 도 11의 절취선 IV-IV'에 따라 절취한 단면도이다. 도 11은 전술한 도 4에 도시된 3개의 서브픽셀들을 확장하여 6개의 서브픽셀을 나타낸 것으로, 중복되는 설명은 생략하기로 한다.
- [0102] 도 11을 참조하면, 기판(SUB1)의 표시영역 상에는 제1 행과 제2 행에 각각 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3)이 형성된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 각각에는 유기발광 다이오드(발광소자)와

유기발광 다이오드를 구동하는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR) 등을 포함하는 회로가 형성된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 각각은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 동작에 대응하여 유기발광 다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3) 사이에는 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제3 데이터 라인들(DL1 ~ DL3)이 배치된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 서브픽셀(SPn1) 내지 제3 서브픽셀(SPn3)을 가로지르며 배치된다.

[0103] 센싱 라인(VREF)은 센싱 연결라인(VREFC)을 통해 제1 내지 제3 서브픽셀(SPn1~SPn3)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제3 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(DR)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제3 서브픽셀(SPn1~SPn3)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.

[0104] 도 12를 참조하여, 제1 행과 제2 행 각각에 배치된 제1 서브픽셀들의 단면 구조를 살펴보면 다음과 같다. 하기에서는 도 11에서 제1 행에 배치된 제1 서브픽셀을 상부 서브픽셀로 명명하여 도면부호를 SPn1-1로 표시하고, 제2 행에 배치된 제1 서브픽셀을 하부 서브픽셀로 명명하여 도면부호를 SPn1-2로 표시하여 설명한다.

[0105] 도 12를 참조하면, 기판(SUB1) 상의 상부 서브픽셀(SPn1-1)에 광차단층(LS)이 위치하고, 광차단층(LS)과 이격된 영역에 전원 연결라인(EVDDC)이 위치한다. 기판(SUB1) 상의 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2) 사이에 센싱 연결라인(VREFC)이 위치한다. 광차단층(LS), 전원 연결라인(EVDDC) 및 센싱 연결라인(VREFC)을 포함하는 기판(SUB1) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF) 상의 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2) 각각에 반도체층(ACT)이 위치한다.

[0106] 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2) 각각의 반도체층(ACT) 상에 게이트 절연막(GI)이 위치하고, 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GAT)이 위치한다. 게이트 전극(GAT)들 상에 게이트 전극(GAT)들을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD) 상의 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2)에 소스 전극(SE) 및 드레인 전극(DE)이 각각 위치한다. 소스 전극(SE) 및 드레인 전극(DE)은 반도체층(ACT)의 소스 및 드레인 영역을 각각 노출하는 콘택홀들(CH)을 통해 반도체층(ACT)에 연결된다. 따라서, 반도체층(ACT), 게이트 전극(GAT), 소스 전극(SE) 및 드레인 전극(DE)을 포함하는 박막트랜지스터가 구성된다. 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2)의 일측에 제1 데이터 라인(DL1)이 위치한다.

[0107] 박막트랜지스터를 포함하는 기판(SUB1) 상에 패시베이션막(PAS)이 위치하고, 패시베이션막(PAS)의 일부 영역에는 상부 서브픽셀(SPn1-1)의 박막트랜지스터의 드레인 전극(DE)을 노출시키는 제1 비아홀(VIA1)이 위치한다. 패시베이션막(PAS) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)의 일부 영역에는 상부 서브픽셀(SPn1-1)의 패시베이션막(PAS)의 제1 비아홀(VIA1)을 노출하여 드레인 전극(DE)을 노출시키는 제3 비아홀(VIA3)이 위치한다.

[0108] 오버코트층(OC) 상의 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2)에 유기발광 다이오드(ED)가 각각 형성된다. 유기발광 다이오드(ED)는 제1 전극(ANO), 제1 전극(ANO)과 대향하는 제2 전극(CAT), 및 제1 전극(ANO)과 제2 전극(CAT) 사이에 개재된 유기 발광층(EML)을 포함한다. 제1 전극(ANO)은 애노드 전극일 수 있고, 제2 전극(CAT)은 캐소드 전극일 수 있다.

[0109] 제1 전극(ANO)은 오버코트층(OC) 상에 위치하여, 오버코트층(OC)을 관통하는 제1 및 제3 비아홀(VIA1, VIA3)을 통해 드레인 전극(DE)에 연결될 수 있다. 제1 전극(ANO)이 형성된 기판(SUB1) 상에 뱅크층(BNK)이 위치한다. 뱅크층(BNK)은 제1 뱅크층(BNK1) 및 제2 뱅크층(BNK2)을 포함한다. 제1 뱅크층(BNK1)은 제1 전극(ANO)을 노출하는 제1 개구부(OP1)를 포함하고, 제2 뱅크층(BNK2)은 제1 뱅크층(BNK1)의 일부 및 제1 전극(ANO)을 노출하는 제2 개구부(OP2)를 포함한다. 제2 개구부(OP2)는 제1 개구부(OP1)보다 큰 면적으로 형성되어, 제1 뱅크층(BNK1)의 일부를 노출할 수 있다. 뱅크층(BNK)이 형성된 기판(SUB1) 상에는 유기 발광층(EML)이 위치하고, 유기 발광층(EML) 상에 제2 전극(CAT)이 위치한다.

[0110] 한편, 본 발명의 오버코트층(OC)은 상부 서브픽셀(SPn1-1)과 하부 서브픽셀(SPn1-2) 사이에 홈부(OCG)를 구비한다. 구체적으로, 홈부(OCG)는 상부 서브픽셀(SPn1-1)의 제1 전극(ANO)과 하부 서브픽셀(SPn1-2)의 제1 전극(ANO) 사이에 배치된다. 오버코트층(OC)의 홈부(OCG)는 기판(SUB1) 방향으로 웜푹 파인 형상으로, 유기 발광층(EML)을 형성하기 위한 유기 발광물질이 일부 채워져 유기 발광물질의 흐름성을 일부 감소시키는 역할을 한다. 홈부(OCG)는 유기 발광물질이 일부 채워질 수 있도록 일정 깊이(D)를 가진다. 홈부(OCG)의 깊이(D)는 유기 발광

층(EML)의 두께에 대해 1.2 내지 3.5배로 이루어질 수 있다. 홈부(OCG)의 깊이(D)가 유기 발광층(EML)의 두께에 대해 1.2배 이상이면, 유기 발광물질이 토출된 후 퍼지다가 홈부(OCG)에 일부 채워져 흐름성을 감소시킬 수 있다. 따라서, 인접한 서브픽셀들 간에 유기 발광물질이 이물 등에 의해 퍼짐성이 달라져 두께가 서로 다르게 형성되는 것을 방지할 수 있다. 또한, 홈부(OCG)의 깊이(D)가 유기 발광층(EML)의 두께에 대해 3.5배 이하이면, 유기 발광물질이 인접한 서브픽셀로 퍼지는 것을 차단하는 것을 방지할 수 있다.

[0111] 오버코트층(OC)의 홈부(OCG) 상에는 제1 뱅크층(BNK)이 형성되고, 제1 뱅크층(BNK1) 위로 유기 발광층(EML)과 제2 전극(CAT)이 형성된다. 따라서, 홈부(OCG)는 제1 뱅크층(BNK1), 유기 발광층(EML) 및 제2 전극(CAT)과 중첩된다. 또한, 홈부(OCG)는 하부의 센싱 연결라인(VREFC)과 중첩된다. 홈부(OCG)는 제1 뱅크층(BNK1)의 제1 개구부(OP1)와 비중첩하며, 제2 뱅크층(BNK2)의 제2 개구부(OP2)와 중첩하여 배치된다.

[0112] 이하, 본원 발명의 오버코트층(OC)의 홈부(OCG)의 평면 배치와 단면 구조를 구체적으로 살펴보기로 한다.

[0113] 도 13은 본 발명의 유기발광표시장치를 나타낸 평면도이고, 도 14는 도 13의 절취선 V-V'에 따른 단면도이며, 도 15는 도 13의 절취선 VI-VI'에 따른 단면도이고, 도 16은 홈부로 인한 유기 발광층의 퍼짐을 개략적으로 나타낸 단면도이다.

[0114] 도 13을 참조하면, 각 서브픽셀(R, G, B)들은 제1 뱅크층(BNK1)으로 정의된 발광영역(EP)을 포함한다. 오버코트층의 홈부(OCG)는 서브픽셀들(R, G, B)의 사이에 배치될 수 있다.

[0115] 구체적으로, 홈부(OCG)는 제2 방향(y축 방향)으로 배열된 서브픽셀(R, R, R)들의 발광영역(EP) 사이에 배치될 수 있다. 도 13에서 제1 방향은 서브픽셀들(R, G, B)의 단변이 연장된 방향일 수 있으며, 홈부(OCG)는 서브픽셀들(R, G, B)의 단변이 연장된 방향과 나란하게 연장된다. 홈부(OCG)는 제2 방향으로 배열된 서브픽셀(R, R, R, 또는 G, G, G, 또는 B, B, B)들의 발광영역(EP) 사이에 배치된 영역일 수 있다. 다시 말해서, 홈부(OCG)는 서로 동일한 색을 발광하는 서브픽셀들 사이에 배치될 수 있다. 홈부(OCG)는 제1 방향(x축 방향)으로 제2 뱅크층(BNK2)을 사이에 두고 서로 이격하여 배치된다. 또한, 홈부(OCG)는 제1 뱅크층(BNK1)과 중첩하며, 제2 뱅크층(BNK2)과 일부 중첩하여 배치된다. 또한, 홈부(OCG)는 제1 전극(ANO)의 단변과 나란하게 배치된다.

[0116] 도 14를 참조하면, 패시베이션막(PAS) 상에 오버코트층(OC)이 배치되고, 오버코트층(OC)에 홈부(OCG)가 형성된다. 오버코트층(OC) 상에 제1 전극들(ANO)이 서로 이격하여 배치된다. 제1 전극들(ANO) 상에 제1 전극(ANO)을 노출하는 제1 개구부(OP1)가 구비된 제1 뱅크층(BNK1)이 배치된다. 제1 전극들(ANO)과 제1 뱅크층(BNK1) 상에 유기 발광층(EML)이 배치되고, 유기 발광층(EML) 상에 제2 전극(CAT)이 배치된다. 제1 뱅크층(BNK1)은 홈부(OCG)를 완전히 덮고, 유기 발광층(EML)은 제1 뱅크층(BNK1)을 완전히 덮도록 형성된다.

[0117] 또한, 도 15를 참조하면, 홈부(OCG)는 일부 가장자리가 제2 뱅크층(BNK2)과 중첩하여 배치된다. 제2 뱅크층(BNK2)은 일측이 홈부(OCG)의 바닥면과 중첩되어 배치된다. 따라서, 소수성의 제2 뱅크층(BNK2)은 유기 발광물질이 제2 뱅크층(BNK2)을 넘어 퍼지는 것을 방지할 수 있다. 홈부(OCG)는 오버코트층 물질을 기판 상에 형성한 후, 하프톤 마스크(half-tone mask)를 이용하여 형성할 수 있다.

[0118] 서브픽셀에 이물(particle)이 존재하는 경우, 적하된 유기 발광물질이 이물로 인해 잘 퍼지지 못하고 이물 주변으로 유기 발광물질이 모여들어 두께가 두껍게 형성될 수 있다. 이로 인해 이물이 존재하는 서브픽셀의 유기 발광층의 두께가 두껍고 인접한 서브픽셀의 유기 발광층의 두께가 상대적으로 얇게 형성될 수 있다.

[0119] 도 16에 도시된 바와 같이, 본 발명은 이물이 존재하여도 이물 주변으로 모여드는 유기 발광물질을 홈부(OCG)에 일부 채워지게 함으로써, 유기 발광물질의 흐름성을 저하시켜 서브픽셀들 간의 두께(a, b)를 균일하게 형성할 수 있다. 따라서, 서브픽셀 간의 유기 발광층의 두께 불균일에 따른 흐도 차이를 감소시켜 표시 품질을 향상시킬 수 있다.

[0120] 전술한 본 발명의 오버코트층의 홈부는 다양한 형상으로 배치될 수 있다.

[0121] 도 17은 본 발명의 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 18은 도 17의 절취선 VII-VII'에 따른 단면도이며, 도 19는 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 20은 도 19의 절취선 VIII-VIII'에 따른 단면도이다.

[0122] 도 17을 참조하면, 오버코트층의 홈부(OCG)는 서브픽셀들(R, G, B)의 사이에 배치될 수 있다. 구체적으로, 홈부(OCG)는 제2 방향(y축 방향)으로 배열된 서브픽셀(R, R, R)들의 발광영역(EP) 사이에 배치될 수 있다. 홈부(OCG)는 서브픽셀들(R, G, B)의 단변이 연장된 방향과 나란하게 연장된다. 홈부(OCG)는 제1 방향(x축 방향)으로 제2 뱅크층(BNK2)을 사이에 두고 서로 이격하여 배치된다. 또한, 홈부(OCG)는 제1 뱅크층(BNK1)과 중첩하나, 제

2 뱅크층(BNK2)과 비중첩하여 배치된다.

[0123] 도 18을 참조하면, 패시베이션막(PAS) 상에 오버코트층(OC)이 배치되고, 오버코트층(OC)에 홈부(OCG)가 형성된다. 오버코트층(OC) 상에 제1 전극들(ANO)이 서로 이격하여 배치된다. 제1 전극들(ANO) 상에 제1 전극(ANO)을 노출하는 제1 개구부(OP1)가 구비된 제1 뱅크층(BNK1)이 배치된다. 제1 전극들(ANO)과 제1 뱅크층(BNK1) 상에 유기 발광층(EML)이 배치되고, 유기 발광층(EML) 상에 제2 전극(CAT)이 배치된다. 제1 뱅크층(BNK1)은 홈부(OCG)를 완전히 덮고, 유기 발광층(EML)은 제1 뱅크층(BNK1)을 완전히 덮도록 형성된다. 홈부(OCG)는 제2 뱅크층(BNK2)과 비중첩하여 배치된다. 다시 말해서, 홈부(OCG)는 평면 상에서 제2 뱅크층(BNK2)과 이격된다.

[0124] 한편, 도 19를 참조하면, 홈부(OCG)는 인접한 2개의 서브픽셀들 사이에서 복수 개로 형성될 수 있다. 복수의 홈부(OCG)는 서브픽셀들의 장면이 연장된 제2 방향(y축 방향)으로 서로 이격됨으로써, 제2 방향으로 퍼지는 유기 발광물질의 흐름성을 저하시켜 인접한 서브픽셀들의 유기 발광층의 두께를 균일하게 형성할 수 있다. 도 19에서 홈부(OCG)가 제2 뱅크층(BNK2)과 비중첩하도록 배치하였으나, 전술한 것처럼 홈부(OCG)는 제2 뱅크층(BNK2)과 중첩될 수 있다.

[0125] 도 20에 도시된 바와 같이, 복수의 홈부(OCG)는 유기 발광물질이 퍼져나갈 때 여러 개의 단차로써 작용하기 때문에 유기 발광물질의 흐름성을 더욱 저하시킬 수 있는 이점이 있다. 도시하지 않았지만, 복수의 홈부(OCG)는 그 깊이를 서로 다르게 형성할 수도 있고, 이격된 간격을 서로 다르게 형성할 수도 있다. 본 발명의 홈부(OCG)는 유기 발광물질의 흐름성을 저하시킬 수 있다면 다양한 형상을 가질 수 있으며 특별히 한정되지 않는다.

[0126] 도 21은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도이다.

[0127] 도 21을 참조하면, 각 서브픽셀(R, G, B)들은 제1 전극(ANO) 위에서 제1 뱅크층(BNK1)의 제1 개구부(OP1)로 정의된 발광영역(EP)을 포함한다. 제1 뱅크층(BNK1) 상에 상기 제1 개구부(OP1)를 노출시키는 제2 개구부(OP2)를 포함하는 제2 뱅크층(BNK2)이 위치한다. 오버코트층의 홈부(OCG)는 서브픽셀들(R, G, B)의 사이에 배치될 수 있다. 오버코트층의 홈부(OCG)의 구성은 전술하였으므로, 하기에서는 전술한 실시예들과 다른 구조를 가지는 제2 뱅크층(BNK2)의 구성을 설명하기로 한다.

[0128] 제2 뱅크층(BNK2)은 서브픽셀들 중 서로 상이한 색을 발광하는 서브픽셀들 사이에 위치한다. 복수의 제2 개구부(OP2)들은 제1 방향(x축 방향)으로 서로 나란하게 배열되며, 제2 방향(y축 방향)으로 각각 연장된다. 제2 개구부(OP2)는 제2 방향으로 연장되어, 제2 방향을 따라 배치된 각 서브픽셀들의 제1 전극(ANO)들을 노출시킨다. 또한 제2 개구부(OP2)는 제2 방향으로 연장되어, 제2 방향을 따라 배치된 복수의 제1 개구부(OP1)들을 노출시킨다.

[0129] 전술한 실시예들에서는 제2 뱅크층(BNK2)의 제2 개구부(OP2)가 바(bar) 형상으로 이루어진 것을 도시하고 설명하였다. 그러나 본 실시예에서는 제2 뱅크층(BNK2)이 홈부(OCG)를 향해 돌출된 돌출부(BPP)들을 포함할 수 있다.

[0130] 앞서 설명한 바와 같이, 홈부(OCG)는 유기 발광물질의 흐름성을 일부 저하시키는 작용을 한다. 본 발명의 제2 뱅크층(BNK2)의 돌출부(BPP)은 유기 발광물질이 흘러가는 통로인 제2 개구부(OP2)의 길이 방향과 교차하는 방향으로 형성되어, 유기 발광물질의 흐름성을 일부 저하시킬 수 있다. 따라서, 제2 뱅크층(BNK2)의 돌출부(BPP)들은 홈부(OCG)와 더불어 유기 발광물질의 흐름성을 일부 저하시켜, 서브픽셀들 간의 유기 발광층의 두께를 균일하게 형성할 수 있다. 따라서, 서브픽셀 간의 유기 발광층의 두께 불균일에 기인하는 휘도 차이를 감소시켜 표시 품질을 향상시킬 수 있다. 또한, 유기 발광층 내부의 전류 밀도 차이를 저감하여 소자의 수명 저하를 방지하고 암점 발생을 방지하여 공정 수율을 향상시킬 수 있다.

[0131] 제2 뱅크층(BNK2)의 돌출부(BPP)들은 서로 마주보도록 배치될 수 있지만, 이에 한정되지 않으며, 적어도 제2 뱅크층(BNK2)의 일측에만 배치될 수도 있다. 즉, 제2 뱅크층(BNK2)의 돌출부(BPP)들은 서브픽셀들(R, G, B) 사이에만 배치된다면 그 개수는 특별히 한정되지 않는다.

[0132] 상기와 같이, 본 발명의 실시예에 따른 유기발광표시장치는 이물이 존재하여도 이를 주변으로 모여드는 유기 발광물질을 홈부에 일부 채워지게 함으로써, 유기 발광물질의 흐름성을 저하시켜 서브픽셀들 간의 유기 발광층의 두께를 균일하게 형성할 수 있다. 따라서, 서브픽셀 간의 유기 발광층의 두께 불균일에 기인하는 휘도 차이를 감소시켜 표시 품질을 향상시킬 수 있다. 또한, 유기 발광층 내부의 전류 밀도 차이를 저감하여 소자의 수명 저하를 방지하고 암점 발생을 방지하여 공정 수율을 향상시킬 수 있다.

[0133] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0134]

SUB1 : 기판 BNK : 뱅크층

BNK1 : 제1 뱅크층 BNK2 : 제2 뱅크층

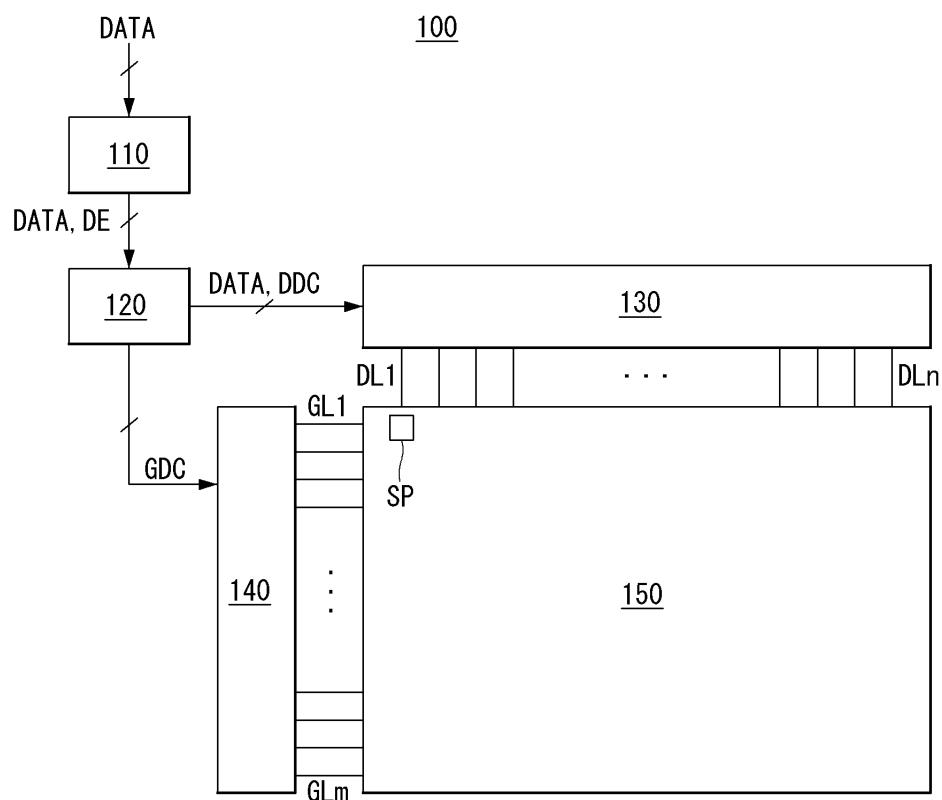
OC : 오버코트층 OCG : 홈부

ANO : 제1 전극 EML : 유기 발광층

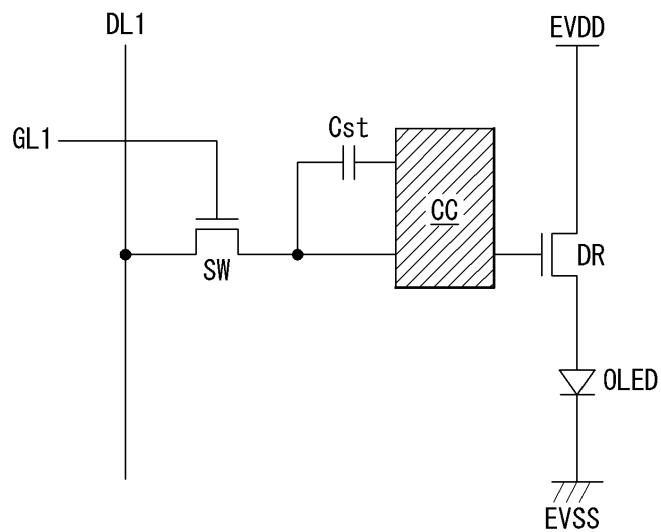
CAT : 제2 전극

도면

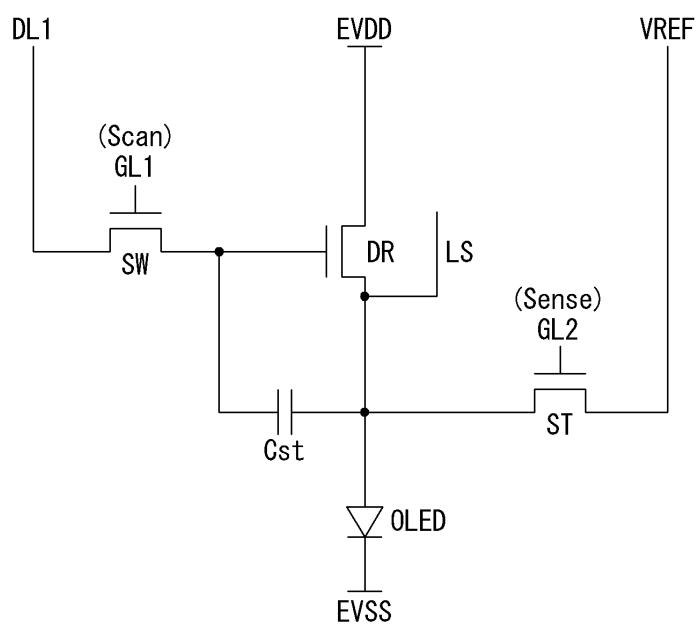
도면1



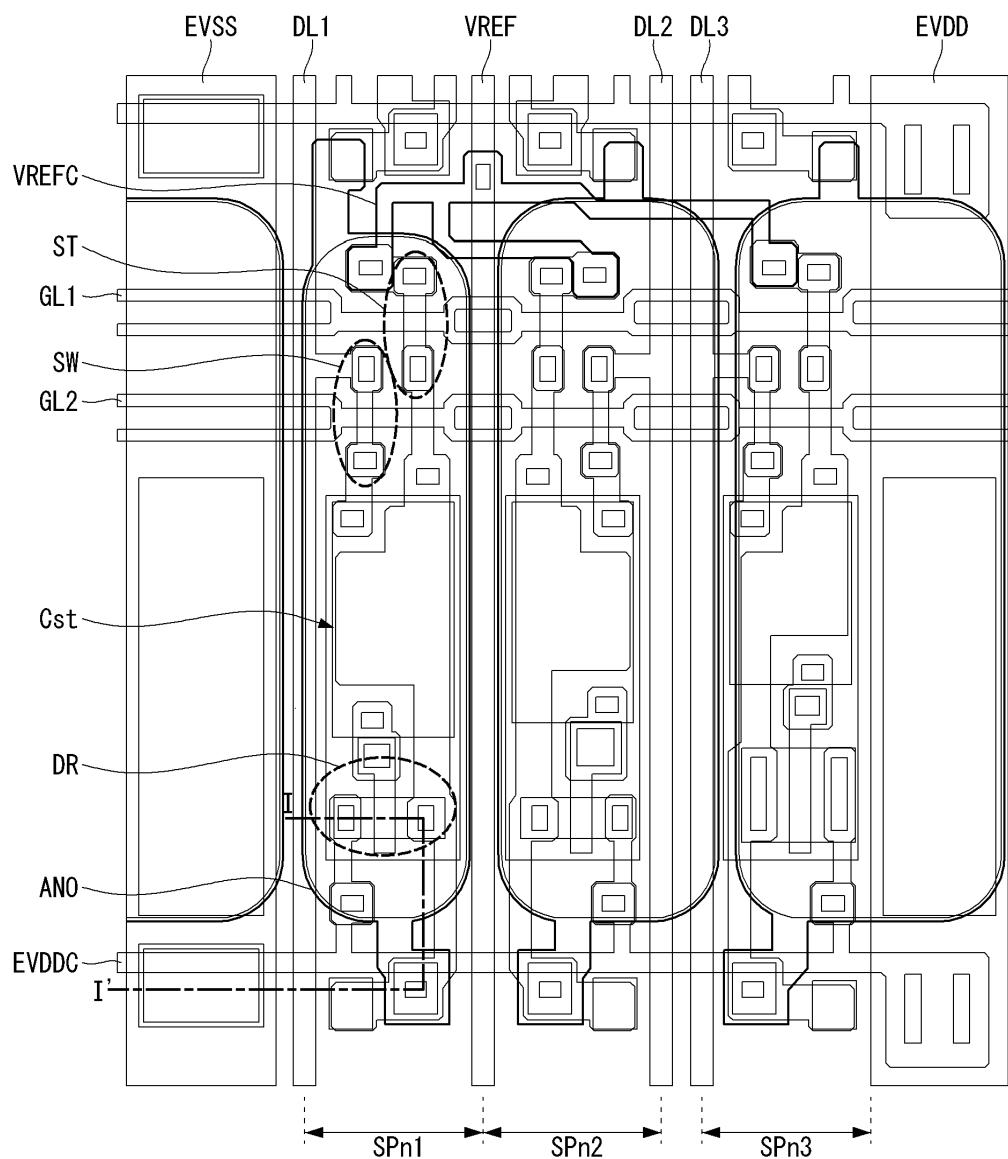
도면2



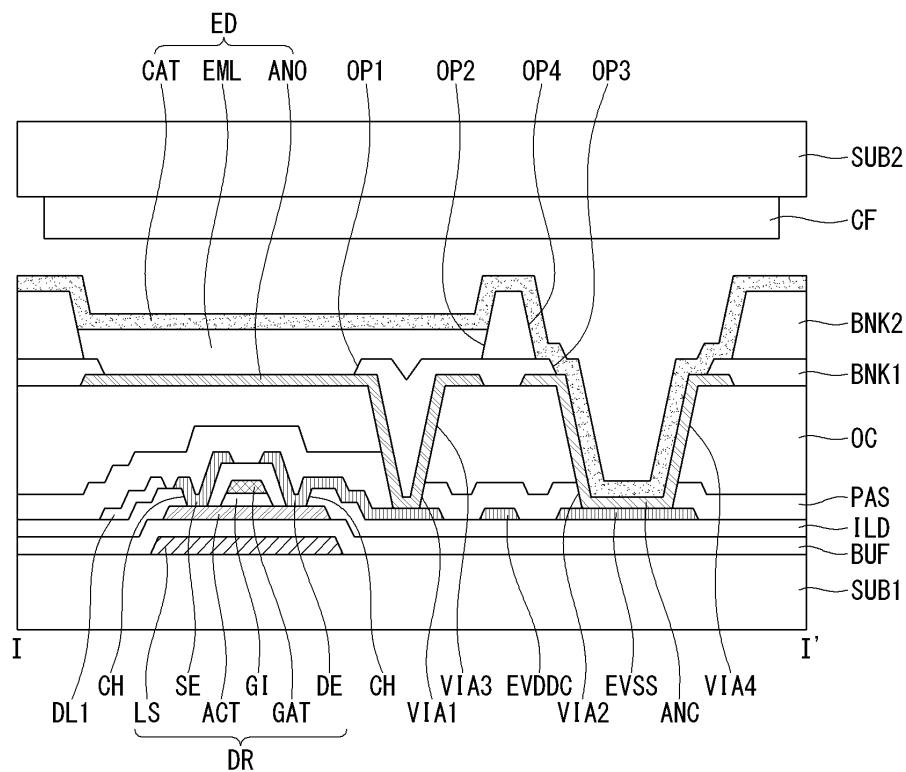
도면3



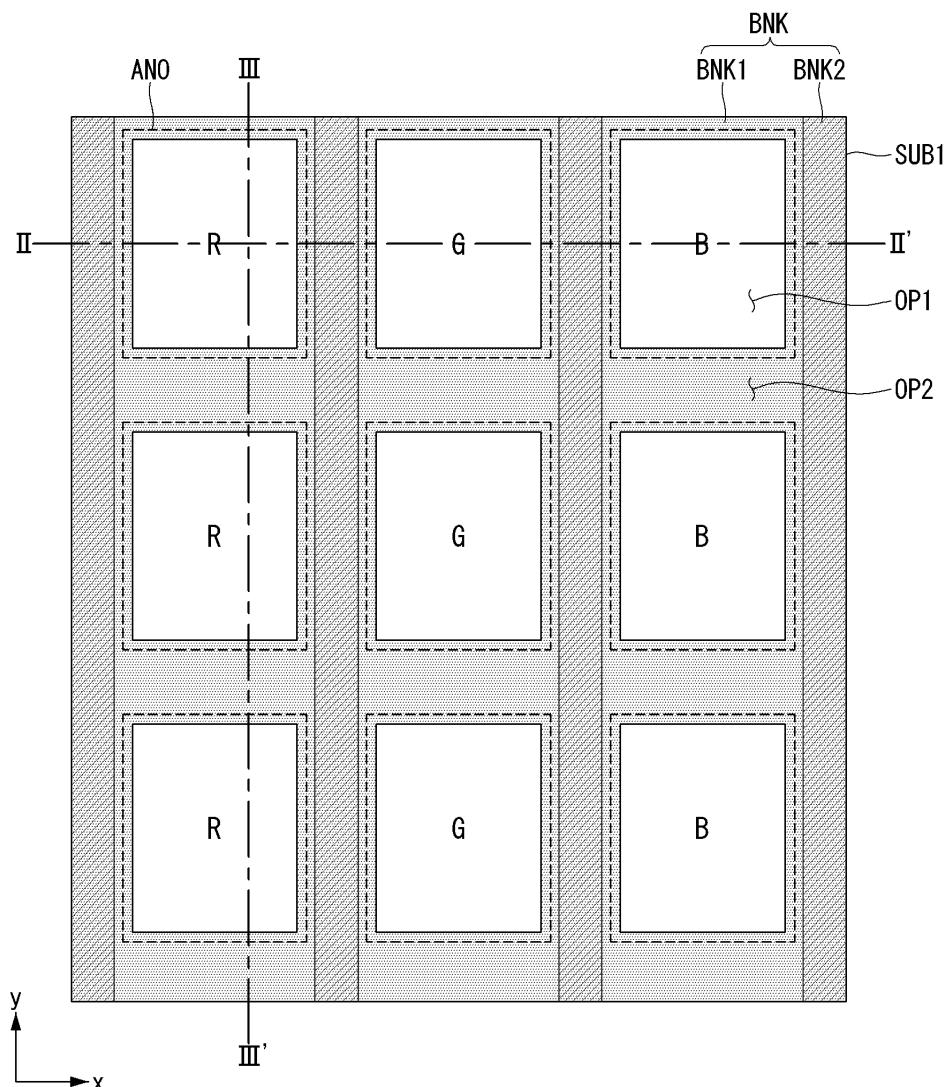
도면4



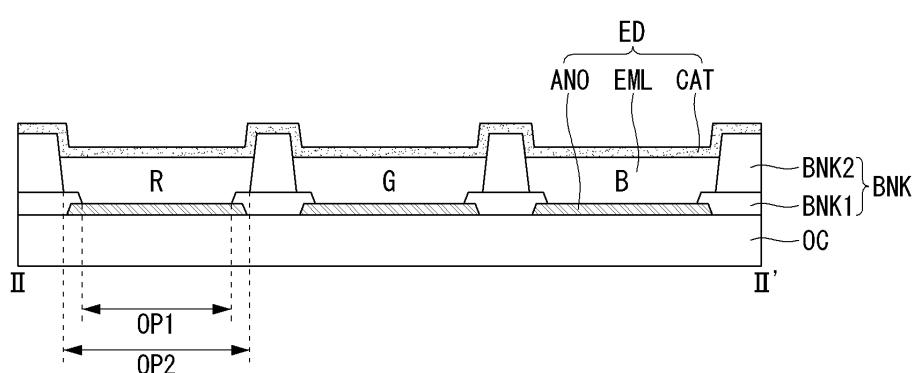
도면5



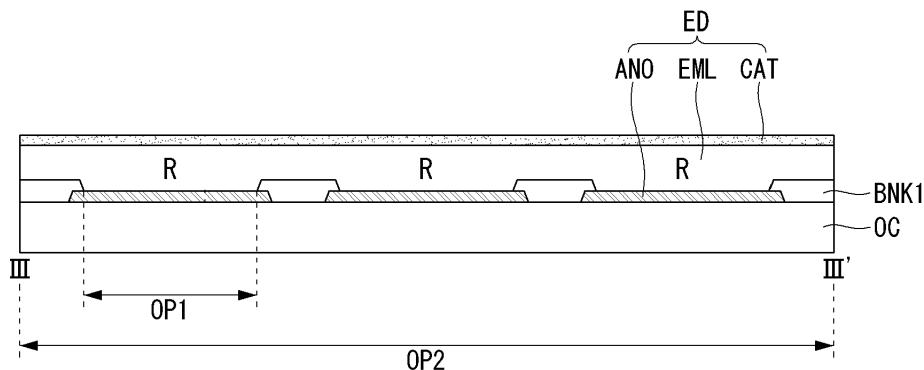
도면6



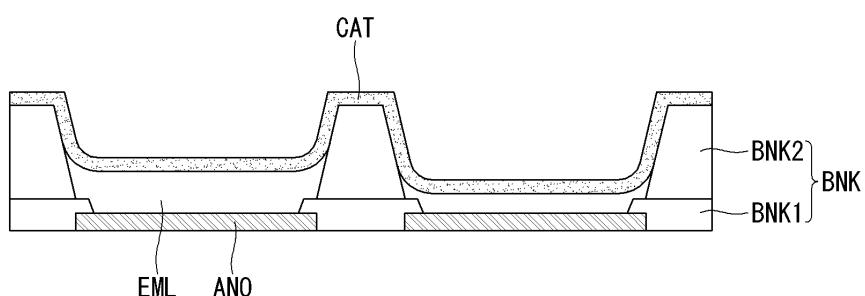
도면7



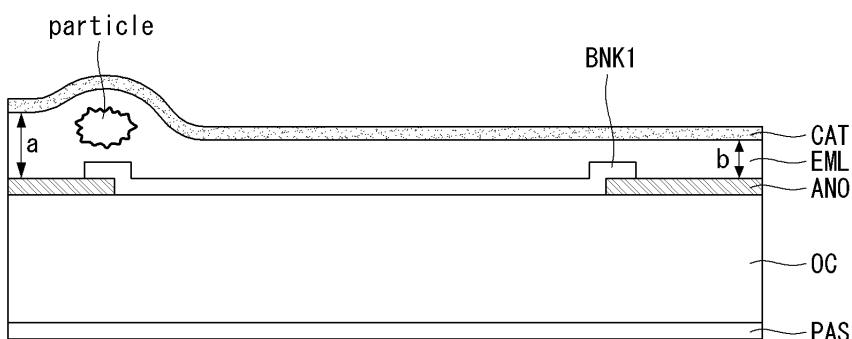
도면8



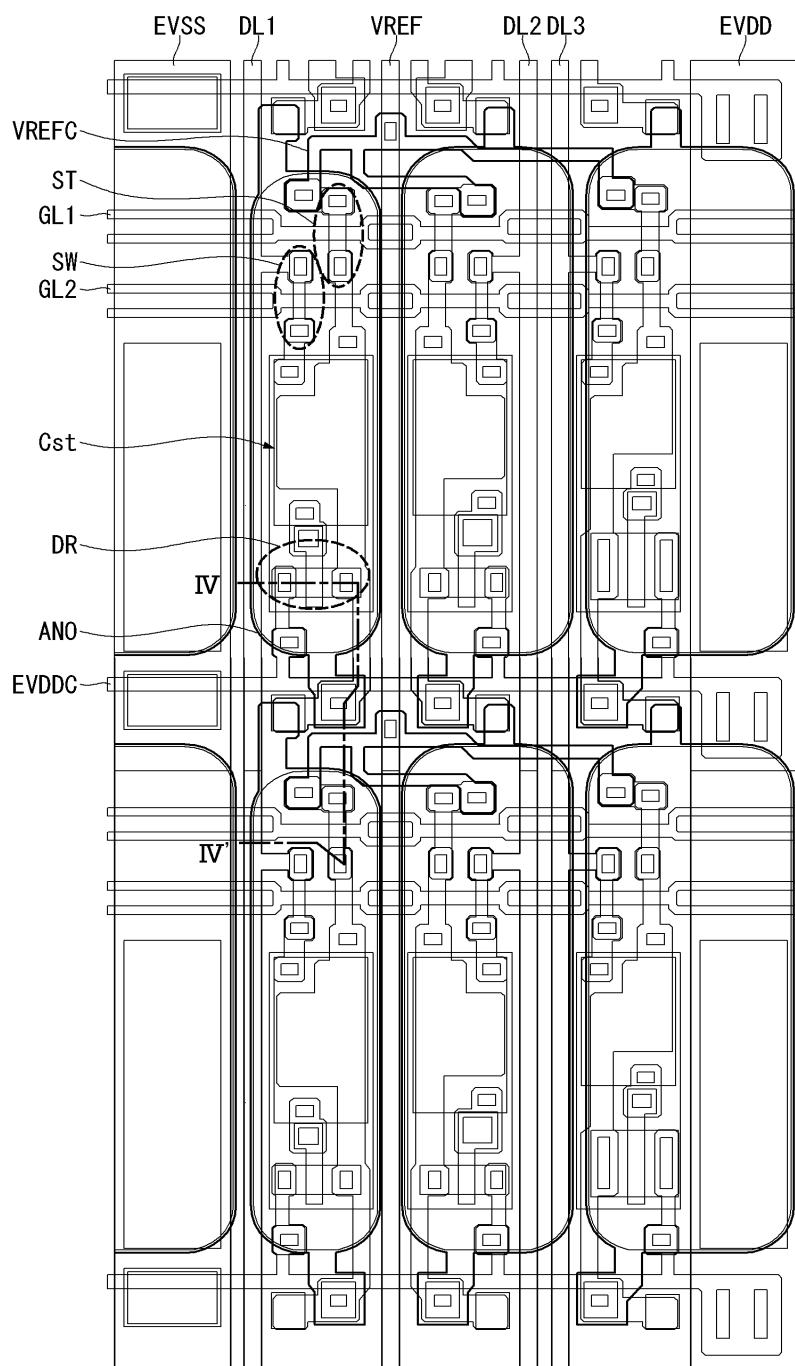
도면9



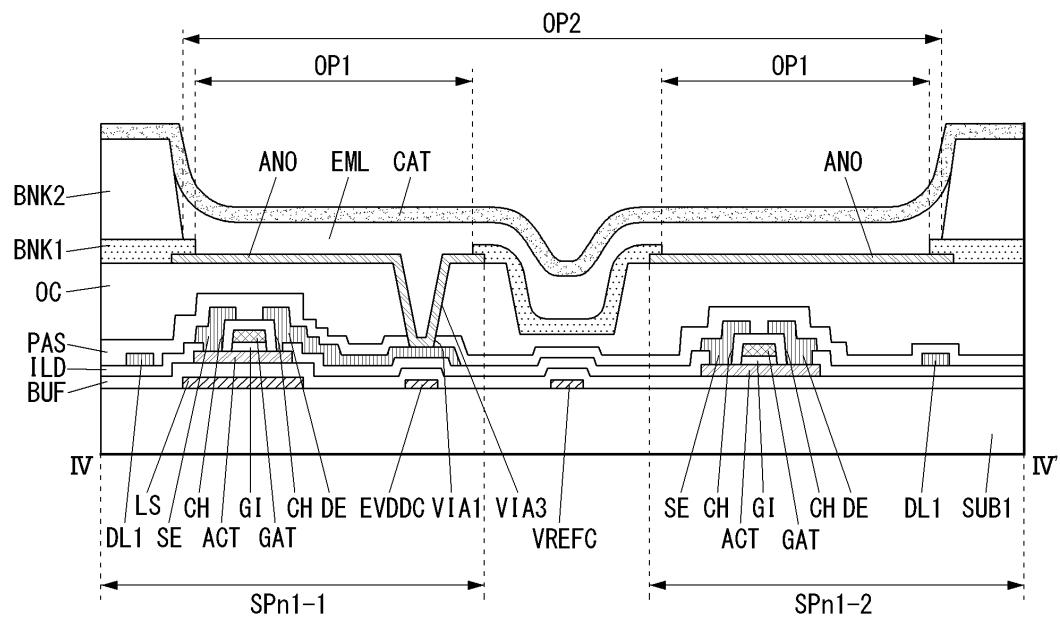
도면10



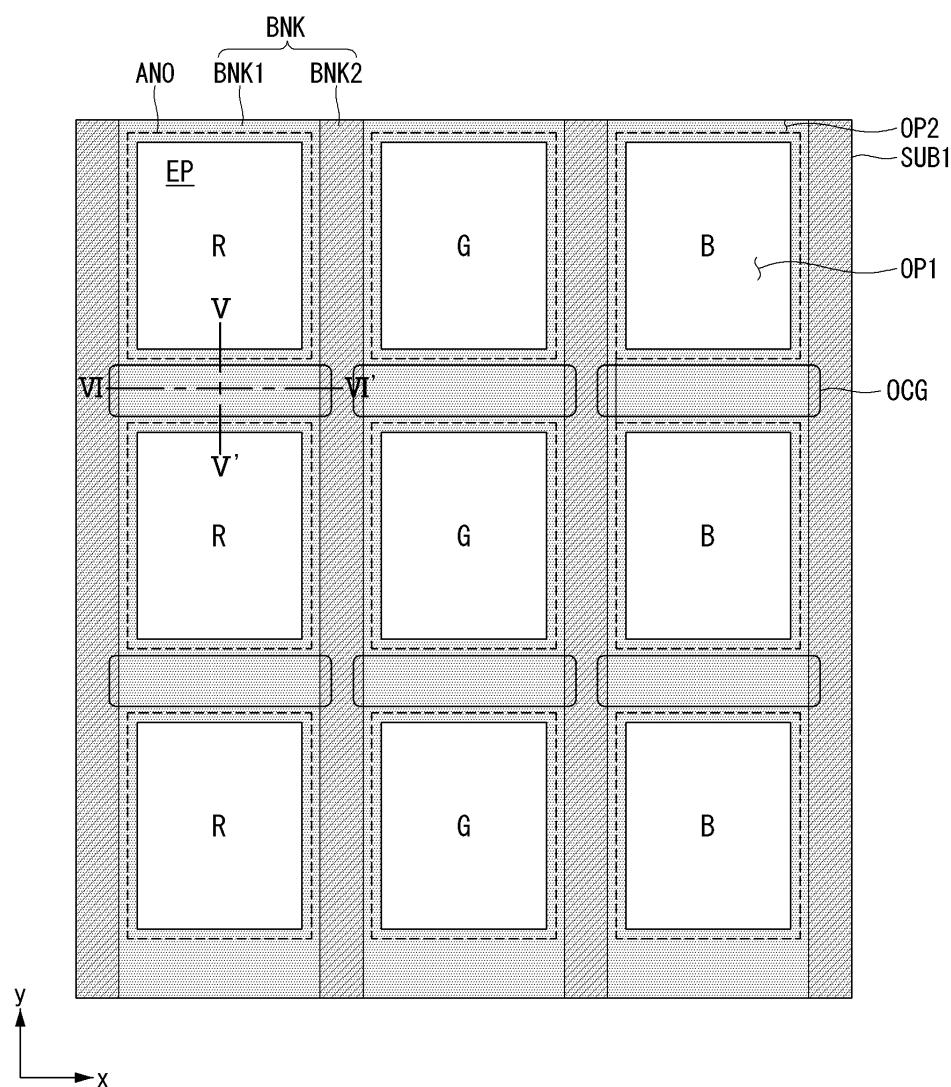
도면11



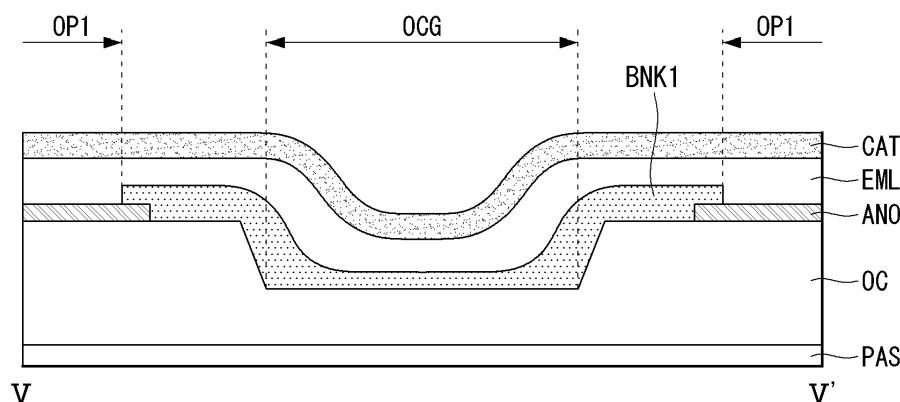
도면12



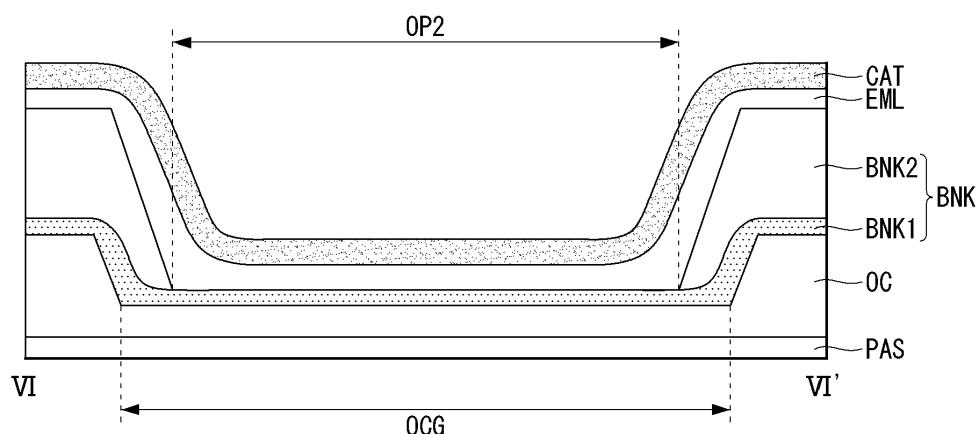
도면13



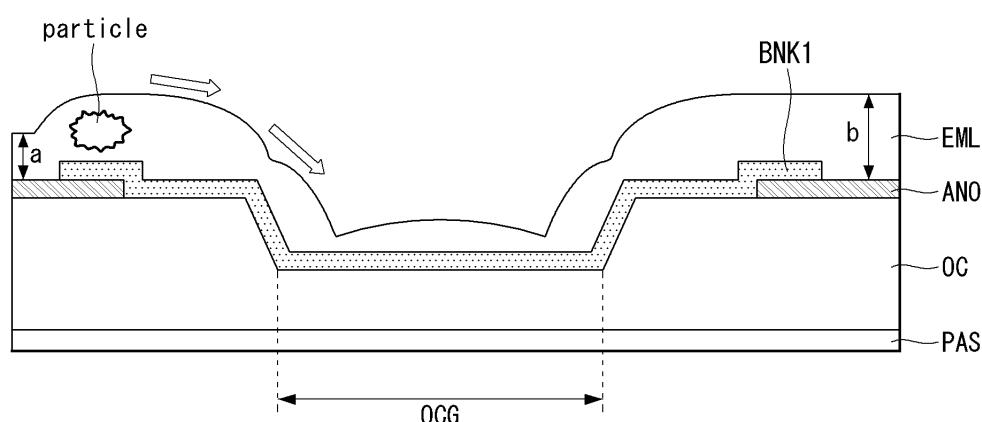
도면14



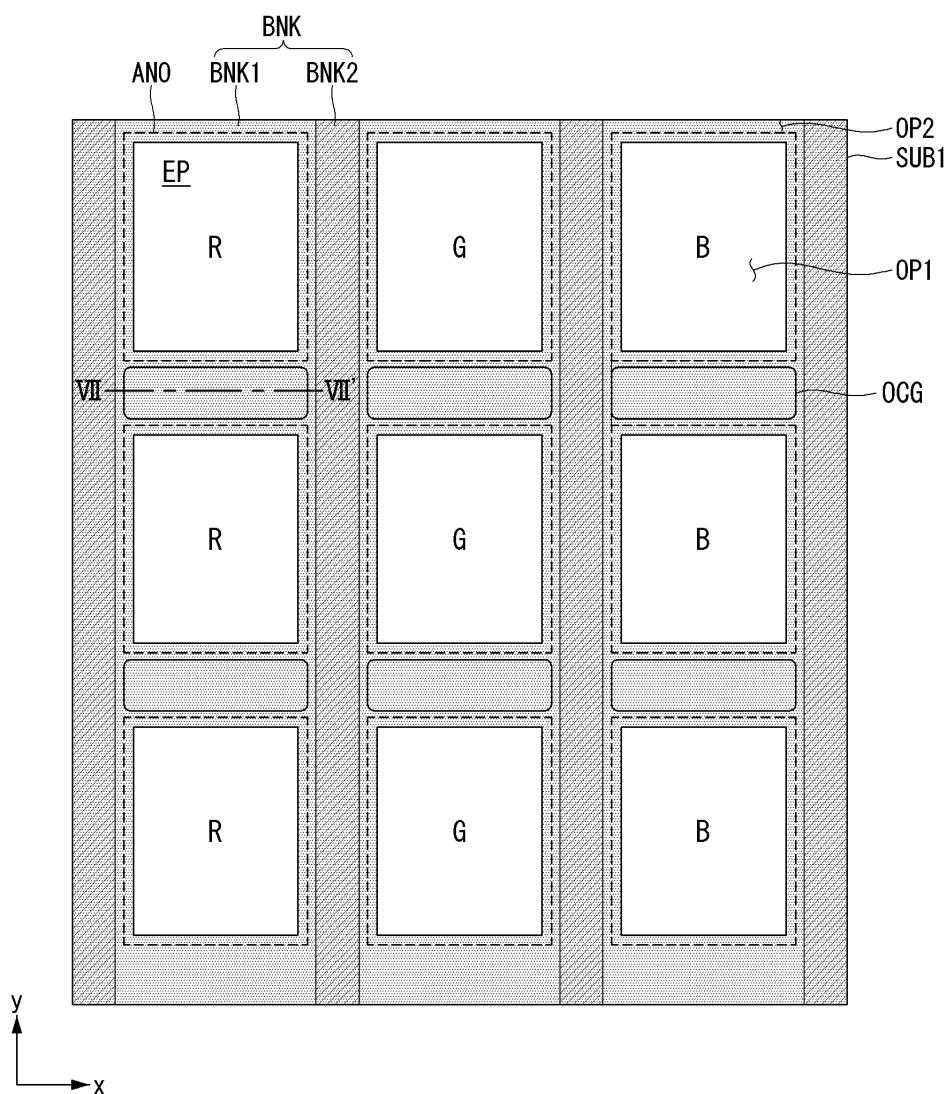
도면15



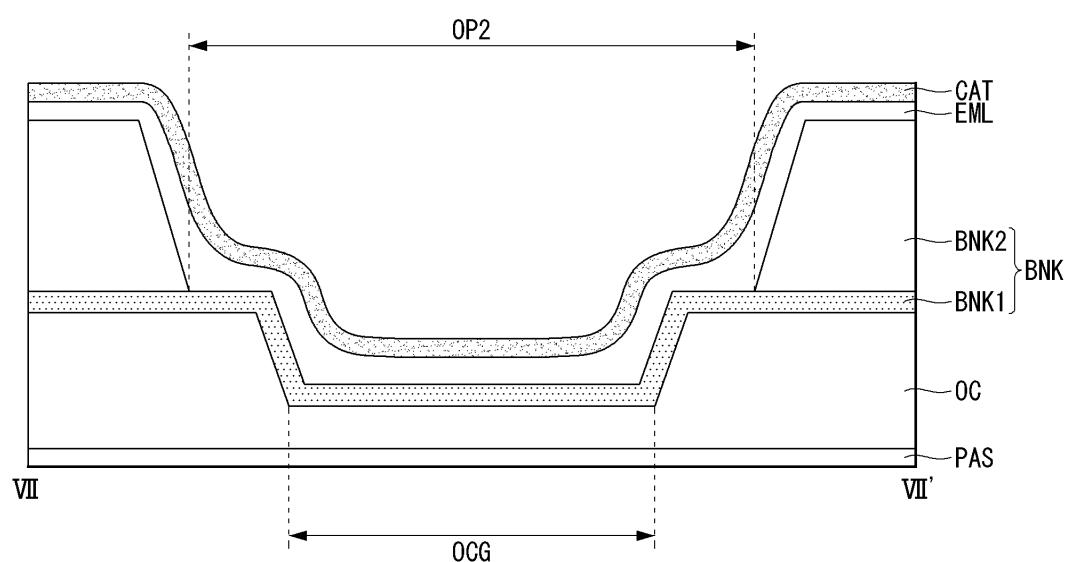
도면16



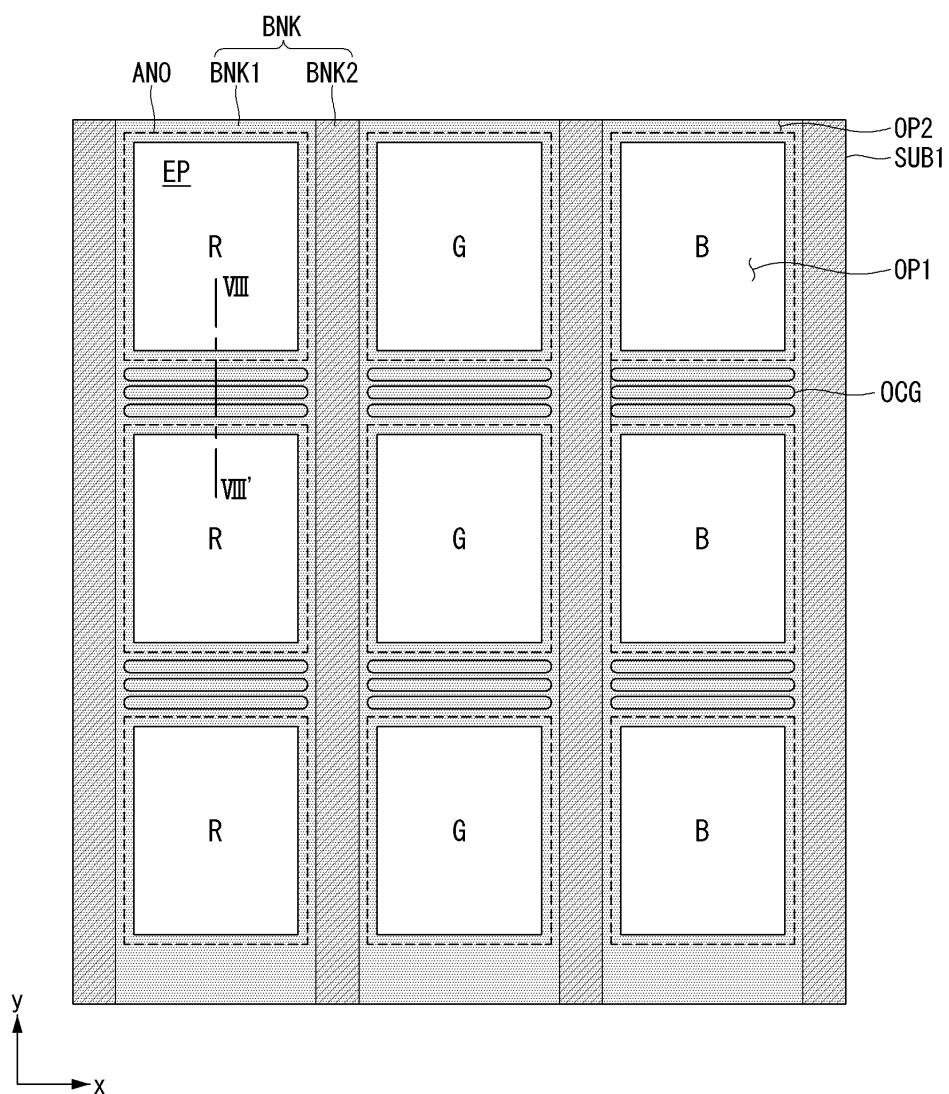
도면17



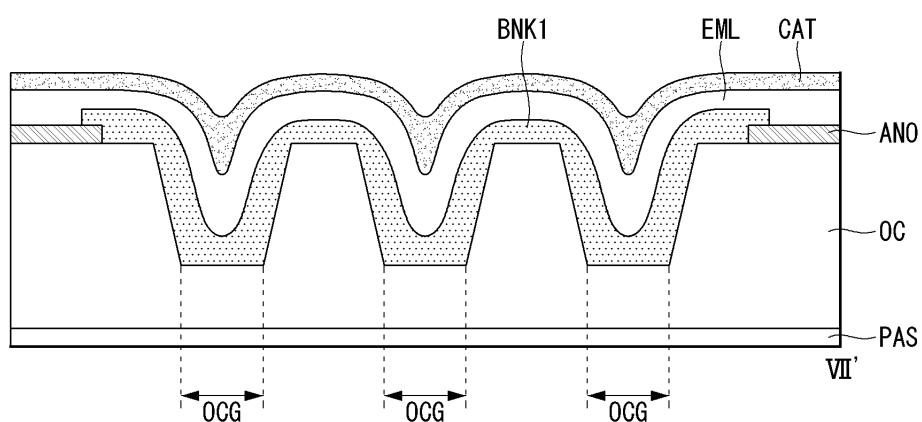
도면18



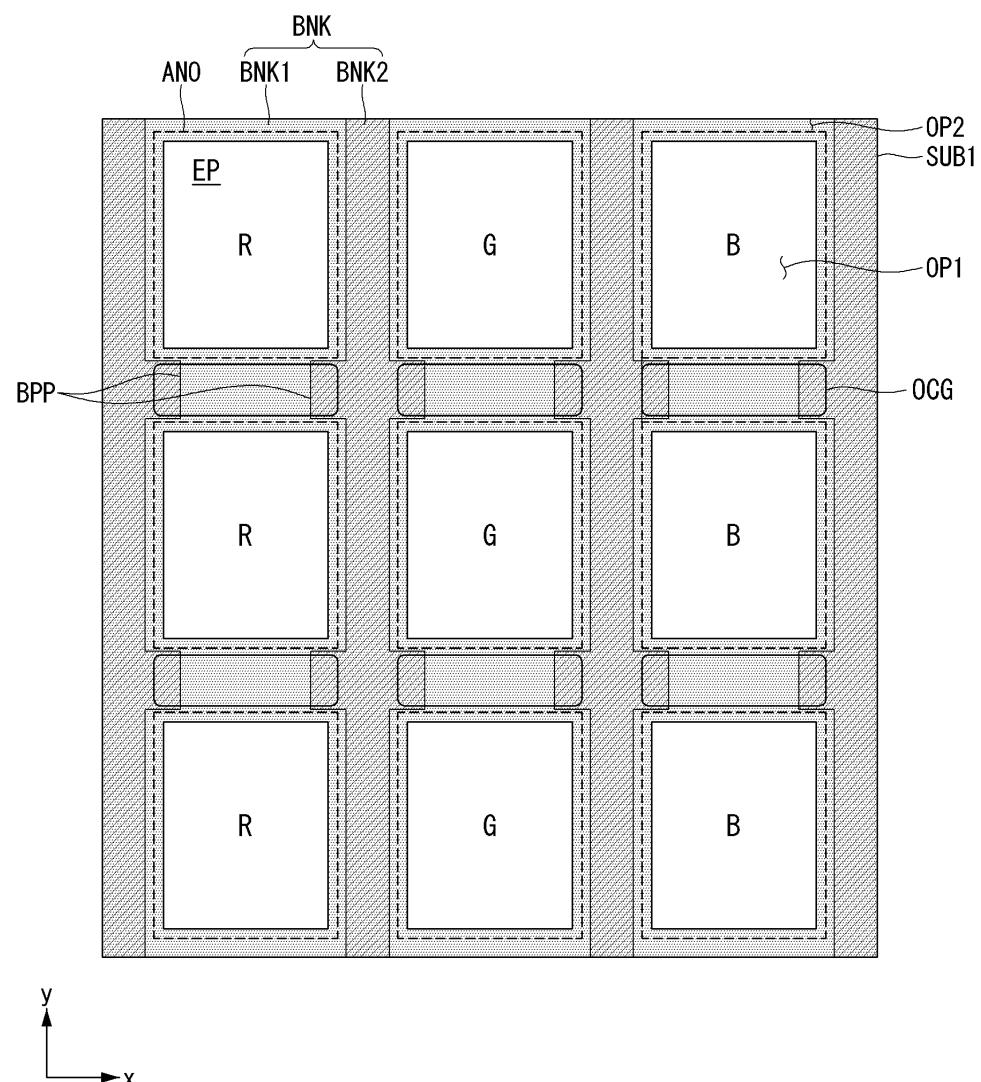
도면19



도면20



도면21



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200074593A	公开(公告)日	2020-06-25
申请号	KR1020180163168	申请日	2018-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최광용 공인영		
发明人	최광용 공인영		
IPC分类号	H01L27/32 H01L51/50 H01L51/52		
CPC分类号	H01L27/3246 H01L27/3211 H01L51/50 H01L51/5237		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的有机发光显示装置包括:基板,其上布置有多个子像素;至少一个薄膜晶体管,其布置在所述多个子像素中的每一个上;覆盖层,其布置在所述薄膜晶体管上;以及 有机发光二极管的第一电极设置在保护层上并连接至薄膜晶体管,暴露第一电极的第一堤层和第一堤层设置在第一堤层和第一堤上。可以包括暴露一个电极的第二堤岸层,并且保护层可以包括设置在相邻子像素的第一电极之间的至少一个凹槽部分。

