

- (54) 발명의 명칭 전계발광 표시장치

(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 51/5012 (2013.01)

(72) 발명자

김희진

경기도 파주시 월롱면 엘지로 245

이학민

경기도 파주시 월롱면 엘지로 245

주명오

경기도 파주시 월롱면 엘지로 245

박성수

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

기관과;

상기 기관 상에 제 1 방향으로 배열된 다수의 화소를 포함하는 제 1 화소열과;

상기 기관 상에 상기 제 1 방향으로 배열된 다수의 화소를 포함하며 상기 제 1 화소열로부터 제 2 방향으로 이격된 제 2 화소열과;

상기 제 1 화소열과 상기 제 2 화소열 사이에 위치하는 제 1 홈과;

상기 제 1 화소열과 상기 제 2 화소열의 상기 다수의 화소 각각에 위치하는 발광다이오드를 포함하고,

상기 제 1 홈은, 상기 제 1 화소열의 일 끝에 대응되며 제 1 표면적을 갖는 제 1 부분, 상기 제 1 화소열의 타 끝에 대응되며 제 2 표면적을 갖는 제 2 부분과, 상기 제 1 부분과 상기 제 2 부분 사이에 위치하며 제 3 표면적을 갖는 제 3 부분을 포함하며,

상기 제 3 표면적은 상기 제 1 표면적보다 작고 상기 제 2 표면적보다 큰 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 부분은 상기 제 2 방향으로 제 1 폭을 갖고, 상기 제 2 부분은 상기 제 2 방향으로 제 2 폭을 가지며, 상기 제 3 부분은 상기 제 2 방향으로 제 3 폭을 갖고,

상기 제 3 폭은 상기 제 1 폭보다 작고 상기 제 2 폭보다 큰 전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 홈의 폭은 상기 제 1 방향을 따라 점진적으로 감소하는 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 제 1 내지 제 3 부분은 서로 연결된 전계발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 제 1 내지 제 3 부분은 서로 이격된 전계발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 홈의 표면적은 상기 제 1 방향을 따라 점진적으로 감소하는 전계발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제 1 방향으로 배열된 다수의 화소를 포함하며 상기 제 2 화소열로부터 상기 제 2 방향으로 이격된 제 3 화소열과;

상기 제 2 화소열과 상기 제 3 화소열 사이에 위치하는 제 2 홈을 더 포함하고,

상기 제 2 홈은, 상기 제 2 화소열의 일 끝에 대응되며 제 4 표면적을 갖는 제 4 부분, 상기 제 2 화소열의 타 끝에 대응되며 제 5 표면적을 갖는 제 5 부분과, 상기 제 4 부분과 상기 제 5 부분 사이에 위치하며 제 6 표면적을 갖는 제 6 부분을 포함하며,

상기 제 6 표면적은 상기 제 4 표면적보다 작고 상기 제 5 표면적보다 큰 전계발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제 4 부분은 상기 제 2 방향으로 제 4 폭을 갖고, 상기 제 5 부분은 상기 제 2 방향으로 제 5 폭을 가지며, 상기 제 6 부분은 상기 제 2 방향으로 제 6 폭을 갖고,

상기 제 4 내지 제 6 폭 각각은 상기 제 1 내지 제 3 폭과 동일한 전계발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 기판 상에, 상기 다수의 화소 각각에 위치하는 박막트랜지스터와;

상기 박막트랜지스터를 덮는 절연층과;

상기 절연층 상에 위치하며 상기 다수의 화소 각각을 둘러싸는 बैं크층을 더 포함하고,

상기 발광다이오드는, 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층을 덮는 제 2 전극을 포함하며,

상기 제 1 홈은 상기 बैं크층에 형성되는 전계발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 홈에 위치하는 물질패턴을 더 포함하고,

상기 물질패턴은 상기 절연층 및 상기 제 2 전극과 접촉하는 전계발광 표시장치.

청구항 11

제 9 항에 있어서,

상기 제 1 홈에서 상기 제 2 전극은 상기 절연층과 접촉하는 전계발광 표시장치.

청구항 12

제 9 항에 있어서,

상기뱅크층은 상기 제 1 화소열 내의 상기 화소 사이에서 제 1 두께를 갖는 제 1 뱅크층과 상기 제 1 화소열과 상기 제 2 화소열 사이에서 상기 제 1 두께보다 큰 제 2 두께를 갖는 제 2 뱅크층을 포함하는 전계발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 제 1 뱅크층은 단일층 구조를 갖고, 상기 제 2 뱅크층은 이중층 구조를 갖는 전계발광 표시장치.

청구항 14

제 12 항에 있어서,

상기 제 1 화소열 내 상기 다수의 화소에서 상기 발광층은 서로 연결되고, 상기 제 1 화소열 내 상기 화소와 상기 제 2 화소열 내 상기 화소에서 상기 발광층은 서로 분리된 전계발광 표시장치.

청구항 15

기관과;

상기 기관 상에 제 1 방향으로 배열된 다수의 제 1 화소를 포함하는 제 1 화소열과;

상기 기관 상에 상기 제 1 방향으로 배열된 다수의 제 2 화소를 포함하며 상기 제 1 화소열로부터 제 2 방향으로 이격된 제 2 화소열과;

상기 기관 상에 상기 제 1 방향으로 배열된 다수의 제 3 화소를 포함하며 상기 제 1 화소열과 상기 제 2 화소열 사이에 위치하는 제 3 화소열과;

상기 제 1 화소열과 상기 제 3 화소열 사이에 위치하는 제 1 홈과;

상기 제 2 화소열과 상기 제 3 화소열 사이에 위치하는 제 2 홈과;

상기 다수의 제 1 화소, 상기 다수의 제 2 화소 및 상기 다수의 제 3 화소 각각에 위치하는 발광다이오드를 포함하고,

상기 제 1 홈은 상기 제 2 홈보다 큰 표면적을 갖는 전계발광 표시장치.

청구항 16

제 15 항에 있어서,

상기 제 2 방향에서, 상기 제 1 홈은 상기 제 2 홈보다 큰 폭을 갖는 전계발광 표시장치.

청구항 17

제 15 항에 있어서,

상기 제 1 홈은 상기 제 1 화소열과 동일한 길이를 갖고, 상기 제 2 홈은 상기 제 2 화소열과 동일한 길이를 갖는 전계발광 표시장치.

청구항 18

제 15 항에 있어서,

상기 제 1 홈은 상기 다수의 제 1 화소 각각에 대응되며 서로 이격되는 다수의 제 1 홈 패턴을 포함하고,

상기 제 2 홈은 상기 다수의 제 2 화소 각각에 대응되며 서로 이격되는 다수의 제 2 홈 패턴을 포함하는 전계발광 표시장치.

청구항 19

제 15 항에 있어서,

상기 제 1 방향으로 배열된 다수의 제 4 화소를 포함하며 상기 제 2 화소열로부터 상기 제 2 방향으로 이격된 제 4 화소열과;

상기 제 2 화소열과 상기 제 4 화소열 사이에 위치하는 제 3 홈을 더 포함하고,

상기 제 3 홈은 상기 제 2 홈보다 작은 폭을 갖는 전계발광 표시장치.

청구항 20

제 15 항에 있어서,

상기 기판 상에, 상기 다수의 제 1 화소, 상기 다수의 제 2 화소, 상기 다수의 제 3 화소 각각에 위치하는 박막 트랜지스터와;

상기 박막트랜지스터를 덮는 상기 절연층과;

상기 절연층 상에 위치하며 상기 다수의 제 1 화소, 상기 다수의 제 2 화소, 상기 다수의 제 3 화소 각각을 둘러싸는 बैं크층을 더 포함하고,

상기 발광다이오드는, 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층을 덮는 제 2 전극을 포함하며,

상기 제 1 홈 및 상기 제 2 홈은 상기 बैं크층에 형성되는 전계발광 표시장치.

청구항 21

제 20 항에 있어서,

상기 제 1 홈 및 상기 제 2 홈에 위치하는 물질패턴을 더 포함하고,

상기 물질패턴은 상기 절연층 및 상기 제 2 전극과 접촉하는 전계발광 표시장치.

청구항 22

제 20 항에 있어서,

상기 제 1 홈 및 상기 제 2 홈에서 상기 제 2 전극은 상기 절연층과 접촉하는 전계발광 표시장치.

청구항 23

제 20 항에 있어서,

상기뱅크층은 상기 다수의 제 1 화소 사이에서 제 1 두께를 갖는 제 1 뱅크층과 상기 제 1 화소열과 상기 제 3 화소열 사이에서 상기 제 1 두께보다 큰 제 2 두께를 갖는 제 2 뱅크층을 포함하는 전계발광 표시장치.

청구항 24

제 23 항에 있어서,

상기 제 1 뱅크층은 단일층 구조를 갖고, 상기 제 2 뱅크층은 이중층 구조를 갖는 전계발광 표시장치.

청구항 25

제 23 항에 있어서,

상기 다수의 제 1 화소의 상기 발광층은 서로 연결되고, 상기 제 1 화소와 상기 제 2 화소의 상기 발광층은 서로 분리된 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 더욱 상세하게는 다수의 화소영역에 위치하는 발광층의 두께 균일도가 향상된 전계발광 표시장치에 관한 것이다.

배경 기술

[0003] 새로운 평판디스플레이 중 하나인 전계발광 표시장치(electroluminescent display device)는 자체 발광형이기 때문에 액정표시장치(Liquid Crystal Display Device)에 비해 시야각, 대조비 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다.

[0004] 전계발광 표시장치는 발광다이오드를 포함하며, 발광다이오드는 서로 마주하는 제 1 전극 및 제 2 전극과, 이들 사이에 위치하는 발광층을 포함한다.

[0005] 일반적으로 발광층은 열증착 공정에 의해 형성된다. 그러나, 표시장치가 대형화됨에 따라 증착 공정에 의해 발광층을 형성하는데 한계가 있으며, 최근에는 용액 공정에 의해 발광층을 형성하는 방법이 제안되고 있다.

[0007] 그러나, 용액 공정에 의해 형성된 발광층의 경우 화소영역 별로 두께 불균일이 발생되며 이에 따라 전계발광 표시장치의 표시 품질이 저하되고 수명이 단축되는 문제가 야기되고 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은, 용액 공정에 의해 전계발광 표시장치의 발광층을 형성하는 경우 발생하는 발광층의 두께 불균일과 그에 따른 전계발광 표시장치의 표시 품질 저하와 수명 단축의 문제를 해결하고자 한다.

과제의 해결 수단

[0011] 본 발명은, 기관과; 상기 기관 상에 제 1 방향으로 배열된 다수의 화소를 포함하는 제 1 화소열과; 상기 기관 상에 상기 제 1 방향으로 배열된 다수의 화소를 포함하며 상기 제 1 화소열로부터 제 2 방향으로 이격된 제 2 화소열과; 상기 제 1 화소열과 상기 제 2 화소열 사이에 위치하는 제 1 홈과; 상기 제 1 화소열과 상기 제 2 화

소열의 상기 다수의 화소 각각에 위치하는 발광다이오드를 포함하고, 상기 제 1 홈은, 상기 제 1 화소열의 일 끝에 대응되며 제 1 표면적을 갖는 제 1 부분, 상기 제 1 화소열의 타 끝에 대응되며 제 2 표면적을 갖는 제 2 부분과, 상기 제 1 부분과 상기 제 2 부분 사이에 위치하며 제 3 표면적을 갖는 제 3 부분을 포함하며, 상기 제 3 표면적은 상기 제 1 표면적보다 작고 상기 제 2 표면적보다 큰 전계발광 표시장치를 제공한다.

- [0012] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 부분은 상기 제 2 방향으로 제 1 폭을 갖고, 상기 제 2 부분은 상기 제 2 방향으로 제 2 폭을 가지며, 상기 제 3 부분은 상기 제 2 방향으로 제 3 폭을 갖고, 상기 제 3 폭은 상기 제 1 폭보다 작고 상기 제 2 폭보다 클 수 있다.
- [0013] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈의 폭은 상기 제 1 방향을 따라 점진적으로 감소할 수 있다.
- [0014] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 내지 제 3 부분은 서로 연결될 수 있다.
- [0015] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 내지 제 3 부분은 서로 이격될 수 있다.
- [0016] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈의 표면적은 상기 제 1 방향을 따라 점진적으로 감소할 수 있다.
- [0017] 본 발명의 전계발광 표시장치는, 상기 제 1 방향으로 배열된 다수의 화소를 포함하며 상기 제 2 화소열로부터 상기 제 2 방향으로 이격된 제 3 화소열과; 상기 제 2 화소열과 상기 제 3 화소열 사이에 위치하는 제 2 홈을 더 포함하고, 상기 제 2 홈은, 상기 제 2 화소열의 일 끝에 대응되며 제 4 표면적을 갖는 제 4 부분, 상기 제 2 화소열의 타 끝에 대응되며 제 5 표면적을 갖는 제 5 부분과, 상기 제 4 부분과 상기 제 5 부분 사이에 위치하며 제 6 표면적을 갖는 제 6 부분을 포함하며, 상기 제 6 표면적은 상기 제 4 표면적보다 작고 상기 제 5 표면적보다 클 수 있다.
- [0018] 본 발명의 전계발광 표시장치에 있어서, 상기 제 4 부분은 상기 제 2 방향으로 제 4 폭을 갖고, 상기 제 5 부분은 상기 제 2 방향으로 제 5 폭을 가지며, 상기 제 6 부분은 상기 제 2 방향으로 제 6 폭을 갖고, 상기 제 4 내지 제 6 폭 각각은 상기 제 1 내지 제 3 폭과 동일할 수 있다.
- [0019] 본 발명의 전계발광 표시장치는, 상기 기판 상에, 상기 다수의 화소 각각에 위치하는 박막트랜지스터와; 상기 박막트랜지스터를 덮는 절연층과; 상기 절연층 상에 위치하며 상기 다수의 화소 각각을 둘러싸는 뱅크층을 더 포함하고, 상기 발광다이오드는, 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층을 덮는 제 2 전극을 포함하며, 상기 제 1 홈은 상기 뱅크층에 형성될 수 있다.
- [0020] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈에 위치하는 물질패턴을 더 포함하고, 상기 물질패턴은 상기 절연층 및 상기 제 2 전극과 접촉할 수 있다.
- [0021] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈에서 상기 제 2 전극은 상기 절연층과 접촉할 수 있다.
- [0022] 본 발명의 전계발광 표시장치에 있어서, 상기 뱅크층은 상기 제 1 화소열 내의 상기 화소 사이에서 제 1 두께를 갖는 제 1 뱅크층과 상기 제 1 화소열과 상기 제 2 화소열 사이에서 상기 제 1 두께보다 큰 제 2 두께를 갖는 제 2 뱅크층을 포함할 수 있다.
- [0023] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 뱅크층은 단일층 구조를 갖고, 상기 제 2 뱅크층은 이중층 구조를 가질 수 있다.
- [0024] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 화소열 내 상기 다수의 화소에서 상기 발광층은 서로 연결되고, 상기 제 1 화소열 내 상기 화소와 상기 제 2 화소열 내 상기 화소에서 상기 발광층은 서로 분리될 수 있다.
- [0025] 다른 관점에서, 본 발명은, 기판과; 상기 기판 상에 제 1 방향으로 배열된 다수의 제 1 화소를 포함하는 제 1 화소열과; 상기 기판 상에 상기 제 1 방향으로 배열된 다수의 제 2 화소를 포함하며 상기 제 1 화소열로부터 제 2 방향으로 이격된 제 2 화소열과; 상기 기판 상에 상기 제 1 방향으로 배열된 다수의 제 3 화소를 포함하며 상기 제 1 화소열과 상기 제 2 화소열 사이에 위치하는 제 3 화소열과; 상기 제 1 화소열과 상기 제 3 화소열 사이에 위치하는 제 1 홈과; 상기 제 2 화소열과 상기 제 3 화소열 사이에 위치하는 제 2 홈과; 상기 다수의 제 1 화소, 상기 다수의 제 2 화소 및 상기 다수의 제 3 화소 각각에 위치하는 발광다이오드를 포함하고, 상기 제 1 홈은 상기 제 2 홈보다 큰 표면적을 갖는 전계발광 표시장치를 제공한다.
- [0026] 본 발명의 전계발광 표시장치에 있어서, 상기 제 2 방향에서, 상기 제 1 홈은 상기 제 2 홈보다 큰 폭을 가질

수 있다.

- [0027] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈은 상기 제 1 화소열과 동일한 길이를 갖고, 상기 제 2 홈은 상기 제 2 화소열과 동일한 길이를 가질 수 있다.
- [0028] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈은 상기 다수의 제 1 화소 각각에 대응되며 서로 이격되는 다수의 제 1 홈 패턴을 포함하고, 상기 제 2 홈은 상기 다수의 제 2 화소 각각에 대응되며 서로 이격되는 다수의 제 2 홈 패턴을 포함할 수 있다.
- [0029] 본 발명의 전계발광 표시장치는, 상기 제 1 방향으로 배열된 다수의 제 4 화소를 포함하며 상기 제 2 화소열로부터 상기 제 2 방향으로 이격된 제 4 화소열과; 상기 제 2 화소열과 상기 제 4 화소열 사이에 위치하는 제 3 홈을 더 포함하고, 상기 제 3 홈은 상기 제 2 홈보다 작은 폭을 가질 수 있다.
- [0030] 본 발명의 전계발광 표시장치는, 상기 기판 상에, 상기 다수의 제 1 화소, 상기 다수의 제 2 화소, 상기 다수의 제 3 화소 각각에 위치하는 박막트랜지스터와; 상기 박막트랜지스터를 덮는 상기 절연층과; 상기 절연층 상에 위치하며 상기 다수의 제 1 화소, 상기 다수의 제 2 화소, 상기 다수의 제 3 화소 각각을 둘러싸는 बैं크층을 더 포함하고, 상기 발광다이오드는, 제 1 전극과, 상기 제 1 전극 상에 위치하는 발광층과, 상기 발광층을 덮는 제 2 전극을 포함하며, 상기 제 1 홈 및 상기 제 2 홈은 상기 बैं크층에 형성될 수 있다.
- [0031] 본 발명의 전계발광 표시장치는, 상기 제 1 홈 및 상기 제 2 홈에 위치하는 물질패턴을 더 포함하고, 상기 물질패턴은 상기 절연층 및 상기 제 2 전극과 접촉할 수 있다.
- [0032] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 홈 및 상기 제 2 홈에서 상기 제 2 전극은 상기 절연층과 접촉할 수 있다.
- [0033] 본 발명의 전계발광 표시장치에 있어서, 상기 बैं크층은 상기 다수의 제 1 화소 사이에서 제 1 두께를 갖는 제 1 बैं크층과 상기 제 1 화소열과 상기 제 3 화소열 사이에서 상기 제 1 두께보다 큰 제 2 두께를 갖는 제 2 बैं크층을 포함할 수 있다.
- [0034] 본 발명의 전계발광 표시장치에 있어서, 상기 제 1 बैं크층은 단일층 구조를 갖고, 상기 제 2 बैं크층은 이중층 구조를 가질 수 있다.
- [0035] 본 발명의 전계발광 표시장치에 있어서, 상기 다수의 제 1 화소의 상기 발광층은 서로 연결되고, 상기 제 1 화소와 상기 제 2 화소의 상기 발광층은 서로 분리될 수 있다.

발명의 효과

- [0037] 본 발명에 따른 전계발광 표시장치에서는, 발광층 형성을 위한 스캔 방향을 따라 그 평면적이 변하는 홈을 수평 화소열 또는 수직 화소열 사이에서 형성하고 홈에 발광층 형성 공정의 발광물질용액 또는 이의 용매를 코팅함으로써, 스캔 방향에 관계 없이 화소영역의 발광층 용액의 자연 건조 양이 동일해진다.
- [0038] 따라서, 표시영역 전체에서 화소영역 내 발광층의 두께 균일도가 향상되고, 발광층 두께 불균일에 의해 발생하는 전계발광 표시장치의 표시 품질 저하와 수명 단축의 문제가 방지된다.

도면의 간단한 설명

- [0040] 도 1은 발광층에서의 두께 불균일 문제를 설명하기 위한 도면이다.
- 도 2는 본 발명에 따른 전계발광 표시장치의 한 화소에 대한 회로도이다.
- 도 3은 본 발명의 제 1 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.
- 도 4는 도 3의 IV-IV 선을 따라 절단한 단면도이다.
- 도 5는 도 3의 V-V 선을 따라 절단한 단면도이다.
- 도 6은 도 3의 VI-VI 선을 따라 절단한 단면도이다.
- 도 7은 도 3의 VII-VII 선을 따라 절단한 단면도이다.

도 8은 본 발명의 제 2 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

도 9는 본 발명의 제 3 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

도 10은 도 9의 X-X 선을 따라 절단한 단면도이다.

도 11은 도 9의 XI-XI 선을 따라 절단한 단면도이다.

도 12는 본 발명의 제 4 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

도 13은 도 12의 XIII-XIII 선을 따라 절단한 단면도이다.

도 14는 본 발명의 제 5 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

도 15은 도 14의 XV-XV 선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 전술한 바와 같이, 액체 상태의 용액 공정에 의해 발광층을 형성하는 경우 발광층의 두께 편차가 발생하며, 이는 화소영역의 위치에 따라 대기 중의 용매 농도가 다르기 때문이다. 이에 대하여 보다 자세히 설명한다.
- [0042] 도 1은 발광층에서의 두께 불균일 문제를 설명하기 위한 도면이다.
- [0043] 도 1을 참조하면, 전계발광 표시장치(1)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(미도시)을 포함하고, 기판의 표시영역(DA)에는 다수의 화소(P)가 제 1 방향(X) 및 제 2 방향(Y)으로 배열된다.
- [0044] 용액 공정에 의해 발광층이 형성되는 경우, 예를 들어 잉크젯 헤드는 제 1 방향(X)을 따라 일측 끝에서 타측 끝으로 스캔하며 발광물질용액을 각 화소(P)에 코팅한다. 예를 들어, 제 1 화소(P1)에서 코팅 공정이 시작되고 제 2 화소(P2)에서 코팅 공정이 끝나게 된다.
- [0045] 코팅 공정이 완료된 후, 진공 건조 공정을 위해 진공 건조 챔버로 이송된다. 이때, 기판이 진공 건조 챔버로 이송되기 전에, 제 1 화소(P1)는 제 1 기간 동안 자연 건조 상태에 놓이고 제 2 화소(P2)는 제 1 기간보다 작은 제 2 기간 동안 자연 건조 상태에 놓이게 된다.
- [0046] 즉, 제 1 화소(P1)와 제 2 화소(P2)는 자연 건조 시간에서 차이를 갖고, 이에 따라 제 1 화소(P1)와 제 2 화소(P2)의 발광층 두께 프로파일에서 차이가 발생한다.
- [0047] 따라서, 전계발광 표시장치(1)에서 각 화소(P)의 발광층은 두께 편차를 가지며, 이에 따라 전계발광 표시장치(1)의 표시 품질이 저하되고 수명이 단축되는 문제가 발생한다.
- [0049] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.
- [0050] 도 2는 본 발명에 따른 전계발광 표시장치의 개략적인 회로도이다.
- [0051] 도 2에 도시한 바와 같이, 전계발광 표시장치에는, 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(GL), 데이터 배선(DL) 및 파워 배선(PL)이 형성되고, 화소영역(P)에는, 스위칭 박막트랜지스터(Ts), 구동 박막트랜지스터(Td), 스토리지 커패시터(Cst), 발광다이오드(D)가 형성된다.
- [0052] 스위칭 박막트랜지스터(Ts)는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되고, 구동 박막트랜지스터(Td) 및 스토리지 커패시터(Cst)는 스위칭 박막트랜지스터(Ts)와 파워 배선(PL) 사이에 연결된다. 발광다이오드(D)는 구동 박막트랜지스터(Td)에 연결된다.
- [0053] 이러한 전계발광 표시장치에서는, 게이트 배선(GL)에 인가된 게이트 신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되면, 데이터 배선(DL)에 인가된 데이터 신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트 전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.
- [0054] 구동 박막트랜지스터(Td)는 게이트 전극에 인가된 데이터 신호에 따라 턴-온 되며, 그 결과 데이터 신호에 비례하는 전류가 파워 배선(PL)으로부터 구동 박막트랜지스터(Td)를 통하여 발광다이오드(D)로 흐르게 되고, 발광다이오드(D)는 구동 박막트랜지스터(Td)를 통하여 흐르는 전류에 비례하는 휘도로 발광한다.
- [0055] 이때, 스토리지 커패시터(Cst)에는 데이터신호에 비례하는 전압으로 충전되어, 일 프레임(frame) 동안 구동 박

막트랜지스터(Td)의 게이트 전극의 전압이 일정하게 유지되도록 한다.

[0056] 따라서, 전계발광 표시장치는 원하는 영상을 표시할 수 있다.

[0058] -제 1 실시예-

[0059] 도 3은 본 발명의 제 1 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

[0060] 도 3에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 전계발광 표시장치(100)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(미도시)을 포함한다. 기판의 표시영역(DA)에는, 제 1 방향(X)의 제 1 화소열에 다수의 화소(P11, P12, P13, P14)가 배열되고, 제 1 방향(X)의 제 2 화소열에 다수의 화소(P21, P22, P23)가 배열되며, 제 1 방향(X)의 제 3 화소열에 다수의 화소(P31, P32, P33)가 배열된다. 또한, 제 1 화소열과 제 2 화소열 사이에는 제 1 홈(182)이 구비되고, 제 2 화소열과 제 3 화소열 사이에는 제 2 홈(184)이 구비된다.

[0061] 제 1 화소열은, 표시영역 일 끝에 위치하는 제 1 화소(P11)와, 표시영역 타 끝에 위치하는 제 2 화소(P12)와, 제 1 및 제 2 화소(P11, P12) 사이에 위치하는 제 3 화소(P13)를 포함한다.

[0062] 제 2 화소열은, 제 1 화소열로부터 제 2 방향(Y)으로 이격되고, 표시영역 일 끝에 위치하는 제 1 화소(P21)와, 표시영역 타 끝에 위치하는 제 2 화소(P22)와, 제 1 및 제 2 화소(P21, P22) 사이에 위치하는 제 3 화소(P23)를 포함한다.

[0063] 제 3 화소열은, 표시영역 일 끝에 위치하는 제 1 화소(P31)와, 표시영역 타 끝에 위치하는 제 2 화소(P32)와, 제 1 및 제 2 화소(P31, P32) 사이에 위치하는 제 3 화소(P33)를 포함한다. 제 3 화소열은 제 2 화소열로부터 제 2 방향(Y)으로 이격됨으로써, 제 2 화소열이 제 1 화소열과 제 3 화소열 사이에 배치된다.

[0064] 도시하지 않았으나, 각 화소(P)에는 서로 마주하는 제 1 및 제 2 전극과 이들 사이에 배치되는 발광층을 포함하는 발광다이오드가 형성된다.

[0065] 이때, 발광층은 액체 상태의 발광물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slit coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.

[0066] 예를 들어, 잉크젯 헤드(미도시)가 제 1 방향(X)을 따라 이동하며 각 화소(P)에 발광물질 용액을 코팅한다. 제 1 화소열의 경우, 제 1 화소(P11)에서 제 2 화소(P12) 방향으로 코팅 공정이 진행된다.

[0067] 제 1 및 제 2 홈(182, 184) 각각은 제 1 방향(X), 즉 용액 공정에서 잉크젯 헤드의 스캔 방향을 따라 그 표면적이 감소한다. 즉, 제 1 및 제 2 홈(182, 184) 각각은 스캔 시작 지점에서 제 2 방향(Y)으로 제 1 폭(w1)을 갖고 스캔 종료 지점에서 제 2 방향(Y)으로 제 1 폭(w1)보다 작은 제 2 폭(w2)을 가지며 스캔 시작 지점과 스캔 종료 지점 사이의 지점에서 제 2 방향(Y)으로 제 1 폭(w1)보다 작고 제 2 폭(w3)보다 큰 제 3 폭(w3)을 갖는다.

[0068] 예를 들어, 제 1 홈(182)은 제 1 화소열의 일 끝에 위치하는 제 1 화소(P11)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)을 갖고 제 1 화소열의 타 끝에 위치하는 제 2 화소(P12)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)보다 작은 제 2 폭(w2)을 가지며 제 1 및 제 2 화소(P11, P12) 사이에 위치하는 제 3 화소(P13)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)보다 작고 제 2 폭(w3)보다 큰 제 3 폭(w3)을 갖는다.

[0069] 다시 말해, 제 1 홈(182)은, 제 1 화소열의 일 끝에 대응되며 제 2 방향(Y)으로 제 1 폭(w1)을 갖는 제 1 부분, 제 1 화소열의 타 끝에 대응되며 제 2 방향(Y)으로 제 2 폭(w2)을 갖는 제 2 부분과, 제 1 부분과 제 2 부분 사이에 위치하며 제 2 방향(Y)으로 제 3 폭(w3)을 갖는 제 3 부분을 포함한다. 이에 따라, 제 1 홈(182)의 제 3 부분은 제 1 홈(182)의 제 1 부분보다 작고 제 1 홈(182)의 제 2 부분보다 큰 표면적을 갖는다.

[0070] 또한, 제 2 홈(184)은, 제 1 화소열의 일 끝에 대응되며 제 2 방향(Y)으로 제 1 폭(w1)을 갖는 제 1 부분, 제 1 화소열의 타 끝에 대응되며 제 2 방향(Y)으로 제 2 폭(w2)을 갖는 제 2 부분과, 제 1 부분과 제 2 부분 사이에 위치하며 제 2 방향(Y)으로 제 3 폭(w3)을 갖는 제 3 부분을 포함한다. 이에 따라, 제 2 홈(184)의 제 3 부분은 제 2 홈(184)의 제 1 부분보다 작고 제 2 홈(184)의 제 2 부분보다 큰 표면적을 갖는다.

[0071] 발광다이오드의 발광층을 액체 상태의 용액을 이용한 용액 공정(코팅 공정)에 의해 형성할 경우, 제 1 및 제 2

홈(182, 184)에 용매를 포함하는 발광물질 또는 용매가 코팅된다.

- [0072] 이때, 제 1 홈(182)는 스캔 방향인 제 1 방향(X)을 따라 표면적의 편차를 갖기 때문에, 용매의 증발 속도 역시 제 1 방향(X)을 따라 달라진다. 즉, 제 1 홈(182)에서의 용매 증발은, 제 1 화소(P11)에 대응하여 제 1 속도를 갖고 제 2 화소(P12)에 대응하여 제 2 속도를 가지며 제 3 화소(P13)에 대응하여 제 1 속도보다 작고 제 2 속도보다 큰 제 3 속도를 갖게 된다.
- [0073] 따라서, 제 3 화소(P13)에 대응된 영역에서 용매의 포화 속도가 제 1 화소(P11)에 대응된 영역에서 용매의 포화 속도보다 작고 제 2 화소(P12)에 대응된 영역에서 용매의 포화 속도보다 크게 된다.
- [0074] 전술한 바와 같이, 용액 공정에서는, 제 1 화소(P11), 제 2 화소(P12) 및 제 3 화소(P13)는 진공 건조 챔버로 이송되기까지 다른 자연 건조 기간을 갖게 된다. 그러나, 본 발명의 전계발광 표시장치(100)에서는, 그 폭을 달리하는 홈(182, 184)에 의해 제 1 내지 제 3 화소(P11, P12, P13)에 대응된 영역에서 용매의 포화 속도가 조절되므로 제 1 내지 제 3 화소(P11, P12, P13)의 자연 건조 기간을 균일하게 할 수 있다.
- [0075] 따라서, 자연 건조 시간의 차이에 의해 발생하는 발광층의 두께 불균일 문제가 방지된다.
- [0076] 도 4는 도 3의 IV-IV 선을 따라 절단한 단면도이고, 도 5는 도 3의 V-V 선을 따라 절단한 단면도이다. 도 6은 도 3의 VI-VI 선을 따라 절단한 단면도이고, 도 7은 도 3의 VII-VII 선을 따라 절단한 단면도이다.
- [0077] 도 3과 함께 도 4 내지 도 7을 참조하면, 본 발명의 제 1 실시예에 따른 전계발광 표시장치(100)는, 제 1 방향(X)으로 배열되는 다수의 화소(P11, P12, P13)를 포함하는 제 1 화소열과, 제 1 화소열로부터 제 2 방향(Y)으로 이격되고 제 1 방향(X)으로 배열되는 다수의 화소(P21, P22, P23)를 포함하는 제 2 화소열과, 제 2 화소열로부터 제 2 방향(Y)으로 이격되고 제 1 방향(X)으로 배열되는 다수의 화소(P31, P32, P33)를 포함하는 제 3 화소열이 정의된 기관(110)과, 기관(110) 상에 위치하는 구동 박막트랜지스터(Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)와, 제 1 화소열과 제 2 화소열 사이에 위치하는 제 1 홈(182)과, 제 2 화소열과 제 3 화소열 사이에 위치하는 제 2 홈(184)을 포함한다.
- [0078] 기관(110) 상에는, 제 1 및 제 2 방향을 따라 각각 연장되는 게이트 배선(도 2의 GL) 및 데이터 배선(DL), 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 스위칭 박막트랜지스터(도 2의 Ts), 데이터 배선(DL)과 평행하게 이격하는 파워 배선(PL)이 형성될 수 있다. 이와 달리, 파워 배선(PL)은 게이트 배선(GL)과 평행하게 이격하며 형성될 수도 있다.
- [0079] 게이트 배선(GL)과 데이터 배선(DL)은 교차하여 다수의 화소(P)를 정의하며, 구동 박막트랜지스터(Td)는 스위칭 박막트랜지스터에 연결된다. 또한, 다수의 화소(P)에는 스토리지 캐패시터(도 3의 Cst)가 구비될 수 있다.
- [0080] 유리 또는 플라스틱으로 이루어지는 기관(110) 상에는 반도체층(120)이 형성된다. 반도체층(120)은 산화물 반도체 물질로 이루어지거나 다결정 실리콘으로 이루어질 수 있다.
- [0081] 반도체층(120)은 산화물 반도체 물질로 이루어질 경우 반도체층(120) 하부에는 차광패턴(도시하지 않음)이 형성될 수 있으며, 차광패턴은 반도체층(120)으로 빛이 입사되는 것을 방지하여 반도체층(120)이 빛에 의해 열화되는 것을 방지한다. 이와 달리, 반도체층(120)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 반도체층(120)의 양 가장자리에 불순물이 도핑되어 있을 수 있다.
- [0082] 반도체층(120) 상에는 절연물질로 이루어진 게이트 절연막(122)이 기관(110) 전면에 형성된다. 게이트 절연막(122)은 산화 실리콘 또는 질화 실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0083] 게이트 절연막(122) 상에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(130)이 반도체층(120)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(122) 상부에는 게이트 배선(GL)과 스토리지 캐패시터(Cst)의 제 1 캐패시터 전극(미도시)이 형성될 수 있다. 게이트 배선(GL)은 제1방향을 따라 연장되고, 제 1 캐패시터 전극은 게이트 전극(130)에 연결될 수 있다.
- [0084] 도 4 내지 도 7에서, 게이트 절연막(122)이 기관(110) 전면에 형성되어 있으나, 게이트 절연막(122)은 게이트 전극(130)과 동일한 모양으로 패턴닝될 수도 있다.
- [0085] 게이트 전극(130) 상에는 절연물질로 이루어진 층간 절연막(136)이 기관(110) 전면에 형성된다. 층간 절연막(136)은 산화 실리콘이나 질화 실리콘과 같은 무기 절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo-acryl)과 같은 유기 절연물질로 형성될 수 있다.

- [0086] 층간 절연막(136)은 반도체층(120)의 양측을 노출하는 제 1 및 제 2 콘택홀(137, 138)을 갖는다. 제 1 및 제 2 콘택홀(137, 138)은 게이트 전극(130)의 양측에 게이트 전극(130)과 이격되어 위치한다.
- [0087] 도 4에서, 제 1 및 제 2 콘택홀(137, 138)은 게이트 절연막(122) 내에도 형성된다. 이와 달리, 게이트 절연막(122)이 게이트 전극(130)과 동일한 모양으로 패터닝될 경우, 제 1 및 제 2 콘택홀(137, 138)은 층간 절연막(136) 내에만 형성될 수도 있다.
- [0088] 층간 절연막(136) 상에는 금속과 같은 도전성 물질로 이루어지는 소스 전극(140)과 드레인 전극(142)이 형성된다. 또한, 층간 절연막(136) 상에는 제 2 방향을 따라 연장되는 데이터 배선(DL)과 전원 배선(PL) 및 제 2 캐패시터 전극(미도시)이 형성될 수 있다.
- [0089] 소스 전극(140)과 드레인 전극(142)은 게이트 전극(130)을 중심으로 이격되어 위치하며, 각각 제 1 및 제 2 콘택홀(137, 138)을 통해 반도체층(120)의 양측과 접촉한다. 데이터 배선(DL)은 제 2 방향을 따라 연장되어 게이트 배선(GL)과 교차함으로써 제 1 및 제 2 화소(P1, P2)를 정의하며, 파워 배선(PL)은 데이터 배선(DL)과 이격되어 위치한다.
- [0090] 이와 달리, 파워 배선(PL)은 게이트 배선(GL)과 동일 층에 게이트 배선(GL)과 평행하게 이격하여 위치함으로써, 데이터 배선(DL)과 교차하도록 형성될 수도 있다.
- [0091] 제 2 캐패시터 전극은 소스 전극(140)과 연결되고 제 1 캐패시터 전극과 중첩함으로써, 제 1 및 제 2 캐패시터 전극 사이의 층간 절연막(136)을 유전체층으로 하여 스토리지 캐패시터(Cst)를 이룬다.
- [0092] 반도체층(120)과, 게이트전극(130), 소스 전극(140), 드레인전극(142)은 구동 박막트랜지스터(Td)를 이루며, 구동 박막트랜지스터(Td)는 반도체층(120)의 상부에 게이트 전극(130), 소스 전극(140) 및 드레인 전극(142)이 위치하는 코플라나(coplanar) 구조를 가진다.
- [0093] 이와 달리, 구동 박막트랜지스터(Td)는 반도체층의 하부에 게이트 전극이 위치하고 반도체층의 상부에 소스 전극과 드레인 전극이 위치하는 역 스테거드(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.
- [0094] 전술한 바와 같이, 기판(110) 상에는 스위칭 박막트랜지스터(Ts)가 더 형성되는데, 스위칭 박막트랜지스터(Ts)는 구동 박막트랜지스터(Td)와 실질적으로 동일한 구조를 갖는다.
- [0095] 구동 박막트랜지스터(Td)의 게이트 전극(130)은 스위칭 박막트랜지스터(Ts)의 드레인 전극(미도시)에 연결되고 구동 박막트랜지스터(Td)의 소스 전극(140)은 파워 배선(PL)에 연결된다. 또한, 스위칭 박막트랜지스터(Ts)의 게이트 전극(미도시)과 소스 전극(미도시)은 게이트 배선(GL) 및 데이터 배선(DL)에 각각 연결된다.
- [0096] 구동 박막트랜지스터(Td)의 드레인 전극(142)을 노출하는 드레인 콘택홀(152)을 갖는 보호층(150)이 구동 박막트랜지스터(Td)를 덮으며 형성된다.
- [0097] 보호층(150) 상에는 드레인 콘택홀(152)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(142)에 연결되는 제 1 전극(160)이 제 1 및 제 2 화소(P1, P2) 별로 분리되어 형성된다. 제 1 전극(160)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다. 예를 들어, 제 1 전극(160)은 인듐-틴-옥사이드(indium-tin-oxide, ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide, IZO)와 같은 투명 도전성 물질로 이루어질 수 있다.
- [0098] 한편, 본 발명의 전계발광 표시장치가 상부 발광 방식(top-emission type)인 경우, 제 1 전극(160) 하부에는 반사전극 또는 반사층이 더욱 형성될 수 있다. 예를 들어, 반사전극 또는 반사층은 알루미늄-팔라듐-구리(aluminum-palladium-copper: APC) 합금으로 이루어질 수 있다.
- [0099] 또한, 보호층(150) 상에는 제 1 전극(160)의 가장자리를 덮는 뱅크층(170)이 형성된다. 뱅크층(170)은 다수의 화소(P) 각각에 대응하여 개구(opening, OP)를 갖는다. 또한, 뱅크층(170)은 제 1 및 제 2 화소열 사이에 대응하여 제 1 홈(182)을 갖고 제 2 및 제 3 화소열 사이에 대응하여 제 2 홈(184)을 갖는다.
- [0100] 한편, 뱅크층(170)은 제 1 화소열에 배열되는 화소(P11, P12, P13) 사이에서 홈 없이 평탄한 상부면을 갖는다. 즉, 뱅크층(170)은 제 1 방향(X)으로 인접한 화소(P), 예를 들어 제 1 화소열의 제 3 화소(P13) 및 제 4 화소(P14) 사이에서 평탄한 상부면을 갖고 제 2 방향(Y)으로 인접한 화소(P) 사이에서 오목한 상부면을 갖는다.
- [0101] 뱅크층(170)의 개구(OP)에 의해 제 1 전극(160)의 중앙이 노출되며, 뱅크층(170)의 홈(182, 184)에 의해 보호층

(150)이 노출된다. 즉, 홈(182, 184) 각각의 깊이는뱅크층(170)의 두께와 실질적으로 동일하다. 이와 달리,뱅크층(170)의 일부만이 제거되어 홈(182, 184)이 형성됨으로써, 홈(182, 184) 각각의 깊이는뱅크층(170)의 두께보다 작을 수 있다. 또한,뱅크층(170) 전체와 보호층(150)의 전체 또는 일부가 제거되어 홈(182, 184)이 형성됨으로써, 홈(182, 184) 각각의 깊이는뱅크층(170)의 두께보다 클 수 있다.

[0102] 제 1 화소열과 제 2 화소열에 사이에 위치하는 제 1 홈(182)은, 제 1 화소열의 일 끝에 위치하는 제 1 화소(P11)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)을 갖고 제 1 화소열의 타 끝에 위치하는 제 2 화소(P12)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)보다 작은 제 2 폭(w2)을 가지며 제 1 및 제 2 화소(P11, P12) 사이에 위치하는 제 3 화소(P13)에 대응하여 제 2 방향(Y)으로 제 1 폭(w1)보다 작고 제 2 폭(w3)보다 큰 제 3 폭(w3)을 갖는다.

[0103] 다시 말해, 제 1 및 제 2 홈(182, 184) 각각은 각 화소열의 일 끝에 대응되며 제 2 방향(Y)으로 제 1 폭(w1)을 갖는 제 1 부분, 각 화소열의 타 끝에 대응되며 제 2 방향(Y)으로 제 2 폭(w2)을 갖는 제 2 부분과, 제 1 부분과 제 2 부분 사이에 위치하며 제 2 방향(Y)으로 제 3 폭(w3)을 갖는 제 3 부분을 포함한다. 이에 따라, 제 1 홈(182)의 제 3 부분은 제 1 홈(182)의 제 1 부분보다 작고 제 1 홈(182)의 제 2 부분보다 큰 표면적을 갖는다.

[0104] 제 1 및 제 2 홈(182, 184) 각각의 폭은 각 화소열의 일끝에서 타끝으로 갈수록 점진적으로 감소한다. 이와 달리, 제 1 및 제 2 홈(182, 184) 각각은, 각 화소열의 일 측에 위치하는 제 1 화소 그룹에 대응하여 제 1 폭을 갖고 각 화소열의 타 측에 위치하는 제 2 화소 그룹에 대응하여 제 2 폭을 가지며 제 1 및 제 2 화소 그룹 사이에 위치하는 제 3 화소 그룹에 대응하여 제 1 폭보다 작고 제 2 폭보다 큰 제 3 폭을 가질 수 있다.

[0105] 제 1 전극(160) 상에는 발광층(162)이 형성된다. 발광층(162)은 액체 상태의 발광 물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slit coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.

[0106] 뱅크층(170)은 경사진 측면을 가지며, 발광층(162)은 뱅크(170)의 경사진 측면을 따라 형성되어 그 가장자리가 경사지게 형성된다. 또한, 발광층(162)은 용액 공정에 의해 형성되기 때문에, 건조 공정에서의 커피-링 효과에 의해 발광층(162)의 가장자리는 중앙보다 큰 두께를 가질 수 있다.

[0107] 발광층(162)은 발광물질로 이루어지는 발광물질층(emitting material layer)의 단일층 구조일 수 있다. 또한, 발광 효율을 높이기 위해, 발광층(162)은 제 1 전극(160)과 발광물질층 사이에 순차적으로 위치하는 정공주입층(hole injection layer) 및 정공수송층(hole transporting layer)과, 발광물질층과 제 2 전극(164) 사이에 순차적으로 위치하는 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)를 더 포함할 수 있다.

[0108] 발광물질층은 양자점(quantum dot)과 같은 무기발광물질 또는 유기발광물질을 포함할 수 있다. 즉, 본 발명의 전계발광 표시장치(100)는 유기발광 표시장치(OLED) 또는 양자점발광 표시장치(QLED)일 수 있다.

[0109] 홈(182, 184)에는 발광물질 용액의 용매가 코팅된 후 건조되어 증발된다. 따라서, 발광층(162)의 형성 공정 후에, 홈(182, 184)에는 아무런 구성 요소 없이 보호층(150)이 노출될 수 있다.

[0110] 이와 달리, 홈(182, 184)에 발광물질 용액이 코팅되는 경우, 홈(182, 184)에는 보조물질패턴(미도시)이 형성될 수도 있다.

[0111] 발광물질 용액은 제 1 방향(X)의 일 끝(즉 도 3에서 좌측 끝)으로부터 타 끝(즉, 도 3에서 우측 끝)을 향해 잉크젯 헤드(미도시)가 이동하며 코팅된다. 예를 들어, 제 1 화소열의 제 1 화소(P11)과 이에 대응하는 제 1 홈(182)의 제 1 부분에서 발광물질 용액의 코팅 공정이 시작되고, 제 1 화소열의 제 2 화소(P12)과 이에 대응하는 제 1 홈(182)의 제 2 부분에서 발광물질 용액의 코팅 공정이 종료된다. 이후, 코팅 공정이 종료된 기관(110)은 진공 건조 챔버로 이송된다.

[0112] 이때, 제 1 화소(P11)는 제 2 및 제 3 화소(P12, P13)보다 긴 기간 동안 자연 증발 조건에 놓여지지만, 제 1 홈(182)의 제 1 부분이 제 2 및 제 3 부분보다 큰 폭(w1)을 갖기 때문에 제 1 홈(182)의 제 2 및 제 3 부분에서보다 제 1 홈(182)의 제 1 부분에서 용매가 빨리 증발한다. 따라서, 제 1 화소(P11) 부근에서 용매의 포화 속도가 제 2 및 제 3 화소(P12, P13) 부근에서 용매의 포화 속도보다 빠르게 된다.

[0113] 다시 말해, 제 1 내지 제 3 화소(P11, P12, P13)는 발광물질 용액 코팅 후 진공 건조 챔버로 이송되기까지 서로

다른 시간을 갖지만 용매의 포화 속도가 다르기 때문에, 동일한 자연 건조 기간을 갖는다. 따라서, 코팅 공정 방향에 따른 발광층의 두께 불균일 문제가 방지되거나 최소화된다.

[0114] 제 1 및 제 2 홈(182, 184) 내의 보호층(150), 각 화소(P)의 발광층(162) 및 बैं크층(170) 상에 제 2 전극(164)이 형성된다.

[0115] 제 2 전극(164)은 기판(110)의 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다. 예를 들어, 제 2 전극(164)은 알루미늄(Al), 마그네슘(Mg), 알루미늄-마그네슘 합금(AlMg) 중 어느 하나로 이루어질 수 있다.

[0116] 본 발명의 전계발광 표시장치(100)가 상부 발광 방식인 경우, 제 2 전극(164)은 빛이 투과되도록 비교적 얇은 두께를 가질 수 있다. 한편, 본 발명의 전계발광 표시장치(100)가 하부 발광 방식인 경우, 제 2 전극(164)은 반사전극으로 이용될 수 있다.

[0117] 제 2 전극(164)은 각 화소(P)에서 발광층(162)와 접촉하고, 제 1 및 제 2 홈(182, 184)에서 제 2 전극(164)은 보호층(150)과 접촉한다.

[0118] 또한, 각 화소열의 화소(P) 사이에서 제 2 전극(164)은 बैं크층(170)과 접촉한다.

[0119] 다시 말해, 기판(110)으로부터, 제 2 전극(164)은 제 1 및 제 2 화소(P1, P2) 각각에서 제 1 높이를 갖고 제 1 및 제 2 홈(182, 184)에서 제 1 높이보다 작은 제 2 높이를 갖는다. 또한, 기판(110)으로부터 제 2 전극(164)은 각 화소열의 화소(P) 사이에서 제 1 높이보다 큰 제 3 높이를 갖는다.

[0120] 한편, 제 1 및 제 2 홈(182, 184)에 보조물질패턴(미도시)이 형성되는 경우, 제 2 전극(164)은 제 1 및 제 2 홈(182, 184)에서 보조물질패턴과 접촉하고 기판(110)으로부터 제 1 높이와 실질적으로 동일한 제 4 높이를 갖는다. 이때, 보조물질패턴은 제 1 전극(160)과 접촉하지 않기 때문에, 제 1 및 제 2 홈(182, 184)에 형성된 보조물질패턴에서는 발광이 일어나지 않는다.

[0121] 제 1 전극(160)과, 제 1 전극(160)과 마주하는 제 2 전극(164)과, 제 1 및 제 2 전극(160, 164) 사이에 위치하는 발광층(162)은 발광다이오드(D)를 이룬다.

[0122] 도시하지 않았으나, 발광다이오드(D) 상부에는 인캡슐레이션 기판 또는 인캡슐레이션 필름이 더 형성될 수 있다.

[0123] 예를 들어, 무기절연층, 유기절연층 및 무기절연층이 순차 적층되어 외부로부터의 수분 침투를 방지하고 발광다이오드를 보호하는 인캡슐레이션 필름이 발광다이오드(D)를 덮으며 형성될 수 있다.

[0124] 또한, 인캡슐레이션 필름 상에는 외부광 반사를 최소화하기 위한 편광판이 부착될 수 있다. 편광판은 원형 편광판일 수 있다.

[0125] 본 발명의 전계발광 표시장치(100)에 있어서, 발광층(162)은 용액 공정에 의해 형성되기 때문에, 제조 공정이 단순해지고 대면적 표시장치의 제조에도 적합하다.

[0126] 또한, 용액 공정에서의 스캔 방향에 따라 각 화소열 사이에 형성된 홈(182, 184)이 표면적을 달리하고 용매 또는 발광물질 용액을 홈(182, 184)에 코팅함으로써, 스캔 방향에 따라 발생하는 발광층(162)의 두께 불균일 문제를 방지하거나 최소화할 수 있다. 따라서, 발광층(162)의 두께 불균일에 의한 전계발광 표시장치(100)의 표시품질 저하 문제를 해소할 수 있다.

[0128] -제 2 실시예-

[0129] 도 8은 본 발명의 제 2 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

[0130] 도 8에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 전계발광 표시장치(100)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(미도시)을 포함한다. 기판의 표시영역(DA)에는, 제 1 방향(X)의 제 1 화소열에 다수의 화소(P11, P12, P13)가 배열되고, 제 1 방향(X)의 제 2 화소열에 다수의 화소(P21, P22, P23)가 배열되며, 제 1 방향(X)의 제 3 화소열에 다수의 화소(P31, P32, P33)가 배열된다. 또한, 제 1 화소열과 제 2 화소열 사이에는 제 1 홈(182)이 구비되고, 제 2 화소열과 제 3 화소열 사이에는 제 2 홈(184)이 구비된다.

- [0131] 이때, 제 1 홈(182)은 제 1 화소열의 제 1 내지 제 3 화소(P11, P12, P13)에 각각 대응되는 제 1 내지 제 3 홈 패턴(182a, 182b, 182c)을 포함하고, 제 2 홈(184)은 제 2 화소열의 제 1 내지 제 3 화소(P21, P22, P23)에 각각 대응되는 제 1 내지 제 3 홈 패턴(184a, 184b, 184c)을 포함한다.
- [0132] 즉, 제 1 실시예에 따른 전계발광 표시장치(100)와 달리, 제 2 실시예에 따른 전계발광 표시장치(100)의 제 1 홈(182)은 서로 이격된 섬 형상의 홈 패턴(182a, 182b, 182c)을 포함하고 제 2 홈(184)은 서로 이격된 섬 형상의 홈 패턴(184a, 184b, 184c)을 포함한다.
- [0133] 각 화소열에 대응하여, 제 3 홈 패턴(182c, 184c)은 제 1 홈 패턴(182a, 184a)보다 작고 제 2 홈 패턴(182b, 184b)보다 큰 표면적을 갖는다. 즉, 각 화소열에 대응하여, 제 2 방향(Y)에 있어서, 제 3 홈 패턴(182c, 184c)은 제 1 홈 패턴(182a, 184a)보다 작고 제 2 홈 패턴(182b, 184b)보다 큰 폭을 갖는다.
- [0134] 이와 달리, 제 3 홈 패턴(182c, 184c)은 제 2 방향(Y)을 따라 제 1 홈 패턴(182a, 184a) 및 제 2 홈 패턴(182b, 184b)과 동일한 폭을 갖고 제 1 방향(X)을 따라 제 1 홈 패턴(182a, 184a)보다 작고 제 2 홈 패턴(182b, 184b)보다 큰 길이를 가질 수도 있다.
- [0135] 제 1 홈(182)에서, 제 1 홈 패턴(182a)로부터 제 2 홈 패턴(182b)을 향해 그 폭이 점진적으로 감소할 수 있다. 이와 달리, 제 1 홈(182)에서, 제 1 홈 패턴(182a)이 제 1 화소열의 일 측에 위치하는 제 1 화소 그룹에 대응되고, 제 2 홈 패턴(182b)이 제 1 화소열의 타 측에 위치하는 제 2 화소 그룹에 대응되며, 제 3 홈 패턴(182c)이 제 1 및 제 2 화소 그룹 사이에 위치하는 제 3 화소 그룹에 대응될 수 있다.
- [0136] -제 3 실시예-
- [0137] 도 9는 본 발명의 제 3 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.
- [0138] 도 9에 도시된 바와 같이, 본 발명의 제 3 실시예에 따른 전계발광 표시장치(200)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(미도시)을 포함한다. 기판의 표시영역(DA)에는, 제 1 방향(X)을 따라 다수의 제 1 화소(P1)가 배열된 제 1 화소열, 제 1 화소열의 일측에 위치하고 제 1 방향(X)을 따라 다수의 제 2 화소(P2)가 배열된 제 2 화소열, 제 1 및 제 2 화소열 사이에 위치하며 제 1 방향(X)을 따라 다수의 제 3 화소(P3)가 배열된 제 3 화소열이 정의된다. 또한, 제 1 화소열과 제 3 화소열 사이에는 제 1 홈(282)이 구비되고, 제 2 화소열과 제 3 화소열 사이에는 제 2 홈(284)이 구비된다.
- [0139] 도시하지 않았으나, 각 화소(P)에는 서로 마주하는 제 1 및 제 2 전극과 이들 사이에 배치되는 발광층을 포함하는 발광다이오드가 형성된다.
- [0140] 이때, 발광층은 액체 상태의 발광물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slits coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0141] 예를 들어, 잉크젯 헤드(미도시)가 제 2 방향(Y)을 따라 이동하며 각 화소(P)에 발광물질 용액을 코팅한다. 제 1 화소열의 경우, 제 1 화소열에서 제 2 화소열 방향으로 코팅 공정이 진행된다.
- [0142] 제 1 홈(282)은 제 2 홈(284)보다 큰 표면적을 갖는다. 즉, 제 1 홈(282)은 제 2 방향(Y)을 따라 제 1 폭(w1)을 갖고, 제 2 홈(284)은 제 2 방향(Y)을 따라 제 1 폭(w1)보다 작은 제 2 폭(w2)을 갖는다. 이때, 제 1 홈(282)은 제 1 화소열 전체에 대응하여 균일한 폭을 갖고, 제 2 홈(284)은 제 2 화소열 전체에 대응하여 균일한 폭을 갖는다.
- [0143] 한편, 도 9에서, 제 1 및 제 2 홈(282, 284)은 각 화소열에 대응되어 일체로 형성된다. 이와 달리, 제 1 및 제 2 홈(282, 284) 각각은 각 화소(P)에 대응하는 다수의 홈 패턴을 포함할 수 있다.
- [0144] 또한, 스캔 방향을 따라 홈의 표면적, 즉 폭이 점진적으로 감소하는 것이 보여지고 있다. 이와 달리, 둘 이상의 화소열을 포함하는 화소열 그룹 단위로 표면적이 변화될 수도 있다.
- [0145] 발광다이오드의 발광층을 액체 상태의 용액을 이용한 용액 공정(코팅 공정)에 의해 형성할 경우, 제 1 및 제 2 홈(282, 284)에 용매를 포함하는 발광물질 또는 용매가 코팅된다.
- [0146] 이때, 스캔 방향인 제 2 방향(Y)에 배열된 제 1 및 제 2 홈(282, 284)은 표면적의 편차를 갖기 때문에, 용매의 증발 속도 역시 제 2 방향(Y)을 따라 달라진다. 즉, 용매의 증발은 제 1 홈(282)에서 제 1 속도를 갖고 제 2 홈

(284)에서 제 1 속도보다 작은 제 2 속도를 갖는다.

- [0147] 따라서, 제 1 화소열에 대응된 영역에서 용매의 포화 속도가 제 2 화소열에 대응된 영역에서 용매의 포화 속도보다 증가한다.
- [0148] 또한, 기관의 표시영역(DA)에는, 제 1 화소열의 타측에 위치하고 제 1 방향(X)을 따라 다수의 제 4 화소(P4)가 배열된 제 4 화소열과, 제 2 화소열로부터 제 2 방향(Y)으로 이격되고 제 1 방향(X)을 따라 다수의 제 5 화소(P5)가 배열된 제 5 화소열이 더 정의될 수 있다. 이 경우, 제 1 화소열과 제 4 화소열 사이에는 제 3 홈(286)이 구비되고, 제 2 화소열과 제 5 화소열 사이에는 제 4 홈(288)이 구비될 수 있다.
- [0149] 제 3 홈(286)의 표면적은 제 1 홈(282)의 표면적보다 크고, 제 4 홈(288)의 표면적은 제 2 홈(284)의 표면적보다 작다. 즉, 제 3 홈(286)은 제 1 폭(w1)보다 큰 제 3 폭(w3)을 갖고, 제 4 홈(288)은 제 2 폭(w2)보다 작은 제 4 폭(w4)을 갖는다.
- [0150] 따라서, 제 3 홈(286)에서의 용매의 증발은 제 1 속도보다 큰 제 3 속도를 갖고 제 4 화소열에 대응된 영역에서 용매의 포화 속도가 제 1 화소열에 대응된 영역에서 용매의 포화 속도보다 증가한다. 또한, 제 4 홈(288)에서의 용매의 증발은 제 2 속도보다 작은 제 4 속도를 가지며, 제 5 화소열에 대응된 영역에서 용매의 포화 속도가 제 2 화소열에 대응된 영역에서 용매의 포화 속도보다 감소한다.
- [0151] 따라서, 스캔 방향에 따라 발생될 수 있는 발광층의 두께 불균일 문제가 방지된다.
- [0152] 도 10은 도 9의 X-X 선을 따라 절단한 단면도이고, 도 11은 도 9의 XI-XI 선을 따라 절단한 단면도이다.
- [0153] 도 9과 함께 도 10 및 도 11을 참조하면, 본 발명의 제 3 실시예에 따른 전계발광 표시장치(200)는, 제 1 방향(X)으로 배열되는 다수의 제 1 화소(P1)를 포함하는 제 1 화소열과, 제 1 화소열로부터 제 2 방향(Y)으로 이격되고 제 1 방향(X)으로 배열되는 다수의 제 2 화소(P2)를 포함하는 제 2 화소열과, 제 1 화소열과 제 2 화소열 사이에 위치하며 제 1 방향(X)으로 배열되는 다수의 화소(P3)를 포함하는 제 3 화소열이 정의된 기관(210)과, 기관(210) 상에 위치하는 구동 박막트랜지스터(Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)와, 제 1 화소열과 제 3 화소열 사이에 위치하는 제 1 홈(282)과, 제 2 화소열과 제 3 화소열 사이에 위치하는 제 2 홈(284)을 포함한다.
- [0154] 유리 또는 플라스틱으로 이루어지는 기관(210) 상에는 반도체층(220)이 형성되고, 반도체층(220) 상에는 게이트 절연막(222)이 형성된다.
- [0155] 게이트 절연막(222) 상에는 게이트 전극(230)이 반도체층(220)의 중앙에 대응하여 형성되고, 게이트 전극(230) 상에는 층간 절연막(236)이 형성된다. 이때, 층간 절연막(236)은 반도체층(220)의 양측을 노출하는 제 1 및 제 2 콘택홀(237, 238)을 갖는다.
- [0156] 층간 절연막(236) 상에는 금속과 같은 도전성 물질로 이루어지는 소스 전극(240)과 드레인 전극(242)이 형성된다. 소스 전극(240)과 드레인 전극(242)은 게이트 전극(230)을 중심으로 이격되어 위치하며, 각각 제 1 및 제 2 콘택홀(237, 238)을 통해 반도체층(220)의 양측과 접촉한다. 또한, 층간 절연막(236) 상에는 제 2 방향을 따라 연장되는 데이터 배선(DL)과 전원 배선(PL)이 형성된다.
- [0157] 반도체층(220)과, 게이트 전극(230), 소스 전극(240), 드레인 전극(242)은 구동 박막트랜지스터(Td)를 구성한다.
- [0158] 구동 박막트랜지스터(Td)의 드레인 전극(242)을 노출하는 드레인 콘택홀(252)을 갖는 보호층(250)이 구동 박막트랜지스터(Td)를 덮으며 형성되고, 보호층(250) 상에는 드레인 콘택홀(252)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(242)에 연결되는 제 1 전극(260)이 형성된다. 제 1 전극(260)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다.
- [0159] 또한, 보호층(250) 상에는 제 1 전극(260)의 가장자리를 덮는 बैं크층(270)이 형성된다. बैं크층(270)은 다수의 화소(P) 각각에 대응하여 개구(opening, OP)를 갖는다. 또한, बैं크층(270)은 제 1 및 제 3 화소열 사이에 대응하여 제 1 홈(282)을 갖고 제 2 및 제 3 화소열 사이에 대응하여 제 2 홈(284)을 갖는다.
- [0160] 한편, बैं크층(270)은 각 화소열에 배열된 화소(P) 사이에서 홈 없이 평탄한 상부면을 갖는다. 예를 들어, बैं크층(270)은 제 1 화소열에 배열된 제 1 화소(P1) 사이에서 평탄한 상부면을 갖는다. 즉, बैं크층(270)은 제 1 방향(X)으로 인접한 화소(P) 사이에서 평탄한 상부면을 갖고 제 2 방향(Y)으로 인접한 화소(P) 사이에서 오목한 상부면을 갖는다.

- [0161] 뱅크층(270)의 개구(OP)에 의해 제 1 전극(260)의 중앙이 노출되며, 뱅크층(270)의 홈(282, 284)에 의해 보호층(250)이 노출된다. 즉, 홈(282, 284) 각각의 깊이는 뱅크층(270)의 두께와 실질적으로 동일하다. 이와 달리, 뱅크층(270)의 일부만이 제거되어 홈(282, 284)이 형성됨으로써, 홈(282, 284) 각각의 깊이는 뱅크층(270)의 두께보다 작을 수 있다. 또한, 뱅크층(280) 전체와 보호층(250)의 전체 또는 일부가 제거되어 홈(282, 284)이 형성됨으로써, 홈(282, 284) 각각의 깊이는 뱅크층(280)의 두께보다 클 수 있다.
- [0162] 제 1 화소열과 제 3 화소열에 사이에 위치하는 제 1 홈(282)은 제 2 방향(Y)을 따라 제 1 폭(w1)을 갖고, 제 2 화소열과 제 3 화소열에 사이에 위치하는 제 2 홈(284)은 제 2 방향(Y)을 따라 제 1 폭(w1)보다 작은 제 2 폭(w2)을 갖는다. 이에 따라, 제 1 홈(282)은 제 2 홈(284)보다 큰 표면적을 갖는다.
- [0163] 제 1 전극(260) 상에는 발광층(262)이 형성된다. 발광층(262)은 액체 상태의 발광 물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slits coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0164] 발광층(262)은 발광물질로 이루어지는 발광물질층(emitting material layer)의 단일층 구조일 수 있다. 또한, 발광 효율을 높이기 위해, 발광층(262)은 제 1 전극(260)과 발광물질층 사이에 순차적으로 위치하는 정공주입층(hole injection layer) 및 정공수송층(hole transporting layer)과, 발광물질층과 제 2 전극(264) 사이에 순차적으로 위치하는 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)를 더 포함할 수 있다.
- [0165] 발광물질층은 양자점(quantum dot)과 같은 무기발광물질 또는 유기발광물질을 포함할 수 있다. 즉, 본 발명의 전계발광 표시장치(200)는 유기발광 표시장치(OLED) 또는 양자점발광 표시장치(QLED)일 수 있다.
- [0166] 홈(282, 284)에는 발광물질 용액의 용매가 코팅된 후 건조되어 증발된다. 따라서, 발광층(262)의 형성 공정 후에, 홈(282, 284)에는 아무런 구성 요소 없이 보호층(250)이 노출될 수 있다.
- [0167] 이와 달리, 홈(282, 284)에 발광물질 용액이 코팅되는 경우, 홈(282, 284)에는 보조물질패턴(미도시)이 형성될 수도 있다.
- [0168] 발광물질 용액은 제 2 방향(Y)의 일 끝(즉 도 9에서 상측 끝)으로부터 타 끝(즉, 도 9에서 하측 끝)을 향해 잉크젯 헤드(미도시)가 이동하며 코팅된다. 예를 들어, 제 4 화소열에서 발광물질 용액의 코팅 공정이 시작되고, 제 5 화소열에서 발광물질 용액의 코팅 공정이 종료된다. 이후, 코팅 공정이 종료된 기관(210)은 진공 건조 챔버로 이송된다.
- [0169] 이때, 제 1 화소열은 제 2 및 제 3 화소열보다 긴 기간 동안 자연 증발 조건에 놓여지지만, 제 1 홈(282)이 제 2 홈(284)보다 큰 폭(w1)을 갖기 때문에 제 2 홈(284)에서보다 제 1 홈(282)에서 용매가 빨리 증발한다. 따라서, 제 1 화소열 부근에서 용매의 포화 속도가 제 2 화소열 부근에서 용매의 포화 속도보다 빠르게 된다.
- [0170] 다시 말해, 제 1 내지 제 3 화소열의 화소(P1, P2, P3)는 발광물질 용액 코팅 후 진공 건조 챔버로 이송되기까지 서로 다른 시간을 갖지만 용매의 포화 속도가 다르기 때문에, 동일한 자연 건조 기간을 갖는다. 따라서, 코팅 공정 방향에 따른 발광층(262)의 두께 불균일 문제가 방지되거나 최소화된다.
- [0171] 제 1 및 제 2 홈(282, 284) 내의 보호층(250), 각 화소(P)의 발광층(262) 및 뱅크층(270) 상에 제 2 전극(264)이 형성된다. 제 2 전극(264)은 기관(210)의 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다.
- [0172] 제 2 전극(264)은 각 화소(P)에서 발광층(262)과 접촉하고, 제 1 및 제 2 홈(282, 284)에서 제 2 전극(264)은 보호층(250)과 접촉한다. 또한, 각 화소열의 화소(P) 사이에서 제 2 전극(264)은 뱅크층(270)과 접촉한다.
- [0173] 다시 말해, 기관(210)으로부터, 제 2 전극(264)은 화소(P) 각각에서 제 1 높이를 갖고 제 1 및 제 2 홈(282, 284)에서 제 1 높이보다 작은 제 2 높이를 갖는다. 또한, 기관(210)으로부터 제 2 전극(264)은 각 화소열의 화소(P) 사이에서 제 1 높이보다 큰 제 3 높이를 갖는다.
- [0174] 한편, 제 1 및 제 2 홈(282, 284)에 보조물질패턴(미도시)이 형성되는 경우, 제 2 전극(264)은 제 1 및 제 2 홈(282, 284)에서 보조물질패턴과 접촉하고 기관(210)으로부터 제 1 높이와 실질적으로 동일한 제 4 높이를 갖는다. 이때, 보조물질패턴은 제 1 전극(260)과 접촉하지 않기 때문에, 제 1 및 제 2 홈(282, 284)에 형성된 보조

물질패턴에서는 발광이 일어나지 않는다.

- [0175] 제 1 전극(260)과, 제 1 전극(260)과 마주하는 제 2 전극(264)과, 제 1 및 제 2 전극(260, 264) 사이에 위치하는 발광층(262)은 발광다이오드(D)를 이룬다.
- [0176] 도시하지 않았으나, 발광다이오드(D) 상부에는 인캡슐레이션 기판 또는 인캡슐레이션 필름이 더 형성될 수 있다. 또한, 인캡슐레이션 필름 상에는 외부광 반사를 최소화하기 위한 편광판이 부착될 수 있다. 편광판은 원형 편광판일 수 있다.
- [0177] 본 발명의 전계발광 표시장치(200)에 있어서, 발광층(262)은 용액 공정에 의해 형성되기 때문에, 제조 공정이 단순해지고 대면적 표시장치의 제조에도 적합하다.
- [0178] 또한, 용액 공정에서의 스캔 방향에 따라 각 화소열 사이에 형성된 홈(282, 284)이 스캔 방향을 따라 표면적을 달리하고 용매 또는 발광물질 용액을 홈(282, 284)에 코팅함으로써, 스캔 방향에 따라 발생하는 발광층(262)의 두께 불균일 문제를 방지하거나 최소화할 수 있다. 따라서, 발광층(262)의 두께 불균일에 의한 전계발광 표시장치(200)의 표시 품질 저하 문제를 해소할 수 있다.
- [0180] -제 4 실시예-
- [0181] 도 12는 본 발명의 제 4 실시예에 따른 전계발광 표시장치의 개략적인 평면도이고, 도 13은 도 12의 XIII-XIII 선을 따라 절단한 단면도이다.
- [0182] 도 12 및 도 13에 도시된 바와 같이, 본 발명의 제 4 실시예에 따른 전계발광 표시장치(300)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(310)을 포함한다. 기판(310)의 표시영역(DA)에는, 제 2 방향(Y)을 따라 다수의 제 1 화소(P1)가 배열된 제 1 화소열, 제 1 화소열의 일측에 위치하고 제 2 방향(Y)을 따라 다수의 제 2 화소(P2)가 배열된 제 2 화소열, 제 1 및 제 2 화소열 사이에 위치하며 제 2 방향(Y)을 따라 다수의 제 3 화소(P3)가 배열된 제 3 화소열이 정의된다.
- [0183] 기판(310) 상에는, 각 화소(P)에 대응하는 구동 박막트랜지스터(도 4의 Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)와, 제 1 화소열과 제 3 화소열 사이에 위치하는 제 1 홈(382)과, 제 2 화소열과 제 3 화소열 사이에 위치하는 제 2 홈(384)이 형성된다.
- [0184] 도 3을 통해 설명한 바와 같이, 구동 박막트랜지스터(Td)는 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함한다.
- [0185] 기판(310) 상에는, 게이트 절연막(322)과 층간 절연막(336)이 순차 적층되고, 층간 절연막(336) 상에는 데이터 배선(DL)과 파워 배선(PL)이 형성된다. 또한, 데이터 배선(DL)과 파워 배선(PL)을 덮는 보호층(350)이 형성된다.
- [0186] 보호층(350) 상에는 구동 박막트랜지스터(Td)에 연결되는 제 1 전극(360)이 형성된다. 제 1 전극(360)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다.
- [0187] 또한, 보호층(350) 상에는 제 1 전극(360)의 가장자리를 덮는 बैं크층(370)이 형성된다. बैं크층(370)은 다수의 화소(P) 각각에 대응하여 개구(opening, OP)를 갖는다.
- [0188] बैं크층(370)은 화소열 내 화소(P) 사이에 위치하는 제 1 बैं크층(372)과 화소열 사이에 위치하는 제 2 बैं크층(374)을 포함한다. 즉, 제 1 화소열에서 인접한 제 1 화소(P1, P1') 사이에 제 1 बैं크층(372)이 위치하고, 제 1 화소(P1)와 제 3 화소(P2) 사이에 제 2 बैं크층(374)이 위치한다.
- [0189] 제 1 बैं크층(372)은 제 2 बैं크층(374)보다 작은 두께를 갖는다. 즉, 제 1 बैं크층(372)은 단일층 구조일 수 있고, 제 2 बैं크층(374)은 제 1 층(376)과 제 1 층(376) 상의 제 2 층(378)을 포함하는 이중층 구조일 수 있다. 이때, 제 1 बैं크층(372)은 제 2 बैं크층(374)의 제 1 층(376)과 동일물질로 이루어질 수 있다.
- [0190] 또한, 제 2 बैं크층(374)의 제 2 층(378)은 제 1 및 제 3 화소열 사이에 대응하여 제 1 홈(382)을 갖고 제 2 및 제 3 화소열 사이에 대응하여 제 2 홈(384)을 갖는다.
- [0191] 도 13에서, 제 1 홈(382)의 깊이는 제 2 बैं크층(374)의 제 2 층(378) 두께보다 작다. 이와 달리, 제 1 홈(382)의 깊이는 제 2 बैं크층(374)의 제 2 층(378) 두께와 같거나 이보다 클 수 있다.

- [0192] 제 1 화소열과 제 3 화소열에 사이에 위치하는 제 1 홈(382)은 제 1 방향(X)을 따라 제 1 폭(w1)을 갖고, 제 2 화소열과 제 3 화소열에 사이에 위치하는 제 2 홈(384)은 제 1 방향(X)을 따라 제 1 폭(w1)보다 작은 제 2 폭(w2)을 갖는다. 이에 따라, 제 1 홈(382)은 제 2 홈(384)보다 큰 표면적을 갖는다.
- [0193] 또한, 기판(310)의 표시영역(DA)에는, 제 1 화소열의 타측에 위치하고 제 2 방향(Y)을 따라 다수의 제 4 화소(P4)가 배열된 제 4 화소열과, 제 2 화소열로부터 제 1 방향(X)으로 이격되고 제 2 방향(Y)을 따라 다수의 제 5 화소(P5)가 배열된 제 5 화소열이 더 정의될 수 있다. 이 경우, 제 1 화소열과 제 4 화소열 사이에는 제 3 홈(386)이 구비되고, 제 2 화소열과 제 5 화소열 사이에는 제 4 홈(388)이 구비될 수 있다.
- [0194] 제 3 홈(386)의 표면적은 제 1 홈(382)의 표면적보다 크고, 제 4 홈(388)의 표면적은 제 2 홈(384)의 표면적보다 작다. 즉, 제 3 홈(386)은 제 1 폭(w1)보다 큰 제 3 폭(w3)을 갖고, 제 4 홈(388)은 제 2 폭(w2)보다 작은 제 4 폭(w4)을 갖는다.
- [0195] 제 1 전극(360) 상에는 발광층(362)이 형성된다. 발광층(362)은 액체 상태의 발광 물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slit coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0196] 발광층(362)은 발광물질로 이루어지는 발광물질층(emitting material layer)의 단일층 구조일 수 있다. 또한, 발광 효율을 높이기 위해, 발광층(362)은 제 1 전극(360)과 발광물질층 사이에 순차적으로 위치하는 정공주입층(hole injection layer) 및 정공수송층(hole transporting layer)과, 발광물질층과 제 2 전극(364) 사이에 순차적으로 위치하는 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)를 더 포함할 수 있다.
- [0197] 발광물질층은 양자점(quantum dot)과 같은 무기발광물질 또는 유기발광물질을 포함할 수 있다. 즉, 본 발명의 전계발광 표시장치(300)는 유기발광 표시장치(OLED) 또는 양자점발광 표시장치(QLED)일 수 있다.
- [0198] 진술한 바와 같이, 화소열 내 인접한 화소(P) 사이에 위치하는 제 1 뱅크층(372)은 비교적 작은 두께를 갖기 때문에, 각 화소열 내 다수의 화소(P)에서 발광층(362)은 서로 연결될 수 있다. 예를 들어, 제 1 화소열 내 다수의 제 1 화소(P1) 모두는 적색 화소, 녹색 화소 및 청색 화소 중 어느 하나일 수 있다.
- [0199] 홈(382, 384)에는 발광물질 용액의 용매가 코팅된 후 건조되어 증발된다. 따라서, 발광층(362)의 형성 공정 후에, 홈(382, 384)에는 아무런 구성 요소 없이 제 2 뱅크층(374)의 제 2 층(378) 일부가 노출될 수 있다.
- [0200] 이와 달리, 홈(382, 384)에 발광물질 용액이 코팅되는 경우, 홈(382, 384)에는 보조물질패턴(미도시)이 형성될 수도 있다.
- [0201] 발광물질 용액은 제 1 방향(X)의 일 끝(즉 도 12에서 좌측 끝)으로부터 타 끝(즉, 도 12에서 우측 끝)을 향해 잉크젯 헤드(미도시)가 이동하며 코팅된다. 예를 들어, 제 4 화소열에서 발광물질 용액의 코팅 공정이 시작되고, 제 5 화소열에서 발광물질 용액의 코팅 공정이 종료된다. 이후, 코팅 공정이 종료된 기판(310)은 진공 건조 챔버로 이송된다.
- [0202] 이때, 제 1 화소열은 제 2 및 제 3 화소열보다 긴 기간 동안 자연 증발 조건에 놓여지지만, 제 1 홈(382)이 제 2 홈(384)보다 큰 폭(w1)을 갖기 때문에 제 2 홈(384)에서보다 제 1 홈(382)에서 용매가 빨리 증발한다. 따라서, 제 1 화소열 부근에서 용매의 포화 속도가 제 2 화소열 부근에서 용매의 포화 속도보다 빠르게 된다.
- [0203] 다시 말해, 제 1 내지 제 3 화소열의 화소(P1, P2, P3)는 발광물질 용액 코팅 후 진공 건조 챔버로 이송되기까지 서로 다른 시간을 갖지만 용매의 포화 속도가 다르기 때문에, 동일한 자연 건조 기간을 갖는다. 따라서, 코팅 공정 방향에 따른 발광층(362)의 두께 불균일 문제가 방지되거나 최소화된다.
- [0204] 각 화소(P)의 발광층(362) 및 뱅크층(370) 상에 제 2 전극(364)이 형성된다. 제 2 전극(364)은 기판(310)의 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다.
- [0205] 제 2 전극(364)은 각 화소(P)에서 발광층(362)와 접촉하고, 제 1 및 제 2 홈(382, 384)에서 제 2 전극(364)은 제 2 뱅크층(374)의 제 2 층(378)과 접촉한다. 또한, 각 화소열의 화소(P) 사이에서 제 2 전극(364)은 제 1 뱅크층(372)과 접촉한다.

- [0206] 한편, 제 1 및 제 2 홈(382, 384)에 보조물질패턴(미도시)이 형성되는 경우, 제 2 전극(364)은 제 1 및 제 2 홈(382, 384)에서 보조물질패턴과 접촉할 수 있다. 이때, 보조물질패턴은 제 1 전극(360)과 접촉하지 않기 때문에, 제 1 및 제 2 홈(382, 384)에 형성된 보조물질패턴에서는 발광이 일어나지 않는다.
- [0207] 제 1 전극(360)과, 제 1 전극(360)과 마주하는 제 2 전극(364)과, 제 1 및 제 2 전극(360, 364) 사이에 위치하는 발광층(362)은 발광다이오드(D)를 이룬다.
- [0208] 도시하지 않았으나, 발광다이오드(D) 상부에는 인캡슐레이션 기판 또는 인캡슐레이션 필름이 더 형성될 수 있다. 또한, 인캡슐레이션 필름 상에는 외부광 반사를 최소화하기 위한 편광판이 부착될 수 있다. 편광판은 원형 편광판일 수 있다.
- [0209] 본 발명의 전계발광 표시장치(300)에 있어서, 발광층(362)은 용액 공정에 의해 형성되기 때문에, 제조 공정이 단순해지고 대면적 표시장치의 제조에도 적합하다.
- [0210] 또한, 용액 공정에서의 스캔 방향에 따라 각 화소열 사이에 형성된 홈(382, 384)이 스캔 방향을 따라 표면적을 달리하고 용매 또는 발광물질 용액을 홈(382, 384)에 코팅함으로써, 스캔 방향에 따라 발생하는 발광층(362)의 두께 불균일 문제를 방지하거나 최소화할 수 있다. 따라서, 발광층(362)의 두께 불균일에 의한 전계발광 표시장치(300)의 표시 품질 저하 문제를 해소할 수 있다.
- [0212] -제 5 실시예-
- [0213] 도 14는 본 발명의 제 5 실시예에 따른 전계발광 표시장치의 개략적인 평면도이고, 도 15은 도 14의 XV-XV 선을 따라 절단한 단면도이다.
- [0214] 도 14 및 도 15에 도시된 바와 같이, 본 발명의 제 5 실시예에 따른 전계발광 표시장치(400)는 표시영역(DA)과 표시영역(DA) 주변의 비표시영역(NDA)이 정의된 기판(미도시)을 포함한다. 기판(410)의 표시영역(DA)에는, 제 2 방향(Y)을 따라 다수의 화소(P11, P12, P13)가 배열된 제 1 화소열, 제 1 화소열로부터 제 1 방향(X)으로 이격되고 다수의 화소(P21, P22, P23)가 배열된 제 2 화소열, 제 2 화소열로부터 제 1 방향(X)으로 이격되고 다수의 화소(P31, P32, P33)가 배열된 제 3 화소열이 정의된다. 제 2 화소열은 제 1 화소열과 제 3 화소열 사이에 위치한다.
- [0215] 제 1 화소열은, 표시영역 일 끝에 위치하는 제 1 화소(P11)와, 표시영역 타 끝에 위치하는 제 2 화소(P12)와, 제 1 및 제 2 화소(P11, P12) 사이에 위치하는 제 3 화소(P13)을 포함한다.
- [0216] 제 2 화소열은, 표시영역 일 끝에 위치하는 제 1 화소(P21)와, 표시영역 타 끝에 위치하는 제 2 화소(P22)와, 제 1 및 제 2 화소(P21, P22) 사이에 위치하는 제 3 화소(P23)을 포함한다.
- [0217] 제 3 화소열은, 표시영역 일 끝에 위치하는 제 1 화소(P31)와, 표시영역 타 끝에 위치하는 제 2 화소(P32)와, 제 1 및 제 2 화소(P31, P32) 사이에 위치하는 제 3 화소(P33)을 포함한다.
- [0218] 즉, 각 화소열에서 제 3 화소(P13, P23, P33)는 제 1 화소(P11, P21, P31)와 제 2 화소(P12, P22, P23) 사이에 배치된다.
- [0219] 기판(410) 상에는, 각 화소(P)에 대응하는 구동 박막트랜지스터(도 4의 Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)와, 제 1 화소열과 제 2 화소열 사이에 위치하는 제 1 홈(482)과, 제 2 화소열과 제 3 화소열 사이에 위치하는 제 2 홈(484)이 형성된다.
- [0220] 도 3을 통해 설명한 바와 같이, 구동 박막트랜지스터(Td)는 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함한다.
- [0221] 기판(410) 상에는, 게이트 절연막(422)이 형성되고, 게이트 절연막(422) 상에는 게이트 배선(GL)이 형성된다. 또한, 게이트 배선(GL) 상에는 층간 절연막(436)과 보호층(450)이 순차 적층된다.
- [0222] 보호층(450) 상에는 구동 박막트랜지스터(Td)에 연결되는 제 1 전극(460)이 형성된다. 제 1 전극(460)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다.
- [0223] 또한, 보호층(450) 상에는 제 1 전극(460)의 가장자리를 덮는 बैं크층(470)이 형성된다. बैं크층(470)은 다수의 화소(P) 각각에 대응하여 개구(opening, OP)를 갖는다.

- [0224] बैंक층(470)은 화소열 내 화소(P) 사이에 위치하는 제 1 बैंक층(472)과 화소열 사이에 위치하는 제 2 बैंक층(474)을 포함한다. 제 1 बैंक층(472)은 제 2 बैंक층(474)보다 작은 두께를 갖는다. 즉, 제 1 बैंक층(472)은 단일층 구조일 수 있고, 제 2 बैंक층(474)은 제 1 층(476)과 제 1 층(476) 상의 제 2 층(478)을 포함하는 이중층 구조일 수 있다. 이때, 제 1 बैंक층(472)은 제 2 बैंक층(474)의 제 1 층(476)과 동일물질로 이루어질 수 있다.
- [0225] 또한, 제 2 बैंक층(474)의 제 2 층(478)은 제 1 및 제 2 화소열 사이에 대응하여 제 1 홈(482)을 갖고 제 2 및 제 3 화소열 사이에 대응하여 제 2 홈(484)을 갖는다.
- [0226] 도 15에서, 제 1 홈(482)의 깊이는 제 2 बैंक층(474)의 제 2 층(478) 두께보다 작다. 이와 달리, 제 1 홈(482)의 깊이는 제 2 बैंक층(474)의 제 2 층(478) 두께와 같거나 이보다 클 수 있다.
- [0227] 제 1 및 제 2 홈(482, 484) 각각은 제 1 방향(X)을 따라 그 표면적이 감소한다. 즉, 제 1 및 제 2 홈(482, 484) 각각은, 제 1 화소(P11, P21, P31)에 대응하여 제 1 폭(w1)을 갖고, 제 2 화소(P12, P22, P32)에 대응하여 제 1 폭(w1)보다 작은 제 2 폭(w2)을 가지며, 제 3 화소(P13, P23, P33)에 대응하여 제 1 폭(w1)보다 작고 제 2 폭(w2)보다 큰 제 3 폭(w3)을 갖는다.
- [0228] 다시 말해, 제 1 홈(482)은, 제 1 화소열의 일 끝에 대응되며 제 1 방향(X)으로 제 1 폭(w1)을 갖는 제 1 부분, 제 1 화소열의 타 끝에 대응되며 제 1 방향(X)으로 제 2 폭(w2)을 갖는 제 2 부분과, 제 1 부분과 제 2 부분 사이에 위치하며 제 1 방향(X)으로 제 3 폭(w3)을 갖는 제 3 부분을 포함한다. 이에 따라, 제 1 홈(482)의 제 3 부분은 제 1 홈(482)의 제 1 부분보다 작고 제 1 홈(482)의 제 2 부분보다 큰 표면적을 갖는다.
- [0229] 또한, 제 2 홈(484)은, 제 1 화소열의 일 끝에 대응되며 제 1 방향(X)으로 제 1 폭(w1)을 갖는 제 1 부분, 제 1 화소열의 타 끝에 대응되며 제 1 방향(X)으로 제 2 폭(w2)을 갖는 제 2 부분과, 제 1 부분과 제 2 부분 사이에 위치하며 제 1 방향(X)으로 제 3 폭(w3)을 갖는 제 3 부분을 포함한다. 이에 따라, 제 2 홈(484)의 제 3 부분은 제 2 홈(484)의 제 1 부분보다 작고 제 2 홈(484)의 제 2 부분보다 큰 표면적을 갖는다.
- [0230] 제 1 전극(460) 상에는 발광층(462)이 형성된다. 발광층(462)은 액체 상태의 발광 물질을 이용한 용액 공정(solution process)에 의해 형성된다. 즉, 용매에 녹아있는 발광물질 용액을 코팅한 후 용매를 건조하여 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slits coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0231] 발광층(462)은 발광물질로 이루어지는 발광물질층(emitting material layer)의 단일층 구조일 수 있다. 또한, 발광 효율을 높이기 위해, 발광층(462)은 제 1 전극(460)과 발광물질층 사이에 순차적으로 위치하는 정공주입층(hole injection layer) 및 정공수송층(hole transporting layer)과, 발광물질층과 제 2 전극(464) 사이에 순차적으로 위치하는 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)를 더 포함할 수 있다.
- [0232] 발광물질층은 양자점(quantum dot)과 같은 무기발광물질 또는 유기발광물질을 포함할 수 있다. 즉, 본 발명의 전계발광 표시장치(400)는 유기발광 표시장치(OLED) 또는 양자점발광 표시장치(QLED)일 수 있다.
- [0233] 전술한 바와 같이, 화소열 내 인접한 화소(P) 사이에 위치하는 제 1 बैंक층(472)은 비교적 작은 두께를 갖기 때문에, 각 화소열 내 다수의 화소(P)에서 발광층(462)은 서로 연결될 수 있다. 예를 들어, 제 1 화소열 내 다수의 화소(P11, P12, P13) 모두는 적색 화소, 녹색 화소 및 청색 화소 중 어느 하나일 수 있다.
- [0234] 홈(482, 484)에는 발광물질 용액의 용매가 코팅된 후 건조되어 증발된다. 따라서, 발광층(462)의 형성 공정 후에, 홈(482, 484)에는 아무런 구성 요소 없이 제 2 बैंक층(474)의 제 2 층(478) 일부가 노출될 수 있다.
- [0235] 이와 달리, 홈(482, 484)에 발광물질 용액이 코팅되는 경우, 홈(482, 484)에는 보조물질패턴(미도시)이 형성될 수도 있다.
- [0236] 발광물질 용액은 제 2 방향(Y)의 일 끝(즉 도 12에서 상측 끝)으로부터 타 끝(즉, 도 12에서 하측 끝)을 향해 잉크젯 헤드(미도시)가 이동하며 코팅된다. 예를 들어, 제 1 화소(P11, P21, P31)에서 발광물질 용액의 코팅 공정이 시작되고, 제 2 화소(P12, P22, P23)에서 발광물질 용액의 코팅 공정이 종료된다. 이후, 코팅 공정이 종료된 기판(410)은 진공 건조 챔버로 이송된다.
- [0237] 이때, 제 1 화소(P11, P21, P31)는 제 2 화소(P12, P22, P23) 및 제 3 화소(P13, P23, P33)보다 긴 기간 동안 자연 증발 조건에 놓여지지만, 제 1 및 제 2 홈(482, 484)의 표면적이 제 2 방향(Y)을 따라 감소하기 때문에,

자연 건조 기간을 균일하게 할 수 있다.

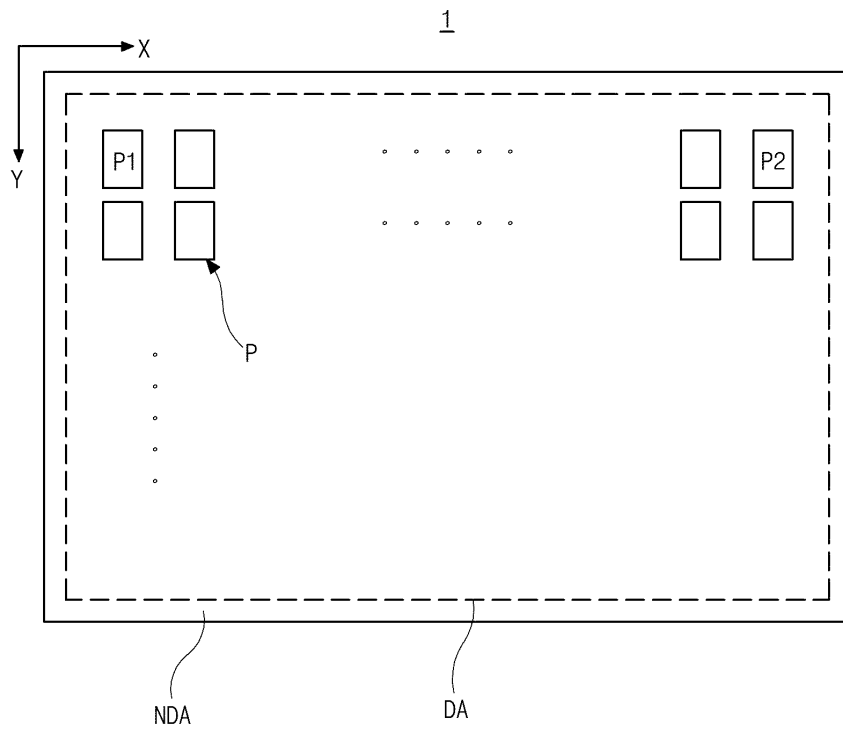
- [0238] 즉, 제 1 홈(482)에 있어, 제 3 부분의 제 3 폭(w3)이 제 1 부분의 제 1 폭(w1)보다 작고 제 2 부분의 제 2 폭(w2)보다 크기 때문에, 제 3 부분에서의 용매 증발속도는 제 1 부분에서보다 작고 제 2 부분에서보다 크다.
- [0239] 따라서, 각 화소(P)는 스캔 방향에 상관 없이 동일한 자연 건조 기간을 갖게되며, 코팅 공정 방향에 따른 발광층(462)의 두께 불균일 문제가 방지되거나 최소화된다.
- [0240] 각 화소(P)의 발광층(462) 및 बैं크층(470) 상에 제 2 전극(464)이 형성된다. 제 2 전극(464)은 기관(410)의 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다.
- [0241] 제 2 전극(464)은 각 화소(P)에서 발광층(462)와 접촉하고, 제 1 및 제 2 홈(482, 484)에서 제 2 전극(464)은 제 2 बैं크층(474)의 제 2 층(478)과 접촉한다. 또한, 각 화소열의 화소(P) 사이에서 제 2 전극(464)은 제 1 बैं크층(472)과 접촉한다.
- [0242] 한편, 제 1 및 제 2 홈(482, 484)에 보조물질패턴(미도시)이 형성되는 경우, 제 2 전극(464)은 제 1 및 제 2 홈(482, 484)에서 보조물질패턴과 접촉할 수 있다. 이때, 보조물질패턴은 제 1 전극(460)과 접촉하지 않기 때문에, 제 1 및 제 2 홈(482, 484)에 형성된 보조물질패턴에서는 발광이 일어나지 않는다.
- [0243] 제 1 전극(460)과, 제 1 전극(460)과 마주하는 제 2 전극(464)과, 제 1 및 제 2 전극(460, 464) 사이에 위치하는 발광층(462)은 발광다이오드(D)를 이룬다.
- [0244] 도시하지 않았으나, 발광다이오드(D) 상부에는 인캡슐레이션 기관 또는 인캡슐레이션 필름이 더 형성될 수 있다. 또한, 인캡슐레이션 필름 상에는 외부광 반사를 최소화하기 위한 편광판이 부착될 수 있다. 편광판은 원형 편광판일 수 있다.
- [0245] 본 발명의 전계발광 표시장치(400)에 있어서, 발광층(462)은 용액 공정에 의해 형성되기 때문에, 제조 공정이 단순해지고 대면적 표시장치의 제조에도 적합하다.
- [0246] 또한, 용액 공정에서의 스캔 방향에 따라 각 화소열 사이에 형성된 홈(482, 484)이 스캔 방향을 따라 표면적을 달리하고 용매 또는 발광물질 용액을 홈(482, 484)에 코팅함으로써, 스캔 방향에 따라 발생하는 발광층(462)의 두께 불균일 문제를 방지하거나 최소화할 수 있다. 따라서, 발광층(462)의 두께 불균일에 의한 전계발광 표시장치(400)의 표시 품질 저하 문제를 해소할 수 있다.
- [0248] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

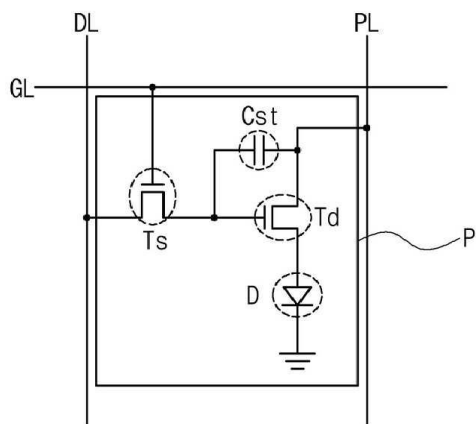
- [0250] 100, 200, 300, 400: 전계발광 표시장치
- 110, 210, 310, 410: 기관 120, 220: 반도체층
- 122, 222, 322, 422: 게이트 절연막 130, 230: 게이트 전극
- 136, 236, 336, 436: 층간 절연막 140, 240: 소스 전극
- 142, 242: 드레인 전극 150, 250, 350, 450: 보호층
- 160, 260, 360, 460: 제 1 전극 162, 262, 362, 462: 발광층
- 164, 264, 364, 464: 제 2 전극 170, 270, 370, 470: बैं크층
- 182, 184, 282, 284, 286, 288, 382, 384, 482, 484: 홈
- Td: 구동 박막트랜지스터 D: 발광 다이오드

도면

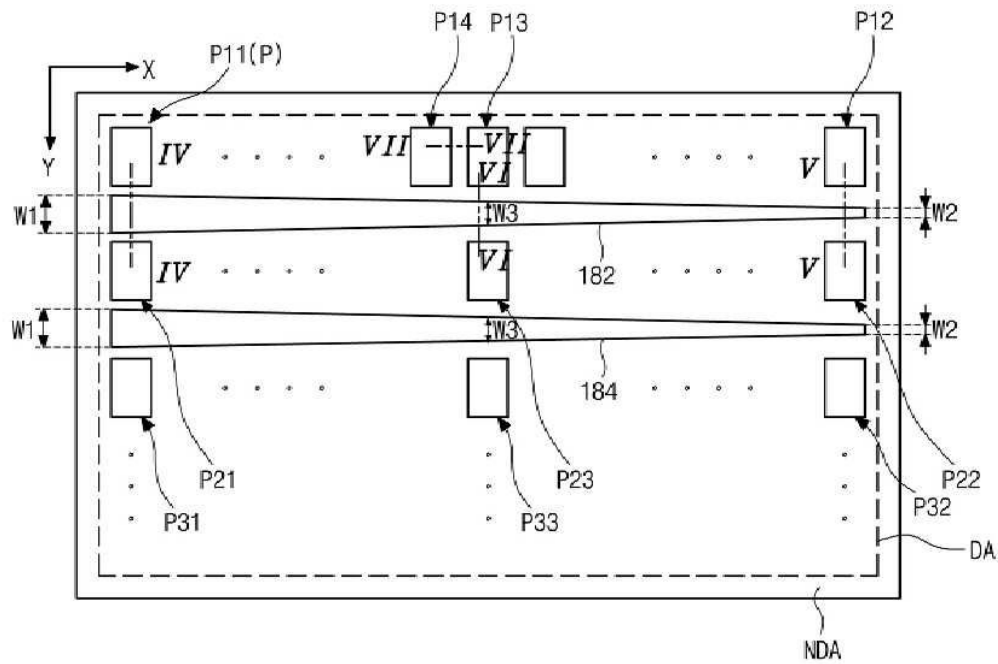
도면1



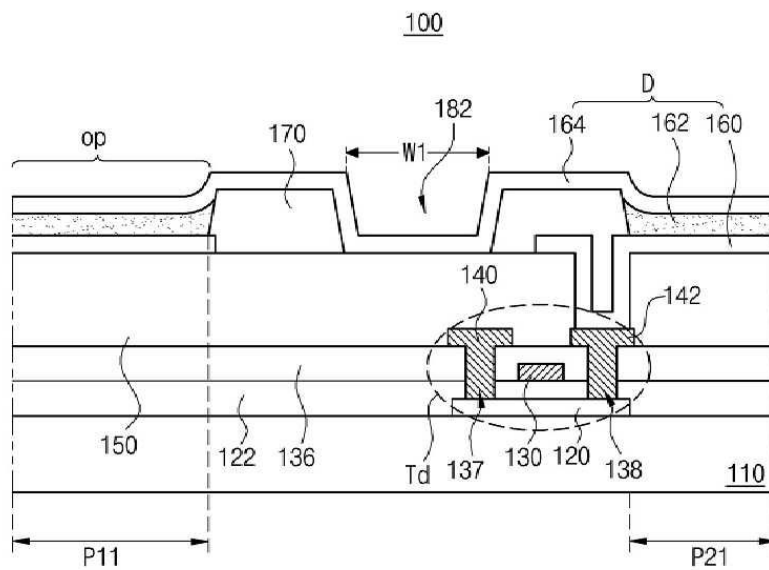
도면2



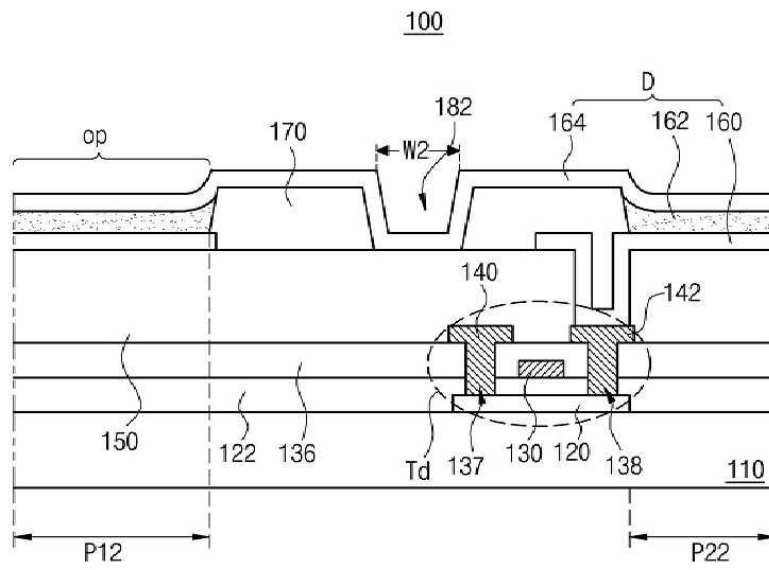
도면3



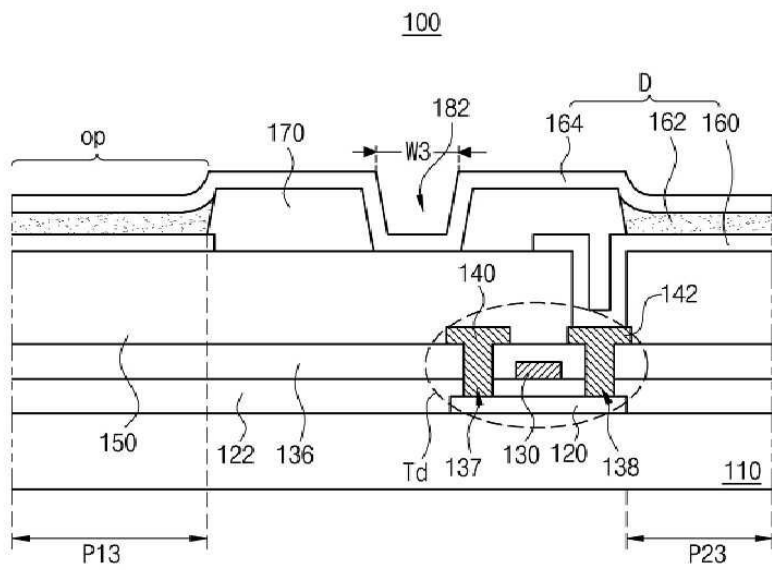
도면4



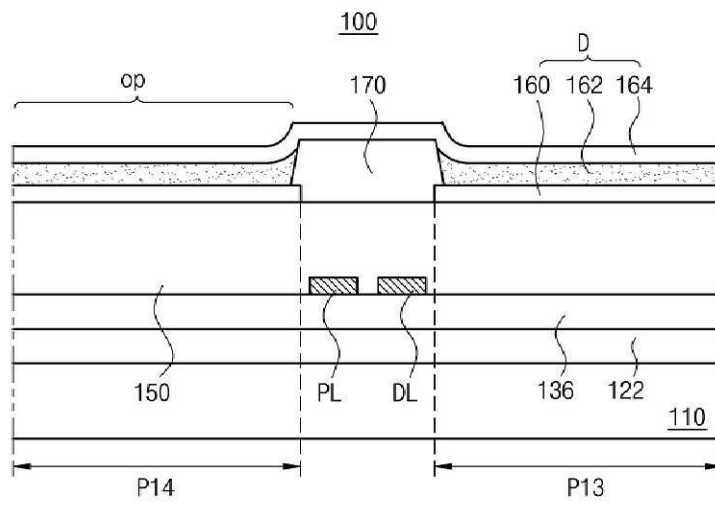
도면5



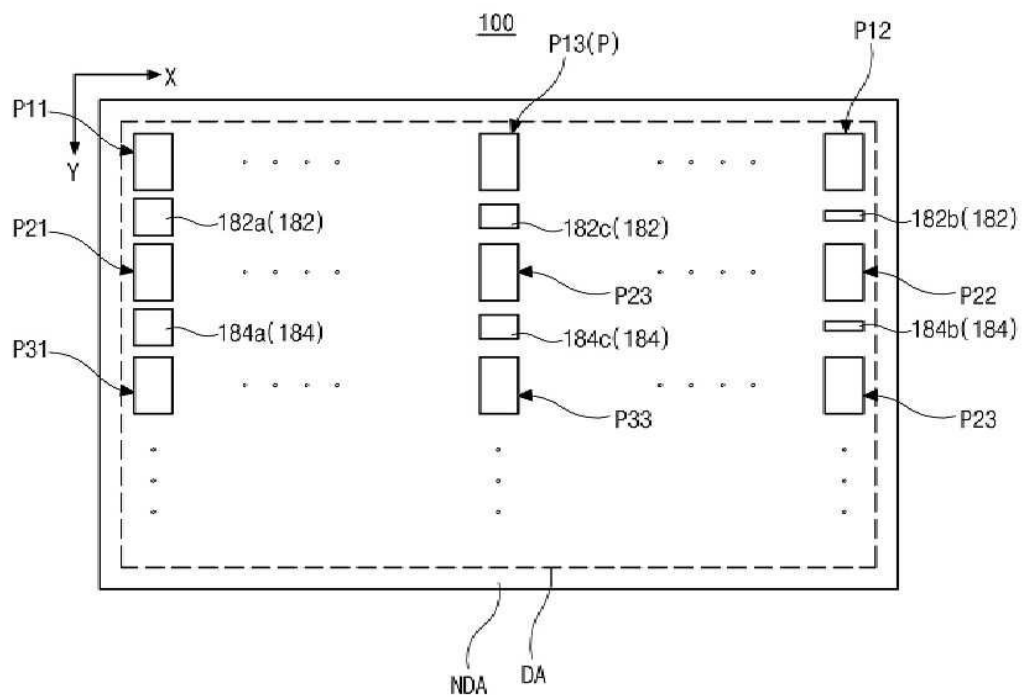
도면6



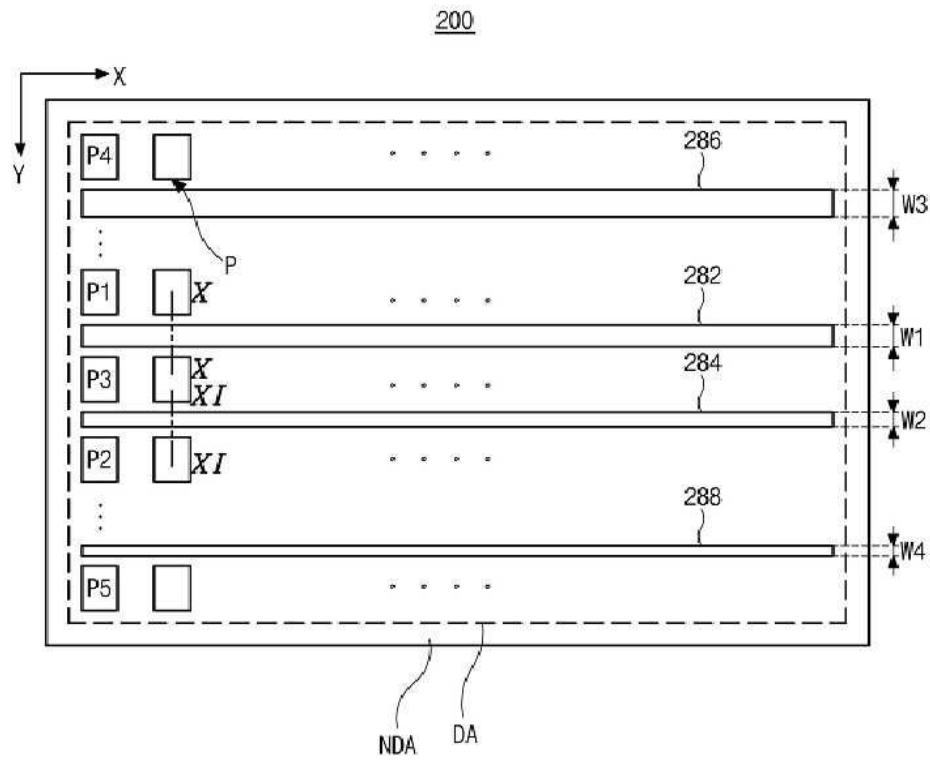
도면7



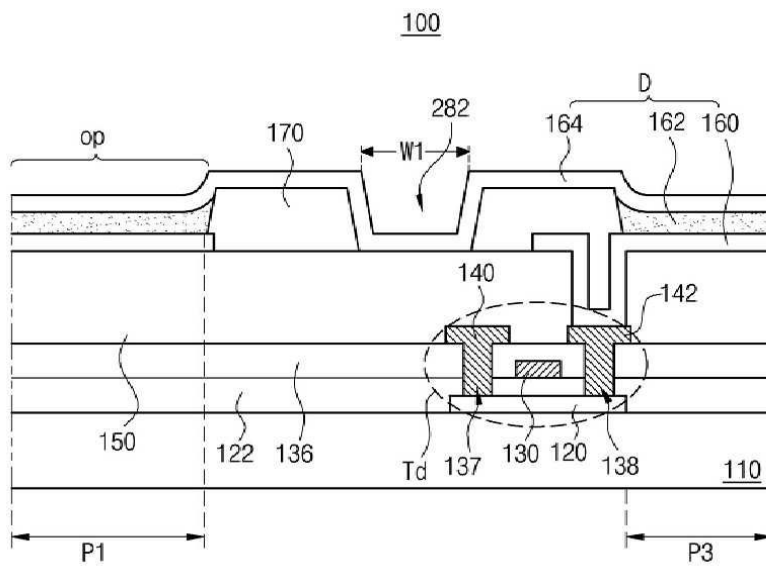
도면8



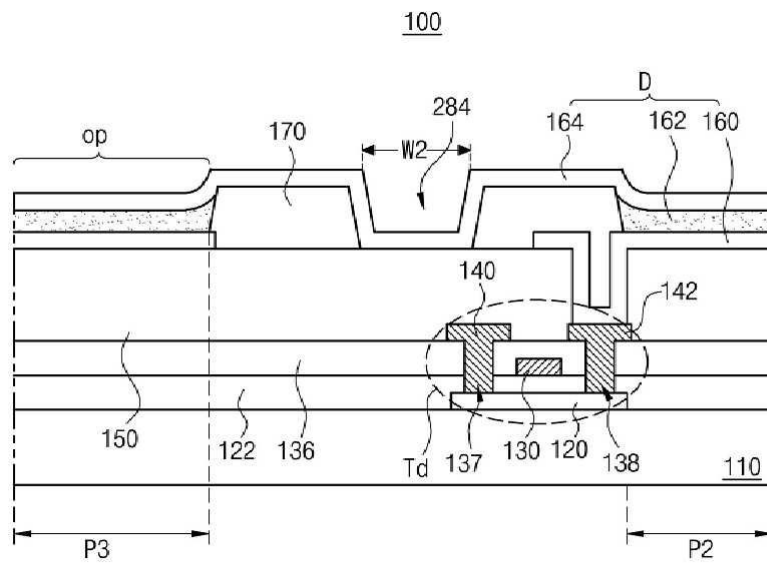
도면9



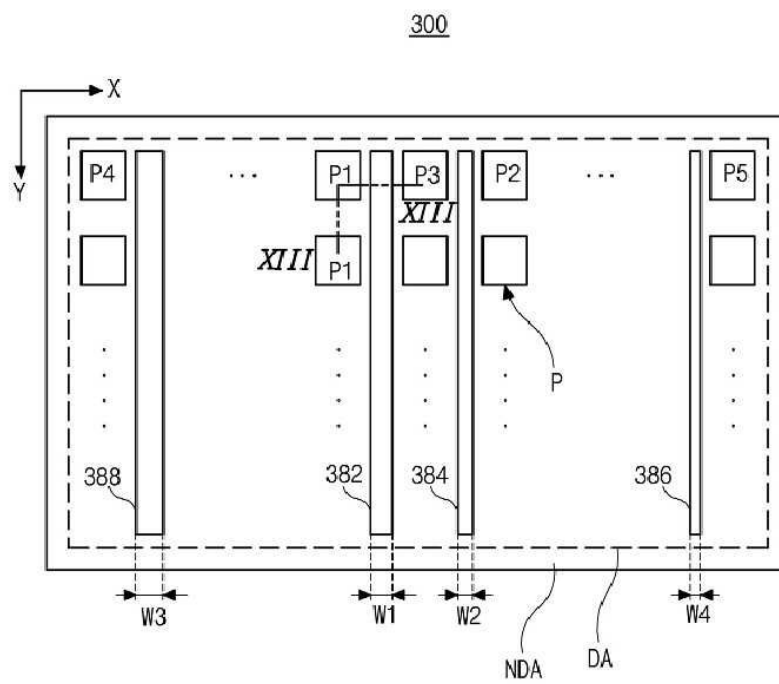
도면10



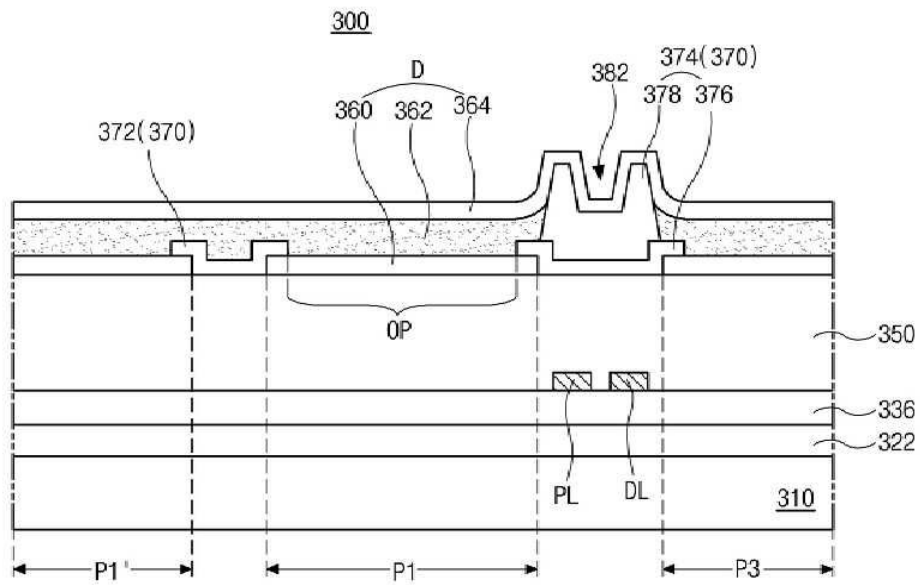
도면11



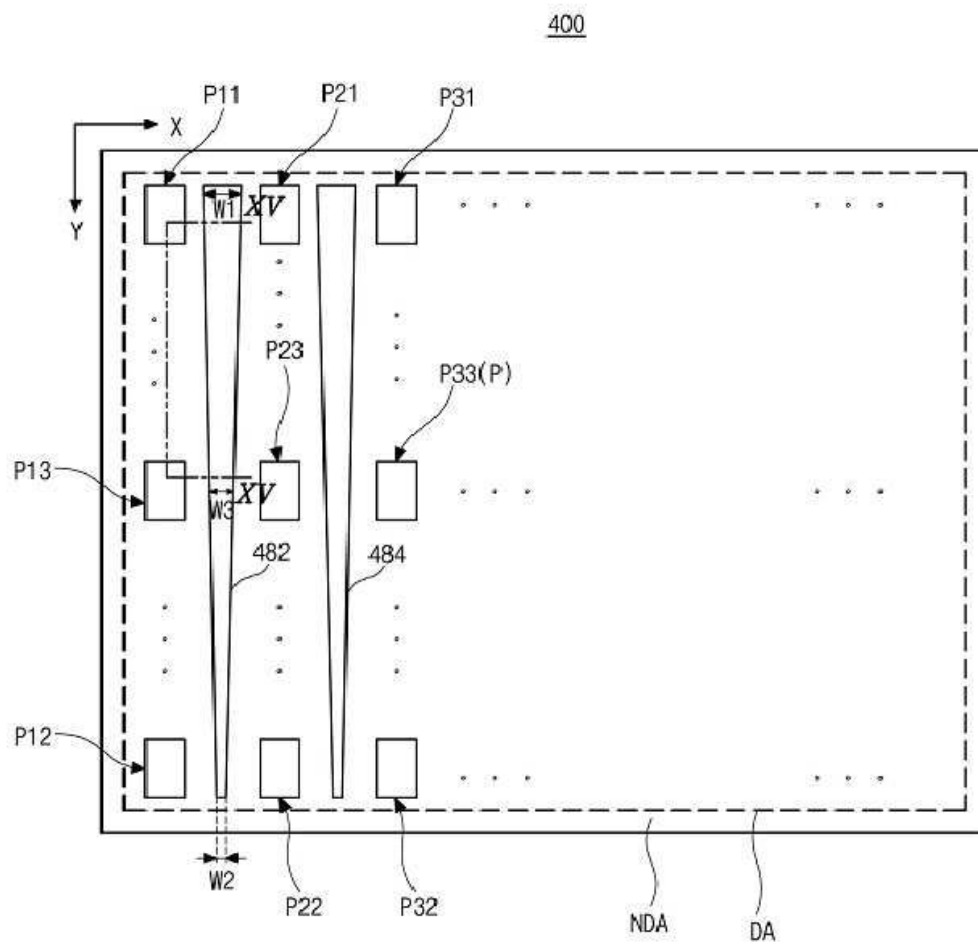
도면 12



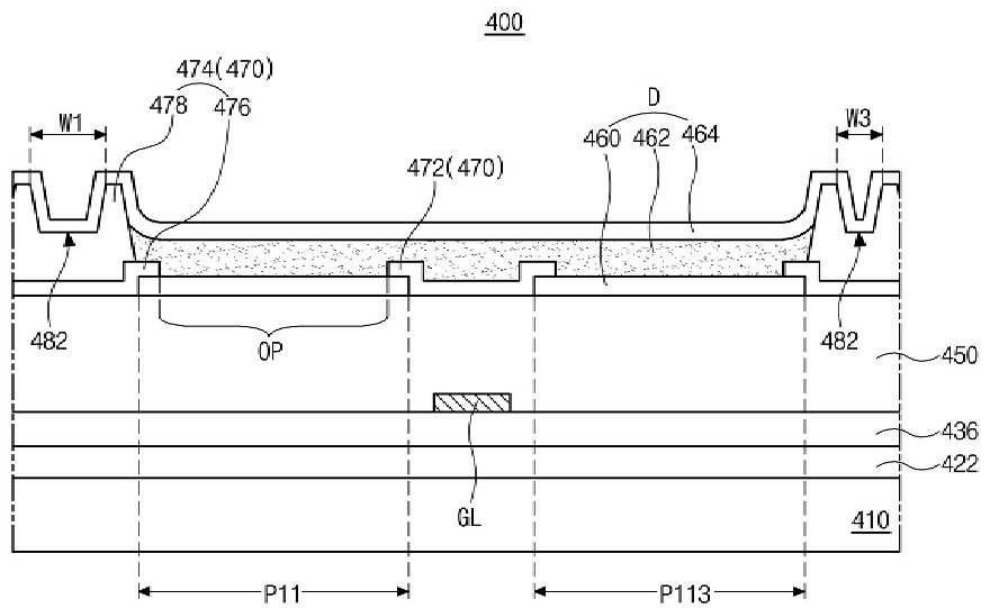
도면 13



도면14



도면15



电致发光显示装置包括：电致发光显示装置，其包括基板；基板上的第一像素行，其包括沿第一方向布置的第一多个像素；基板上的第二像素行包括沿第一方向布置的第二多个像素，第二像素行在第二方向上与第一像素行间隔开；在第一和第二像素行之间的第一凹槽；第一和第二像素行的每个像素中的发光二极管，其中第一凹槽包括在第一像素行的一端的第一部分，在第一像素行的另一端的第二部分以及在第二像素行之间的第三部分。第一和第二部分，其中第三部分小于第一部分并且大于第二部分。

