



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0016039
(43) 공개일자 2020년02월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0452 (2013.01)

(21) 출원번호 10-2018-0091237

(22) 출원일자 2018년08월06일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

강민형

경기도 파주시 월롱면 엘지로 245

미와 코이치

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한)유일하이스트

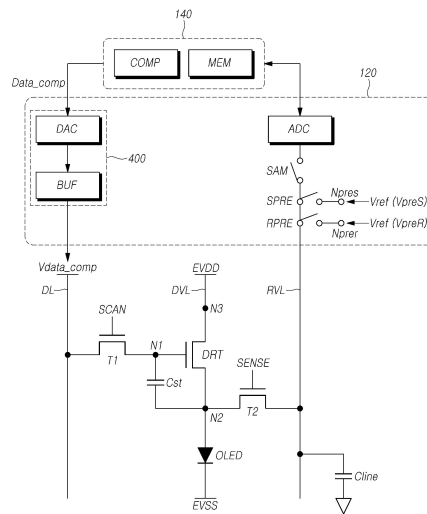
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 구동회로, 유기발광표시장치 및 구동방법

(57) 요약

본 발명의 실시예들은, 구동회로, 유기발광표시장치 및 구동방법에 관한 것으로서, 더욱 상세하게는, 센싱 구동 중에 다른 영상 제어 구동 (예: 페이크 데이터 삽입 구동)이 진행되더라도, 다른 영상 제어 구동 (예: 페이크 데이터 삽입 구동)에 의해 센싱이 영향을 받지 않게 하는 실시예들은, 구동회로, 유기발광표시장치 및 구동방법에 관한 것이다. 이러한 본 발명의 실시예들에 의하면, 센싱 오류를 방지하여 화상 품질을 향상시켜줄 수 있다.

대표도 - 도4



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2310/061 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 상기 다수의 데이터 라인 및 상기 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 구동회로; 및

상기 다수의 게이트 라인을 구동하는 게이트 구동회로를 포함하고,

상기 다수의 서브픽셀 중 선택된 센싱 대상 서브픽셀에 대한 센싱 기간은,

상기 다수의 데이터 라인 중 제1 데이터 라인을 통해 상기 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하고, 상기 다수의 기준전압 라인 중 제1 기준전압 라인을 통해 상기 센싱 대상 서브픽셀로 센싱용 기준전압을 공급하는 제1 기간과,

상기 제1 기준전압 라인의 전압이 상승하는 제2 기간과,

상기 제2 기간이 시작되어 일정 시간이 경과하면, 상기 제1 기준전압 라인의 전압을 센싱하는 제3 기간을 포함하고,

상기 제2 기간과 상기 제3 기간 동안, 상기 제1 기준전압 라인 또는 상기 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이터 라인은 상기 센싱용 데이터 전압과 다른 전압으로 유지되는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제2 기간과 상기 제3 기간 동안, 상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인은 상기 센싱용 데이터 전압보다 낮은 특정 전압으로 유지되는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 제2 기간과 상기 제3 기간 동안, 상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인은, 상기 센싱용 데이터 전압과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압으로 유지되는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 페이크 데이터 전압은 블랙 데이터 전압인 유기발광표시장치.

청구항 5

제3항에 있어서,

상기 페이크 데이터 전압이 공급되는 서브픽셀은,

상기 센싱 대상 서브픽셀과 다른 서브픽셀이고, 상기 센싱 대상 서브픽셀과 서로 다른 라인에 위치하고, 상기

센싱 대상 서브픽셀과 상기 제1 기준전압 라인에 공통으로 연결되는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인은 상기 제1 데이터 라인과 동일한 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 센싱 대상 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제1 노드와 상기 제1 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터와, 센스신호에 의해 제어되며 상기 구동 트랜지스터의 제2 노드와 상기 제1 기준전압 라인 사이에 전기적으로 연결된 센스 트랜지스터와, 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 기준전압 라인은 상기 센싱 대상 서브픽셀 이외에 하나 이상의 다른 서브픽셀과도 전기적으로 연결되고,

센싱용 기준전압 공급 노드와 상기 제1 기준전압 라인 간의 연결을 제어하는 센싱용 기준 스위치와, 상기 제1 기준전압 라인의 전압을 센싱하는 아날로그 디지털 컨버터와, 상기 제1 기준전압 라인과 상기 아날로그 디지털 컨버터 간의 연결을 제어하는 샘플링 스위치를 더 포함하는 유기발광표시장치.

청구항 8

제7항에 있어서,

상기 제1 기간 동안, 상기 스캔신호는 턴-온 레벨 전압이고, 상기 센스신호는 턴-온 레벨 전압이고, 상기 센싱용 기준 스위치는 턴-온 상태이고, 상기 샘플링 스위치는 턴-오프 상태이고,

상기 제2 기간 동안, 상기 스캔신호는 턴-오프 레벨 전압이고, 상기 센스신호는 턴-온 레벨 전압이고, 상기 센싱용 기준 스위치는 턴-오프 상태이고, 상기 샘플링 스위치는 턴-오프 상태이고,

상기 제3 기간 동안, 상기 스캔신호는 턴-오프 레벨 전압이고, 상기 센스신호는 턴-온 레벨 전압이고, 상기 센싱용 기준 스위치는 턴-오프 상태이고, 상기 샘플링 스위치는 턴-온 상태인 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 센싱 대상 서브픽셀에 대한 상기 센싱 기간은 블랭크 기간에 진행되는 실시간 센싱 기간인 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 센싱 기간 중 상기 제2 기간 동안 상기 제1 기준전압 라인의 전압이 상승하고,

상기 센싱 기간 중 상기 제1 기준전압 라인의 전압 상승 속도에 따라 상기 센싱 대상 서브픽셀에 공급될 영상 구동용 데이터 전압이 변경되는 유기발광표시장치.

청구항 11

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 상기 다수의 데이터 라인 및 상기 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널과, 상기 다수의 데이터 라인을 구동하는 데이터 구동회로와, 상기 다수의 게이트 라인을 구동하는 게이트 구동회로를 포함하는 유기발광표시장치의 구동방법에 있어서,

상기 다수의 데이터 라인 중 제1 데이터 라인을 통해 상기 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하고, 상기 다수의 기준전압 라인 중 제1 기준전압 라인을 통해 상기 센싱 대상 서브픽셀로 센싱용 기준전압을 공급하는 제1 단계;

상기 제1 기준전압 라인의 전압이 상승하는 제2 단계; 및

상기 제2 단계가 시작되어 일정 시간이 경과하면, 상기 제1 기준전압 라인의 전압을 센싱하는 제3 단계를 포함하고,

상기 제2 단계와 상기 제3 단계 동안, 상기 제1 기준전압 라인 또는 상기 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이터 라인은 상기 센싱용 데이터 전압과 다른 전압으로 유지되는 유기발광표시장치의 구동방법.

청구항 12

제11항에 있어서,

상기 제2 단계와 상기 제3 단계 동안, 상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인은 상기 센싱용 데이터 전압보다 낮은 특정 전압으로 유지되는 유기발광표시장치의 구동방법.

청구항 13

제11항에 있어서,

상기 제2 단계와 상기 제3 단계 동안, 상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인은, 상기 센싱용 데이터 전압과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압으로 유지되는 유기발광표시장치의 구동방법.

청구항 14

제11항에 있어서,

상기 페이크 데이터 전압은 블랙 데이터 전압인 유기발광표시장치의 구동방법.

청구항 15

제12항에 있어서,

상기 센싱 대상 서브픽셀에 대한 상기 센싱 기간은 블랭크 기간에 진행되는 실시간 센싱 기간인 유기발광표시장치의 구동방법.

청구항 16

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 상기 다수의 데이터 라인 및 상기 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널을 포함하는 유기발광표시장치의 구동회로에 있어서,

제1 데이터 라인을 통해 상기 다수의 서브픽셀 중 선택된 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하는 데이터 전압 출력 회로; 및

상기 다수의 기준전압 라인 중 상기 센싱 대상 서브픽셀과 전기적으로 연결된 제1 기준전압 라인의 전압이 상승하기 시작한 이후 일정 시간이 경과하면, 상기 제1 기준전압 라인의 전압을 센싱하는 아날로그 디지털 컨버터를 포함하고,

상기 제1 기준전압 라인의 전압이 상승하기 시작한 이후, 상기 제1 기준전압 라인의 전압 센싱이 완료되기 전까지, 상기 데이터 전압 출력 회로는,

상기 제1 기준전압 라인 또는 상기 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이터 라인으로 상기 센싱용 데이터 전압과 다른 전압을 공급하는 구동회로.

청구항 17

제16항에 있어서,

상기 제1 기준전압 라인의 전압이 상승하기 시작한 이후, 상기 제1 기준전압 라인의 전압 센싱이 완료되기 전까지, 상기 데이터 전압 출력 회로는, 상기 제1 기준전압 라인 또는 상기 연결 라인과 중첩되는 상기 데이터 라인으로 상기 센싱용 데이터 전압보다 낮은 특정 전압을 공급하는 구동회로.

청구항 18

제16항에 있어서,

센싱용 기준전압 공급 노드와 상기 제1 기준전압 라인 간의 연결을 제어하는 센싱용 기준 스위치와,

상기 제1 기준전압 라인과 상기 아날로그 디지털 컨버터 간의 연결을 제어하는 샘플링 스위치를 더 포함하는 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 구동회로, 유기발광표시장치 및 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 유기발광표시장치는 유기발광다이오드와 이를 구동하기 위한 구동 트랜지스터가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 유기발광표시장치의 경우, 표시패널에 정의된 각 서브픽셀에는 유기발광다이오드와 이를 구동하기 위한 구동 트랜지스터가 배치되는데, 각 서브픽셀 내 구동 트랜지스터의 특성치 (예: 문턱전압, 이동도)가 구동 시간에 따라 변화되거나, 각 서브픽셀의 구동시간 차이로 인해 각 트랜지스터 간의 특성치 편차가 발생할 수 있다. 이로 인해, 서브픽셀 간의 휘도 편차 (휘도 불균일)를 발생하여 화상 품질이 저하될 수 있다.

[0005] 종래의 유기발광표시장치의 경우, 서브픽셀 간 휘도 편차를 해결하기 위해, 구동 트랜지스터 간의 특성치 편차를 센싱하여 이를 보상해주기 위한 센싱 및 보상 기술이 제안되었다. 하지만, 센싱 및 보상 기술에도 불구하고,

예기치 않은 이유로 센싱 오류가 발생하여 화상 이상 현상이 초래되는 문제점이 발생하고 있다.

발명의 내용

해결하려는 과제

- [0006] 이러한 배경에서, 본 발명의 실시예들은, 센싱 오류 없이, 서브픽셀 간의 휘도 편차를 정확하게 센싱하고, 이에 기초하여 서브픽셀 간의 휘도 편차를 정확하게 보상해줄 수 있는 구동회로, 유기발광표시장치 및 구동방법을 제공할 수 있다.
- [0007] 본 발명의 실시예들은, 영상 구동 중에 실시간으로 센싱을 정확하게 수행할 수 있는 구동회로, 유기발광표시장치 및 구동방법을 제공할 수 있다.
- [0008] 본 발명의 실시예들은, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동이 진행되더라도, 다른 영상 제어 구동에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있는 구동회로, 유기발광표시장치 및 구동방법을 제공할 수 있다.
- [0009] 본 발명의 실시예들은, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동에 해당하는 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있는 구동회로, 유기발광표시장치 및 구동방법을 제공할 수 있다.
- [0010] 본 발명의 실시예들은, 센싱 중에, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해, 센싱 라인으로 활용되는 기준전압 라인의 전압 변동을 방지해주어 정확한 센싱 결과를 얻을 수 있는 구동회로, 유기발광표시장치 및 구동방법을 제공할 수 있다.

과제의 해결 수단

- [0011] 일 측면에서, 본 발명의 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 데이터 라인 및 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동회로와, 다수의 게이트 라인을 구동하는 게이트 구동회로를 포함하는 유기발광표시장치를 제공할 수 있다.
- [0012] 이러한 유기발광표시장치에서, 다수의 서브픽셀 중 선택된 센싱 대상 서브픽셀에 대한 센싱 기간은, 다수의 데이터 라인 중 제1 데이터 라인을 통해 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하고, 다수의 기준전압 라인 중 제1 기준전압 라인을 통해 센싱 대상 서브픽셀로 센싱용 기준전압을 공급하는 제1 기간과, 제1 기준전압 라인의 전압이 상승하는 제2 기간과, 제2 기간이 시작되어 일정 시간이 경과하면, 제1 기준전압 라인의 전압을 센싱하는 제3 기간을 포함할 수 있다.
- [0013] 제2 기간과 제3 기간 동안, 제1 기준전압 라인 또는 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이터 라인은 센싱용 데이터 전압과 다른 전압으로 유지될 수 있다.
- [0014] 제2 기간과 제3 기간 동안, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은 센싱용 데이터 전압보다 낮은 특정 전압으로 유지될 수 있다.
- [0015] 제2 기간과 제3 기간 동안, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은, 센싱용 데이터 전압과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압으로 유지될 수 있다.
- [0016] 일 예로, 페이크 데이터 전압은 블랙 데이터 전압일 수 있다.
- [0017] 페이크 데이터 전압이 공급되는 서브픽셀은, 센싱 대상 서브픽셀과 다른 서브픽셀이고, 센싱 대상 서브픽셀과 서로 다른 라인에 위치하고, 센싱 대상 서브픽셀과 제1 기준전압 라인에 공통으로 연결될 수 있다.
- [0018] 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은 제1 데이터 라인과 동일할 수 있다.
- [0019] 경우에 따라서는, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은 제1 데이터 라인과 다를 수 있다.
- [0020] 센싱 대상 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터와, 스캔신호에

의해 제어되며 구동 트랜지스터의 제1 노드와 제1 데이터 라인 사이에 전기적으로 연결된 스캔 트랜지스터와, 센스신호에 의해 제어되며 구동 트랜지스터의 제2 노드와 제1 기준전압 라인 사이에 전기적으로 연결된 센스 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.

- [0021] 제1 기준전압 라인은 센싱 대상 서브픽셀 이외에 하나 이상의 다른 서브픽셀과도 전기적으로 연결될 수 있다.
- [0022] 유기발광표시장치는, 센싱용 기준전압 공급 노드와 제1 기준전압 라인 간의 연결을 제어하는 센싱용 기준 스위치와, 제1 기준전압 라인의 전압을 센싱하는 아날로그 디지털 컨버터와, 제1 기준전압 라인과 아날로그 디지털 컨버터 간의 연결을 제어하는 샘플링 스위치를 더 포함할 수 있다.
- [0023] 제1 기간 동안, 스캔신호는 턴-온 레벨 전압이고, 센스신호는 턴-온 레벨 전압이고, 센싱용 기준 스위치는 턴-온 상태이고, 샘플링 스위치는 턴-오프 상태일 수 있다.
- [0024] 제2 기간 동안, 스캔신호는 턴-오프 레벨 전압이고, 센스신호는 턴-온 레벨 전압이고, 센싱용 기준 스위치는 턴-오프 상태이고, 샘플링 스위치는 턴-오프 상태일 수 있다.
- [0025] 제3 기간 동안, 스캔신호는 턴-오프 레벨 전압이고, 센스신호는 턴-온 레벨 전압이고, 센싱용 기준 스위치는 턴-오프 상태이고, 샘플링 스위치는 턴-온 상태일 수 있다.
- [0026] 센싱 대상 서브픽셀에 대한 센싱 기간은 블랭크 기간에 진행되는 실시간 센싱 기간일 수 있다.
- [0027] 센싱 기간 중 제2 기간 동안 제1 기준전압 라인의 전압이 상승하고, 센싱 기간 중 제1 기준전압 라인의 전압 상승 속도에 따라 센싱 대상 서브픽셀에 공급될 영상 구동용 데이터 전압이 변경될 수 있다.
- [0028] 다른 측면에서, 본 발명의 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 데이터 라인 및 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동회로와, 다수의 게이트 라인을 구동하는 게이트 구동회로를 포함하는 유기발광표시장치의 구동방법을 제공할 수 있다.
- [0029] 이러한 구동방법은, 다수의 데이터 라인 중 제1 데이터 라인을 통해 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하고, 다수의 기준전압 라인 중 제1 기준전압 라인을 통해 센싱 대상 서브픽셀로 센싱용 기준전압을 공급하는 제1 단계와, 제1 기준전압 라인의 전압이 상승하는 제2 단계와, 제2 단계가 시작되어 일정 시간이 경과하면, 제1 기준전압 라인의 전압을 센싱하는 제3 단계를 포함할 수 있다.
- [0030] 제2 단계와 제3 단계 동안, 제1 기준전압 라인 또는 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이터 라인은 센싱용 데이터 전압과 다른 전압으로 유지될 수 있다.
- [0031] 제2 단계와 제3 단계 동안, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은 센싱용 데이터 전압보다 낮은 특정 전압으로 유지될 수 있다.
- [0032] 제2 단계와 제3 단계 동안, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인은, 센싱용 데이터 전압과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압으로 유지될 수 있다.
- [0033] 페이크 데이터 전압은 블랙 데이터 전압일 수 있다.
- [0034] 센싱 대상 서브픽셀에 대한 센싱 기간은 블랭크 기간에 진행되는 실시간 센싱 기간일 수 있다.
- [0035] 또 다른 측면에서, 본 발명의 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 데이터 라인 및 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되며, 다수의 기준전압 라인이 배치되는 표시패널을 포함하는 유기발광표시장치의 구동회로를 제공할 수 있다.
- [0036] 이러한 구동회로는, 제1 데이터 라인을 통해 다수의 서브픽셀 중 선택된 센싱 대상 서브픽셀로 센싱용 데이터 전압을 공급하는 데이터 전압 출력 회로와, 다수의 기준전압 라인 중 센싱 대상 서브픽셀과 전기적으로 연결된 제1 기준전압 라인의 전압이 상승하기 시작한 이후 일정 시간이 경과하면, 제1 기준전압 라인의 전압을 센싱하는 아날로그 디지털 컨버터를 포함할 수 있다.
- [0037] 제1 기준전압 라인의 전압이 상승하기 시작한 이후, 제1 기준전압 라인의 전압 센싱이 완료되기 전까지, 데이터 전압 출력 회로는, 제1 기준전압 라인 또는 제1 기준전압 라인에 전기적으로 연결된 연결 라인과 중첩되는 데이

터 라인으로 센싱용 데이터 전압과 다른 전압을 공급할 수 있다.

- [0038] 제1 기준전압 라인의 전압이 상승하기 시작한 이후, 제1 기준전압 라인의 전압 센싱이 완료되기 전까지, 데이터 전압 출력 회로는, 제1 기준전압 라인 또는 연결 라인과 중첩되는 데이터 라인으로 센싱용 데이터 전압보다 낮은 특정 전압을 공급할 수 있다.
- [0039] 구동회로는, 센싱용 기준전압 공급 노드와 제1 기준전압 라인 간의 연결을 제어하는 센싱용 기준 스위치와, 제1 기준전압 라인과 아날로그 디지털 컨버터 간의 연결을 제어하는 샘플링 스위치를 더 포함할 수 있다.

발명의 효과

- [0040] 이상에서 기술한 본 발명의 실시예들에 의하면, 센싱 오류 없이, 서브픽셀 간의 휘도 편차를 정확하게 센싱하고, 이에 기초하여 서브픽셀 간의 휘도 편차를 정확하게 보상해줄 수 있다. 이에 따라, 화상 품질을 향상시켜줄 수 있다.
- [0041] 본 발명의 실시예들에 의하면, 영상 구동 중에 실시간으로 센싱을 정확하게 수행할 수 있다. 이에 따라, 효율적인 센싱을 가능하게 하고, 화상 품질을 향상시켜줄 수 있다.
- [0042] 본 발명의 실시예들에 의하면, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동이 진행되더라도, 다른 영상 제어 구동에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있다.
- [0043] 본 발명의 실시예들에 의하면, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동에 해당하는 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있다.
- [0044] 본 발명의 실시예들에 의하면, 센싱 중에, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해, 센싱 라인으로 활용되는 기준전압 라인의 전압 변동을 방지해주어 정확한 센싱 결과를 얻을 수 있다.

도면의 간단한 설명

- [0045] 도 1은 본 발명의 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 발명의 실시예들에 따른 유기발광표시장치의 시스템 구현 예시도이다.
- 도 3은 본 발명의 실시예들에 따른 유기발광표시장치의 서브픽셀의 회로이다.
- 도 4는 본 발명의 실시예들에 따른 유기발광표시장치의 보상 회로이다.
- 도 5는 본 발명의 실시예들에 따른 유기발광표시장치의 문턱전압 센싱을 위한 구동 타이밍 다이어그램이다.
- 도 6은 본 발명의 실시예들에 따른 유기발광표시장치의 이동도 센싱을 위한 구동 타이밍 다이어그램이다.
- 도 7은 본 발명의 실시예들에 따른 유기발광표시장치에서, 다양한 타이밍에 진행될 수 있는 센싱 프로세스를 나타낸 도면이다.
- 도 8은 본 발명의 실시예들에 따른 유기발광표시장치에서, 서브픽셀들과 배선들의 배치도이다.
- 도 9는 본 발명의 실시예들에 따른 유기발광표시장치에서, 페이크 데이터 삽입 구동을 나타낸 다이어그램이다.
- 도 10은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동과 페이크 데이터 삽입 구동을 개념적으로 나타낸 다이어그램이다.
- 도 11은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되는 경우, 실시간 센싱 구동과 페이크 데이터 삽입 구동의 타이밍 관계에 대한 3가지의 케이스를 나타낸 도면이다.
- 도 12는 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 진행되는 페이크 데이터 삽입 구동에 의해 발생하는 데이터 라인과 기준전압 라인 간의 커플링 현상을 설명하기 위한 도면이다.
- 도 13은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 진행되는 페이크 데이터 삽입 구동에 의해, 기준전압 라인의 전압 상태가 불안정해지는 현상을 측정된 그래프들이다.

도 14는 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 진행되는 페이크 데이터 삽입 구동에 의해 발생된 화상 품질 저하 현상이 있는 화면을 나타낸 도면이다.

도 15는 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위한 구동방법을 설명하기 위한 도면이다.

도 16은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위한 구동 타이밍 다이어그램이다.

도 17은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되는 경우, 실시간 센싱 구동과 페이크 데이터 삽입 구동의 타이밍 관계에 대한 첫 번째 케이스에 대한 구동 타이밍 다이어그램이다.

도 18은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되는 경우, 실시간 센싱 구동과 페이크 데이터 삽입 구동의 타이밍 관계에 대한 두 번째 케이스에 대한 구동 타이밍 다이어그램이다.

도 19는 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되는 경우, 실시간 센싱 구동과 페이크 데이터 삽입 구동의 타이밍 관계에 대한 세 번째 케이스에 대한 구동 타이밍 다이어그램이다.

도 20은 본 발명의 실시예들에 따른 유기발광표시장치에서, 실시간 센싱 구동 중에 페이크 데이터 삽입 구동이 진행되더라도, 화상 품질 저하 현상이 방지된 화면을 나타낸 도면이다.

도 21은 본 발명의 실시예들에 따른 유기발광표시장치의 구동방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0046] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0047] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0048] 도 1은 본 발명의 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0049] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열된 표시패널(110)과, 표시패널(110)을 구동하기 위한 구동회로(111)를 포함할 수 있다.

[0050] 구동회로(111)는, 기능적으로 볼 때, 다수의 데이터 라인(DL)을 구동하는 데이터 구동회로(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 구동회로(130)와, 데이터 구동회로(120) 및 게이트 구동회로(130)를 제어하는 컨트롤러(140) 등을 포함할 수 있다.

[0051] 표시패널(110)에서 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)은 서로 교차하여 배치될 수 있다. 예를 들어, 다수의 게이트 라인(GL)은 행(Row) 또는 열(Column)으로 배열될 수 있고, 다수의 데이터 라인(DL)은 열(Column) 또는 행(Row)으로 배열될 수 있다. 아래에서는, 설명의 편의를 위하여, 다수의 게이트 라인(GL)은 행(Row)으로 배치되고, 다수의 데이터 라인(DL)은 열(Column)로 배치되는 것으로 가정한다.

[0052] 표시패널(110)에는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 이외에, 다른 종류의 배선들이 배치될 수 있다.

- [0053] 컨트롤러(140)는, 데이터 구동회로(120)로 영상데이터(DATA)를 공급할 수 있다.
- [0054] 또한, 컨트롤러(140)는, 데이터 구동회로(120) 및 게이트 구동회로(130)의 구동 동작에 필요한 각종 제어신호(DCS, GCS)를 공급하여 데이터 구동회로(120) 및 게이트 구동회로(130)의 동작을 제어할 수 있다.
- [0055] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상데이터를 데이터 구동회로(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0056] 컨트롤러(140)는, 데이터 구동회로(120) 및 게이트 구동회로(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등의 타이밍 신호를 외부 (예: 호스트 시스템)로부터 입력 받아, 각종 제어 신호들을 생성하여 데이터 구동회로(120) 및 게이트 구동회로(130)로 출력한다.
- [0057] 예를 들어, 컨트롤러(140)는, 게이트 구동회로(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0058] 또한, 컨트롤러(140)는, 데이터 구동회로(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0059] 컨트롤러(140)는, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0060] 컨트롤러(140)는, 데이터 구동회로(120)와 별도의 부품으로 구현될 수도 있고, 데이터 구동회로(120)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0061] 데이터 구동회로(120)는, 컨트롤러(140)로부터 영상데이터(DATA)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 구동회로(120)는 소스 구동회로라고도 한다.
- [0062] 데이터 구동회로(120)는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0063] 데이터 구동회로(120)는, 경우에 따라서, 하나 이상의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0064] 게이트 구동회로(130)는, 다수의 게이트 라인(GL)로 스캔신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 구동회로(130)는 스캔 구동회로라고도 한다.
- [0065] 게이트 구동회로(130)는 시프트 레지스터(Shift Register), 레벨 시프터(Level Shifter) 등을 포함할 수 있다.
- [0066] 게이트 구동회로(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의 게이트 라인(GL)로 순차적으로 공급한다.
- [0067] 데이터 구동회로(120)는, 게이트 구동회로(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)로 공급한다.
- [0068] 데이터 구동회로(120)는, 표시패널(110)의 일 측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0069] 게이트 구동회로(130)는, 표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0070] 데이터 구동회로(120)는 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 구현될 수 있다.
- [0071] 각 소스 드라이버 집적회로(SDIC)는, TAB (Tape Automated Bonding) 방식 또는 COG (Chip On Glass) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나 표시패널(110) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적회로(SDIC)는 표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라

이버 집적회로(SDIC)는 COF (Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로(SDIC)는 회로필름 상에 실장 되어, 회로필름을 통해 표시패널(110)에서의 데이터 라인들(DL)과 전기적으로 연결될 수 있다.

- [0072] 게이트 구동회로(130)는 하나 이상의 게이트 드라이버 집적회로(GDIC: Gate Driver IC)가 TAB 방식 또는 COG 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결될 수 있다. 또한, 게이트 구동회로(130)는 GIP(Gate In Panel) 타입으로 구현되어 표시패널(110) 상에 직접 배치될 수도 있다. 또한, 게이트 구동회로(130)는 COF (Chip On Film) 방식으로 구현될 수 있다. 이 경우, 게이트 구동회로(130)에 포함된 각 게이트 드라이버 집적회로(GDIC)는 회로필름 상에 실장 되어, 회로필름을 통해 표시패널(110)에서의 게이트 라인들(GL)과 전기적으로 연결될 수 있다..
- [0073] 도 2는 본 발명의 실시예들에 따른 유기발광표시장치(100)의 시스템 구현 예시도이다.
- [0074] 도 2의 예시는, 데이터 구동회로(120)에서 포함된 각 소스 드라이버 집적회로(SDIC)가 다양한 방식들(TAB, COG, COF 등) 중 COF (Chip On Film) 방식으로 구현되고, 게이트 구동회로(130)가 다양한 방식들(TAB, COG, COF, GIP 등) 중 GIP (Gate In Panel) 타입으로 구현된 경우이다.
- [0075] 데이터 구동회로(120)에 포함된 다수의 소스 드라이버 집적회로(SDIC) 각각은, 소스 측 회로필름(SF) 상에 실장될 수 있다.
- [0076] 소스 측 회로필름(SF)의 일 측은 표시패널(110)과 전기적으로 연결될 수 있다.
- [0077] 소스 측 회로필름(SF) 상에는, 소스 드라이버 집적회로(SDIC)과 표시패널(110)을 전기적으로 연결해주기 위한 배선들이 배치될 수 있다.
- [0078] 유기발광표시장치(100)는, 다수의 소스 드라이버 집적회로(SDIC)와 다른 장치들 간의 회로적인 연결을 위해, 적어도 하나의 소스 인쇄회로기판(SPCB)과, 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(CPCB)을 포함할 수 있다.
- [0079] 적어도 하나의 소스 인쇄회로기판(SPCB)에는 소스 드라이버 집적회로(SDIC)가 실장 된 소스 측 회로필름(SF)의 타 측이 연결될 수 있다.
- [0080] 즉, 소스 드라이버 집적회로(SDIC)가 실장 된 소스 측 회로필름(SF)은 일 측이 표시패널(110)과 전기적으로 연결되고, 타 측이 소스 인쇄회로기판(SPCB)과 전기적으로 연결될 수 있다.
- [0081] 컨트롤 인쇄회로기판(CPCB)에는, 데이터 구동회로(120) 및 게이트 구동회로(130) 등의 동작을 제어하는 컨트롤러(140)와, 표시패널(110), 데이터 구동회로(120) 및 게이트 구동회로(130) 등으로 각종 전압 또는 전류를 공급 해주거나 공급할 각종 전압 또는 전류를 제어하는 파워 관리 집적회로(PMIC: Power Management IC, 210) 등이 실장될 수 있다.
- [0082] 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다. 여기서, 연결 부재는, 일 예로, 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0083] 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0084] 유기발광표시장치(100)는, 컨트롤 인쇄회로기판(CPCB)과 전기적으로 연결된 세트보드(Set Board, 230)를 더 포함할 수 있다. 이러한 세트 보드(230)는 파워 보드(Power Board)라고도 할 수 있다.
- [0085] 이러한 세트보드(230)에는 유기발광표시장치(100)의 전체적인 파워를 관리하는 메인 파워 관리 회로(220, M-PMC: Main Power Management Circuit)가 존재할 수 있다.
- [0086] 파워 관리 집적회로(210)는 표시패널(110)과 그 구동 회로(120, 130, 140) 등을 포함하는 표시모듈에 대한 파워를 관리하는 회로이고, 메인 파워 관리 회로(220)는 표시모듈을 포함한 전체적인 파워를 관리하는 회로이고, 파워 관리 집적회로(210)와 연동할 수 있다.
- [0087] 본 실시예들에 따른 유기발광표시장치(100)에 포함된 표시패널(110)에 배열된 각 서브픽셀(SP)은 자 발광 소자인 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성될 수 있다.

- [0088] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0089] 도 3은 본 발명의 실시예들에 따른 유기발광표시장치(100)의 서브픽셀의 회로이다.
- [0090] 본 발명의 실시예들에 따른 표시패널(110)에는, 다수의 데이터 라인(DL), 다수의 게이트 라인(GL), 다수의 구동 전압 라인(DVL) 및 다수의 기준전압 라인(RVL) 등이 배치될 수 있다.
- [0091] 표시패널(110)에서의 각 서브픽셀(SP)은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 해당 데이터 라인(DL) 사이에 전기적으로 연결된 스캔 트랜지스터(T1)와, 구동 트랜지스터(DRT)의 제2 노드(N2)와 다수의 기준전압 라인(RVL) 중 해당 기준전압 라인(RVL) 사이에 전기적으로 연결된 센스 트랜지스터(T2)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등을 포함하여 구현될 수 있다.
- [0092] 유기발광다이오드(OLED)는 애노드 전극, 유기발광층 및 캐소드 전극 등으로 이루어질 수 있다.
- [0093] 도 3의 회로 예시에 따르면, 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DRT)의 제2 노드(N2)와 전기적으로 연결될 수 있다. 유기발광다이오드(OLED)의 캐소드 전극에는 기저전압(EVSS)이 인가될 수 있다.
- [0094] 여기서, 기저전압(EVSS)은, 일 예로, 그라운드 전압이거나 그라운드 전압보다 높거나 낮은 전압일 수 있다. 또한, 기저전압(EVSS)은 구동상태에 따라 가변될 수 있다. 예를 들어, 영상 구동 시 기저전압(EVSS)과 센싱 구동 시 기저전압(EVSS)은 서로 다르게 설정될 수 있다.
- [0095] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.
- [0096] 구동 트랜지스터(DRT)는 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3) 등을 포함할 수 있다.
- [0097] 구동 트랜지스터(DRT)의 제1 노드(N1)는 게이트 노드일 수 있으며, 스캔 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제2 노드(N2)는 소스 노드 또는 드레인 노드일 수 있으며, 유기발광다이오드(OLED)의 애노드 전극(또는 캐소드 전극)과 전기적으로 연결될 수 있고, 센스 트랜지스터(T2)의 소스 노드 또는 드레인 노드와도 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제3 노드(N3)는 드레인 노드 또는 소스 노드일 수 있으며, 구동전압(EVDD)이 인가될 수 있고, 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있다. 아래에서는, 설명의 편의를 위하여, 구동 트랜지스터(DRT)에서, 제1 노드(N1)는 게이트 노드이고, 제2 노드(N2)는 소스 노드이고, 제3노드(N3)는 드레인 노드인 것을 예로 들어 설명할 수 있다.
- [0098] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압(Vdata) 또는 이에 대응되는 전압을 한 프레임 시간 (또는 정해진 시간) 동안 유지해줄 수 있다.
- [0099] 스캔 트랜지스터(T1)의 드레인 노드 또는 소스 노드는 해당 데이터 라인(DL)에 전기적으로 연결되고, 스캔 트랜지스터(T1)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제1 노드(N1)에 전기적으로 연결되고, 스캔 트랜지스터(T1)의 게이트 노드는 해당 게이트 라인과 전기적으로 연결되어 스캔신호(SCAN)를 인가 받을 수 있다.
- [0100] 스캔 트랜지스터(T1)는 해당 게이트 라인을 통해 스캔신호(SCAN)를 게이트 노드로 인가 받아 온-오프가 제어될 수 있다.
- [0101] 이러한 스캔 트랜지스터(T1)는 스캔신호(SCAN)에 의해 턴-온 되어 해당 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)로 전달해줄 수 있다.
- [0102] 센스 트랜지스터(T2)의 드레인 노드 또는 소스 노드는 기준전압 라인(RVL)에 전기적으로 연결되고, 센스 트랜지스터(T2)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제2 노드(N2)에 전기적으로 연결될 수 있다. 센스 트랜지스터(T2)의 게이트 노드는 해당 게이트 라인과 전기적으로 연결되어 센스신호(SENSE)를 인가 받을 수 있다.
- [0103] 센스 트랜지스터(T2)는 해당 게이트 라인을 통해 센스신호(SENSE)를 게이트 노드로 인가 받아 온-오프가 제어될 수 있다.

- [0104] 센스 트랜지스터(T2)는 센스신호(SENSE)에 의해 턴-온 되어 해당 기준전압 라인(RVL)으로부터 공급된 기준전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)로 전달해줄 수 있다.
- [0105] 한편, 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)일 수 있다.
- [0106] 구동 트랜지스터(DRT), 스캔 트랜지스터(T1) 및 센스 트랜지스터(T2) 각각은 n 타입 트랜지스터이거나 p 타입 트랜지스터일 수 있다.
- [0107] 한편, 스캔신호(SCAN) 및 센스신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔신호(SCAN) 및 센스신호(SENSE)는 서로 다른 게이트 라인을 통해, 스캔 트랜지스터(T1)의 게이트 노드 및 센스 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.
- [0108] 경우에 따라서는, 스캔신호(SCAN) 및 센스신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔신호(SCAN) 및 센스신호(SENSE)는 동일한 게이트 라인을 통해 스캔 트랜지스터(T1)의 게이트 노드 및 센스 트랜지스터(T2)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0109] 도 3에 예시된 각 서브픽셀 구조는 3T(Transistor) 1C (Capacitor) 구조로서, 설명을 위한 예시일 뿐, 1개 이상의 트랜지스터를 더 포함하거나, 경우에 따라서는, 1개 이상의 캐패시터를 더 포함할 수도 있다. 또는, 다수의 서브픽셀들 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀들 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0110] 아래에서는, 각 서브픽셀(SP)의 영상 구동 동작을 간단하게 예를 들어 설명한다.
- [0111] 각 서브픽셀(SP)의 디스플레이 구동 (영상 구동이라고도 함) 동작은 영상 데이터 기록 단계, 부스팅 단계 및 발광 단계로 진행될 수 있다.
- [0112] 영상 데이터 기록 단계에서, 구동 트랜지스터(DRT)의 제1 노드(N1)에 영상 신호에 해당하는 영상 구동용 데이터 전압(Vdata)이 인가하고, 구동 트랜지스터(DRT)의 제2 노드(N2)에 영상 구동용 기준전압(Vref)이 인가될 수 있다. 여기서, 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준전압 라인(RVL) 사이의 저항 성분 등으로 인해, 구동 트랜지스터(DRT)의 제2 노드(N2)에 기준전압(Vref)과 유사한 전압(Vref')이 인가될 수 있다.
- [0113] 영상 구동을 위한 기준전압(Vref)을 VpreR 이라고도 한다.
- [0114] 영상 데이터 기록 단계에서, 스캔 트랜지스터(T1) 및 센스 트랜지스터(T2)는 동시에 또는 약간의 시간 차를 갖고 턴-온 될 수 있다.
- [0115] 영상 데이터 기록 단계에서, 스토리지 캐패시터(Cst)는 양단 전위차 (Vdata-Vref 또는 Vdata-Vref')에 대응되는 전하가 충전될 수 있다.
- [0116] 구동 트랜지스터(DRT)의 제1 노드(N1)에 영상 구동용 데이터 전압(Vdata)이 인가되는 것을 영상 데이터 기록(Data Writing)이라고 한다.
- [0117] 영상 데이터 기록 단계에 이어서 진행되는 부스팅 단계에서, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)는 동시에 또는 약간의 시간 차를 갖고 전기적으로 플로팅(Floating) 될 수 있다.
- [0118] 이를 위해, 스캔신호(SCAN)의 턴-오프 레벨 전압에 의해 스캔 트랜지스터(T1)가 턴-오프 될 수 있다. 또한, 센스신호(SENSE)의 턴-오프 레벨 전압에 의해 센스 트랜지스터(T2)가 턴-오프 될 수 있다.
- [0119] 부스팅 단계에서, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2) 간의 전압 차이는 유지되면서, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2) 각각의 전압이 부스팅(Boosting) 될 수 있다.
- [0120] 부스팅 단계 동안, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2) 각각의 전압이 부스팅(Boosting)되다가, 구동 트랜지스터(DRT)의 제2 노드(N2)의 상승된 전압이 일정 전압(즉, 유기발광다이오드(OLED)를 턴-온 시킬 수 있는 전압으로서, 기저전압(EVSS)에서 유기발광다이오드(OLED)의 문턱전압만큼 높은 전압)이상이 되면, 발광 단계로 진입된다.
- [0121] 이러한 발광 단계에서는, 유기발광다이오드(OLED)로 구동 전류가 흐르게 된다. 이에 따라, 유기발광다이오드(OLED)가 발광할 수 있다.

- [0122] 본 발명의 실시예들에 따른 표시패널(110)에 배열된 다수의 서브픽셀(SP) 각각에 배치된 구동 트랜지스터(DRT)는 문턱전압, 이동도 (전자 이동도 라고도 함) 등의 고유한 특성치를 갖는다.
- [0123] 구동 트랜지스터(DRT)는 구동시간에 따라 열화가 발생할 수 있다. 이에 따라, 구동 트랜지스터(DRT)의 고유한 특성치는 구동시간에 따라 변할 수 있다.
- [0124] 구동 트랜지스터(DRT)는 특성치 변화에 따라 온-오프 타이밍이 달라지거나 유기발광다이오드(OLED)의 구동 능력이 달라질 수 있다. 즉, 구동 트랜지스터(DRT)는 특성치 변화에 따라 유기발광다이오드(OLED)로 전류를 공급하는 타이밍과, 유기발광다이오드(OLED)로 공급하는 전류량이 달라질 수 있다. 이러한 구동 트랜지스터(DRT)의 특성치 변화에 따라, 해당 서브픽셀(SP)의 실제 휘도는 원하는 휘도와 달라질 수 있다.
- [0125] 또한, 표시패널(110)에 배열된 다수의 서브픽셀(SP)은 각기 구동 시간이 서로 다를 수 있다. 따라서, 각 서브픽셀(SP) 내 구동 트랜지스터(DRT) 간의 특성치 편차 (문턱전압 편차, 이동도 편차)가 발생할 수 있다.
- [0126] 이러한 구동 트랜지스터(DRT) 간의 특성치 편차는 서브픽셀(SP) 간의 휘도 편차를 발생시킬 수 있다. 따라서, 표시패널(110)의 휘도 균일도도 나빠질 수 있으며, 결국, 화상 품질 저하로 이어질 수 있다.
- [0127] 따라서, 본 발명의 실시예들에 따른 유기발광표시장치(100)는, 구동 트랜지스터(DRT) 간의 특성치 편차를 보상해줄 수 있는 보상회로를 포함하고, 이를 이용한 보상 방법을 제공할 수 있다. 이에 대하여, 도 4 내지 도 7을 참조하여 더욱 상세하게 설명한다.
- [0128] 도 4는 본 발명의 실시예들에 따른 유기발광표시장치(100)의 예시적인 보상 회로이다.
- [0129] 본 발명의 실시예들에 따른 유기발광표시장치(100)는, 구동 트랜지스터(DRT) 간의 특성치 편차를 보상하기 위하여, 각 구동 트랜지스터(DRT)의 특성치 또는 특성치 변화를 센싱해야 한다.
- [0130] 본 발명의 실시예들에 따른 유기발광표시장치(100)의 보상회로는, 3T1C 구조 또는 이에 기반하여 변형된 구조를 갖는 서브픽셀(SP)을 구동(센싱 구동)하여 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성치 또는 특성치 변화를 센싱하기 위한 구성들을 포함할 수 있다.
- [0131] 본 발명의 실시예들에 따른 유기발광표시장치(100)는, 센싱 구동을 통해, 기준전압 라인(RVL)의 전압을 센싱하고, 센싱된 전압으로부터 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 특성치 또는 특성치 변화를 알아낼 수 있다. 여기서, 기준전압 라인(RVL)은 기준전압(Vref)을 전달해주는 역할 뿐만, 서브픽셀의 특성(예: 구동 트랜지스터(DRT)의 특성치)을 센싱하기 위한 센싱 라인의 역할을 할 수 있다. 따라서, 기준전압 라인(RVL)을 센싱 라인이라고도 할 수 있다.
- [0132] 보다 구체적으로, 본 발명의 실시예들에 따른 유기발광표시장치(100)의 센싱 구동에 따라, 구동 트랜지스터(DRT)의 특성치 또는 특성치 변화는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(예: Vdata-Vth)으로 반영된다.
- [0133] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압은, 센스 트랜지스터(T2)가 턴-온 상태인 경우, 기준전압 라인(RVL)의 전압과 대응될 수 있다. 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압에 의해, 기준전압 라인(RVL) 상의 라인 캐패시터(Cline)가 충전될 수 있다. 충전된 라인 캐패시터(Cline)에 의해 기준전압 라인(RVL)은 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압과 대응되는 전압을 가질 수 있다.
- [0134] 본 발명의 실시예들에 따른 유기발광표시장치(100)의 보상회로는, 센싱 대상이 되는 서브픽셀(SP) 내 스캔 트랜지스터(T1) 및 센스 트랜지스터(T2) 각각의 온-오프 제어와, 데이터 전압(Vdata) 및 기준전압(Vref) 각각의 공급 제어를 통해, 구동 트랜지스터(DRT)의 제2 노드(N2)가 구동 트랜지스터(DRT)의 특성치(문턱전압, 이동도) 또는 특성치 변화를 반영하는 전압 상태가 되도록 구동할 수 있다.
- [0135] 보상회로는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압과 대응되는 기준전압 라인(RVL)의 전압을 측정하여 디지털 값에 해당하는 센싱값으로 변환하는 아날로그 디지털 컨버터(ADC)와, 센싱 구동을 위한 스위치 회로(SAM, SPRE)를 포함할 수 있다.
- [0136] 센싱 구동을 위한 스위치 회로(SAM, SPRE)는, 각 기준전압 라인(RVL)과 기준전압(Vref)이 공급되는 센싱용 기준전압 공급 노드(Npres) 간의 연결을 제어하는 센싱용 기준 스위치(SPRE)와, 각 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC) 간의 연결을 제어하는 샘플링 스위치(SAM)를 포함할 수 있다.
- [0137] 위에서 언급한 센싱용 기준 스위치(SPRE)는 센싱 구동 시 이용되는 스위치이다. 센싱용 기준 스위치(SPRE)에 의

해 기준전압 라인(RVL)으로 공급되는 기준전압(Vref)은 "센싱용 기준전압(VpreS)"이다.

- [0138] 한편, 도 4를 참조하면, 스위치 회로는, 영상 구동 시 이용되는 영상 구동용 기준 스위치(RPRE)를 포함할 수 있다.
- [0139] 영상 구동용 기준 스위치(RPRE)는, 각 기준전압 라인(RVL)과 기준전압(Vref)이 공급되는 영상 구동용 기준전압 공급 노드(Nprer) 간의 연결을 제어할 수 있다.
- [0140] 위에서 언급한 영상 구동용 기준 스위치(RPRE)는 영상 구동 시 이용되는 스위치이다. 영상 구동용 기준 스위치(SPRE)에 의해 기준전압 라인(RVL)에 공급되는 기준전압(Vref)은 "영상 구동용 기준전압(VpreR)"이다.
- [0141] 센싱용 기준 스위치(SPRE)와 영상 구동용 기준 스위치(RPRE)는 별도로 구비될 수도 있고, 하나로 통합되어 구현될 수도 있다. 센싱용 기준전압(VpreS)과 영상 구동용 기준전압(VpreR)은 동일한 전압 값일 수도 있고, 다른 전압 값일 수도 있다.
- [0142] 본 발명의 실시예들에 따른 유기발광표시장치(100)의 보상회로는, 아날로그 디지털 컨버터(ADC)에서 출력되는 센싱값을 저장하거나 기준 센싱값을 미리 저장하고 있는 메모리(MEM)와, 메모리(MEM)에 저장된 센싱값과 기준 센싱값을 비교하여 특성치 편차를 보상해주는 보상값을 산출하는 보상기(COMP)를 더 포함할 수 있다.
- [0143] 보상기(COMP)에 의해 산출된 보상값은 메모리(MEM)에 저장될 수 있다.
- [0144] 컨트롤러(140)는 보상기(COMP)에 의해 산출된 보상값을 이용하여 데이터 구동회로(120)에 공급할 영상데이터(Data)를 변경하고, 변경된 영상데이터(Data_comp)를 데이터 구동회로(120)로 출력할 수 있다.
- [0145] 이에 따라, 데이터 구동회로(120)는, 디지털 아날로그 컨버터(DAC)를 통해 변경된 영상데이터(Data_comp)를 아날로그 신호 형태의 데이터 전압(Vdata_comp)으로 변환하고, 변환된 데이터 전압(Vdata_comp)을 출력버퍼(BUF)를 통해 해당 데이터 라인(DL)으로 출력할 수 있다. 이에 따라, 해당 서브픽셀(SP)의 구동 트랜지스터(DRT)에 대한 특성치 편차(문턱전압 편차, 이동도 편차)가 보상될 수 있다.
- [0146] 한편, 도 4를 참조하면, 데이터 구동회로(120)는, 래치 회로, 디지털 아날로그 컨버터(DAC) 및 출력버퍼(BUF) 등을 포함하는 데이터 전압 출력 회로(400)를 포함할 수 있으며, 경우에 따라서는, 아날로그 디지털 컨버터(ADC) 및 각종 스위치들(SAM, SPRE, RPRE)을 더 포함할 수 있다.
- [0147] 이와 다르게, 아날로그 디지털 컨버터(ADC) 및 각종 스위치들(SAM, SPRE, RPRE)는, 데이터 구동회로(120)의 내부가 아니라, 데이터 구동회로(120)의 외부에 위치할 수도 있다.
- [0148] 도 4를 참조하면, 보상기(COMP)는 컨트롤러(140)의 외부에 존재할 수도 있지만, 컨트롤러(140)의 내부에 포함될 수도 있다. 또한, 메모리(MEM)는 컨트롤러(140)의 외부에 위치할 수도 있고, 컨트롤러(140)의 내부에 레지스터 형태로 구현될 수도 있다.
- [0149] 도 5는 본 발명의 실시예들에 따른 유기발광표시장치(100)의 문턱전압 센싱을 위한 구동 타이밍 다이어그램이다.
- [0150] 도 5를 참조하면, 문턱전압 센싱 구동은, 초기화 단계(S510), 트래킹 단계(S520) 및 샘플링 단계(S530)로 진행될 수 있다.
- [0151] 초기화 단계(S510)에서, 턴-온 레벨 전압의 스캔신호(SCAN)에 의해, 스캔 트랜지스터(T1)가 턴-온 상태가 된다. 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)는 문턱전압 센싱용 데이터 전압(Vdata)으로 초기화 된다.
- [0152] 초기화 단계(S510)에서, 턴-온 레벨 전압의 센스신호(SENSE)에 의해, 센스 트랜지스터(T2)가 턴-온 상태가 되고, 센싱용 기준 스위치(SPRE)가 턴-온 된다. 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)는 센싱용 기준전압(VpreS)으로 초기화 된다.
- [0153] 트래킹 단계(S520)는 구동 트랜지스터(DRT)의 문턱전압(Vth)을 트래킹하는 단계이다. 즉, 트래킹 단계(S520)에서는, 구동 트랜지스터(DRT)의 문턱전압(Vth)을 반영하는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 트래킹 한다.
- [0154] 트래킹 단계(S520)에서는, 스캔 트랜지스터(T1) 및 센스 트랜지스터(T2)는 턴-온 상태를 유지하고, 센싱용 기준 스위치(SPRE)가 턴-오프 된다. 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)는 플로팅 되고, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 센싱용 기준전압(VpreS)에서부터 상승하기 시작한다.

- [0155] 센스 트랜지스터(T2)가 턴-온 되어 있기 때문에, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상승은 기준전압 라인(RVL)의 전압 상승으로 이어진다.
- [0156] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압은 상승하다가 포화(Saturation)가 된다. 구동 트랜지스터(DRT)의 제2 노드(N2)의 포화된 전압은, 문턱전압 센싱용 데이터 전압(Vdata)에서 구동 트랜지스터(DRT)의 문턱전압(Vth)의 전압 차이(Vdata-Vth)와 대응된다.
- [0157] 따라서, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 포화되었을 때, 기준전압 라인(RVL)의 전압은 문턱전압 센싱용 데이터 전압(Vdata)에서 구동 트랜지스터(DRT)의 문턱전압의 전압 차이(Vdata-Vth)와 대응된다.
- [0158] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 포화(Saturation)가 되면, 샘플링 스위치(SAM)가 턴-온 되어, 샘플링 단계(S530)가 진행된다.
- [0159] 샘플링 단계(S530)에서, 아날로그 디지털 컨버터(ADC)는, 샘플링 스위치(SAM)에 의해 연결된 기준전압 라인(RVL)의 전압을 센싱하고, 센싱된 전압을 디지털 값에 해당하는 센싱값으로 변환할 수 있다. 여기서, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압은 "Vdata-Vth"에 해당한다.
- [0160] 보상기(COMP)는, 아날로그 디지털 컨버터(ADC)에서 출력된 센싱값을 토대로 해당 서브픽셀(SP)의 구동 트랜지스터(DRT)의 문턱전압을 파악할 수 있고, 구동 트랜지스터(DRT)의 파악된 문턱전압을 보상해 수 있다.
- [0161] 보상기(COMP)는, 센싱 구동을 통해 측정된 센싱값(Vdata-Vth와 대응되는 디지털 값)과, 이미 알고 있는 문턱전압 센싱용 데이터(Vdata와 대응되는 디지털 값)으로부터 구동 트랜지스터(DRT)의 문턱전압(Vth)을 파악할 수 있다.
- [0162] 보상기(COMP)는, 해당 구동 트랜지스터(DRT)에 대하여 파악된 문턱전압(Vth)을 기준 문턱전압 또는 다른 구동 트랜지스터(DRT)의 문턱전압과 비교하여, 구동 트랜지스터(DRT) 간의 문턱전압 편차를 보상해줄 수 있다. 여기서, 문턱전압 편차 보상은 영상데이터 변경 처리(영상데이터에 보상값(오프셋)을 가감하는 처리)를 의미할 수 있다.
- [0163] 도 6은 본 발명의 실시예들에 따른 유기발광표시장치(100)의 이동도 센싱을 위한 구동 타이밍 다이어그램이다.
- [0164] 도 6을 참조하면, 이동도 센싱 구동은, 초기화 단계(S610), 트래킹 단계(S620) 및 샘플링 단계(S630)로 진행될 수 있다.
- [0165] 초기화 단계(S610)에서, 턴-온 레벨 전압의 스캔신호(SCAN)에 의해, 스캔 트랜지스터(T1)가 턴-온 상태가 된다. 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)는 이동도 센싱용 데이터 전압(Vdata)으로 초기화 된다.
- [0166] 초기화 단계(S610)에서, 턴-온 레벨 전압의 센스신호(SENSE)에 의해, 센스 트랜지스터(T2)가 턴-온 상태가 되고, 센싱용 기준 스위치(SPRES)가 턴-온 된다. 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)는 센싱용 기준전압(VpreS)으로 초기화 된다.
- [0167] 트래킹 단계(S620)는 구동 트랜지스터(DRT)의 이동도를 트래킹하는 단계이다. 구동 트랜지스터(DRT)의 이동도는 구동 트랜지스터(DRT)의 전류구동능력을 나타낼 수 있다. 즉, 트래킹 단계(S520)에서는, 구동 트랜지스터(DRT)의 이동도를 산출할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 트래킹 한다.
- [0168] 트래킹 단계(S620)에서는, 턴-오프 레벨 전압의 스캔신호(SCAN)에 의해 스캔 트랜지스터(T1)가 턴-오프 되고, 센싱용 기준 스위치(SPRES)가 턴-오프 된다. 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)는 모두 플로팅 된다. 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1) 및 제2 노드(N2)의 전압이 모두 상승하게 된다. 특히, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압은 센싱용 기준전압(VpreS)에서부터 상승하기 시작한다.
- [0169] 센스 트랜지스터(T2)가 턴-온 되어 있기 때문에, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상승은 기준전압 라인(RVL)의 전압 상승으로 이어진다.
- [0170] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 상승하기 시작한 시점으로부터 미리 정해져 있는 일정 시간(Δt)이 경과되면, 샘플링 스위치(SAM)가 턴-온 되어, 샘플링 단계(S630)가 진행된다.
- [0171] 샘플링 단계(S630)에서, 아날로그 디지털 컨버터(ADC)는, 샘플링 스위치(SAM)에 의해 연결된 기준전압 라인(RVL)의 전압을 센싱하고, 센싱된 전압을 디지털 값에 해당하는 센싱값으로 변환할 수 있다. 여기서, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압은 센싱용 기준전압(VpreS)에서 일정 전압(ΔV)만큼 상승된 전압(VpreS+

ΔV)에 해당한다.

- [0172] 보상기(COMP)는, 아날로그 디지털 컨버터(ADC)에서 출력된 센싱값을 토대로 해당 서브픽셀(SP)의 구동 트랜지스터(DRT)의 이동도를 파악할 수 있고, 구동 트랜지스터(DRT)의 파악된 이동도를 보상해 수 있다.
- [0173] 보상기(COMP)는, 센싱 구동을 통해 측정된 센싱값($V_{preS} + \Delta V$)와 대응되는 디지털 값)과, 이미 알고 있는 센싱용 기준전압(V_{preS})과 경과시간(Δt)으로부터 구동 트랜지스터(DRT)의 이동도를 파악할 수 있다.
- [0174] 구동 트랜지스터(DRT)의 이동도는 트래킹 단계(S620)에서 기준전압 라인(RVL)의 단위 시간 당 전압 변동량($\Delta V / \Delta t$)과 비례한다. 즉, 구동 트랜지스터(DRT)의 이동도는 도 6에서 기준전압 라인(RVL)의 전압 파형에서 기울기(Slope)와 비례한다.
- [0175] 보상기(COMP)는, 해당 구동 트랜지스터(DRT)에 대하여 파악된 이동도를 기준 이동도 또는 다른 구동 트랜지스터(DRT)의 이동도와 비교하여, 구동 트랜지스터(DRT) 간의 이동도 편차를 보상해줄 수 있다. 여기서, 이동도 편차 보상은 영상데이터 변경 처리(영상데이터에 보상값(계인)을 곱하는 연산처리)를 의미할 수 있다.
- [0176] 도 7은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, 다양한 타이밍에 진행될 수 있는 센싱 프로세스를 나타낸 도면이다.
- [0177] 도 7을 참조하면, 유기발광표시장치(100)는, 파워 온 신호가 발생하면, 디스플레이 구동을 시작하기 위한 정해진 온 시퀀스 처리를 수행하고, 온 시퀀스 처리가 완료되면, 정상적인 디스플레이 구동이 시작된다.
- [0178] 유기발광표시장치(100)는, 파워 오프 신호가 발생하면, 진행 중이던 디스플레이 구동을 중지하고 정해진 오프 시퀀스 처리를 수행하고, 오프 시퀀스 처리가 완료되면, 완전한 오프 상태가 된다.
- [0179] 이러한 전원 처리 타이밍과 관련하여 센싱 구동 (문턱전압 센싱 구동, 이동도 센싱 구동)이 진행될 수 있다.
- [0180] 센싱 구동은, 파워 온 신호의 발생 이후 디스플레이 구동이 시작하기 전에 진행될 수 있다. 이러한 센싱 및 센싱 프로세스를 온-센싱(On-Sensing) 및 온-센싱 프로세스(On-Sensing Process)라고 한다.
- [0181] 또한, 센싱 구동은, 파워 오프 신호의 발생 이후 진행될 수 있다. 이러한 센싱 및 센싱 프로세스를 오프-센싱(Off-Sensing) 및 오프-센싱 프로세스(Off-Sensing Process)라고 한다.
- [0182] 또한, 센싱 구동은, 디스플레이 구동 중에서 실시간으로 진행될 수도 있다. 이러한 센싱 프로세스를 실시간(RT: Real-Time, 이하, RT라고 함) 센싱 프로세스라고 한다.
- [0183] RT 센싱 프로세스의 경우, 디스플레이 구동 중에서 블랭크 시간마다 하나 이상의 서브픽셀 라인(서브픽셀 행)에서 하나 이상의 서브픽셀(SP)에 대하여 센싱 구동이 진행될 수 있다.
- [0184] 블랭크 시간에 센싱 구동 (RT 센싱 구동)이 수행될 때, 센싱 구동이 수행되는 서브픽셀 라인(서브픽셀 행)은 랜덤 하게 선택될 수 있다. 이에 따라, 블랭크 시간에서의 센싱 구동 후 액티브 시간에 센싱 구동이 된 서브픽셀 라인에서의 화상 이상 현상이 완화될 수 있다. 또한, 블랭크 시간에서의 센싱 구동 후 액티브 시간에 센싱 구동이 된 서브픽셀에 센싱 구동 이전의 데이터 전압과 대응되는 회복 데이터 전압을 공급해줄 수 있다. 이에 따라, 블랭크 시간에서의 센싱 구동 후 액티브 시간에 센싱 구동이 된 서브픽셀 라인에서의 화상 이상 현상이 더욱더 완화될 수 있다.
- [0185] 한편, 문턱전압 센싱 구동의 경우, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 포화에 많은 시간이 걸릴 수 있기 때문에, 다소 긴 시간 동안 진행될 수 있는 오프-센싱 프로세스로 진행될 수 있다.
- [0186] 이동도 센싱 구동의 경우, 문턱전압 센싱 구동에 비해 상대적으로 짧은 시간만을 필요로 하기 때문에, 짧은 시간 동안 진행되는 온-센싱 프로세스 및/또는 RT 센싱 프로세스로 진행될 수 있다.
- [0187] 문턱전압 센싱 및/또는 이동도 센싱이 RT 센싱 프로세스가 진행될 수 있지만, 아래에서는, 설명의 편의를 위하여, 이동도 센싱이 RT 센싱 프로세스로 진행되는 것으로 가정한다.
- [0188] 한편, 도 3과 같은 구조를 갖는 하나의 서브픽셀(SP)에는, 1개의 데이터 전압(Vdata), 2가지의 게이트 신호(SCAN, SENSE), 기준전압(Vref), 구동전압(EVDD) 등이 공급되어야 한다. 따라서, 하나의 서브픽셀(SP)은 1개의 데이터 라인(DL), 1개 또는 2개의 게이트 라인(GL), 1개의 기준전압(RVL), 1개의 구동전압 라인(DVL)과 전기적으로 연결되어야 한다(도 3 참조).
- [0189] 하나의 서브픽셀 행을 온-오프 시키기 위하여, 1개 또는 2개의 게이트 라인(GL)이 하나의 서브픽셀 행마다 배치

되어야 한다. 단, 아래에서는, 설명의 편의를 위하여, 하나의 서브픽셀 행에 2개의 게이트 라인(GL)이 배치된 것으로 가정한다. 이 가정에 따르면, 스캔신호(SCAN)와 센스신호(SENSE)가 2개의 게이트 라인(GL)을 통해 각각 전달될 수 있다.

- [0190] 그리고, 각 서브픽셀(SP)마다 데이터 전압(Vdata)이 공급되어야 하기 때문에, 1개의 데이터 라인(DL)이 하나의 서브픽셀 열마다 배치될 수 있다. 경우에 따라서, 1개의 데이터 라인(DL)이 2개의 서브픽셀 열마다 공통으로 배치될 수도 있다.
- [0191] 구동전압(EVDD)은 공통전압일 수 있기 때문에, 1개의 서브픽셀 열(또는 1개의 서브픽셀 행)마다 1개의 구동전압 라인(DVL)이 배치될 수도 있고, 2개 이상의 서브픽셀 열(또는 2개 이상의 서브픽셀 열)마다 1개의 구동전압 라인(DVL)이 배치될 수 있다.
- [0192] 마찬가지로, 기준전압(Vref)은 공통전압일 수 있기 때문에, 1개의 서브픽셀 열(또는 1개의 서브픽셀 행)마다 1개의 기준전압 라인(RVL)이 배치될 수도 있고, 2개 이상의 서브픽셀 열(또는 2개 이상의 서브픽셀 열)마다 1개의 기준전압 라인(RVL)이 배치될 수 있다.
- [0193] 2개 이상의 서브픽셀 열(또는 2개 이상의 서브픽셀 열)마다 1개의 구동전압 라인(DVL) 및/또는 1개의 기준전압 라인(RVL)이 배치되는 경우, 표시패널(110)의 개구율을 보다 높여줄 수 있다.
- [0194] 아래에서는, 표시패널(110)의 개구율을 높여주기 위하여, 4개 이상의 서브픽셀 열마다 1개의 구동전압 라인(DVL)이 데이터 라인(DL)과 평행하게 배치되고, 4개 이상의 서브픽셀 열마다 1개의 기준전압 라인(RVL)이 데이터 라인(DL)과 평행하게 배치되는 구조를 도 8을 참조하여 설명한다.
- [0195] 도 8은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24)과 배선들(DL1-DL4, DVL1, DVL2, RVL 등)의 배치도이다.
- [0196] 도 8은 표시패널(110)의 일부 영역을 도시한 것으로서, 2개의 서브픽셀 행(SPL #i, SPL #j) 각각의 일부 영역만을 도시한 것이다.
- [0197] 2개의 서브픽셀 행(SPL #i, SPL #j) 중에서, 제1 서브픽셀 행(SPL #i)은 4개의 서브픽셀(SP11, SP12, SP13, SP14)을 포함할 수 있고, 제2 서브픽셀 행(SPL #j)은 4개의 서브픽셀(SP21, SP22, SP23, SP24)을 포함할 수 있다.
- [0198] 2개의 서브픽셀 행(SPL #i, SPL #j)에 포함된 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24) 각각에서, 스캔 트랜지스터(T1)의 게이트 노드에 인가되는 스캔신호(SCAN)와 센스 트랜지스터(T2)의 게이트 노드에 인가되는 센스신호(SENSE)는 서로 별개의 게이트 신호인 것으로 가정한다.
- [0199] 따라서, 제1 서브픽셀 행(SPL #i)에는, 4개의 서브픽셀(SP11, SP12, SP13, SP14) 각각으로 스캔신호(SCAN)를 전달하기 위한 게이트 라인(GL(SCAN) #i)과 4개의 서브픽셀(SP11, SP12, SP13, SP14) 각각으로 센스신호(SENSE)를 전달하기 위한 게이트 라인(GL(SENSE) #i)이 배치될 수 있다.
- [0200] 마찬가지로, 제2 서브픽셀 행(SPL #j)에는, 4개의 서브픽셀(SP21, SP22, SP23, SP24) 각각으로 스캔신호(SCAN)를 전달하기 위한 게이트 라인(GL(SCAN) #j)과 4개의 서브픽셀(SP21, SP22, SP23, SP24) 각각으로 센스신호(SENSE)를 전달하기 위한 게이트 라인(GL(SENSE) #j)이 배치될 수 있다.
- [0201] 표시패널(110)에는, 제1 서브픽셀 열(SPC #1)에 포함된 서브픽셀들(SP11, SP21)로 데이터 전압(Vdata)을 공급하기 위한 제1 데이터 라인(DL1)과, 제2 서브픽셀 열(SPC #2)에 포함된 서브픽셀들(SP12, SP22)로 데이터 전압(Vdata)을 공급하기 위한 제2 데이터 라인(DL2)과, 제3 서브픽셀 열(SPC #3)에 포함된 서브픽셀들(SP13, SP23)로 데이터 전압(Vdata)을 공급하기 위한 제3 데이터 라인(DL3)과, 제4 서브픽셀 열(SPC #4)에 포함된 서브픽셀들(SP14, SP24)로 데이터 전압(Vdata)을 공급하기 위한 제4 데이터 라인(DL4)이 배치될 수 있다.
- [0202] 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2)는, 제1 서브픽셀 열(SPC #1)과 제2 서브픽셀 열(SPC #2) 사이에 위치할 수 있다. 제3 데이터 라인(DL3)과 제4 데이터 라인(DL4)는, 제3 서브픽셀 열(SPC #3)과 제4 서브픽셀 열(SPC #4) 사이에 위치할 수 있다.
- [0203] 도 8을 참조하면, 표시패널(110)의 개구율을 높여주기 위하여, 공통전압일 수 있는 구동전압(EVDD)을 전달하는 구동전압 라인(DVL1, DVL2)과, 공통전압일 수 있는 기준전압(Vref)을 전달하는 기준전압 라인(RVL)은, 공유 구조로 배치될 수 있다. 즉, 구동전압 라인(DVL1, DVL2)은 1개의 서브픽셀 열마다 1개씩 배치되지 않고, 복수 개의 서브픽셀 열마다 1개씩 배치될 수 있다. 기준전압 라인(RVL)은 1개의 서브픽셀 열마다 1개씩 배치되지 않고,

복수 개의 서브픽셀 열마다 1개씩 배치될 수 있다.

- [0204] 보다 구체적으로, 제1 서브픽셀 열(SPC #1) 및 제2 서브픽셀 열(SPC #2)은 제1 구동전압 라인(DVL1)을 통해 구동전압(EVDD)을 공통으로 공급받을 수 있다. 제3 서브픽셀 열(SPC #3) 및 제4 서브픽셀 열(SPC #4)은 제2 구동전압 라인(DVL2)을 통해 구동전압(EVDD)을 공통으로 공급받을 수 있다.
- [0205] 제1 서브픽셀 열(SPC #1), 제2 서브픽셀 열(SPC #2), 제3 서브픽셀 열(SPC #3) 및 제4 서브픽셀 열(SPC #4)은 1개의 기준전압 라인(RVL)을 통해 기준전압(Vref)을 공통으로 공급받을 수 있다.
- [0206] 1개의 기준전압 라인(RVL)은, 제2 서브픽셀 열(SPC #2)과 제3 서브픽셀 열(SPC #3) 사이에 배치될 수 있다. 한편, 데이터 라인들(DL1~DL4)은 1개의 기준전압 라인(RVL)을 기준으로 대칭적으로 배치될 수 있다. 구동전압 라인들(DVL1, DVL2)은 1개의 기준전압 라인(RVL)을 기준으로 대칭적으로 배치될 수 있다.
- [0207] 1개의 기준전압 라인(RVL)은, 제2 서브픽셀 열(SPC #2)에 포함된 서브픽셀(SP12, SP22) 각각에 포함된 센스 트랜지스터(T2)의 드레인 노드 또는 소스 노드에 직접 연결되거나 연결 라인(CL)을 통해 연결될 수 있다.
- [0208] 1개의 기준전압 라인(RVL)은, 제3 서브픽셀 열(SPC #3)에 포함된 서브픽셀(SP13, SP23) 각각에 포함된 센스 트랜지스터(T2)의 드레인 노드 또는 소스 노드에 직접 연결되거나 연결 라인(CL)을 통해 연결될 수 있다.
- [0209] 1개의 기준전압 라인(RVL)은, 제1 서브픽셀 열(SPC #1)에 포함된 서브픽셀(SP11, SP21) 각각에 포함된 센스 트랜지스터(T2)의 드레인 노드 또는 소스 노드에 직접 연결되거나 연결 라인(CL)을 통해 연결될 수 있다.
- [0210] 1개의 기준전압 라인(RVL)은, 제4 서브픽셀 열(SPC #4)에 포함된 서브픽셀(SP14, SP24) 각각에 포함된 센스 트랜지스터(T2)의 드레인 노드 또는 소스 노드에 직접 연결되거나 연결 라인(CL)을 통해 연결될 수 있다.
- [0211] 다시 말해, 제1 서브픽셀 열(SPC #1), 제2 서브픽셀 열(SPC #2), 제3 서브픽셀 열(SPC #3) 및 제4 서브픽셀 열(SPC #4)에 포함된 모드 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24)은 1개의 기준전압 라인(RVL)을 공유한다.
- [0212] 따라서, 제1 서브픽셀 열(SPC #1), 제2 서브픽셀 열(SPC #2), 제3 서브픽셀 열(SPC #3) 및 제4 서브픽셀 열(SPC #4)에 포함된 모드 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24)은 1개의 기준전압 라인(RVL)을 공유하는 서브픽셀 그룹이라고 할 수 있다.
- [0213] 따라서, 1개의 기준전압 라인(RVL)이 공유되는 서브픽셀 그룹에 모든 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24) 중 어느 하나에서 이상 현상이 발생하면, 발생한 이상 현상은 1개의 기준전압 라인(RVL)을 통해 서브픽셀 그룹 전체로 전파되거나 다른 서브픽셀에 영향을 끼칠 수 있다.
- [0214] 특히, 1개의 기준전압 라인(RVL)이 공유되는 서브픽셀 그룹에 모든 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24) 중 어느 하나의 제1 서브픽셀이 센싱 대상으로 선택이 되어 센싱(예: 문턱전압 센싱, 이동도 센싱) 중일 때, 서브픽셀 그룹 영역 내 어느 하나의 배선이나 어느 하나의 다른 서브픽셀에서 제1 서브픽셀의 센싱에 영향을 주는 상황이 발생하게 되면, 발생한 상황은 공유되는 기준전압 라인(RVL)을 통해 제1 서브픽셀의 센싱 결과에 오류를 발생시킬 수 있다.
- [0215] 도 9는 본 발명의 실시예들에 따른 유기발광표시장치에서, 페이크 데이터 삽입(FDI: Fake Data Insertion) 구동을 나타낸 다이어그램이다.
- [0216] 본 발명의 실시예들에 따른 표시패널(110)에서 다수의 서브픽셀(SP)은 매트릭스 형태로 배열될 수 있다. 표시패널(110)에는 다수의 서브픽셀 행이 존재할 수 있다.
- [0217] 다수의 서브픽셀 행에 대응되는 다수의 게이트 라인들(GL)은 순차적으로 구동될 수 있다. 각 서브픽셀(SP)이 3T1C 구조를 갖는 경우, 다수의 서브픽셀 행 각각에는 스캔신호(SCAN) 및 센스신호(SENSE)를 전달하기 위한 1개 또는 2개의 게이트 라인(GL)이 배치될 수 있다.
- [0218] 그리고, 표시패널(110)에는 다수의 서브픽셀 열(Column)이 존재할 수 있으며, 다수의 서브픽셀 열(Column) 각각에는, 1개의 데이터 라인(DL)이 대응되어 배치될 수 있다.
- [0219] 진술한 서브픽셀 구동 동작과 같이, 다수의 서브픽셀 행 중에서 n+1 번째 서브픽셀 행이 구동될 때, n+1 번째 서브픽셀 행에 배열된 서브픽셀들(SP)에 스캔신호(SCAN) 및 센스신호(SENSE)가 인가되고, 다수의 데이터 라인(DL)을 통해 n+1 번째 서브픽셀 행에 배열된 서브픽셀들(SP)에 영상 구동용 데이터 전압(Vdata)이 공급된다.
- [0220] 이어서, n+1 번째 서브픽셀 행아래에 위치한 n+2 번째 서브픽셀 행이 구동된다. n+2 번째 서브픽셀 행에 배열된

서브픽셀들(SP)에 스캔신호(SCAN) 및 센스신호(SENSE)가 인가되고, 다수의 데이터 라인(DL)을 통해 n+2 번째 서브픽셀 행에 배열된 서브픽셀들(SP)에 영상 구동용 데이터 전압(Vdata)이 공급된다.

- [0221] 이러한 방식으로, 다수의 서브픽셀 행은 순차적으로 영상 데이터 기록이 이루어진다. 여기서, 영상 데이터 기록은 전술한 서브픽셀 구동 동작에서 영상 데이터 기록 단계에서 이루어지는 절차이다.
- [0222] 다수의 서브픽셀 행은, 한 프레임 시간 동안, 전술한 서브픽셀 구동 동작에 따라, 영상 데이터 기록 단계, 부스팅 단계 및 발광 단계가 순차적으로 진행될 수 있다.
- [0223] 한편, 도 9에 도시된 바와 같이, 다수의 서브픽셀 행은 한 프레임 시간 내에서 서브픽셀 구동 동작의 발광 단계에 따라 발광 기간(EP)이 끝까지 지속되지 않는다. 여기서, "발광 기간(EP)"을 디스플레이 하고자 하는 실제 영상이 표시되는 "리얼(Real) 영상 기간" 또는 "리얼 디스플레이 구동"이라고도 할 수 있다.
- [0224] 한 프레임 시간 내에서, 발광 기간(EP)을 제외하는 기간 동안에는, 디스플레이 하고자 하는 실제 영상과는 무관한 페이크 영상(Fake Image)이 표시될 수 있다. 이와 같이, 한 프레임 시간 내에서 페이크 영상이 표시되는 기간을 "페이크 영상 기간(FIP)"이라고 한다.
- [0225] 즉, 다수의 서브픽셀 행 각각에 대하여, 한 프레임 시간은 발광 기간(EP)과 페이크 영상 기간(FIP)을 포함한다. 다수의 서브픽셀 행 각각은, 발광 기간(EP) 동안에는 실제 영상을 표시하기 위한 리얼 디스플레이 구동이 진행되고, 페이크 영상 기간(FIP)에는 실제 영상과는 관계가 없는 페이크 영상을 표시하기 위한 페이크 디스플레이 구동이 진행된다.
- [0226] 페이크 디스플레이 구동 시, 실제 영상과 무관한 페이크 영상을 표시하기 위한 페이크 데이터가 해당 서브픽셀들(SP)로 공급된다. 이러한 의미에서, 페이크 디스플레이 구동을 페이크 데이터 삽입(FDI: Fake Data Insertion) 구동이라고도 한다.
- [0227] 다시 말해, 한 프레임 시간 동안, 1개의 서브픽셀(SP)은, 리얼 디스플레이 구동이 진행되는 동안 영상 데이터 기록 단계, 부스팅 단계 및 발광 단계를 거치면서 해당 발광 기간(EP) 동안 발광하고, 이어서, 페이크 디스플레이 구동이 진행된다. 이러한 페이크 디스플레이 구동은 실제 영상들 사이에 가짜 영상(페이크 영상)을 삽입하는 방식으로 이루어질 수 있다. 따라서, 페이크 디스플레이 구동을 페이크 데이터 삽입(FDI) 구동이라고도 한다.
- [0228] 리얼 디스플레이 구동 시, 실제 영상을 표시하기 위하여 실제 영상에 대응되는 영상 데이터 전압(Vdata)이 서브픽셀들(SP)에 공급된다. 이와 다르게, 페이크 데이터 삽입 구동 시, 실제 영상과는 전혀 관계가 없는 페이크 영상에 대응되는 페이크 데이터 전압이 서브픽셀들(SP)로 공급된다.
- [0229] 즉, 일반적인 리얼 디스플레이 구동 시 서브픽셀들(SP)로 공급되는 영상 데이터 전압(Vdata)은 프레임에 따라 또는 영상에 따라 가변 될 수 있지만, 페이크 데이터 삽입 구동 시 서브픽셀들(SP)로 공급되는 페이크 데이터 전압은 프레임에 따라 또는 영상에 따라 가변 되지 않고 일정할 수 있다.
- [0230] 전술한 페이크 데이터 삽입 구동의 일 방식으로서, 1개의 서브픽셀 행이 페이크 데이터 삽입 구동되고, 그 다음의 1개의 서브픽셀 행이 페이크 데이터 삽입 구동될 수 있다.
- [0231] 또는, 전술한 페이크 데이터 삽입 구동의 다른 방식으로서, 복수의 서브픽셀 행이 동시에 페이크 데이터 삽입 구동되고, 그 다음의 복수의 서브픽셀 행이 페이크 데이터 삽입 구동될 수 있다. 즉, 복수의 서브픽셀 행 단위로 페이크 데이터 삽입 구동이 동시에 이루어질 수 있다.
- [0232] 페이크 데이터 삽입(FDI) 구동이 동시에 이루어지는 서브픽셀 행의 개수(k)는 2개, 4개, 또는 8개 동일 수 있다.
- [0233] 예를 들어, 제1 내지 제4 서브픽셀 행이 순차적으로 영상 데이터 기록이 진행된 후, 제1 서브픽셀 행보다 이전에 배치되어 일정 시간의 발광 기간(EP)이 이미 경과한 복수의 서브픽셀 행으로 페이크 데이터 전압이 동시에 공급될 수 있다.
- [0234] 이어서, 제5 내지 제 8 서브픽셀 행이 순차적으로 영상 데이터 기록이 진행된 후, 제1 서브픽셀 행 또는 제5 서브픽셀 행보다 이전에 배치되어 일정 시간의 발광 기간(EP)이 이미 경과한 복수의 서브픽셀 행으로 페이크 데이터 전압이 동시에 공급될 수 있다.
- [0235] 또한, 동시에 페이크 데이터 삽입 구동이 이루어지는 서브픽셀 행의 개수(k)는 동일할 수도 있고 다를 수도 있다. 일 예로, 처음의 2개의 서브픽셀 행이 동시에 페이크 데이터 삽입 구동되고, 그 다음에는 4개의 서브픽셀

행 단위로 동시에 페이크 데이터 삽입 구동될 수 있다. 다른 예로, 처음의 4개의 서브픽셀 행이 동시에 페이크 데이터 삽입 구동되고, 그 다음에는 8개의 서브픽셀 행 단위로 동시에 페이크 데이터 삽입 구동될 수도 있다.

- [0236] 전술한 페이크 데이터 삽입(FDI) 구동을 통해, 동일 프레임에 실제 영상 데이터와 페이크 데이터를 표시함으로써, 영상이 구분되지 않고 끌리는 움직임 블러(BLur) 현상을 방지하여 영상 화질을 개선해줄 수 있다.
- [0237] 전술한 페이크 데이터 삽입(FDI) 구동 시, 데이터 라인(DL)을 통해, 영상 데이터 기록과 페이크 데이터 기록이 이루어질 수 있다.
- [0238] 또한, 전술한 바와 같이, 페이크 데이터 기록을 복수의 라인(서브픽셀 행)에 동시에 진행함으로써, 라인 위치에 따른 발광 기간(EP)의 차이에 의한 휘도 편차를 보상해줄 수 있으며, 영상 데이터 기록 시간을 확보해줄 수 있다.
- [0239] 한편, 페이크 데이터 삽입 구동의 타이밍을 조절하여, 영상에 따라 발광 기간(EP)의 길이를 적응적으로 조정해 줄 수 있다.
- [0240] 영상 데이터 기록 타이밍과 페이크 데이터 기록 타이밍은 게이트 구동의 제어를 통해 가변 될 수 있다.
- [0241] 한편, 페이크 데이터 삽입(FDI) 구동 시, 서브픽셀들(SP)로 공급되는 페이크 데이터 전압은, 일 예로, 블랙 데이터 전압일 수 있다.
- [0242] 이 경우, 페이크 데이터 삽입(FDI) 구동을 블랙 데이터 삽입(BDI: Black Data Insertion) 구동이라고도 할 수 있다. 페이크 데이터 삽입(FDI) 구동 시 페이크 데이터 기록을 블랙 데이터 기록이라고 할 수 있다. 또한, 페이크 영상 기간(FIP)을 블랙 영상 기간 또는 비 발광 기간이라고 할 수 있다.
- [0243] 도 10은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동과 페이크 데이터 삽입(FDI) 구동을 개념적으로 나타낸 다이어그램이다.
- [0244] 도 10을 참조하면, 제1 프레임 기간 동안에는 페이크 데이터 삽입(FDI) 구동이 진행되지 않고, 제2 프레임 기간 동안에는 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0245] 도 10을 참조하면, 제2 프레임 기간 동안, 발광기간(EP)과 페이크 영상 기간(FIP)은 동일한 시간 길이일 수도 있고, 다른 시간 길이일 수도 있다.
- [0246] 도 10을 참조하면, 페이크 데이터 삽입(FDI) 구동이 진행되지 않는 제1 프레임 기간 동안, 100%의 디스플레이 구동 시간을 사용한다. 하지만, 페이크 데이터 삽입(FDI) 구동이 진행되는 제2 프레임 기간 내에서, 페이크 영상 기간(FIP)을 제외한 발광기간(EP) 동안에, 100%의 디스플레이 구동 시간을 사용해야 한다.
- [0247] 한편, 블랭크 시간(Blank Time)마다 RT 센싱이 진행될 수 있다.
- [0248] 제1 프레임 기간과 대응되는 블랭크 시간에 진행되는 RT 센싱 중에는 페이크 데이터 삽입(FDI) 구동이 진행되지 않는다. 하지만, 제2 프레임 기간과 대응되는 블랭크 시간(Blank Time)에 진행되는 RT 센싱 중에는 일부의 서브 픽셀 행들에서 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0249] 도 11은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되는 경우, RT 센싱 구동과 페이크 데이터 삽입(FDI) 구동의 타이밍 관계에 대한 3가지의 케이스를 나타낸 도면이다.
- [0250] 블랭크 기간 중에 하나의 서브픽셀 행이 랜덤 하게 또는 규칙에 따라 또는 순차적으로 선택되고, 선택된 서브픽셀 행에 포함된 서브픽셀들 중 하나 이상의 서브픽셀이 센싱 대상으로 선택될 수 있다.
- [0251] 여기서, 선택된 서브픽셀 행에 포함된 서브픽셀들 중 센싱 대상으로 선택될 수 있는 서브픽셀의 개수는, 아날로그 디지털 컨버터(ADC)의 개수와 대응될 수 있다. 즉, 아날로그 디지털 컨버터(ADC)의 개수만큼의 서브픽셀들이 동시에 센싱될 수 있다.
- [0252] 도 10에 도시된 바와 같이, 블랭크 기간 중에 선택된 서브픽셀 행에서 센싱 대상으로 선택된 서브픽셀 내 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 RT 센싱이 진행되는 동안, 다른 서브픽셀 행(들)에서 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0253] 이때, RT 센싱 구동의 타이밍과 FDI 구동의 타이밍 간의 관계에 따라 다양한 케이스가 존재할 수 있다.
- [0254] 도 11에서는, RT 센싱 구동과 페이크 데이터 삽입(FDI) 구동의 타이밍 관계에 대한 3가지 케이스를 예로 든다.

- [0255] 블랭크 시간에 진행되는 RT 센싱을 위하여, 초기화 단계(S610)에서는, 센싱 대상이 되는 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제1 노드(N1)를 센싱용 데이터 전압(Vdata)으로 초기화하기 위하여, 스캔신호(SCAN)가 해당 서브픽셀(SP) 내 스캔 트랜지스터(T1)의 게이트 노드에 공급된다. 그리고, 페이크 데이터 삽입(FDI) 구동 시, 페이크 데이터 전압이 센싱 대상이 되는 서브픽셀이 위치하는 서브픽셀 행과 다른 해당 서브픽셀 행(들)로 인가 될 수 있다.
- [0256] 이에 따라, RT 센싱 시 초기화를 위한 스캔신호(SCAN)의 인가 타이밍을 기준으로, RT 센싱 구동과 페이크 데이터 삽입(FDI) 구동의 타이밍 관계를 살펴본다.
- [0257] 케이스 1의 경우, RT 센싱 시 초기화를 위한 스캔신호(SCAN)가 인가되고, 1H (수평시간) 이후에 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0258] 케이스 2의 경우, RT 센싱 시 초기화를 위한 스캔신호(SCAN)가 인가되고, 2H (수평시간) 이후에 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0259] 케이스 3의 경우, RT 센싱 시 초기화를 위한 스캔신호(SCAN)가 인가되고, 7H (수평시간) 이후에 페이크 데이터 삽입(FDI) 구동이 진행될 수 있다.
- [0260] 3가지 케이스 모두, RT 센싱 시 초기화를 위한 스캔신호(SCAN)가 인가된 이후, 트래킹 단계(S620) 및 샘플링 단계(S630)가 진행된다.
- [0261] 그런데, RT 센싱을 위한 트래킹 단계(S620) 및 샘플링 단계(S630)가 완료되기 전에, 페이크 데이터 삽입(FDI) 구동이 진행되면, 화상 이상 현상이 발생할 수 있다.
- [0262] 아래에서는, RT 센싱 중에 페이크 데이터 삽입 구동이 진행되는 경우에 발생할 수 있는 화면 이상 현상에 대하여, 도 12 내지 도 14를 참조하여 상세하게 살펴본다.
- [0263] 도 12는 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 진행되는 페이크 데이터 삽입(FDI) 구동에 의해 발생하는 데이터 라인(DL)과 기준전압 라인(RVL) 간의 커플링 현상을 설명하기 위한 도면이고, 도 13은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 진행되는 페이크 데이터 삽입(FDI) 구동에 의해, 기준전압 라인(RVL)의 전압 상태가 불안정해지는 현상을 측정한 그래프들이고, 도 14는 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 진행되는 페이크 데이터 삽입(FDI) 구동에 의해 발생된 화상 품질 저하 현상이 있는 화면을 나타낸 도면이다.
- [0264] 도 12는 도 8에 도시된 서브픽셀들(SP11, SP12, SP13, SP14, SP21, SP22, SP23, SP24)과 배선들(DL1~DL4, DVL1, DVL2, RVL 등)의 배치와 동일하다.
- [0265] 도 12를 참조하면, 블랭크 기간 중 제2 서브픽셀 행(SPR #j)에서 센싱 대상이 되는 서브픽셀(SP21)에 대한 RT 센싱이 진행되는 동안, 제1 서브픽셀 행(SPR #i)에서 페이크 데이터 삽입(FDI) 구동이 진행된다고 가정한다.
- [0266] RT 센싱 시, 초기화 단계(S610)에서, 제2 서브픽셀 행(SPR #j)에서 센싱 대상이 되는 서브픽셀(SP21) 내 구동 트랜지스터(DRT)의 제1 노드(N1)가 센싱용 데이터 전압(Vdata)으로 초기화 될 수 있다. 즉, RT 센싱을 위한 초기화 단계(S610)에서, 스캔신호(SCAN)가 제2 서브픽셀 행(SPR #j)에서 센싱 대상이 되는 서브픽셀(SP21) 내 스캔 트랜지스터(T1)의 게이트 노드에 인가될 수 있다.
- [0267] RT 센싱 시, 초기화 단계(S610) 이후, 트래킹 단계(S620)가 진행되는 동안, 제1 서브픽셀 행(SPR #i)에서 페이크 데이터 삽입(FDI) 구동이 진행되면, 페이크 데이터 전압이 데이터 라인들(DL1 ~ DL4)에 공급된다.
- [0268] 이에 따라, 초기화 단계(S610)에서 센싱용 데이터 전압이 인가되어 있던 데이터 라인(DL1)은, FDI 구동에 따라 페이크 데이터 전압으로 바뀌게 되고, FDI 구동이 끝나면 다시 센싱용 데이터 전압으로 바뀔 수 있다. 여기서, 페이크 데이터 전압은 센싱용 데이터 전압보다 낮은 전압이다.
- [0269] 따라서, RT 센싱 중에 페이크 데이터 삽입 구동이 진행되면, 데이터 라인(DL1)의 전압 변동이 발생한다.
- [0270] 전술한 바와 같이, 전압 변동이 발생하는 데이터 라인(DL1)은, 기준전압 라인(RVL) 또는 기준전압 라인(RVL)과 연결된 연결 라인(CL)과 중첩될 수 있다. 연결 라인(CL)은 기준전압 라인(RVL)과 전기적으로 대응되므로, 아래에서는, 연결 라인(CL)이 기준전압 라인(RVL)에 포함되는 것으로 설명한다.
- [0271] 기준전압 라인(RVL) 또는 이와 연결된 연결 라인(CL)과 데이터 라인(DL1)의 중첩 구조로 인해, 데이터 라인(DL1)과 기준전압 라인(RVL)은 전기적으로 커플링 될 수 있다.

- [0272] 이러한 DL-RVL 커플링에 의해, 데이터 라인(DL1)의 전압 변동은 기준전압 라인(RVL)의 전압 변동(전압 불안정)을 발생시킬 수 있다.
- [0273] 도 13에 도시된 바와 같이, 3가지 케이스 모두, 데이터 라인(DL)의 전압 상태가 페이크 데이터 삽입(FDI) 구동에 의해 변동이 되면, 기준전압 라인(RVL)의 전압 상태도 변동이 된다.
- [0274] RT 센싱 중에 진행되는 페이크 데이터 삽입(FDI) 구동은, RT 센싱의 트래킹 단계(S620)에서 기준전압 라인(RVL)의 원치 않는 전압 변동을 발생시켜, 샘플링 단계(S630)에서 센싱된 기준전압 라인(RVL)의 전압 값에 오류가 발생하게 된다. 이러한 센싱 오류는 잘못된 보상 처리로 이어진다.
- [0275] 따라서, 다음의 영상 구동 시, RT 센싱 오류가 발생된 서브픽셀 행이 도 14와 같은 비정상적인 가로 선(1400)으로 보이게 되는 화상 이상 현상이 발생할 수 있다.
- [0276] 아래에서는, RT 센싱이 진행되는 센싱 대상 서브픽셀이 도 12의 제2 서브픽셀 행(SPR #j)에 위치한 서브픽셀(SP21)인 것으로 가정한다.
- [0277] 전술한 바와 같이, RT 센싱이 되는 센싱 대상 서브픽셀(SP21)은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(DRT)와, 스캔신호(SCAN)에 의해 제어되며 구동 트랜지스터(DRT)의 제1 노드(N1)와 제1 데이터 라인(DL1) 사이에 전기적으로 연결된 스캔 트랜지스터(T1)와, 센스신호(SENSE)에 의해 제어되며 구동 트랜지스터(DRT)의 제2 노드(N2)와 제1 기준전압 라인(RVL) 사이에 전기적으로 연결된 센스 트랜지스터(T2)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst)를 포함할 수 있다.
- [0278] 센싱 대상 서브픽셀(SP21)과 전기적으로 연결된 제1 기준전압 라인(RVL)은, 센싱 대상 서브픽셀(SP21) 이외에도, 하나 이상의 다른 서브픽셀(SP)과도 전기적으로 연결될 수 있다.
- [0279] 유기발광표시장치(100)는, 센싱용 기준전압 공급 노드(Npres)와 제1 기준전압 라인(RVL) 간의 연결을 제어하는 센싱용 기준 스위치(SPRE)와, 제1 기준전압 라인(RVL)의 전압을 센싱하는 아날로그 디지털 컨버터(ADC)와, 제1 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC) 간의 연결을 제어하는 샘플링 스위치(SAM)를 포함할 수 있다.
- [0280] 도 15는 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위한 구동방법을 설명하기 위한 도면이다.
- [0281] 도 15를 참조하면, 다수의 서브픽셀(SP) 중 RT 센싱을 위해 선택된 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간은, 다수의 데이터 라인(DL) 중 제1 데이터 라인(DL1)을 통해 센싱 대상 서브픽셀(SP21)로 센싱용 데이터 전압(Vdata_SEN)을 공급하고, 다수의 기준전압 라인(RVL) 중 센싱 대상 서브픽셀(SP21)과 대응되는 제1 기준전압 라인(RVL)을 통해 센싱 대상 서브픽셀(SP21)로 센싱용 기준전압(VpreS)을 공급하는 제1 기간(RT_INIT)과, 제1 기준전압 라인(RVL)의 전압이 상승하는 제2 기간(RT_TRACK)과, 제2 기간(RT_TRACK)이 시작되어 일정 시간이 경과하면, 제1 기준전압 라인(RVL)의 전압을 센싱하는 제3 기간(RT_SAM)을 포함할 수 있다.
- [0282] RT 센싱이 이동도 센싱인 경우, 제1 기간(RT_INIT), 제2 기간(RT_TRACK) 및 제3 기간(RT_SAM)은, 도 6의 초기화 단계(S610), 트래킹 단계(S620) 및 샘플링 단계(S630)와 각각 대응될 수 있다.
- [0283] RT 센싱이 문턱전압 센싱인 경우, 제1 기간(RT_INIT), 제2 기간(RT_TRACK) 및 제3 기간(RT_SAM)은, 도 5의 초기화 단계(S510), 트래킹 단계(S520) 및 샘플링 단계(S530)와 각각 대응될 수 있다.
- [0284] 한편, 도 15를 참조하면, 유기발광표시장치(100)는, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위하여, 제1 기간(RT_INIT) 이후에 제2 기간(RT_TRACK)과 제3 기간(RT_SAM)이 진행이 되는 동안, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)과 중첩되는 데이터 라인(DL)의 전압이 변동되지 않도록 제어할 수 있다.
- [0285] 따라서, 배선 배치 측면에서, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)이 데이터 라인(DL)과 중첩되더라도, 데이터 라인(DL)의 전압 변동이 없게 되어, 제1 기준전압 라인(RVL)의 전압 변동이 유발되지 않는다.
- [0286] 이에 따라, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, RT 센싱 오류가 발생하지 않을 수 있다.

- [0287] 도 16은 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위한 구동 타이밍 다이어그램이다.
- [0288] 도 16을 참조하면, 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간 내 제1 기간(RT_INIT) 동안, 스캔신호(SCAN)는 턴-온 레벨 전압이고, 센스신호(SENSE)는 턴-온 레벨 전압이고, 센싱용 기준 스위치(SP21)는 턴-온 상태이고, 샘플링 스위치(SAM)는 턴-오프 상태이다.
- [0289] 스캔신호(SCAN)의 턴-온 레벨 전압에 의해 스캔 트랜지스터(T1)가 턴-온 되어, 제1 데이터 라인(DL1)에 공급된 센싱용 데이터 전압(Vdata_SEN)이 센싱 대상 서브픽셀(SP21) 내 구동 트랜지스터(DRT)의 제1 노드(N1)에 인가될 수 있다.
- [0290] 센스신호(SENSE)의 턴-온 레벨 전압에 의해 센스 트랜지스터(T2)가 턴-온 되고, 센싱용 기준 스위치(SP21)의 턴-온 상태에 의해 센싱용 기준전압(VpreS)이 제1 기준전압 라인(RVL)에 인가된다. 이에 따라, 센싱용 기준전압(VpreS)이 구동 트랜지스터(DRT)의 제2 노드(N2)에 인가될 수 있다.
- [0291] 제2 기간(RT_TRACK) 동안, 스캔신호(SCAN)는 턴-오프 레벨 전압이고, 센스신호(SENSE)는 턴-온 레벨 전압이고, 센싱용 기준 스위치(SP21)는 턴-오프 상태이고, 샘플링 스위치(SAM)는 턴-오프 상태일 수 있다.
- [0292] 스캔신호(SCAN)의 턴-오프 레벨 전압에 의해 스캔 트랜지스터(T1)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제1 노드(N1)가 전기적으로 플로팅 된다.
- [0293] 센싱용 기준 스위치(SP21)의 턴-오프 상태에 의해 구동 트랜지스터(DRT)의 제2 노드(N2)가 전기적으로 플로팅 된다. 이에 따라, 제1 기준전압 라인(RVL)의 전압은 센싱용 기준전압(VpreS)에서 상승하게 된다.
- [0294] 제3 기간(RT_SAM) 동안, 스캔신호(SCAN)는 턴-오프 레벨 전압이고, 센스신호(SENSE)는 턴-온 레벨 전압이고, 센싱용 기준 스위치(SP21)는 턴-오프 상태이고, 샘플링 스위치(SAM)는 턴-온 상태일 수 있다.
- [0295] 샘플링 스위치(SAM)의 턴-온 상태에 의해, 아날로그 디지털 컨버터(ADC)는 제1 기준전압 라인(RVL)과 전기적으로 연결된다. 아날로그 디지털 컨버터(ADC)는 제2 기간(RT_TRACK) 동안 제1 기준전압 라인(RVL)의 상승된 전압을 센싱할 수 있다.
- [0296] 도 16을 참조하면, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 화상 품질 저하 현상을 방지하기 위하여, 제2 기간(RT_TRACK)과 제3 기간(RT_SAM) 동안, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)과 중첩되는 데이터 라인(DL)은, 센싱용 데이터 전압(Vdata_SEN)과 다른 전압으로 변동 없이 유지될 수 있다.
- [0297] 도 16을 참조하면, 제2 기간(RT_TRACK)과 제3 기간(RT_SAM) 동안, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은 센싱용 데이터 전압(Vdata_SEN)보다 낮은 특정 전압으로 유지될 수 있다.
- [0298] 한편, 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간 (RT 센싱 기간) 동안, 페이크 구동이 진행되는 경우, 제2 기간(RT_TRACK)과 제3 기간(RT_SAM) 동안, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은, 센싱용 데이터 전압(Vdata_SEN)과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압(Fake Data Voltage)으로 유지될 수 있다.
- [0299] 예를 들어, 페이크 데이터 전압은 블랙 데이터 전압일 수 있다.
- [0300] 페이크 데이터 전압이 공급되는 서브픽셀(즉, FDI 구동이 진행되는 서브픽셀)은, 센싱용 데이터 전압(Vdata_SEN)이 공급되는 센싱 대상 서브픽셀(SP21)과 다른 서브픽셀일 수 있다.
- [0301] 페이크 데이터 전압이 공급되는 서브픽셀(즉, FDI 구동이 진행되는 서브픽셀)은, 센싱용 데이터 전압(Vdata_SEN)이 공급되는 센싱 대상 서브픽셀(SP21)과 서로 다른 라인 (예: 서로 다른 서브픽셀 행)에 위치할 수 있다.
- [0302] 페이크 데이터 전압이 공급되는 서브픽셀(즉, FDI 구동이 진행되는 서브픽셀)은, 센싱용 데이터 전압(Vdata_SEN)이 공급되는 센싱 대상 서브픽셀(SP21)과 하나의 제1 기준전압 라인(RVL)에 공통으로 연결될 수 있다.
- [0303] 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은 센싱 대상 서브픽셀(SP21)과 대응되는 제1 데이터 라인(DL1)과 동일할 수 있다.

- [0304] 경우에 따라서, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은 센싱 대상 서브픽셀(SP21)과 대응되는 제1 데이터 라인(DL1)과 다를 수도 있다.
- [0305] 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간은 블랭크 기간에 진행되는 실시간 (RT) 센싱 기간일 수 있다.
- [0306] 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간은, 일 예로, 구동 트랜지스터(DRT)의 문턱전압을 센싱하는 센싱 기간일 수도 있고, 구동 트랜지스터(DRT)의 이동도를 센싱하는 센싱 기간일 수도 있다. 단, 설명의 편의를 위하여, 도 16 내지 도 19는, 구동 트랜지스터(DRT)의 이동도를 센싱하는 센싱 기간에 해당하는 구동 타이밍도를 예로 든 것이다.
- [0307] 도 16을 참조하면, 센싱 기간 중 제2 기간(RT_TRACK) 동안 제1 기준전압 라인(RVL)의 전압이 상승한다.
- [0308] 센싱 기간 중 제1 기준전압 라인(RVL)의 전압 상승 속도는, 제2 기간(RT_TRACK) 동안, 제1 기준전압 라인(RVL)의 단위 시간 당 전압 변동량($\Delta V/\Delta t$)으로서, 도 16에서 제2 기간(RT_TRACK) 동안, 제1 기준전압 라인(RVL)의 전압 변동 그래프의 기울기에 대응될 수 있다.
- [0309] 센싱 기간 중 제1 기준전압 라인(RVL)의 전압 상승 속도는, 센싱 대상 서브픽셀(SP21)에 포함된 구동 트랜지스터(DRT)의 이동도에 비례할 수 있다.
- [0310] 따라서, 전술한 바와 같이, 이동도 보상 처리에 의해, 센싱 기간 중 제1 기준전압 라인(RVL)의 전압 상승 속도에 따라 나중에 센싱 대상 서브픽셀(SP21)이 영상 구동이 될 때, 공급될 영상 구동용 데이터 전압이 변경될 수 있다.
- [0311] 한편, 제2 기간(RT_TRACK)과 제3 기간(RT_SAM) 동안, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)과 중첩되는 데이터 라인(DL)의 전압 변동을 방지하는 구동 방법에 의하면, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 페이크 데이터 삽입(FDI) 구동에 의해 RT 센싱이 영향을 받지 않게 된다. 이에 따라, 아날로그 디지털 컨버터(ADC)는, 센싱 오류가 없는 센싱값을 얻을 수 있고, 이에 따라, 보상기(COMP)는 정확한 센싱값으로 토대로 정확한 보상 값을 산출할 수 있다. 따라서, 컨트롤러(140)는, 나중에 센싱 대상 서브픽셀(SP21)의 영상 구동 시, 정확한 보상 값을 이용하여 영상 구동용 데이터를 생성하여 데이터 구동회로(120)로 제공할 수 있다. 이에 따라, 도 14와 같은 가로 선(1400)이 보이는 화상 이상 현상이 발생하지 않을 수 있다.
- [0312] 아래에서는, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 페이크 데이터 삽입(FDI) 구동에 의해 RT 센싱이 영향을 받지 않게 하는 구동방법(FDI에 의한 RT 센싱 오류 방지 구동방법)을 실행시키기 위한 구동회로(111)를 간략하게 설명한다.
- [0313] 도 4를 참조하면, 본 발명의 실시예들에 따른 구동회로(111)에 포함된 데이터 구동회로(120)는, 데이터 전압 출력 회로(400) 및 아날로그 디지털 컨버터(ADC) 등을 포함할 수 있다.
- [0314] 데이터 전압 출력 회로(400)는 제1 데이터 라인(DL1)을 통해 다수의 서브픽셀(SP) 중 선택된 센싱 대상 서브픽셀(SP21)로 센싱용 데이터 전압(Vdata_SEN)을 공급할 수 있다.
- [0315] 아날로그 디지털 컨버터(ADC)는, 다수의 기준전압 라인(RVL) 중 센싱 대상 서브픽셀(SP21)과 전기적으로 연결된 제1 기준전압 라인(RVL)의 전압이 상승하기 시작한 이후 일정 시간이 경과하면, 제1 기준전압 라인(RVL)의 전압을 센싱할 수 있다.
- [0316] 제1 기준전압 라인(RVL)의 전압이 상승하기 시작한 이후, 제1 기준전압 라인(RVL)의 전압 센싱이 완료되기 전까지, 데이터 전압 출력 회로(400)는, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)과 중첩되는 데이터 라인(DL)으로 센싱용 데이터 전압(Vdata_SEN)과 다른 전압을 공급할 수 있다.
- [0317] 제1 기준전압 라인(RVL)의 전압이 상승하기 시작한 이후, 제1 기준전압 라인(RVL)의 전압 센싱이 완료되기 전까지, 데이터 전압 출력 회로(400)는, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)으로 센싱용 데이터 전압(Vdata_SEN)보다 낮은 특정 전압을 공급할 수 있다.
- [0318] 도 4를 참조하면, 본 발명의 실시예들에 따른 구동회로(111)에 포함된 데이터 구동회로(120)는, 센싱용 기준전압 공급 노드(Npres)와 제1 기준전압 라인(RVL) 간의 연결을 제어하는 센싱용 기준 스위치(SPRE)와, 제1 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC) 간의 연결을 제어하는 샘플링 스위치(SAM)를 더 포함할 수 있다.
- [0319] 도 17 내지 도 19는 본 발명의 실시예들에 따른 유기발광표시장치(100)에서, RT 센싱 구동 중에 페이크 데이터

삽입(FDI) 구동이 진행되는 경우, RT 센싱 구동과 페이크 데이터 삽입(FDI) 구동의 타이밍 관계에 대한 3가지 케이스(Case 1, 2, 3) 각각에 대한 구동 타이밍 다이어그램이고, 도 20은 본 발명의 실시예들에 따른 유기발광 표시장치(100)에서, RT 센싱 구동 중에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 화상 품질 저하 현상이 방지된 화면을 나타낸 도면이다.

- [0320] 도 17 내지 도 19 각각의 (a)는 FDI에 의한 RT 센싱 오류 방지 구동방법이 적용되지 않은 경우에 대한 구동 타이밍도이고, 도 17 내지 도 19 각각의 (b)는 FDI에 의한 RT 센싱 오류 방지 구동방법이 적용된 경우에 대한 구동 타이밍도이다.
- [0321] 도 17 내지 도 19 각각의 (a)를 참조하면, FDI에 의한 RT 센싱 오류 방지 구동방법이 적용되지 않았기 때문에, RT 센싱 구동 시, 제1 기간(RT_INIT) 이후 제2 기간(RT_TRACK) 중에 페이크 데이터 삽입(FDI) 구동이 진행됨에 따라, 데이터 라인(DL)의 전압 변동이 발생할 수 있다.
- [0322] 즉, 데이터 라인(DL)의 전압은 센싱용 데이터 전압(Vdata_SEN)에 해당하는 하이 레벨 전압(H)에서 페이크 데이터 전압에 해당하는 로우 레벨 전압(L)으로 변동이 되고, 다시 센싱용 데이터 전압(Vdata_SEN)에 해당하는 하이 레벨 전압(H)으로 변동이 발생할 수 있다.
- [0323] 이러한 데이터 라인(DL)의 전압 변동(H->L->H)은, 배선 배치 구조로 인해 발생할 수 있는 DL-RVL 커플링 현상에 따라, 제1 기준전압 라인(RVL)은 전압 변동이 유발되어, 제2 기간(RT_TRACK) 중 각 케이스에 해당하는 일부 기간 동안 센싱을 위한 전압 상승이 정상적으로 되지 못한다.
- [0324] 이에 따라, 제3 기간(RT_SAM)에서 제1 기준전압 라인(RVL)의 센싱 전압에 오류가 발생할 수 있다. 즉, 이러한 센싱 오류는 보상 오류로 이어져 가로선(1400)과 같은 화상 이상 현상이 발생될 수 있다.
- [0325] 하지만, FDI에 의한 RT 센싱 오류 방지 구동방법이 적용되면, 도 17 내지 도 19 각각의 (b)에 도시된 바와 같이, RT 센싱 구동 시, 제1 기간(RT_INIT) 이후 제2 기간(RT_TRACK) 중 어느 시점에 페이크 데이터 삽입(FDI) 구동이 진행되더라도, 데이터 라인(DL)의 전압 변동을 방지해줄 수 있다.
- [0326] 예를 들어, 도 17 내지 도 19 각각의 (b)에 도시된 바와 같이, RT 센싱 구동 시, 제1 기간(RT_INIT) 이후 페이크 데이터 삽입(FDI) 구동이 진행되기 전에, 페이크 데이터 전압에 해당하는 로우 레벨 전압(L)을 미리 인가해 줌으로써, 데이터 라인(DL)의 전압 변동을 방지해줄 수 있다.
- [0327] 즉, 데이터 라인(DL)은, 센싱용 데이터 전압(Vdata_SEN)에 해당하는 하이 레벨 전압(H)에서 페이크 데이터 삽입(FDI) 구동이 진행되기 전에, 페이크 데이터 전압에 해당하는 로우 레벨 전압(L)으로 미리 인가되고, 미리 인가되는 로우 레벨 전압(L)이 FDI 구동 기간 전후로 유지될 수 있다.
- [0328] 이러한 데이터 라인(DL)의 전압 유지(L->L->L)은, 배선 배치 구조로 인해 DL-RVL 커플링 현상이 발생하더라도, 그 영향이 제거되거나 미미해져서, 제1 기준전압 라인(RVL)은 전압 변동이 발생하지 않는다. 이에 따라, 제1 기준전압 라인(RVL)은 제2 기간(RT_TRACK) 동안 내내 센싱을 위한 전압 상승이 정상적으로 될 수 있다.
- [0329] 이에 따라, 제3 기간(RT_SAM)에서 제1 기준전압 라인(RVL)의 센싱 전압에 오류가 발생하지 않는다. 따라서, 정확한 센싱 값을 얻을 수 있고, 이로 인해, 정확한 보상 값이 산출되어, 도 20과 같이, 가로선(1400)과 같은 화상 이상 현상이 방지될 수 있다.
- [0330] 아래에서는, 이상에서 기술한 본 발명의 실시예들에 따른 FDI에 의한 RT 센싱 오류 방지 구동방법을 다시 한번 간략하게 설명한다.
- [0331] 도 21은 본 발명의 실시예들에 따른 유기발광표시장치(100)의 구동방법에 대한 흐름도이다.
- [0332] 도 21을 참조하면, 본 발명의 실시예들에 따른 유기발광표시장치(100)의 구동방법은, 다수의 데이터 라인(DL) 중 제1 데이터 라인(DL1)을 통해 센싱 대상 서브픽셀(SP21)로 센싱용 데이터 전압(Vdata_SEN)을 공급하고, 다수의 기준전압 라인(RVL) 중 제1 기준전압 라인(RVL)을 통해 센싱 대상 서브픽셀(SP21)로 센싱용 기준전압(Vpre S)을 공급하는 제1 단계(S2110, RT_INIT)와, 제1 기준전압 라인(RVL)의 전압이 상승하는 제2 단계(S2120, RT_TRACK)와, 제2 단계(S2120)가 시작되어 일정 시간이 경과하면, 제1 기준전압 라인(RVL)의 전압을 센싱하는 제3 단계(S2130, RT_SAM)를 포함할 수 있다.
- [0333] 제2 단계(S2120)와 제3 단계(S2130) 동안, 제1 기준전압 라인(RVL) 또는 제1 기준전압 라인(RVL)에 전기적으로 연결된 연결 라인(CL)과 중첩되는 데이터 라인(DL)은 센싱용 데이터 전압(Vdata_SEN)과 다른 전압으로 유지될 수 있다.

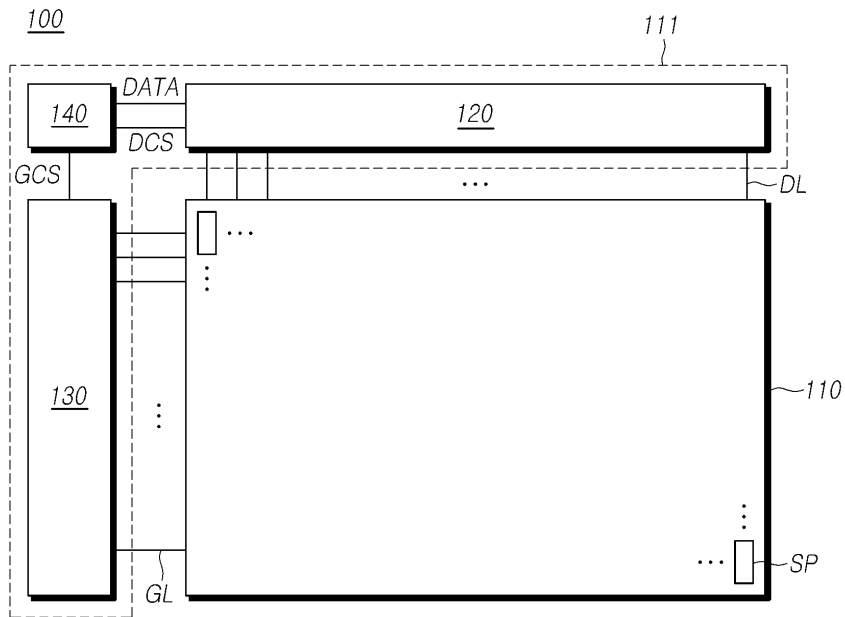
- [0334] 제2 단계(S2120)와 제3 단계(S2130) 동안, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은 센싱용 데이터 전압(Vdata_SEN)보다 낮은 특정 전압으로 유지될 수 있다.
- [0335] 제2 단계(S2120)와 제3 단계(S2130) 동안, 제1 기준전압 라인(RVL) 또는 연결 라인(CL)과 중첩되는 데이터 라인(DL)은, 센싱용 데이터 전압(Vdata_SEN)과 다를 뿐만 아니라, 실제의 영상 프레임 데이터에서 만들어진 데이터 전압과도 다른 페이크 데이터 전압으로 유지될 수 있다.
- [0336] 일 예로, 페이크 데이터 전압은 블랙 데이터 전압일 수 있다.
- [0337] 센싱 대상 서브픽셀(SP21)에 대한 센싱 기간은 블랭크 기간에 진행되는 실시간 센싱 기간일 수 있다.
- [0338] 이상에서 기술한 본 발명의 실시예들에 의하면, 센싱 오류 없이, 서브픽셀 간의 휘도 편차를 정확하게 센싱하고, 이에 기초하여 서브픽셀 간의 휘도 편차를 정확하게 보상해줄 수 있다. 이에 따라, 화상 품질을 향상 시켜줄 수 있다.
- [0339] 본 발명의 실시예들에 의하면, 영상 구동 중에 실시간으로 센싱을 정확하게 수행할 수 있다. 이에 따라, 효율적인 센싱을 가능하게 하고, 화상 품질을 향상시켜줄 수 있다.
- [0340] 본 발명의 실시예들에 의하면, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동이 진행되더라도, 다른 영상 제어 구동에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있다.
- [0341] 본 발명의 실시예들에 의하면, 센싱 중에, 영상 품질 향상을 위한 다른 영상 제어 구동에 해당하는 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해 센싱 오류가 발생하는 것을 방지해주어 정확한 센싱 결과를 얻을 수 있다.
- [0342] 본 발명의 실시예들에 의하면, 센싱 중에, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)이 진행되더라도, 페이크 영상 구동 (예: 블랙 데이터 삽입 구동)에 의해, 센싱 라인으로 활용되는 기준전압 라인의 전압 변동을 방지해주어 정확한 센싱 결과를 얻을 수 있다.
- [0343] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

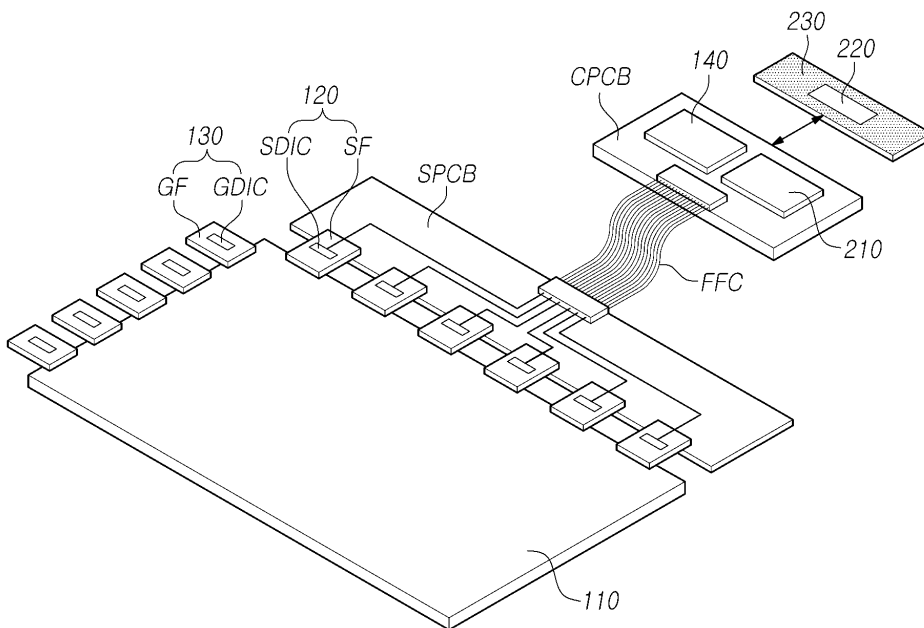
- [0344] 100: 유기발광표시장치
- 110: 표시패널
- 120: 데이터 구동회로
- 130: 게이트 구동회로
- 140: 컨트롤러

도면

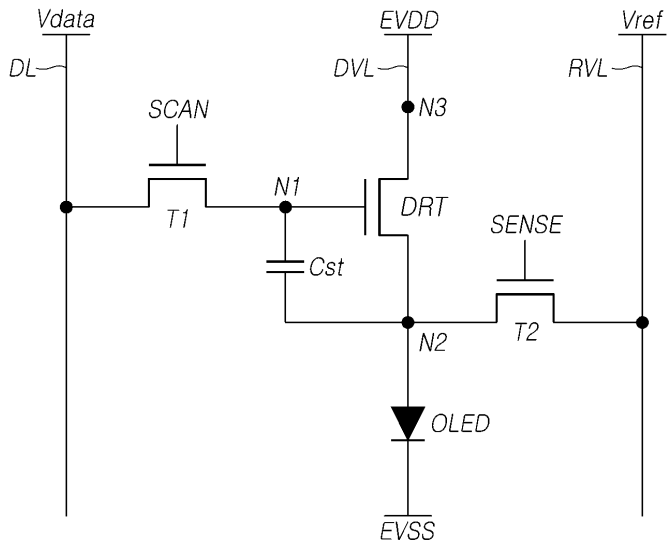
도면1



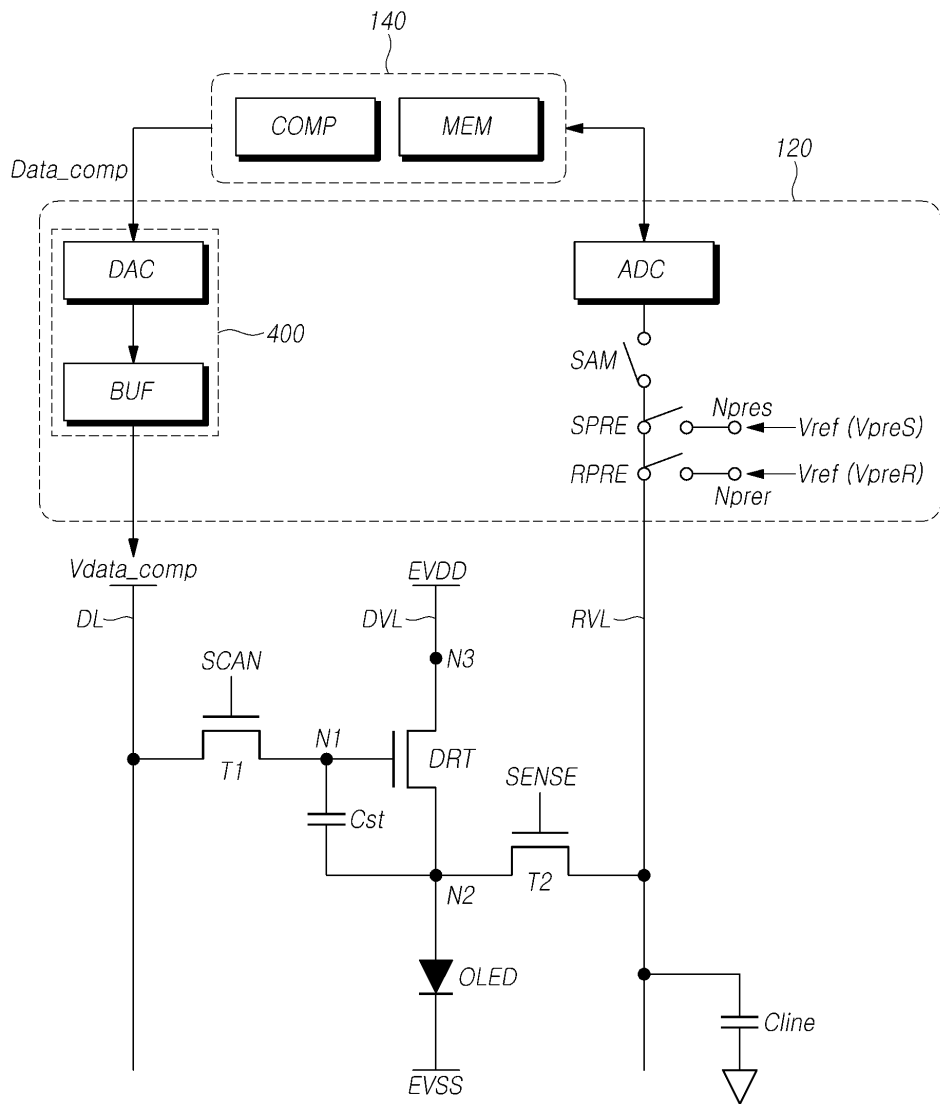
도면2



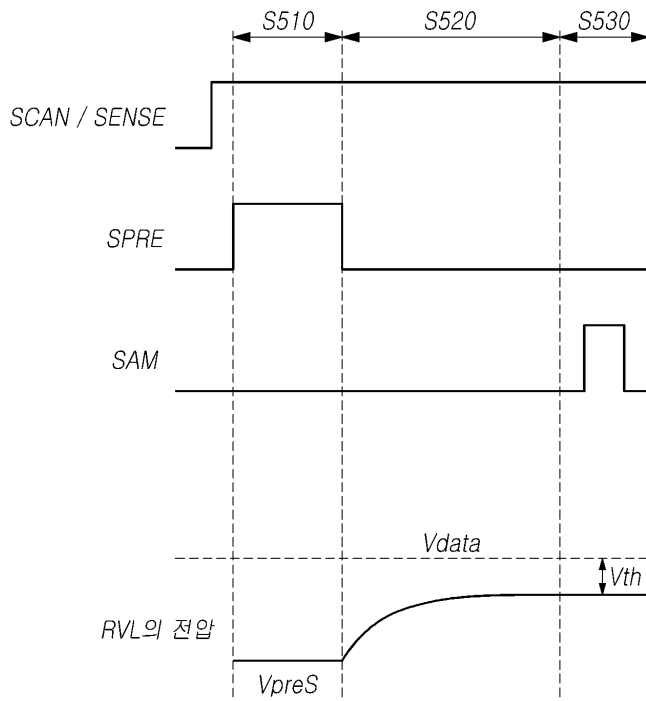
도면3



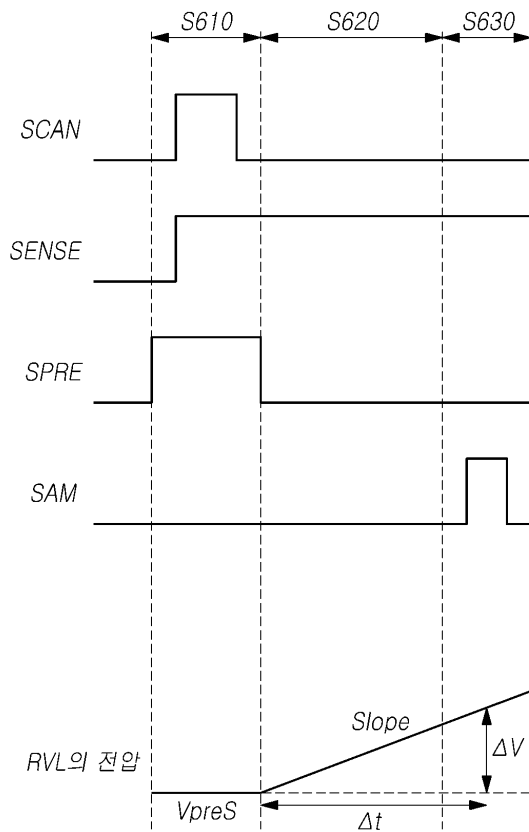
도면4



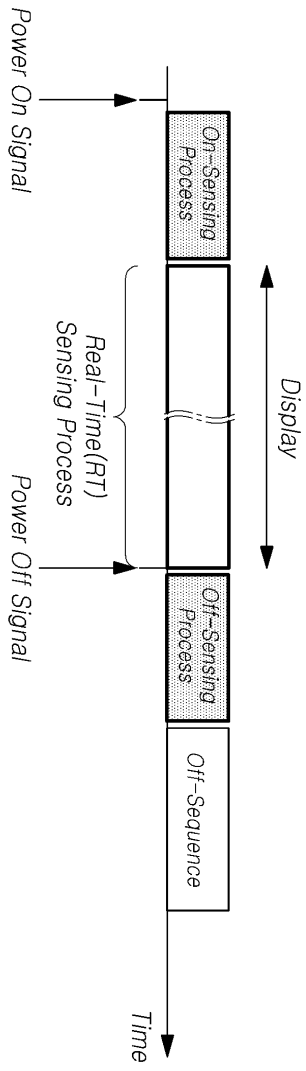
도면5



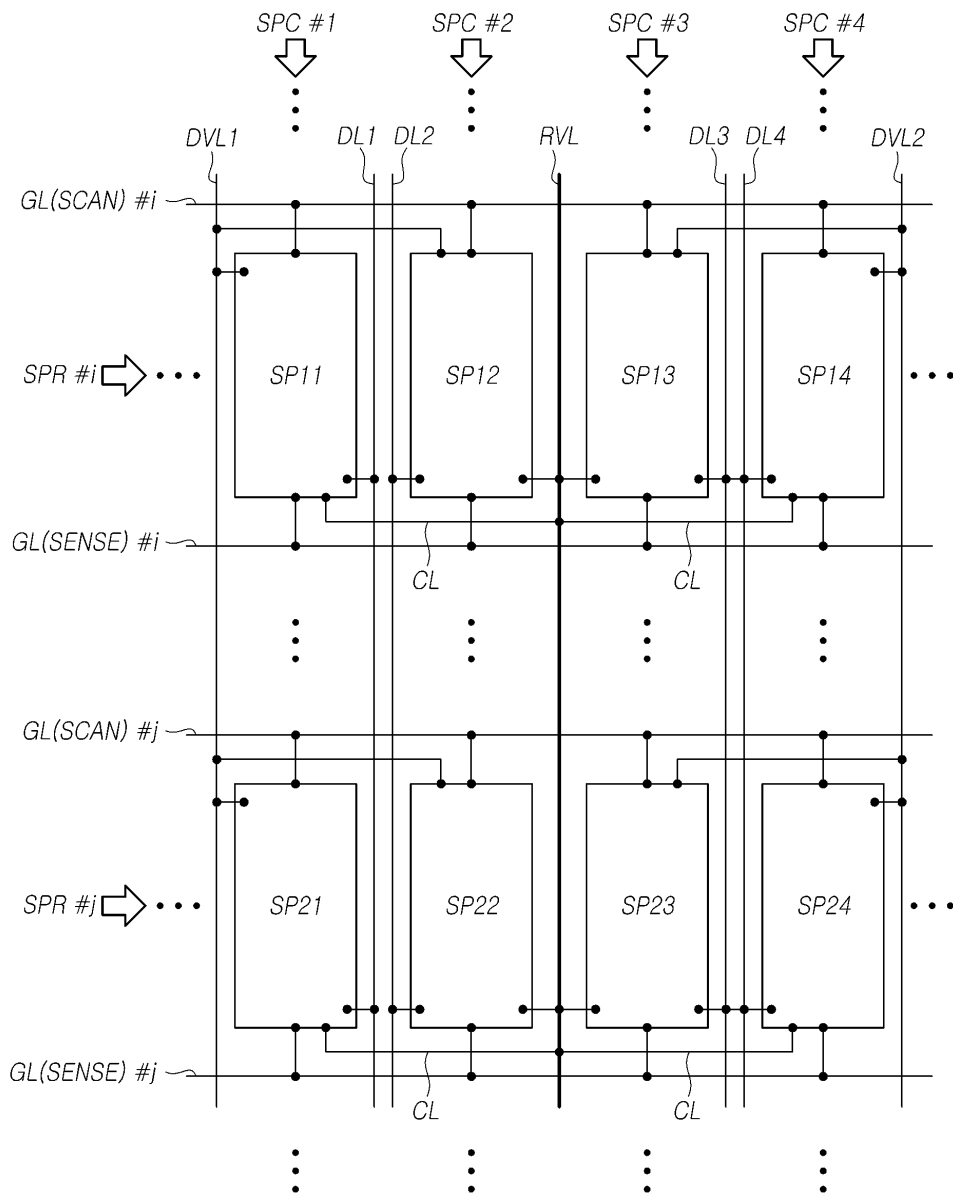
도면6



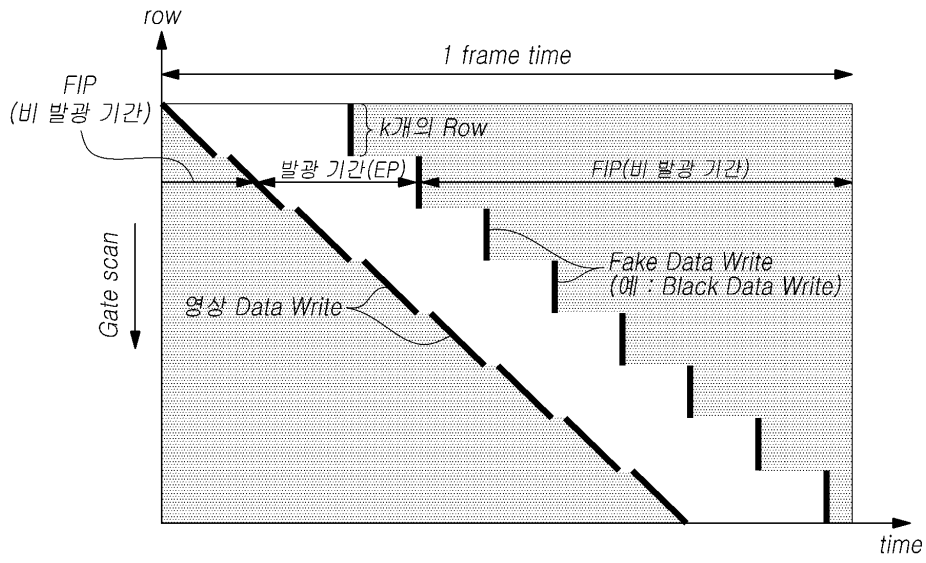
도면7



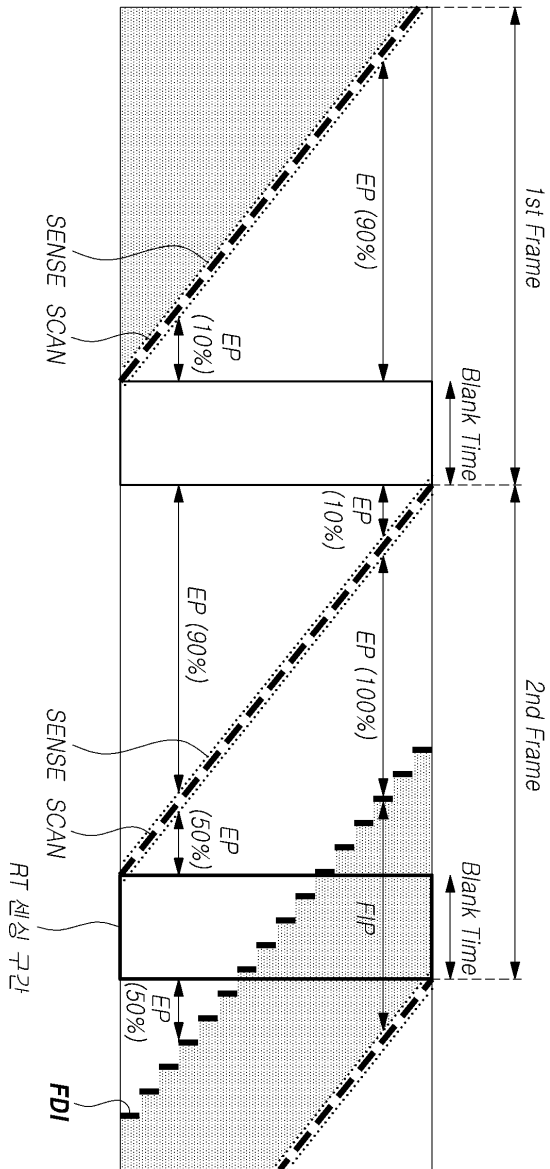
도면8



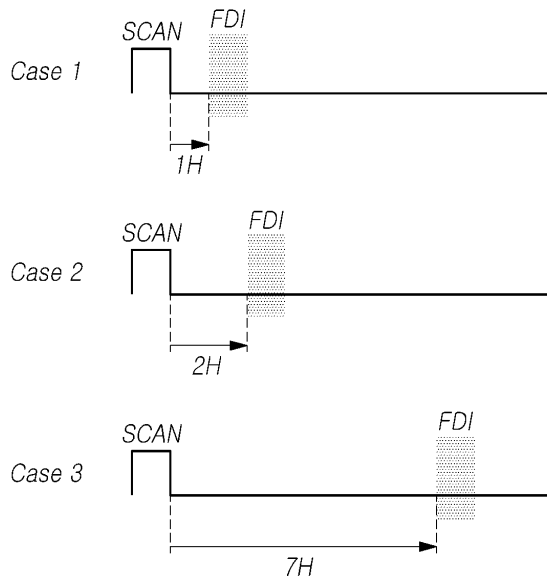
도면9



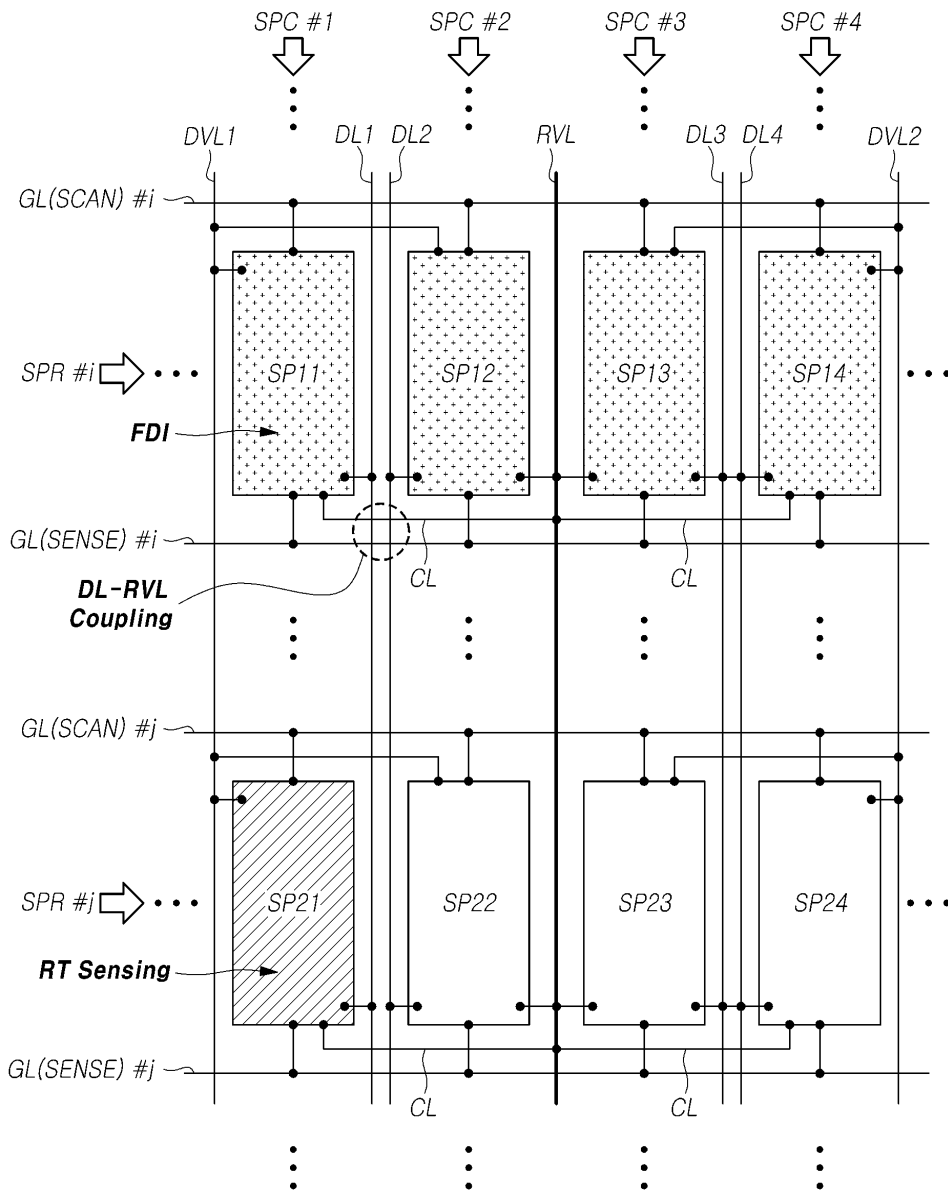
도면10



도면11

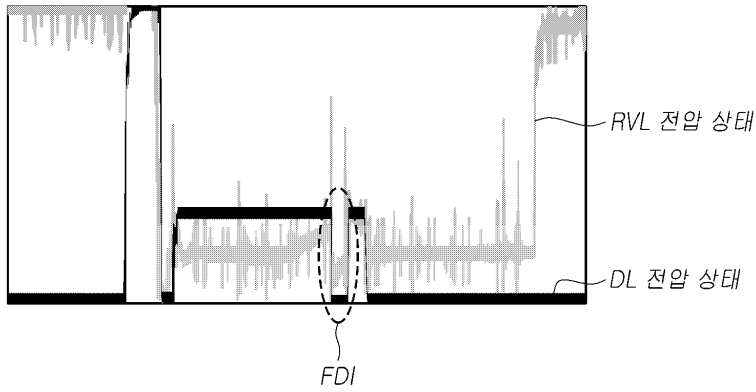


도면12

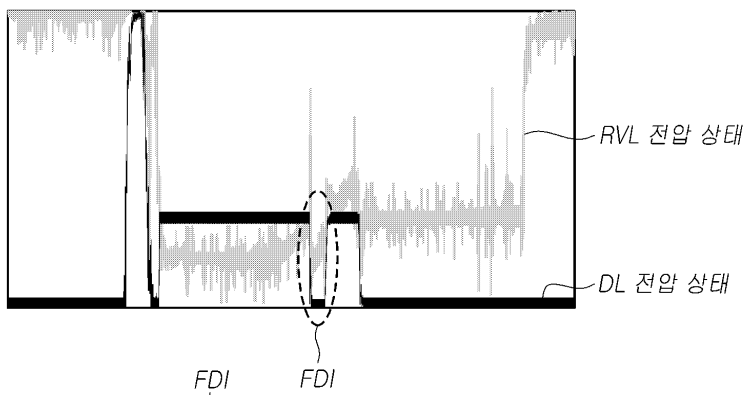


도면13

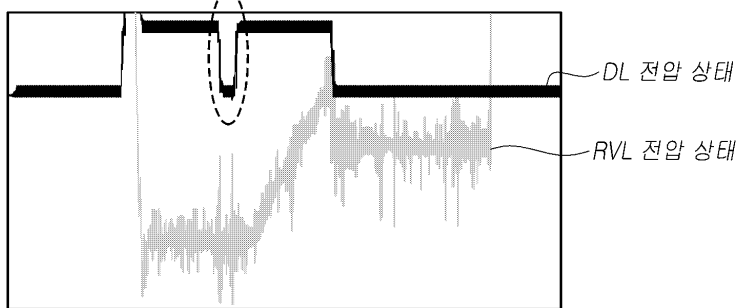
Case 1



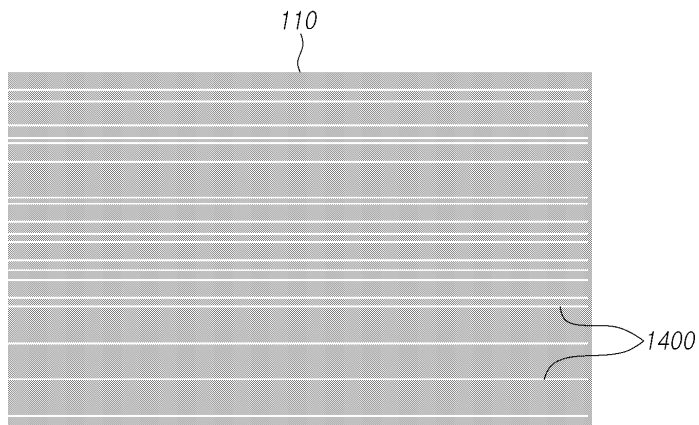
Case 2



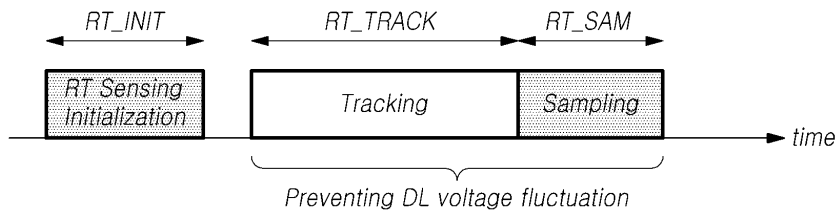
Case 3



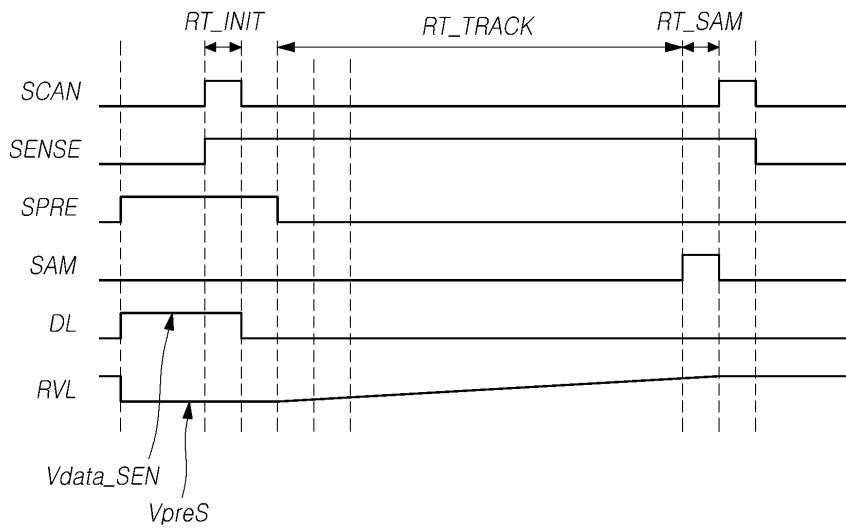
도면14



도면15

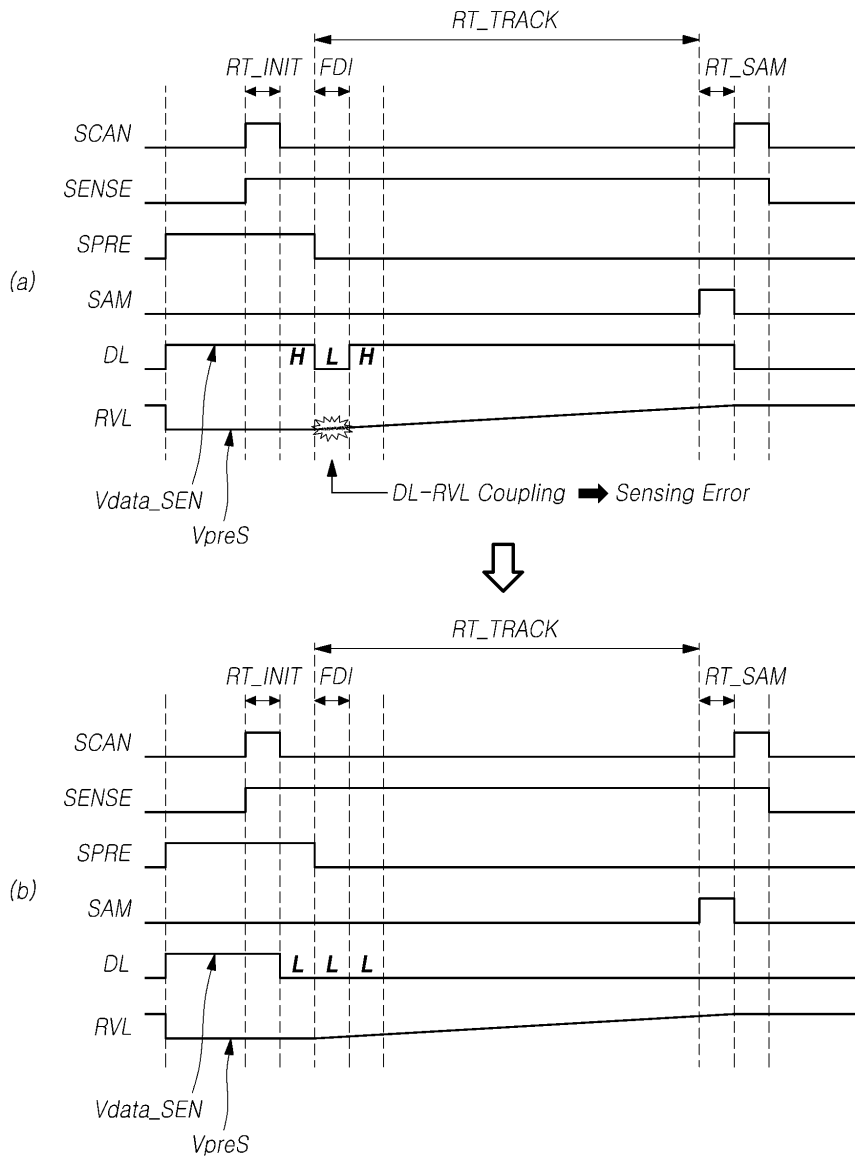


도면16



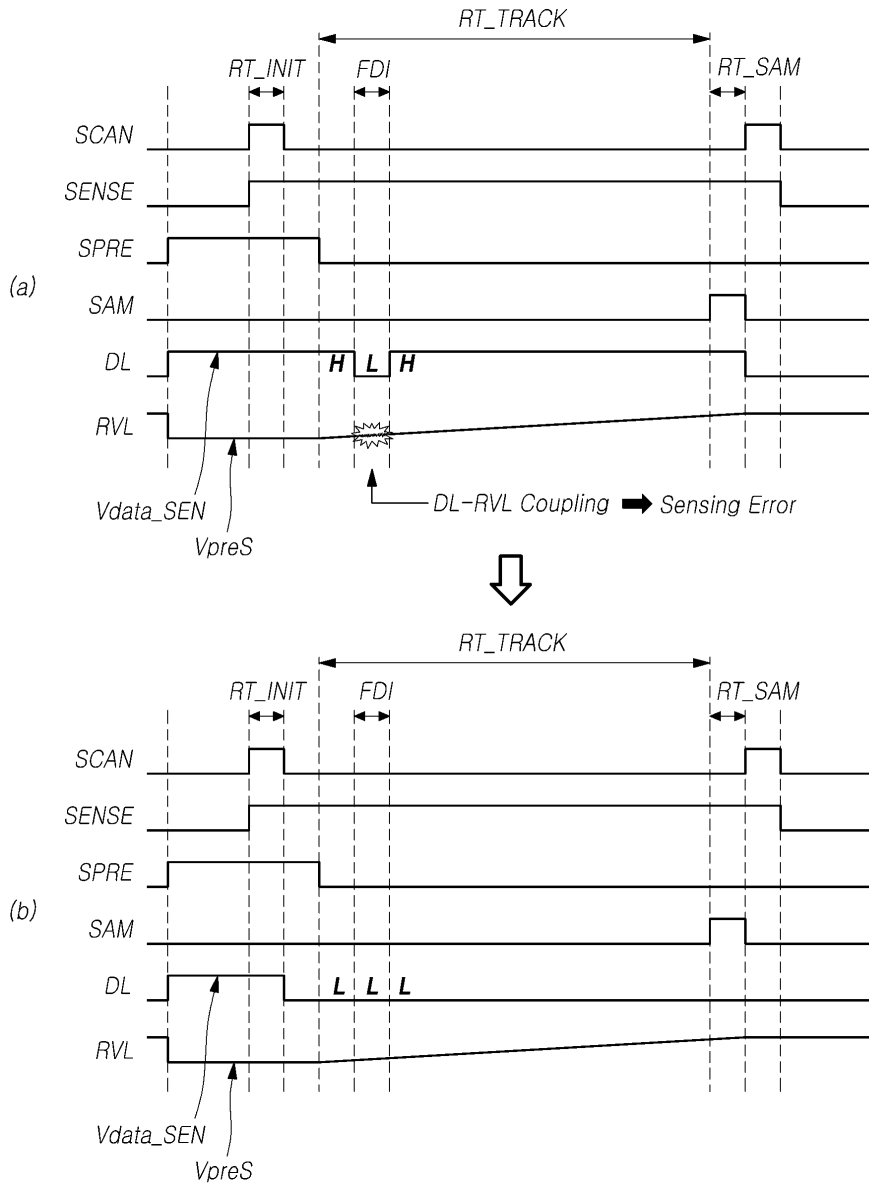
도면17

Case 1



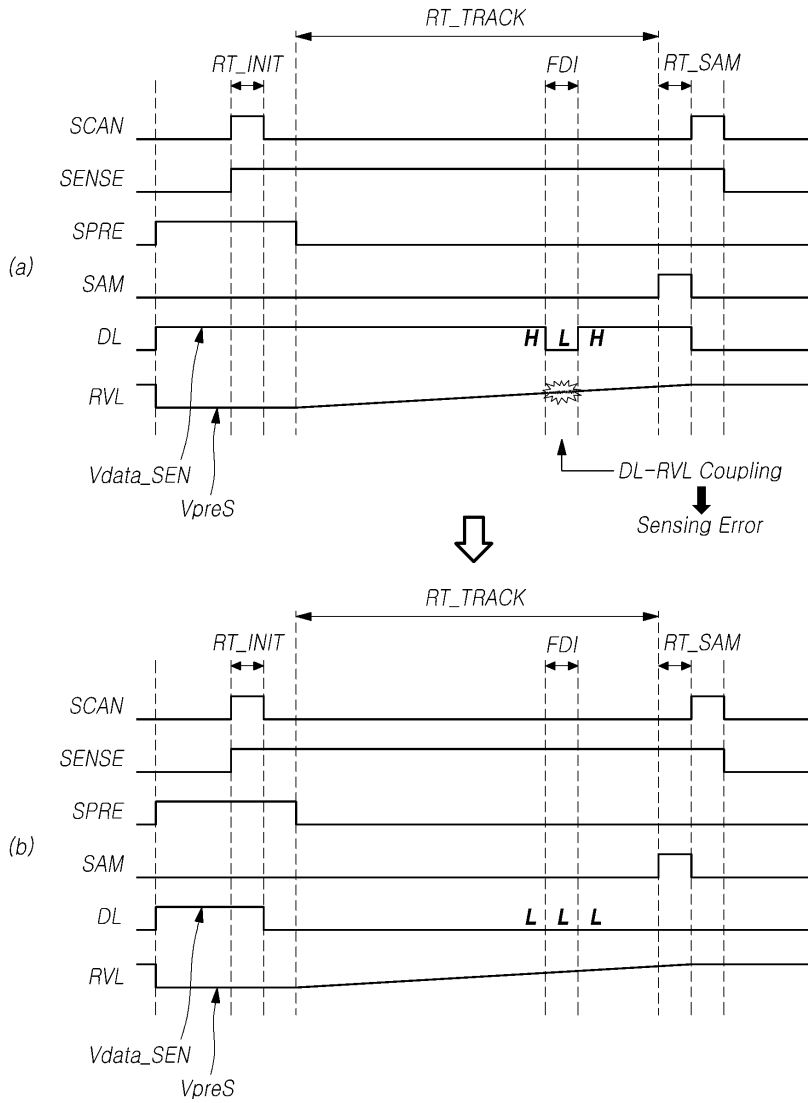
도면18

Case 2

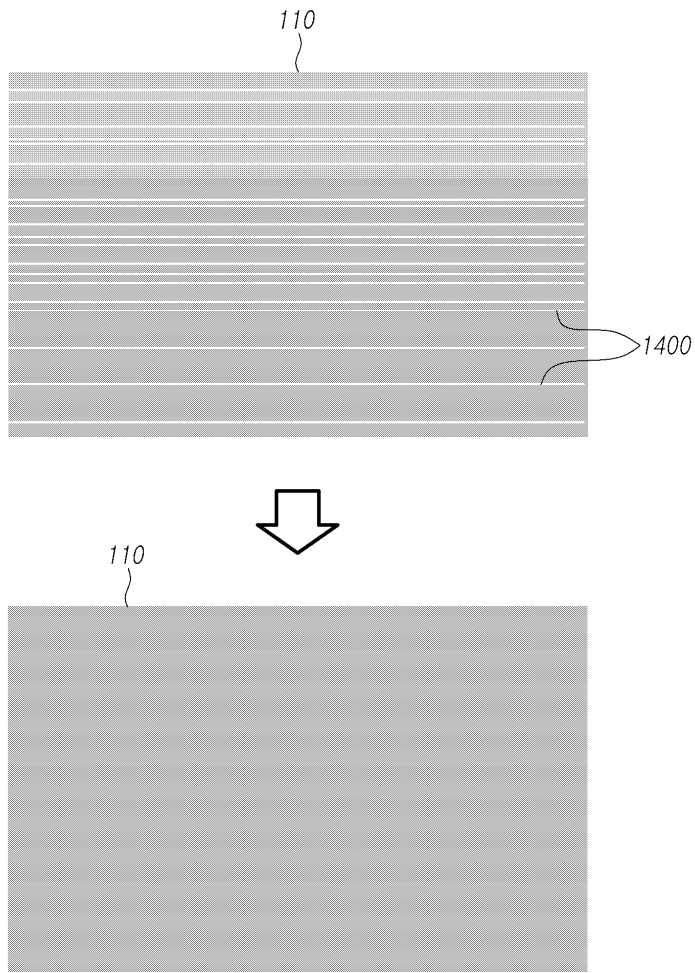


도면19

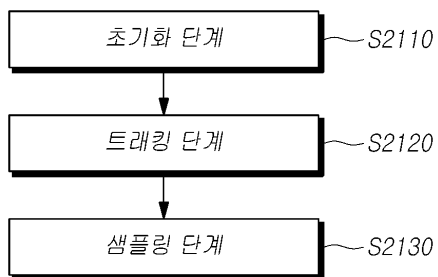
Case 3



도면20



도면21



专利名称(译)	驱动电路，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020200016039A	公开(公告)日	2020-02-14
申请号	KR1020180091237	申请日	2018-08-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	강민형 미와코이치		
发明人	강민형 미와 코이치		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0452 G09G2300/0828 G09G2310/061 G09G2320/0233 G09G2330/028 G09G3/3258 G09G3/3275 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/08 G09G2320/029 G09G2320/045 G09G3/32 G09G2320/0209 H01L27/3244 G09G3/3266 G09G3/3291 G09G2300/0413 G09G2300/0426 G09G2300/0439		
外部链接	Espacenet		

摘要(译)

本发明的实施例涉及驱动电路，有机发光显示装置以及驱动方法和。更具体地，本发明的实施例涉及一种驱动电路，有机发光显示装置和驱动方法，使得即使其他图像控制驱动（例如，虚假数据插入驱动）也不会影响感测。在检测驱动期间执行例如假数据插入驱动。根据本发明的实施例，可以防止感测误差以改善图像质量。

