



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0134105
(43) 공개일자 2019년12월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0059302

(22) 출원일자 2018년05월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤호준

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

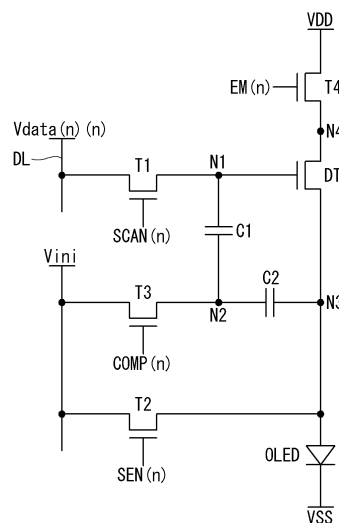
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 다수의 픽셀이 구비된 표시패널, 표시패널의 게이트라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비한다. 픽셀은 구동 트랜지스터, 제1 내지 제3 트랜지스터, 제1 커패시터를 포함한다. 구동 트랜지스터는 유기발광 다이오드에 인가되는 구동전류를 제어한다. 제1 트랜지스터는 데이터라인과 구동 트랜지스터의 게이트전극 사이를 스위칭한다. 제2 트랜지스터는 유기발광 다이오드의 애노드 전극과 초기화전압의 입력단 사이를 스위칭한다. 제1 커패시터는 구동 트랜지스터의 게이트전극과 접속된 제1 노드에 연결된 제1 전극 및 제2 노드와 접속된 제2 전극으로 이루어진다. 제3 트랜지스터는 구동 트랜지스터의 문턱전압을 센싱하는 동안, 초기화전압의 입력단과 제2 노드를 연결시키는 제3 트랜지스터를 포함한다.

대표도 - 도4



(52) CPC특허분류
G09G 2300/043 (2013.01)

명세서

청구범위

청구항 1

다수의 픽셀이 구비된 표시패널;

상기 표시패널의 게이트라인들을 구동하는 게이트 구동회로; 및

상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고;

상기 픽셀은,

유기발광 다이오드에 인가되는 구동전류를 제어하는 구동 트랜지스터;

데이터라인과 상기 구동 트랜지스터의 게이트전극 사이를 스위칭하는 제1 트랜지스터;

상기 유기발광 다이오드의 애노드 전극과 초기화전압의 입력단 사이를 스위칭하는 제2 트랜지스터;

상기 구동 트랜지스터의 게이트전극과 접속된 제1 노드에 연결된 제1 전극 및 제2 노드와 접속된 제2 전극으로 이루어지는 제1 커패시터; 및

상기 초기화전압의 입력단과 상기 제2 노드를 연결시키는 제3 트랜지스터를 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터라인은 데이터전압과 기준전압을 교번적으로 공급하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

초기화 기간 내에서,

상기 제1 트랜지스터는 상기 데이터라인에 기준전압이 인가되는 기간에 턴-온 되어서, 상기 제1 노드를 상기 기준전압으로 초기화하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 노드에 연결된 제1 전극 및 상기 유기발광 다이오드의 애노드 전극과 접속된 제3 노드에 연결된 제2 전극으로 이루어지는 제2 커패시터를 더 포함하고,

상기 초기화 기간 내에서

상기 제3 트랜지스터는 턴-온 되어서, 상기 제3 노드를 상기 초기화전압으로 초기화하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 구동 트랜지스터의 문턱전압을 센싱하는 기간에서,

상기 제1 트랜지스터는 턴-오프시키고, 상기 제3 트랜지스터를 턴-온 시켜서 상기 제2 노드가 상기 초기화전압을 유지하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 구동 트랜지스터의 문턱전압을 센싱하는 기간에서,
상기 제2 트랜지스터는 턴-오프 상태를 유지하는 유기발광 표시장치.

청구항 7

제 5 항에 있어서,
상기 데이터라인에 상기 데이터전압이 인가되는 기간에 상기 제1 트랜지스터는 턴-온되는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,
고전위 구동전압의 입력단과 상기 구동 트랜지스터의 드레인전극 사이를 스위칭하는 제4 트랜지스터를 더 포함하고,
상기 데이터전압이 인가되는 기간 이후에, 상기 제4 트랜지스터는 턴-온되어 상기 구동 트랜지스터의 드레인전극에 상기 고전위 구동전압을 제공하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,
상기 초기화 기간 동안, 상기 제4 트랜지스터는 턴-오프 상태를 유지하는 유기발광 표시장치.

청구항 10

제 1 항에 있어서,
상기 기준전압과 상기 초기화전압 간의 차이는 상기 구동 트랜지스터의 동작전압 이상인 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 유기발광 다이오드를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 유기발광 표시장치는 공정 편차, 구동시간 경과에 따른 게이트-바이어스 스트레스(Gate-Bias Stress) 등의 이유로 픽셀들 간 구동 트랜지스터의 문턱전압이 달라질 수 있다. 픽셀의 휘도는 유기발광 다이오드에 흐르는 구동 전류에 비례하기 때문에, 픽셀들 간에 구동 트랜지스터의 문턱전압이 달라지면 휘도 편차가 야기된다.

[0005] 따라서, 유기발광 표시장치는 픽셀의 구동 특성 변화를 보상하기 위한 방법을 요구한다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 픽셀들 간의 구동 특성 편차를 보상하여 표시품질을 높일 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

[0007] 본 발명은 내부 보상 및 외부 보상을 동시에 수행할 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

[0008] 본 발명은 내부 보상 동작에서 센싱 기간을 확장하여 구동 특성 보상을 더욱 정확하게 할 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광 표시장치는 다수의 픽셀이 구비된 표시패널, 표시패널의 게이트라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비한다. 픽셀은 구동 트랜지스터, 제1 내지 제3 트랜지스터, 제1 커패시터를 포함한다. 구동 트랜지스터는 유기발광 다이오드에 인가되는 구동전류를 제어한다. 제1 트랜지스터는 데이터라인과 구동 트랜지스터의 게이트전극 사이를 스위칭한다. 제2 트랜지스터는 유기발광 다이오드의 애노드 전극과 초기화전압의 입력단 사이를 스위칭한다. 제1 커패시터는 구동 트랜지스터의 게이트전극과 접속된 제1 노드에 연결된 제1 전극 및 제2 노드와 접속된 제2 전극으로 이루어진다. 제3 트랜지스터는 구동 트랜지스터의 문턱전압을 센싱하는 동안, 초기화전압의 입력단과 제2 노드를 연결시키는 제3 트랜지스터를 포함한다.

발명의 효과

[0010] 본 발명은 내부 보상 및 외부 보상을 동시에 수행하여 구동 특성 보상을 정확하게 할 수 있다.

[0011] 본 발명은 내부 보상 과정에서 센싱 기간을 데이터기입 기간에 한정되지 않도록 확장할 수 있어서, 구동 특성 보상을 더욱 정확하게 할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명에 따른 유기발광 표시장치를 보여주는 도면이다.

도 2는 제1 실시 예에 따른 픽셀 구조를 보여주는 등가 회로도이다.

도 3은 제1 실시 예에 따른 픽셀에 인가되는 구동신호를 보여주는 파형도이다.

도 4는 제2 실시 예에 따른 픽셀 구조를 보여주는 등가 회로도이다.

도 5는 제2 실시 예에 따른 픽셀에 인가되는 구동신호를 보여주는 파형도이다.

도 6 내지 도 10은 각각 제1 및 제2 초기화 기간, 센싱 기간, 데이터 기입 기간 및 발광 기간에 대응되는 픽셀의 등가 회로도이다.

도 11은 제3 실시 예에 따른 픽셀 구조를 보여주는 등가 회로도이다.

도 12 및 도 13은 각각 제3 실시 예에 따른 픽셀의 구동 트랜지스터 문턱전압 및 이동도를 검출하기 위한 구동신호를 보여주는 파형도이다.

도 14는 본 발명에 의한 픽셀 어레이층들의 단면을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 본 발명의 실시예에서는 픽셀을 구성하는 트랜지스터들이 모두 N 타입으로 구현되는 것만을 개시하고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 P 타입으로 구현되는 경우에도 적용될 수 있다.

[0014] 이하, 도 1 내지 도 14를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0015] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.

[0016] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀(P)들이 형성된 표시패널(10)과, 데이터라인(DL)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인(GL)을 구동시키기 위한 게이트 구동회로(1

3)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.

- [0017] 표시패널(10)에는 다수의 데이터라인들(DL)과 다수의 게이트라인들(GL)이 교차되고, 이 교차영역마다 픽셀(P)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 픽셀(P)들은 하나의 픽셀행을 이룬다. 하나의 픽셀행에 배치된 픽셀(P)들은 게이트라인(GL)에 접속되며, 게이트라인(GL)은 각각의 게이트신호들을 제공하는 다수의 라인들을 포함할 수 있다. 게이트신호들은 에미션신호, 스캔신호, 센스신호, 샘플링신호 및 홀딩신호들이 될 수 있다.
- [0018] 픽셀(P)들은 도시하지 않은 전원발생부로부터 고전위/저전위 구동전압(VDD, VSS)과 초기화전압(Vinit)을 공통으로 공급받을 수 있다. 이니셜 기간 및 샘플링 기간에서 유기발광 다이오드의 불필요한 발광이 방지되도록 초기화전압(Vinit)은 유기발광 다이오드의 동작전압보다 충분히 낮은 전압 범위 내에서 선택됨이 바람직하며, 저전위 구동전압(VSS)과 같거나 그보다 낮게 설정될 수 있다.
- [0019] 픽셀(P)를 구성하는 트랜지스터들은 산화물 반도체층을 포함한 산화물 트랜지스터로 구현될 수 있다. 산화물 트랜지스터는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.
- [0020] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(DATA)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0021] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.
- [0022] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 게이트신호들을 생성할 수 있다. 이러한 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있다.
- [0023] 도 2는 제1 실시 예에 의한 픽셀 구조를 보여주는 등가 회로도이고, 도 3은 도 2의 픽셀에 인가되는 구동신호들을 보여주는 도면이다.
- [0024] 도 2를 참조하면, 각 픽셀(P)은 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제1 커패시터(C1)를 포함한다.
- [0025] 유기발광 다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다. 유기발광 다이오드(OLED)의 애노드전극은 제2 노드(N2)에 접속되고, 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0026] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 유기발광 다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 드레인전극은 제3 노드(N3)에 접속되며, 소스전극은 제2 노드(N2)에 접속된다.
- [0027] 제1 트랜지스터(T1)는 데이터라인(DL)과 제1 노드(N1) 사이에 접속되고, 스캔신호(SCAN)에 따라 온/오프 된다. 제1 트랜지스터(T1)는 스캔신호(SCAN)를 인가받는 게이트전극, 데이터라인(DL)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 포함한다.
- [0028] 제2 트랜지스터(T2)는 초기화전압(Vinit)의 입력단과 제2 노드(N2) 사이에 접속되고, 센스신호(SEN)에 따라 온/오프 된다. 제2 트랜지스터(T2)는 센스신호(SEN)를 인가받는 게이트전극, 제2 노드(N2)에 접속된 드레인전극, 초기화전압(Vinit)의 입력단에 접속된 소스전극을 포함한다.
- [0029] 제3 트랜지스터(T3)는 샘플링전압(VSMP)의 입력단과 제1 노드(N1)사이에 접속되고, 샘플링신호(SMP)에 따라 온/오프 된다. 제3 트랜지스터(T3)는 샘플링신호(SMP)를 인가받는 게이트전극, 샘플링전압(VSMP)의 입력단에 접

속된 소스전극, 및 제1 노드(N1)에 접속된 드레인전극을 포함한다.

- [0030] 제4 트랜지스터(T4)는 고전위 구동전압(VDD)의 입력단과 제3 노드(N3) 사이에 접속되고, 에미션신호(EM)에 따라 온/오프 된다. 제4 트랜지스터(T4)는 에미션신호(EM)를 인가받는 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 드레인전극, 및 제3 노드(N3)에 접속된 소스전극을 포함한다.
- [0031] 제1 커패시터(C1)는 제1 노드(N1) 및 제2 노드(N2) 사이에 접속된다.
- [0032] 도 2 및 도 3을 참조하여, 제1 실시 예에 의한 픽셀의 동작을 살펴보면 다음과 같다.
- [0033] 한 프레임기간은 초기화 기간(Ti), 센싱 기간(Ts), 데이터기입 기간(Tw) 및 발광 기간(Te)으로 구분될 수 있다.
- [0034] 초기화 기간(Ti) 동안, 센스신호(SEN)는 턴-온 전압을 유지한다. 스캔신호(SCAN) 및 샘플링신호(SMP)는 턴-오프 전압을 유지한다. 제2 트랜지스터(T2)는 센스신호(SEN)에 응답하여 턴-온되고, 그 결과 제2 노드(N2)는 초기화전압(Vinit)이 된다.
- [0035] 센싱 기간(Ts) 동안, 에미션신호(EM) 및 샘플링신호(SMP)는 턴-온 전압을 유지하고, 스캔신호(SCAN) 및 센스신호(SEN)는 턴-오프 전압을 유지한다. 제3 트랜지스터(T3)는 샘플링신호(SMP)에 응답하여 턴-온되고, 제1 노드(N1)는 샘플링전압(VSMP)으로 충전된다. 이때, 샘플링전압(VSMP)과 초기화전압(Vinit) 간의 차이가 구동 트랜지스터(DT)의 동작전압 이상이 되도록 샘플링전압(VSMP)의 크기가 설정될 수 있다. 센싱 기간(Ts) 동안, 제4 트랜지스터(T4)가 턴-온 되면서, 제4 트랜지스터(T4) 및 구동 트랜지스터(DT)를 경유하여 전류가 흐른다. 구동 트랜지스터(DT)의 드레인-소스 사이에 흐르는 전류(IDs)에 의해 제2 노드(N2)의 전압은 점차적으로 상승하며, 이때 제2 노드(N2)의 전압은 구동 트랜지스터(DT)의 게이트-소스 전압이 구동 트랜지스터(DT)의 문턱전압(Vth)이 되는 순간까지 상승한다. 결과적으로, 제2 노드(N2)는 "샘플링전압(VSMP)과 문턱전압(Vth)의 차이(VSMP-Vth)"에 해당하는 전압이 된다.
- [0036] 센싱 기간(Ts) 동안, 제1 노드(N1)는 제3 트랜지스터(T3)를 통해서 샘플링 전압을 공급받는다. 센싱 기간(Ts) 동안 구동 트랜지스터(DT)의 게이트전극은 일정한 전압을 유지할 수 있기 때문에, 제1 트랜지스터(T1)를 턴-오프시킨 상태에서도 구동 트랜지스터(DT)의 게이트전극의 전압 변화를 방지할 수 있다. 즉, 구동 트랜지스터(DT)의 게이트전극에 데이터전압을 기입하는 제1 트랜지스터(T1)가 센싱 동작에 관여하지 않기 때문에, 제1 실시 예에 의한 표시장치는 센싱 기간(Ts)의 확장이 용이하다.
- [0037] 플로팅 기간(Td)은 제1 내지 제4 트랜지스터들(T1~T4)을 턴-오프 시켜서, 픽셀(P) 내의 주요 노드를 플로팅시킴으로써 동작 마진을 확보할 수 있다.
- [0038] 데이터기입 기간(Tw) 동안, 스캔신호(SCAN)는 턴-온 전압을 유지하고, 샘플링신호(SMP), 센스신호(SEN) 및 에미션신호(EM)는 턴-오프 전압을 유지한다. 스캔신호(SCAN)에 응답하여 제1 트랜지스터(T1)가 턴-온되어, 제1 노드(N1)는 데이터라인(DL)을 통해서 제공받는 데이터전압(Vdata)이 충전된다.
- [0039] 발광 기간(Te) 동안, 에미션신호(EM)는 턴-온 전압을 유지한다. 발광 기간(Te) 동안, 스캔신호(SCAN), 센스신호(SEN) 및 샘플링신호(SMP)는 턴-오프 전압을 유지한다. 제4 트랜지스터(T4)는 에미션신호(EM)에 응답하여 턴-온되고, 제4 트랜지스터(T4) 및 구동 트랜지스터(DT)를 경유하는 구동전류가 제2 노드(N2)로 흐른다. 유기발광 다이오드(OLED)에 흐르는 구동전류에 대한 관계식은 하기의 수학식1과 같다.
- [0040] [수학식 1]
- [0041]
$$I_{oled} = k/2(V_{gs} - V_{th})^2 = k/2\{V_{data} - (V_{SMP} - V_{th}) - V_{th}\}^2 = k/2(V_{data} - V_{SMP})^2$$
- [0042] 유기발광 다이오드(OLED)는 이러한 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.
- [0043] 수학식 1에서, k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다. 상술한 수학식1에서 알 수 있는 바와 같이, 발광 기간(Te)에 유기발광 다이오드(OLED)에 흐르는 구동전류는 구동 트랜지스터(DT)의 문턱전압(Vth)에 무관하게 표현된다. 즉, 유기발광 다이오드(OLED)는 문턱전압(Vth)의 영향이 없는 상태에서 휘도를 표현할 수 있다.
- [0044] 도 4는 제2 실시 예에 의한 픽셀 구조를 보여주는 등가 회로도이고, 도 5는 도 4의 픽셀에 인가되는 구동신호들을 보여주는 도면이다.
- [0045] 도 5에서 n-1번째 스캔신호(SCAN(n-1)), n번째 스캔신호(SCAN) 및 n+1번째 스캔신호(SCAN(n+1))들은 각각 n-1

번째 픽셀 행, n번째 픽셀 행 및 n+1번째 픽셀 행에 기입되는 데이터전압에 동기되는 신호들이다. 이하, 제2 실시 예는 n번째 픽셀 행에 배치된 픽셀들을 중심으로 설명하기로 한다.

- [0046] 도 4를 참조하면, 각 픽셀(P)은 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제1 및 제2 커패시터(C1,C2)를 포함한다.
- [0047] 유기발광 다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광 다이오드(OLED)의 애노드전극은 제3 노드(N3)에 접속되고, 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0048] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(V_{gs})에 따라 유기발광 다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 드레인전극은 제4 노드(N4)에 접속되며, 소스전극은 제3 노드(N3)에 접속된다.
- [0049] 제1 트랜지스터(T1)는 데이터라인(DL)과 제1 노드(N1) 사이에 접속되고, 스캔신호(SCAN)에 따라 온/오프 된다. 제1 트랜지스터(T1)는 스캔신호(SCAN)를 인가받는 게이트전극, 데이터라인(DL)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 포함한다.
- [0050] 제2 트랜지스터(T2)는 초기화전압(Vinit)의 입력단과 제3 노드(N3) 사이에 접속되고, 센스신호(SEN)에 따라 온/오프 된다. 제2 트랜지스터(T2)는 센스신호(SEN)를 인가받는 게이트전극, 제3 노드(N3)에 접속된 드레인전극, 초기화전압(Vinit)의 입력단에 접속된 소스전극을 포함한다.
- [0051] 제3 트랜지스터(T3)는 초기화전압(Vinit)의 입력단과 제2 노드(N2) 사이에 접속되고, 홀딩신호(COMP)에 따라 온/오프 된다. 제3 트랜지스터(T3)는 홀딩신호(COMP)를 인가받는 게이트전극, 초기화전압(Vinit)의 입력단에 접속된 소스전극, 제2 노드(N2)에 접속된 드레인전극을 포함한다.
- [0052] 제4 트랜지스터(T4)는 고전위 구동전압(VDD)의 입력단과 제4 노드(N4) 사이에 접속되고, 에미션신호(EM(n))에 따라 온/오프 된다. 제4 트랜지스터(T4)는 에미션신호(EM)를 인가받는 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 드레인전극, 및 제4 노드(N4)에 접속된 소스전극을 포함한다.
- [0053] 제1 커패시터(C1)는 제1 노드(N1) 및 제2 노드(N2) 사이에 접속되고, 제2 커패시터(C2)는 제2 노드(N2) 및 제3 노드(N3) 사이에 접속된다.
- [0054] 이하, 도 4 내지 도 10을 참조하여, 제2 실시 예에 의한 픽셀 동작을 살펴보면 다음과 같다.
- [0055] 한 프레임기간은 초기화 기간(T_i), 센싱 기간(T_s), 데이터기입 기간(T_w) 및 발광 기간(T_e)으로 구분될 수 있다.
- [0056] 초기화 기간(T_{i1} , T_{i2}) 동안, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)는 초기화된다. 초기화 기간(T_{i1} , T_{i2})은 제2 노드(N2) 및 제3 노드(N3)를 초기화하는 제1 초기화 기간(T_{i1}), 및 제1 노드(N1)를 초기화하는 제2 초기화 기간(T_{i2})을 포함한다.
- [0057] 제1 초기화 기간(T_{i1}) 동안, 홀딩신호(COMP(n))는 턴-온 전압을 유지하고, 스캔신호(SCAN(n)) 및 센스신호(SEN(n))는 턴-오프 전압을 유지한다. 제3 트랜지스터(T3)는 홀딩신호(COMP(n))에 응답하여 턴-온되고, 제2 노드(N2)는 초기화전압(Vinit)으로 초기화된다.
- [0058] 제2 초기화 기간(T_{i2}) 내에서, 홀딩신호(COMP(n))는 턴-온 전압을 유지하고, 스캔신호(SCAN(n)) 및 센스신호(SEN(n))는 일정 기간 동안 턴-온된다. 일례로, 스캔신호(SCAN(n)) 및 센스신호(SEN(n))는 $1/2H$ 동안 턴-온된다. 제2 노드(N2)는 제1 초기화 기간(T_{i1})에 충전된 초기화전압(Vinit)을 유지한다. 제1 노드(N1)는 제1 트랜지스터(T1)를 통해서 공급받는 기준전압($V_{ref}(n)$)으로 충전된다. 제3 노드(N3)는 제2 트랜지스터(T2)를 통해서 공급받는 초기화전압(Vinit)으로 충전된다. 제2 초기화 기간(T_{i2})에서 구동 트랜지스터(DT)의 게이트-소스 전압은 턴-온 전압 이상으로 설정된다.
- [0059] 센싱 기간(T_s) 동안, 홀딩신호(COMP(n))는 턴-온 전압을 유지하고, 에미션신호(EM(n))는 턴-온 된다. 스캔신호(SCAN(n)) 및 센스신호(SEN(n))는 턴-오프 전압을 유지한다. 제1 노드(N1)는 기준전압($V_{ref}(n)$)을 유지하고, 제2 노드(N2)는 초기화전압(Vinit)을 유지한다. 제4 트랜지스터(T4)가 턴-온되면서, 제4 트랜지스터(T4) 및 구동 트랜지스터(DT)를 경유하여 전류가 흐른다. 구동 트랜지스터(DT)의 드레인-소스 사이에 흐르는 전류(I_{ds})에 의해 제3 노드(N3)의 전압은 점차적으로 상승하며, 이때 제3 노드(N3)의 전압은 구동 트랜지스터(DT)의 게이트-소스 전압이 구동 트랜지스터(DT)의 문턱전압(V_{th})이 되는 순간까지 상승한다. 결과적으로, 제3 노드(N3)는 "

기준전압(Vref(n))과 문턱전압(Vth)의 차이(Vref(n)-Vth)"에 해당하는 전압이 된다.

- [0060] 센싱 기간(Ts) 동안, 제2 노드(N2)는 일정한 정전압이 인가되기 때문에 구동 트랜지스터(DT)의 게이트전극은 일정한 전압을 유지할 수 있다. 이처럼 본 발명은 제1 트랜지스터(T1)를 턴-오프시킨 상태에서도 구동 트랜지스터(DT)의 게이트전극의 전압 변화를 방지할 수 있다. 즉, 구동 트랜지스터(DT)의 게이트전극에 데이터전압을 기입하는 제1 트랜지스터(T1)가 센싱 동작에 관여하지 않기 때문에, 센싱 기간(Ts)은 설계자의 의도에 따라 임의로 확장될 수 있다.
- [0061] 특히, 제2 실시 예는 센싱 기간(TS) 동안 제2 노드(N2)에 인가되는 정전압을 초기화전압(Vini)으로 이용할 수 있고, 이에 따라 제1 실시 예에 대비하여 전압원 및 전압공급라인을 추가하지 않으면서 센싱 기간(Ts)을 확장할 수 있다.
- [0062] 데이터기입 기간(Tw) 동안, 홀딩신호(COMP(n))는 턴-온 전압을 유지하고, 센스신호(SEN(n)) 및 에미션신호(EM(n))는 턴-오프 전압을 유지한다. 데이터기입 기간(Tw) 내에서 스캔신호(SCAN(n))는 일정기간 턴-온된다. 스캔신호(SCAN(n))는 1/2H 기간 이상 턴-온 될 수 있고, 특히 스캔신호(SCAN(n))는 적어도 데이터전압(Vdata(n))과 동기되는 구간에서 턴-온 전압이 된다. 제1 노드(N1)는 데이터라인(DL)을 통해서 제공받는 데이터전압(Vdata(n))이 충전된다.
- [0063] 발광 기간(Te) 동안, 에미션신호(EM(n))는 턴-온 전압을 유지한다. 발광 기간(Te) 동안, 스캔신호(SCAN(n)), 센스신호(SEN(n)) 및 홀딩신호(COMP(n))는 턴-오프 전압을 유지한다. 제4 트랜지스터(T4)는 에미션신호(EM(n))에 응답하여 턴-온되고, 제4 트랜지스터(T4) 및 구동 트랜지스터(DT)를 경유하는 구동전류(Ioled)가 제3 노드(N3)로 흐른다. 유기발광 다이오드(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기의 수학적식2와 같다.
- [0064] [수학적식 2]
- [0065]
$$I_{oled} = k/2(V_{gs} - V_{th})^2 = k/2\{V_{data}(n) - (V_{ref}(n) - V_{th}) - V_{th}\}^2 = k/2(V_{data}(n) - V_{ref}(n))^2$$
- [0066] 유기발광 다이오드(OLED)는 이러한 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.
- [0067] 수학적식 2에서, k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다. 상술한 수학적식2 에서 알 수 있는 바와 같이, 발광 기간(Te)에 유기발광 다이오드(OLED)에 흐르는 구동전류(Ioled)는 구동 트랜지스터(DT)의 문턱전압(Vth)에 무관하게 표현된다. 즉, 유기발광 다이오드(OLED)는 문턱전압(Vth)의 영향이 없는 상태에서 휘도를 표현할 수 있다.
- [0068] 도 11은 제3 실시 예에 의한 픽셀 구조 및 데이터 구동부를 보여주는 등가 회로도이다.
- [0069] 전술한 제1 및 제2 실시 예에서 픽셀의 동작 구조는 픽셀 회로 내부에서 구동 트랜지스터의 문턱전압 편차를 자동적으로 보상하는 내부보상 중심으로 설명되었다. 본 발명에 의한 유기발광 표시장치는 구동 트랜지스터들의 전기적 특성을 센싱하고, 이를 바탕으로 편차를 보상하는 외부 보상 방법을 이용할 수도 있다.
- [0070] 외부보상 방법은 비표시구간에 이루어질 수 있다. 비표시 구간은 표시장치에 구동전원이 인가된 이후부터 영상표시가 이루어지기 이전까지의 구간과 구동전원 디스에이블 신호가 인가된 이후 표시장치가 완전히 파워오프되기 이전까지의 구간을 포함한다. 또한 외부보상 방법은 영상표시기간 사이의 수직 블랭크 기간 내에서 이루어질 수도 있다.
- [0071] 도 11을 참조하면, 제3 실시 예는 픽셀(P) 및 아날로그 디지털 변환기(ADC)를 포함한다. 도 11에 도시된 픽셀(P)은 전술한 제2 실시 예의 회로와 동일한 구조를 갖지만, 픽셀(P)은 제1 실시 예의 회로와 동일한 구조로 이루어질 수 있다. 이하, 제3 실시 예에서 제2 실시 예와 동일한 구성의 연결 관계는 자세한 설명을 생략하기로 한다.
- [0072] 픽셀(P)은 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제1 및 제2 커패시터(C1, C2)를 포함한다.
- [0073] 제2 트랜지스터(T2)는 기준전압라인(RL)과 제3 노드(N3) 사이에 접속되고, 센스신호(SEN)에 따라 온/오프 된다. 제2 트랜지스터(T2)는 센스신호(SEN)를 인가받는 게이트전극, 제3 노드(N3)에 접속된 드레인전극, 기준전압라인(RL)에 접속된 소스전극을 포함한다.
- [0074] 제3 트랜지스터(T3)는 기준전압라인(RL)과 제2 노드(N2) 사이에 접속되고, 홀딩신호(COMP)에 따라 온/오프 된다.

제3 트랜지스터(T3)는 홀딩신호(COMP)를 인가받는 게이트전극, 기준전압라인(RL)에 접속된 소스전극, 제2 노드(N2)에 접속된 드레인전극을 포함한다.

- [0075] 데이터 구동부(12)는 데이터라인(DL) 및 기준전압라인(RL)을 통해 픽셀(P)과 연결된다. 기준전압라인(RL)에는 센싱전압을 저장하는 센싱 커패시터(Cx)가 형성될 수 있다. 데이터 구동부(12)는 아날로그 디지털 변환기(ADC), 제1 및 제2 스위치(SW1, SW2)를 포함한다.
- [0076] 제1 스위치(SW1)는 제1 제어신호(SPRE)에 응답하여 초기화전압(Vinit)의 입력단과 기준전압라인(RL) 간의 연결을 제어한다. 제2 스위치(SW2)는 센싱 구동시 제2 제어신호(SSAM)에 응답하여 기준전압라인(RL)과 아날로그 디지털 변환기(ADC) 사이의 전류 흐름을 스위칭하여, 일정 시간 동안 기준전압라인(RL)의 센싱 커패시터(Cx)에 저장된 구동 트랜지스터(DT)의 소스전압을 센싱전압(Vsen)으로서 아날로그 디지털 변환기(ADC)에 공급한다. 아날로그 디지털 변환기(ADC)는 센싱 커패시터(Cx)에 저장된 아날로그 센싱전압(Vsen)을 디지털 값으로 변환하여 타이밍 컨트롤러(11)에 공급한다. 제2 스위치(SW2)는 화상 표시 구동시 제2 제어신호(SSAM)에 응답하여 계속해서 턴 오프 상태를 유지한다.
- [0077] 도 12는 도 11에 도시된 픽셀 회로에서 구동 트랜지스터의 문턱전압을 센싱하기 위한 구동신호들의 타이밍을 나타내는 도면이다.
- [0078] 구동 트랜지스터의 문턱전압 센싱 기간 동안, 에미션신호(EM)는 항상 턴-온 상태를 유지하고, 그 결과 고전위 구동전압(VDD)의 입력단은 구동 트랜지스터(DT)의 드레인전극과 연결된 상태이다. 구동 트랜지스터(DT)의 문턱전압 센싱 기간 동안, 홀딩신호(COMP)는 항상 턴-오프 상태를 유지한다.
- [0079] 도 11 및 도 12를 참조하면, 구동 트랜지스터(DT)의 문턱전압 센싱 방법은 초기화 기간(Tini) 및 센싱 기간(Tsen)을 포함한다.
- [0080] 초기화 기간(Tini) 동안, 구동 트랜지스터(DT)를 턴 온 시키기 위해 구동 트랜지스터(DT)의 게이트-소스 간 전압을 세팅한다. 이를 위해, 스캔신호(SCAN), 센스신호(SEN) 및 제1 제어신호(SPRE)는 턴-온 전압으로 입력되고, 제2 제어신호(SSAM)는 턴-오프 전압으로 입력된다. 이에 따라, 제1 트랜지스터(T1)는 턴-온 되어 데이터라인(DL)으로부터 공급받는 센싱용 데이터전압(Vdata)을 제1 노드(N1)에 공급한다. 제1 스위치(SW1)와 제2 트랜지스터(T2)는 온 되어 초기화전압(Vini)을 제3 노드(N3)에 공급한다. 이때, 제2 스위치(SW2)는 턴-오프 상태를 유지한다.
- [0081] 센싱 기간(Tsen) 내에서, 구동 트랜지스터(DT)에 흐르는 전류(Ids)에 의해 상승하는 구동 트랜지스터(DT)의 소스전압이 포화(saturation)된 상태의 전압을 센싱 전압으로 검출한다. 센싱 기간(Tsen)에서는 정확한 센싱을 위해 구동 트랜지스터(DT)의 게이트-소스 간 전압이 일정하게 유지되어야 한다. 이를 위해, 스캔신호(SCAN) 및 센스신호(SEN)는 턴-온 전압을 유지한다. 제1 제어신호(SPRE)는 턴-오프 전압을 유지하고, 제2 제어신호(SSAM) 또한 일정기간 턴-오프 전압을 유지한다. 센싱 기간(Tsen) 내에서 구동 트랜지스터(DT)를 통해 흐르는 전류에 의해 제3 노드(N3)의 전압은 증가한다.
- [0082] 제3 노드(N3)의 전압이 충분히 포화된 상태에서, 제2 제어신호(SSAM)는 턴-온 전압으로 반전된다. 그 결과, 센싱 커패시터(Cx)에 저장된 구동 트랜지스터(DT)의 소스전압을 센싱전압(Vsen)으로써 아날로그 디지털 변환기(ADC)에 공급한다.
- [0083] 이와 같이 본 발명에 의한 픽셀 회로를 갖는 유기발광 표시장치는 내부보상과 외부보상을 선택하거나, 내부보상과 외부보상을 동시에 수행할 수 있다. 유기발광 표시장치는 제조 단계에서 초기 보상을 수행하지만, 사용자가 사용하기 이전에 유통 과정에서 구동 트랜지스터의 문턱전압 변화 등으로 인해서 보상값이 부정확해지는 경우가 발생한다. 본 발명은 내부보상과 외부보상을 동시에 수행할 수 있기 때문에, 제조 단계에서 수행된 초기 보상의 오차를 내부보상을 통해서 보완할 수 있다.
- [0084] 도 13은 도 11에 도시된 픽셀 회로에서 구동 트랜지스터의 이동도 특성을 검출하기 위한 구동신호들의 타이밍을 나타내는 도면이다.
- [0085] 도 11 및 도 13을 참조하면, 구동 트랜지스터(DT)의 이동도 특성 검출 방법은 초기화 기간(Tini) 및 센싱 기간(Tsen)을 포함한다.
- [0086] 이동도 특성 검출 방법에서 초기화 기간(Ti)은 전술한 문턱전압 특성 방법과 동일하다.
- [0087] 구동 트랜지스터(DT)의 이동도 특성은 소스전압 변화량을 바탕으로 산출된다. 따라서, 센싱 기간(Tsen) 동안

스캔신호(SCAN)는 턴-오프 전압을 유지하고, 구동 트랜지스터(DT)가 동작할 때의 제3 노드(N3)의 전압을 센싱 전압으로 획득한다. 그리고 2차레 이상 획득한 센싱 전압의 변화량을 바탕으로 이동도 특성을 검출한다.

[0088] 도 14는 본 발명에 의한 픽셀의 어레이 구조를 나타내는 단면도이다.

[0089] 도 14를 참조하면, 본 발명에 의한 픽셀 어레이는 기판(SUB) 상에 배치된 트랜지스터층 및 유기발광 다이오드(OLED)를 포함한다. 트랜지스터층은 반도체층(ACT), 게이트전극(GATE) 및 소스/드레인 금속층(SD)을 포함한다.

[0090] 기판(SUB)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 기판(SUB) 상에는 광차단층(LS)이 배치된다. 광차단층(LS)은 트랜지스터층의 반도체층과 평면상에서 중첩되도록 배치되어, 외부광으로부터 산화물 반도체 소자를 보호하는 역할을 한다. 기판(SUB) 상에는 광차단층(LS)을 덮도록 버퍼층(BUF)이 배치된다. 버퍼층(BUF)은 기판(SUB)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 한다. 버퍼층(BUF) 상에는 반도체층(ACT)이 배치되고, 반도체층(ACT)을 덮도록 형성된 절연막을 패터닝하여 게이트전극(GATE)이 형성될 위치에 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI) 상에는 게이트 전극(GE)이 배치된다. 이어서, 반도체층(ACT) 및 버퍼층(BUF)을 덮도록 층간 절연막(ILD)이 배치된다. 층간 절연막(ILD) 위에는 소스/드레인 전극층(SD)이 배치된다. 소스 전극 및 드레인 전극은 층간 절연막(ILD)을 관통하는 콘택홀들을 통해서 각각 반도체층(ACT)에 접촉한다. 층간 절연막(ILD) 상에는 소스/드레인 전극층(SD)을 덮도록 평탄화막(OC)이 위치한다. 평탄화막(OC) 상에는 애노드, 유기발광층 및 캐소드 등으로 이루어지는 유기발광 다이오드(OLED)가 배치된다.

[0091] 살펴본 바와 같이, 본 발명에 의한 픽셀 어레이는 광차단층(LS), 반도체층(ACT), 소스/드레인 전극층(SD) 및 유기발광 다이오드(OLED)의 금속층 등을 포함한다.

[0092] 앞서 살펴본 제2 및 제3 실시 예의 픽셀 구조는 서로 중첩되는 2중 커패시터 구조를 갖는다. 2중 커패시터 구조는 별도의 어레이층을 형성하지 않고, 트랜지스터층과 유기발광 다이오드에 포함되는 금속층들을 이용하여 형성할 수 있다. 예컨대, 제2 노드(N2)는 소스/드레인 전극층(SD)을 이용할 수 있다. 그리고, 제1 노드(N1) 및 제3 노드(N3)는 제2 노드(N2)의 금속층을 사이에 두고 배치되는 금속층을 선택하되, 제2 노드(N2)와 중복되지 않는 금속층을 이용할 수 있다.

[0093] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

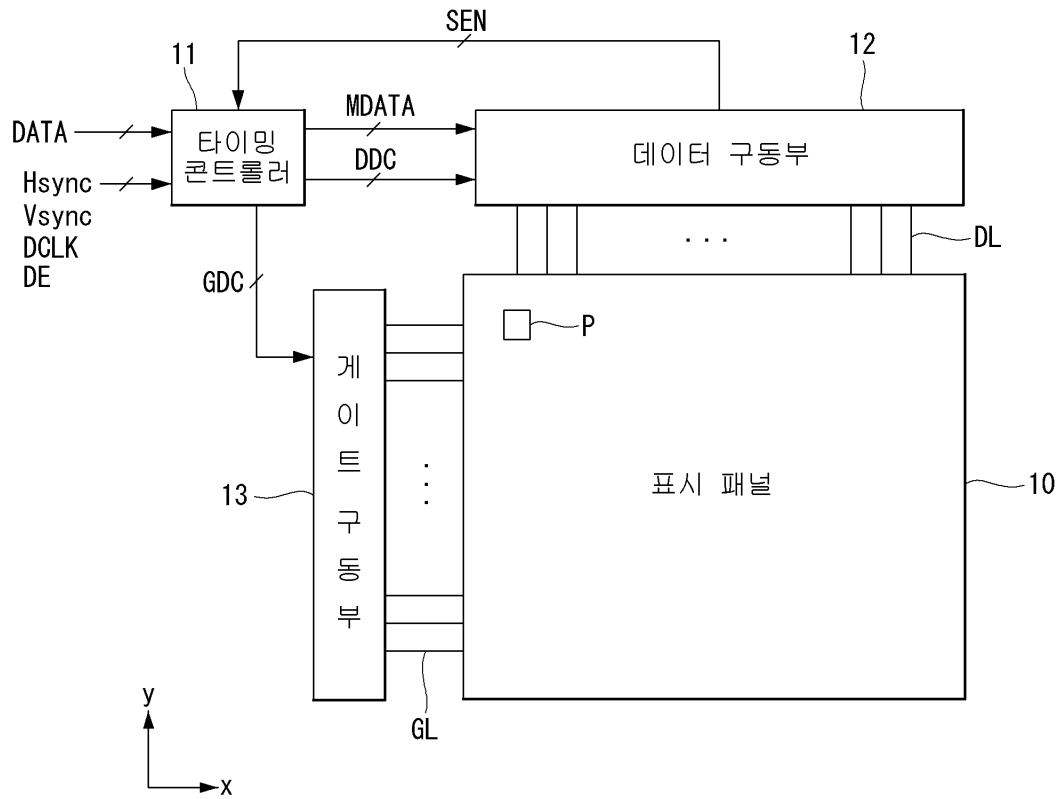
[0094] 10: 표시패널 11: 타이밍 콘트롤러

12: 데이터 구동회로 13: 게이트 구동회로

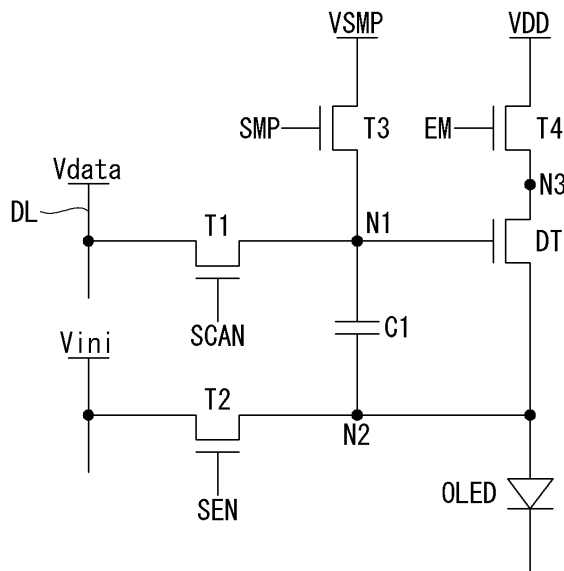
DL: 데이터라인 GL: 게이트라인

도면

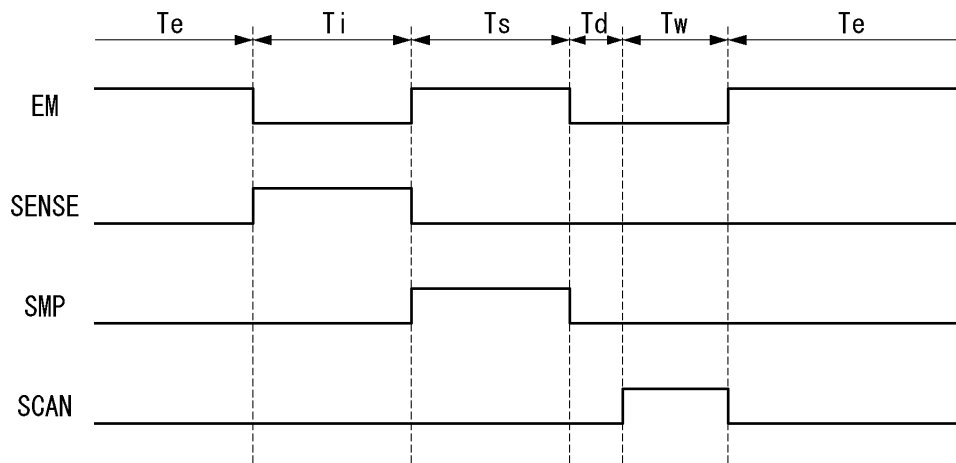
도면1



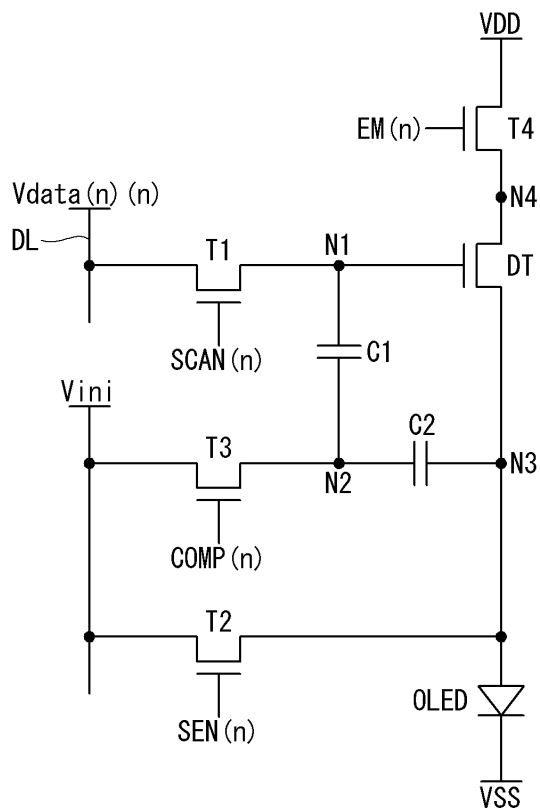
도면2



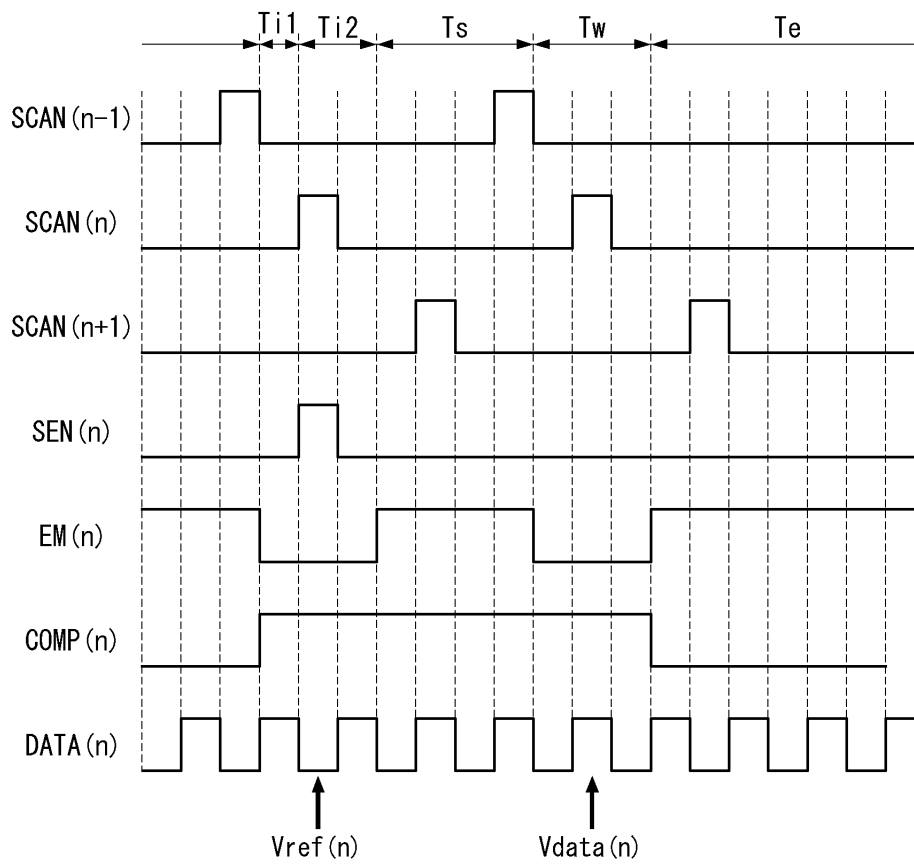
도면3



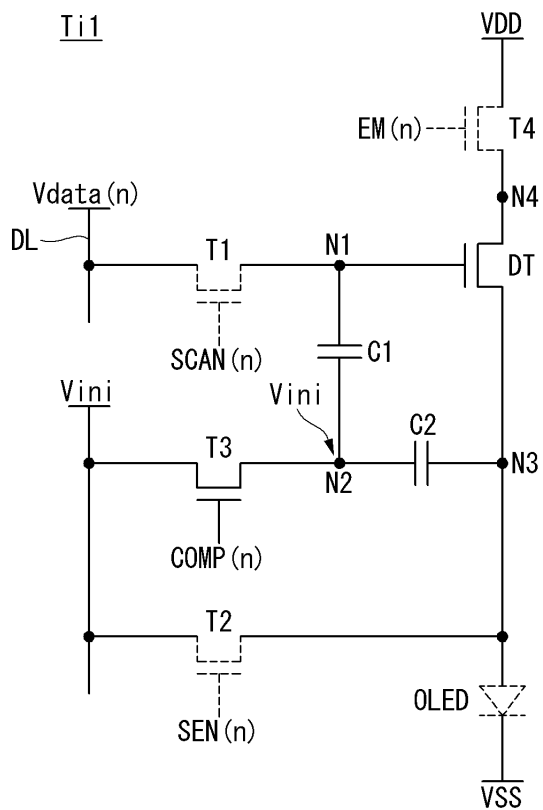
도면4



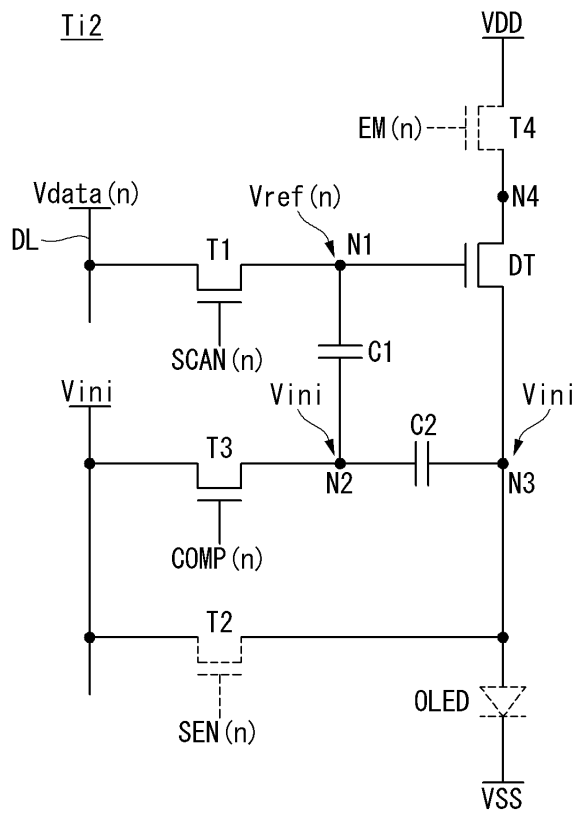
도면5



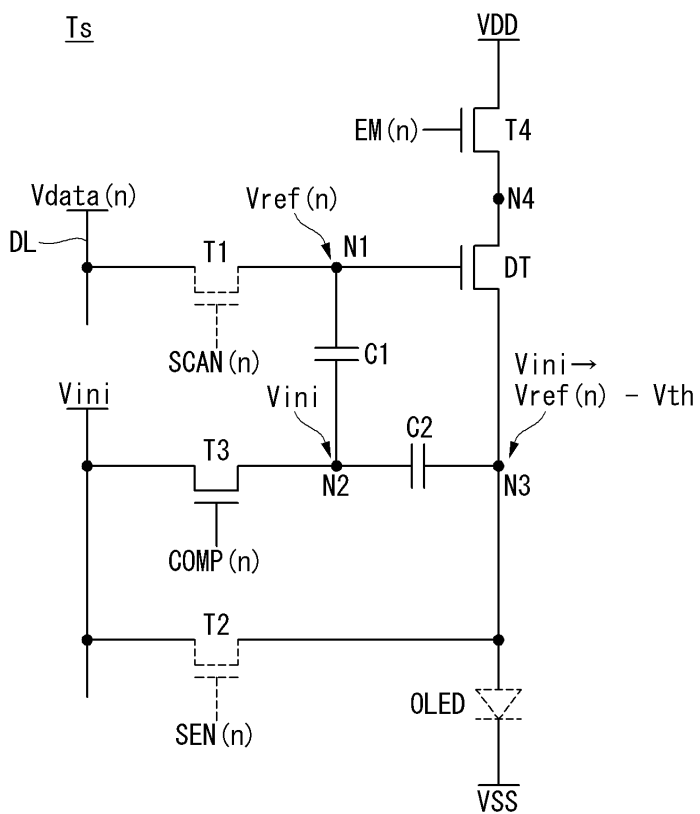
도면6



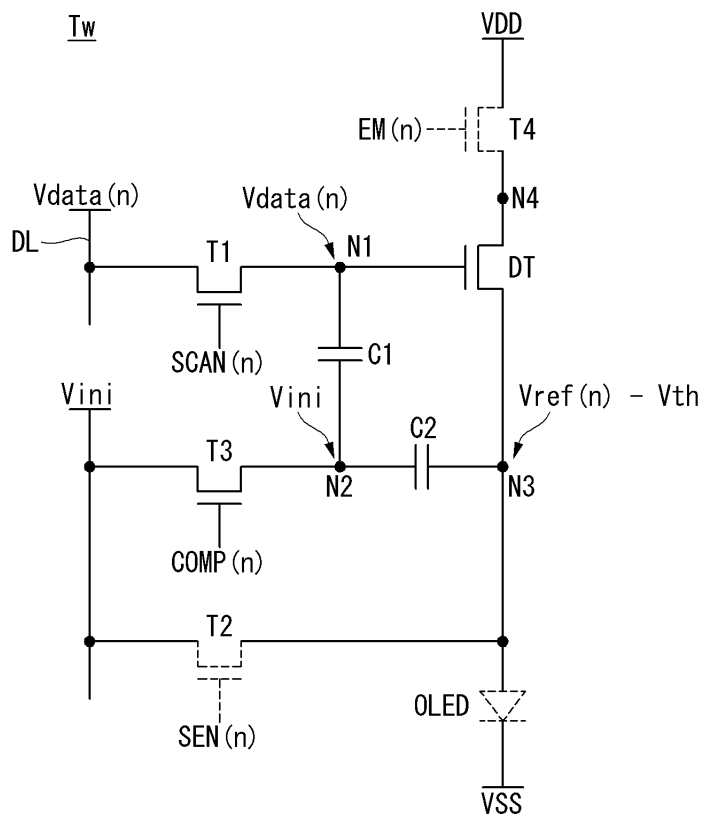
도면7



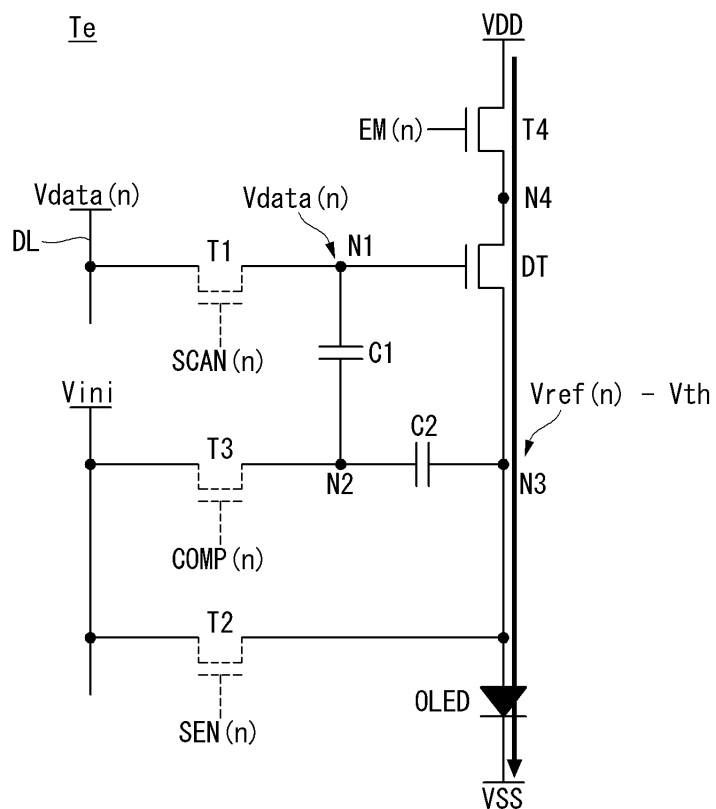
도면8



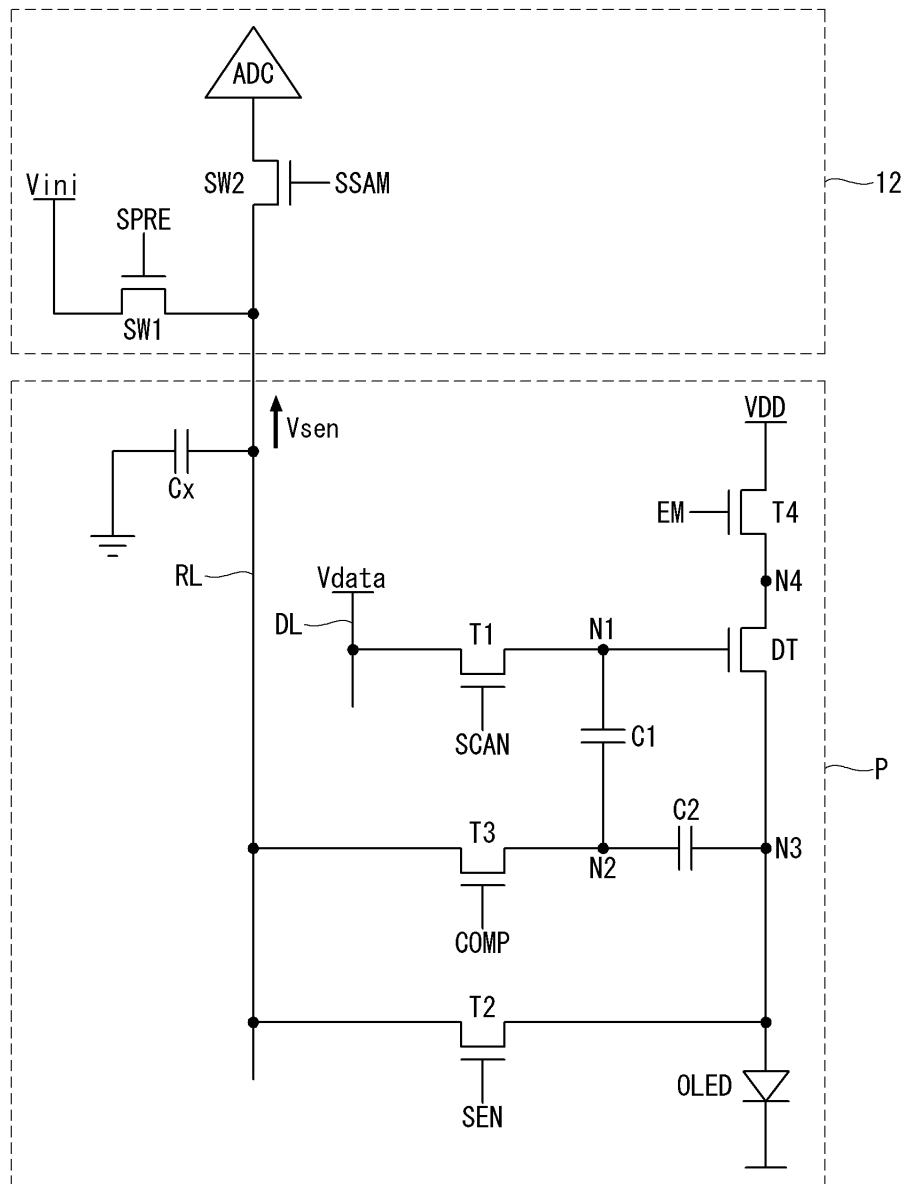
도면9



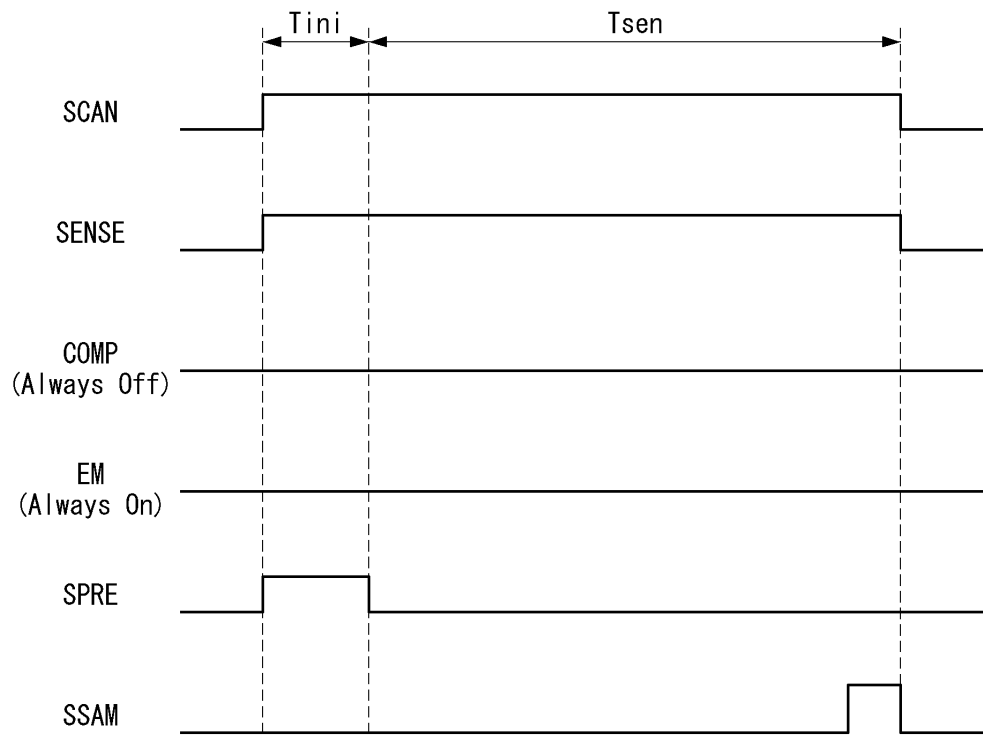
도면10



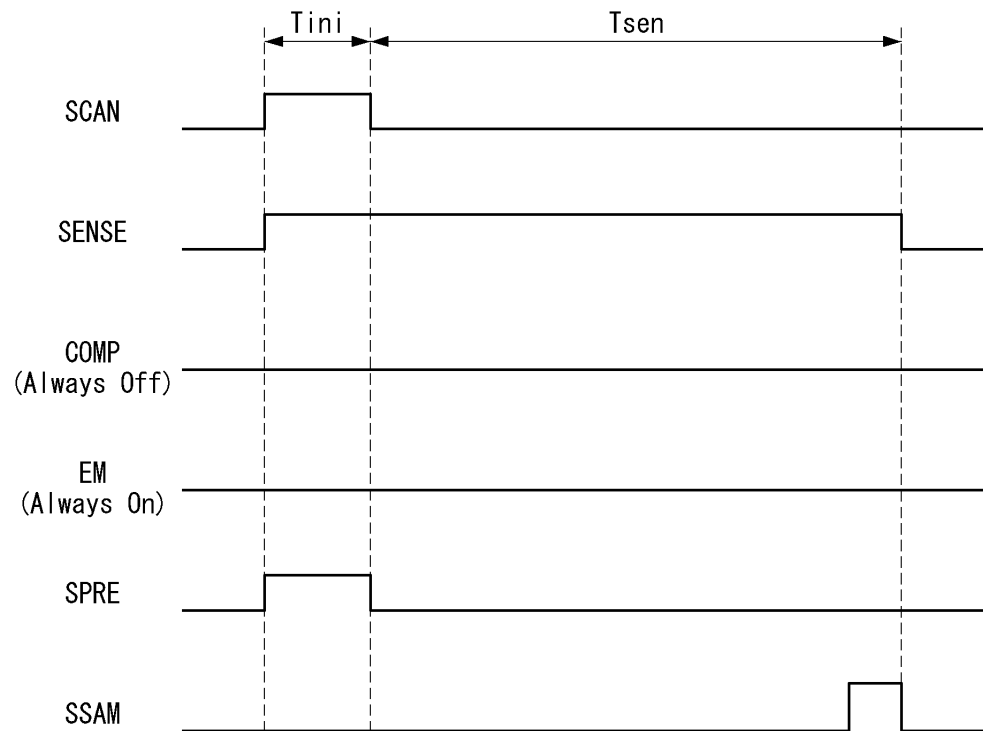
도면11



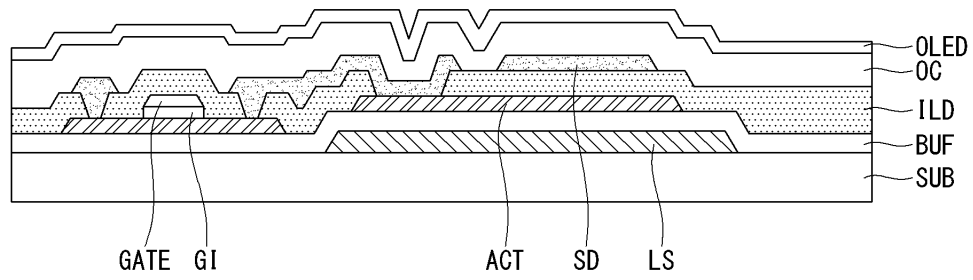
도면12



도면13



도면14



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190134105A	公开(公告)日	2019-12-04
申请号	KR1020180059302	申请日	2018-05-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	윤호준		
发明人	윤호준		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/043		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，其包括：具有多个像素的显示面板；以及具有多个像素的显示面板。栅极驱动电路，用于驱动显示面板的栅极线；数据驱动电路，用于驱动显示面板的数据线。像素包括驱动晶体管，第一至第三晶体管和第一电容器。驱动晶体管控制施加到有机发光二极管的驱动电流。第一晶体管切换数据线和驱动晶体管的栅电极。第二晶体管切换有机发光二极管的阳极和初始化电压的输入端子。第一电容器包括连接到与驱动晶体管的栅极连接的第一节点的第一电极和连接到第二节点的第二电极。设置用于连接初始化电压的输入端子和第二节点的第三晶体管，同时感测驱动晶体管的阈值电压。

