



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0046420
(43) 공개일자 2019년05월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2300/0426 (2013.01)

(21) 출원번호 10-2017-0140208

(22) 출원일자 2017년10월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김경민

경기도 파주시 월롱면 엘지로 245

한인효

경기도 파주시 월롱면 엘지로 245

(74) 대리인

박영복

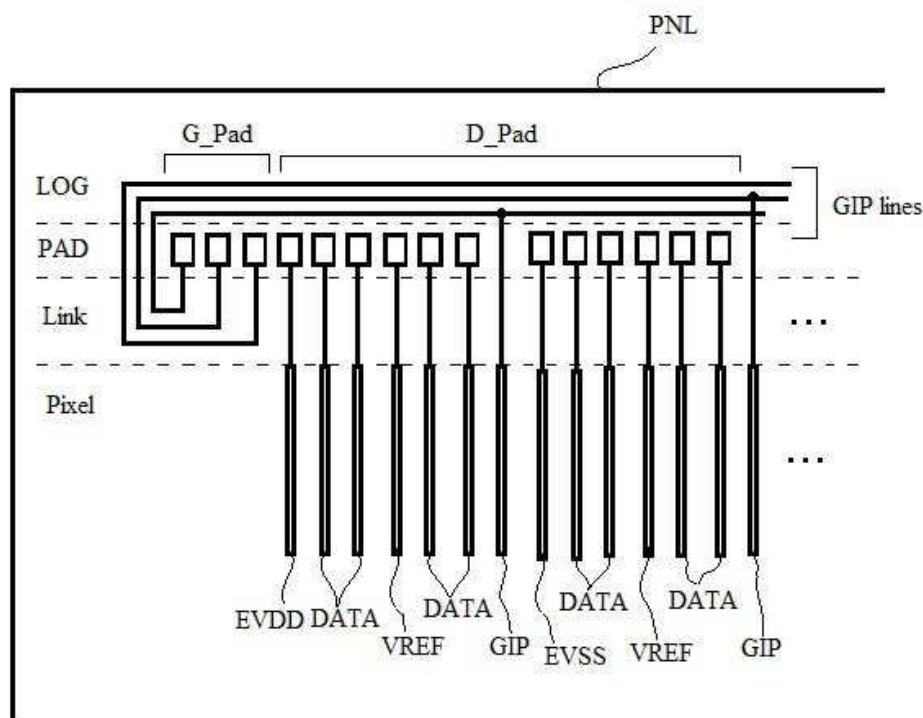
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 OLED 표시패널 및 OLED 표시장치

(57) 요약

본 발명은 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 단면 COF를 적용하여 표시 영역에 내부에 배치된 GIP 구동회로에 GIP 신호를 인가할 수 있도록 한 OLED 표시패널 및 OLED 표시장치에 관한 것으로, OLED 표시패널은, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표 (뒷면에 계속)

대표도 - 도9



시 영역; 상기 표시 영역 내의 각 스캔 라인의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지; 및 패드부, 링크부 및 LOG부를 구비한 비표시영역을 구비하고, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부와, 상기 스테이지의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며, 상기 패드부는 상기 표시영역내에 분산 배치되는 상기 GIP구동회로의 GIP부에 각종 제어 신호를 공급하기 위한 게이트 패드부와, 각 데이터 라인에 데이터 전압을 공급하기 위한 데이터 패드부를 구비하고, 상기 링크부 및 상기 LOG부에 걸쳐 상기 게이트 패드부로부터 연장되어 상기 표시영역 내에 분산 배치된 GIP부 각종 제어 신호를 공급하기 위한 복수개의 신호 배선(GIP lines)들이 배치된 것이다.

(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 각 스캔 라인의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지; 및

패드부, 링크부 및 LOG부를 구비한 비표시영역을 구비하고,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부와, 상기 스테이지의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며,

상기 패드부는 상기 표시영역내에 분산 배치되는 상기 GIP구동회로의 GIP부에 각종 제어 신호를 공급하기 위한 게이트 패드부와, 각 데이터 라인에 데이터 전압을 공급하기 위한 데이터 패드부를 구비하고,

상기 링크부 및 상기 LOG부에 걸쳐 상기 게이트 패드부로부터 연장되어 상기 표시영역 내에 분산 배치된 GIP부 각종 제어 신호를 공급하기 위한 복수개의 신호 배선(GIP lines)들이 배치되는 OLED 표시패널.

청구항 2

제 1 항에 있어서,

상기 표시영역은 각 서브 화소에 기준 전압을 공급하기 위한 기준 전압 공급 라인과, 각 서브 화소에 제 1 및 제 2 정전압을 공급하기 위한 제 1 및 제 2 정전압 공급 라인을 더 구비하고,

상기 데이터 패드부는 상기 기준 전압 공급 라인에 연결되는 패드들과 상기 제 1 및 제 2 정전압 라인에 연결되는 패드들을 더 구비하는 OLED 표시패널.

청구항 3

제 1 항에 있어서,

상기 신호 배선들은 상기 게이트 패드부에서 링크부로 연장되고, 상기 패드부를 우회하여 상기 패드부 외측의 상기 LOG부로 연장되어 배치되는 OLED 표시패널.

청구항 4

제 1 항에 있어서,

상기 링크부는 상기 패드부를 관통하여 상기 신호 배선들 중 하나와 상기 GIP부를 접속하는 링크 라인을 더 구비한 OLED 표시패널.

청구항 5

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역과,

상기 표시 영역 내의 각 스캔 라인의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지와,

패드부, 링크부 및 LOG부를 구비한 비표시영역을 구비하고,

상기 단위 화소 영역에 구성되되 적어도 3개의 서브 화소부와, GIP구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부와, 상기 스테이지의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며,

상기 패드부는 상기 표시영역내에 분산 배치되는 상기 GIP구동회로의 GIP부에 각종 제어 신호를 공급하기 위한

게이트 패드부와, 각 데이터 라인에 데이터 전압을 공급하기 위한 데이터 패드부를 구비하고,

상기 링크부 및 상기 LOG부에 걸쳐 상기 게이트 패드부로부터 연장되어 상기 표시영역 내에 분산 배치된 GIP부 각종 제어 신호를 공급하기 위한 복수개의 신호 배선(GIP lines)들이 배치되는 표시패널; 그리고

소스 전극 드라이브IC가 실장되고 상기 게이트 패드부 및 데이터 패드부(D_Pad)에 접속되는 복수개의 COF를 구비한 OLED 표시장치.

청구항 6

제 5 항에 있어서,

상기 표시영역은 각 서브 화소에 기준 전압을 공급하기 위한 기준 전압 공급 라인과, 각 서브 화소에 제 1 및 제 2 정전압을 공급하기 위한 제 1 및 제 2 정전압 공급 라인을 더 구비하고,

상기 데이터 패드부는 상기 기준 전압 공급 라인에 연결되는 패드들과 상기 제 1 및 제 2 정전압 라인에 연결되는 패드들을 더 구비하는 OLED 표시장치.

청구항 7

제 5 항에 있어서,

상기 신호 배선들은 상기 게이트 패드부에서 링크부로 연장되고, 상기 패드부를 우회하여 상기 패드부 외측의 상기 LOG부로 연장되어 배치되는 OLED 표시장치.

청구항 8

제 5 항에 있어서,

상기 링크부는 상기 패드부를 관통하여 상기 신호 배선들 중 하나와 상기 GIP부를 접속하는 링크 라인을 더 구비한 OLED 표시장치.

청구항 9

제 8 항에 있어서,

상기 링크 라인에 해당되는 상기 COF의 출력핀은 플로우팅되는 OLED 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소 어레이 내에 GIP구동 회로의 스테이지가 배치되는 OLED 표시 패널에 상기 GIP구동회로를 구동하기 위한 구동 신호 인가 라인을 갖는 OLED 표시패널 및 OLED 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기과 같은 표시 장치들 중 액정 표시 장치의 표시 패널은, 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충진된 액정층을 구비한다.

[0006] 상기 박막 트랜지스터 어레이 기판은, 제1방향으로 연장되는 복수개의 게이트 라인들(GL)과, 제1방향과 수직인 제2방향으로 연장되는 복수개의 데이터 라인들(DL)을 포함하며, 각 게이트 라인과 각 데이터 라인에 의하여 하

나의 서브 화소 영역(Pixel; P)이 정의된다. 하나의 서브 화소 영역(P) 내에는 하나의 박막 트랜지스터와 화소 전극이 형성된다.

- [0007] 이러한 액정 표시 장치의 표시 패널은, 전기장 생성 전극 (화소 전극 및 공통 전극)에 전압을 인가하여 상기 액정층에 전기장을 생성하고, 상기 전기장에 의해 액정층의 액정 분자들의 배열 상태를 조절하여 입사광의 편광을 제어함으로써 영상을 표시한다.
- [0008] 또한, 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0009] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.
- [0010] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.
- [0011] 이러한 표시 장치용 표시 패널은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.
- [0012] 또한, 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 컨트롤러 등으로 이루어진다.
- [0013] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.
- [0014] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP"라고도 함) 방식이 적용되고 있다.
- [0015] 상기와 같은 게이트 구동 회로는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.
- [0016] 즉, 상기 게이트 구동 회로는 종속적으로 접속된 복수개의 스테이지를 포함한다. 그리고, 각 스테이지(GIP)는 각 게이트 라인에 연결되어, 상기 타이밍 컨트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.
- [0017] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.
- [0018] 도 1을 참조하면, OLED 표시 장치(100)는 OLED 표시 패널(PNL)과 상기 OLED 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.
- [0019] 상기 OLED 표시패널(PNL)은 서로 교차하여 배열되는 복수의 게이트 라인(149) 및 복수의 데이터 라인(139)과, 상기 복수의 게이트 라인(149) 및 복수의 데이터 라인(139)에 의해 정의된 매트릭스 형태의 서브 화소들이 배치된 화소 어레이(110)를 포함한다.
- [0020] 상기 각 서브 화소는, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 유기 발광 다이오드(Organic Light Emitting Diode; OLED)와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0021] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.
- [0022] 상기 OLED 표시패널(PNL)을 구동하는 구동회로는 비표시 영역에 형성되어 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130)와, 상기 비표시 영역에 형성되어 상기 데이터 전압에 동기되는 게이트(스캔) 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 GIP(Gate In Panel) 구동회로(140), 그리고 타이밍 컨트롤러(Timing Controller, TCON)(120)를 포함한다.
- [0023] 상기 타이밍 컨트롤러(120)는, 인쇄회로기판(PCB)에 배치되고, 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 정렬하여 데이터 구동회로(130)에 공급한다. 또한, 상기 타이밍 컨트롤러(120)는 상기 외부의 시

시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신하여 상기 데이터 구동회로(130)와 상기 GIP 구동회로(140)의 동작 타이밍을 제어하기 위한 제어 신호(Data Driver Control signal; DDC, Gate Driver Control signal; GDC)를 생성한다.

- [0024] 상기 데이터 구동회로(130)는 타이밍 컨트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신하여 입력된 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(150)으로 출력한다.
- [0025] 상기 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함하고, 각 소스 전극 드라이버IC는 COF(Chip On Film)으로 구성되어 상기 타이밍 컨트롤러(120)가 실장되는 상기 인쇄회로기판의 패드부와 상기 표시패널(PNL)의 패드부 사이에 연결된다.
- [0026] 상기 GIP 구동회로(140)는 구동방식에 따라 표시 패널(PNL)의 일측 가장자리에 배치되거나 양측 가장자리에 배치될 수 있다. 도 1에 도시된 게이트 구동회로는, 인터레이스(Interlace) 방식의 GIP 구동회로(140)로서, 표시 패널(PNL)의 좌측에 배치된 제1 GIP 구동회로(140L) 및 표시 패널(PNL)의 우측에 배치된 제2 GIP 구동회로(140R)를 구비한다.
- [0027] 상기 GIP 구동회로(140)는 화소 어레이(110)와 동시에 표시 패널(PNL)의 기판 상에 형성될 수 있다. 즉, 게이트 구동회로에서 GIP 구동회로(140)가 표시 패널(PNL)의 양측 베젤 영역에 화소 어레이(110)와 동시에 형성될 수 있다.
- [0028] 상기 GIP 구동회로(140)는 상기 타이밍 컨트롤러(120)로부터 전송된 제어 신호(GDC)에 따라 각 게이트 라인(149)에 순차적으로 게이트(스캔) 신호를 공급한다.
- [0029] 여기서, 상기 GIP 구동회로(140)는 상기 타이밍 컨트롤러(120)로부터 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 직접 공급 받을 수 있으나, 상기 데이터 구동회로(130)의 COF(Chip On Film)을 통해 공급 받는다.
- [0030] 즉, 상기 표시 패널(PNL)의 비표시 영역에 신호 라인(Line On Glass)이 형성되고, 상기 타이밍 컨트롤러(120)로부터 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압 등의 신호가 상기 데이터 구동회로(130)의 COF(Chip On Film)과 상기 신호 라인(Line On Glass; LOG)을 통해 상기 GIP 구동회로(140)에 인가된다.
- [0031] 도 2는 종래의 OLED 표시 패널의 표시 영역 일부 및 비표시 영역을 개략적으로 나타내는 평면도이고, 도 3은 종래의 OLED 표시 장치를 개략적으로 보여 주는 구성 블록도이다.
- [0032] 상기 표시 패널(PNL)은 복수개의 화소(P)들이 구비된 표시 영역(AA)과, 상기 표시 영역(AA)의 주변부에 형성되는 비표시 영역(NA)으로 구분된다.
- [0033] 상기 비표시 영역(NA)은 패드부(PAD), 데이터 링크부(D_Link), 게이트 링크부(G_Link), 연결배선(CL), 및 GIP 구동회로(140)를 구비한다.
- [0034] 상기 패드부(PAD)는 상기 GIP 구동회로(140)에 각종 제어 신호(VSS, VDD, CLK, VST, RESET) 신호를 공급하기 위한 게이트 패드부(G_Pad)와 각 데이터 라인(139)에 데이터 전압을 공급하기 위한 데이터 패드부(D-Pad)를 구비한다.
- [0035] 상기 게이트 패드부(G_Pad) 및 데이터 패드부(D_Pad)에는 소스 전극 드라이버IC가 실장된 COF(Chip On Film)가 접속된다.
- [0036] 상기 데이터 링크부(D_Link)는 상기 표시영역(DA)에 배치된 데이터 라인(139)과 데이터 패드부(D_Pad) 사이에 연장되어 서로를 전기적으로 접속시키고, 상기 게이트 링크부(G_Link)는 상기 GIP구동회로(140)를 구동하기 위한 외부신호들을 공급하기 위한 것으로, 상기 GIP구동회로(140)와 상기 게이트 패드부(G_Pad) 사이에 연장되어 서로를 전기적으로 접속시킨다. 따라서, 상기 타이밍 컨트롤러(120)로부터 전송된 게이트 스타트 신호 (VST), 복수의 클럭 신호 (CLK1, CLK2, CLK3, CLK4), 리셋 신호 (RESET), 복수의 전압 (VSS, VDD, VDD1) 등이 상기 게이트 링크부(G_Link)를 통해 상기 GIP 구동회로(140)에 전달된다.
- [0037] 상기 GIP구동회로(140)는 전술한 화소(P)를 구성하는 박막 트랜지스터 등을 형성하는 과정에서 상기 비표시영역(NA)에 형성된다.

- [0038] 상기 GIP 구동회로(140)는 게이트(스캔) 신호를 생성하여 표시영역(AA)에 배치된 게이트 라인(149)에 순차적으로 공급한다. 이를 위해, 상기 GIP구동회로(140)는 게이트 라인(149) 각각에 접속된 복수의 스테이지(ST)를 구비한다.
- [0039] 상기 복수의 스테이지(ST) 각각은 게이트 스타트 신호 (VST) 또는 이전 단 스테이지로부터 공급되는 캐리 신호에 의해 인에이블되고, 이후 단 스테이지로부터 출력되는 캐리 신호에 디스에이블되어, 복수의 클럭 신호 (CLK1, CLK2, CLK3, CLK4) 중 어느 하나의 클럭 신호를 캐리 신호 또는 게이트(스캔) 신호로 출력한다.
- [0040] 또한, 도 3에 도시한 바와 같이, 상기 데이터 구동회로(130)는 하나 이상의 소스 드라이브 IC(S-IC)를 포함할 수 있다. 상기 소스 드라이브 IC(S-IC)는 상기 타이밍 콘트롤러(120)의 제어 하에 입력 영상의 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생하고 그 데이터전압을 데이터라인들(139)로 출력한다. 상기 소스 드라이브 IC(S-IC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on Film)에 실장된다.
- [0041] 도 4는 도 3에 도시된 COF의 구체적인 구성도이다.
- [0042] 상기 COF들은 ACF(anisotropic conductive film)를 통해 상기 표시 패널(PNL)의 패드부(PAD)와 소스 PCB(SPCB)에 접착된다. 상기 COF들의 입력 핀들은 상기 소스 PCB(SPCB)의 출력단자들(패드)에 전기적으로 연결된다. 상기 소스 COF들(COF)의 출력 핀들은 ACF를 통해 상기 표시 패널(PNL)의 패드부(PAD)에 전기적으로 연결된다.
- [0043] 상기 COF의 좌측 및 우측에는, 도 4에 도시한 바와 같이, 상기 타이밍 콘트롤러(120)에서 공급되는 게이트 스타트 신호 (VST), 복수의 클럭 신호 (CLK1, CLK2, CLK3, CLK4), 리셋 신호 (RESET), 복수의 전압 (VSS, VDD, VDD1) 등을 상기 표시 패널(PNL)의 상기 게이트 패드부(G_Pad)에 전달하기 위한 신호 라인들(GIP)이 형성되고, 상기 COF의 중앙 부분에는 상기 타이밍 콘트롤러(120)에서 공급되는 정전압(EVDD)을 표시 패널의 패드부의 정전압 패드(도면에는 도시되지 않음)에 전달하기 위한 정전압 라인(EVDD)을 구비한다.
- [0044] 그러나, 이와 같이 종래의 표시패널은 상기 게이트 구동 회로가 상기 표시 패널의 비표시 영역에 직접화되므로, 표시장치의 네로우 베젤(Narrow bezel) 설계가 어렵다.

발명의 내용

해결하려는 과제

- [0045] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 단면 COF를 적용하여 표시 영역에 내부에 배치된 GIP 구동회로에 GIP 신호를 인가할 수 있도록 한 OLED 표시패널 및 OLED 표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0046] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 상기 표시 영역 내의 각 스캔 라인의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지; 및 패드부, 링크부 및 LOG부를 구비한 비표시영역을 구비하고, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부와, 상기 스테이지의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며, 상기 패드부는 상기 표시영역내에 분산 배치되는 상기 GIP구동회로의 GIP부에 각종 제어 신호를 공급하기 위한 게이트 패드부와, 각 데이터 라인에 데이터 전압을 공급하기 위한 데이터 패드부를 구비하고, 상기 링크부 및 상기 LOG부에 걸쳐 상기 게이트 패드부로부터 연장되어 상기 표시영역 내에 분산 배치된 GIP부 각종 제어 신호를 공급하기 위한 복수개의 신호 배선(GIP lines)들이 배치됨에 그 특징이 있다.
- [0047] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치는, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역과, 상기 표시 영역 내의 각 스캔 라인의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지와, 패드부, 링크부 및 LOG부를 구비한 비표시영역을 구비하고, 상기 단위 화소 영역에 구성되도록 적어도 3개의 서브 화소부와, GIP구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부와, 상기 스테이지의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며, 상기 패드부는 상기 표시영역내에 분산 배치되는 상기 GIP구동회로의 GIP부에 각종 제어 신호를 공급하기 위한 게이트 패드부와, 각 데이터 라인에 데이터

전압을 공급하기 위한 데이터 패드부를 구비하고, 상기 링크부 및 상기 LOG부에 걸쳐 상기 게이트 패드부로부터 연장되어 상기 표시영역 내에 분산 배치된 GIP부 각종 제어 신호를 공급하기 위한 복수개의 신호 배선(GIP lines)들이 배치되는 표시패널; 그리고 소스 전극 드라이브IC가 실장되고 상기 게이트 패드부 및 데이터 패드부(D_Pad)에 접속되는 복수개의 COF를 구비함에 그 특징이 있다.

- [0048] 여기서, 상기 표시영역은 각 서브 화소에 기준 전압을 공급하기 위한 기준 전압 공급 라인과, 각 서브 화소에 제 1 및 제 2 정전압을 공급하기 위한 제 1 및 제 2 정전압 공급 라인을 더 구비하고, 상기 데이터 패드부는 상기 기준 전압 공급 라인에 연결되는 패드들과 상기 제 1 및 제 2 정전압 라인과 연결되는 패드들을 더 구비함을 특징으로 한다.
- [0049] 상기 신호 배선들은 상기 게이트 패드부에서 링크부로 연장되고, 상기 패드부를 우회하여 상기 패드부 외측의 상기 LOG부로 연장되어 배치됨을 특징으로 한다.
- [0050] 상기 링크부는 상기 패드부를 관통하여 상기 신호 배선들 중 하나와 상기 GIP부를 접속하는 링크 라인을 더 구비함을 특징으로 한다.
- [0051] 상기 링크 라인에 해당되는 상기 COF의 출력핀은 플로우팅됨을 특징으로 한다.

발명의 효과

- [0052] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시패널 및 OLED 표시장치에 있어서는 다음과 같은 효과가 있다.
- [0053] 첫째, 표시 영역 내에 GIP 구동회로를 분산 배치하므로, 표시 영역 좌우측의 비표시 영역에 GIP 구동회로를 구성하는 종래의 표시 패널에 비해 표시 패널의 좌우 베젤을 최소화 할 수 있다.
- [0054] 둘째, GIP 구동회로를 표시 영역 내에 배치하고, 패드부 외곽의 LOG 부에 신호 배선을 형성하여 표시 영역 내에 분산 배치된 GIP 구동회로의 GIP부에 GIP 신호를 공급하므로, 단면 COF를 이용하여 GIP 신호를 공급할 수 있다.

도면의 간단한 설명

- [0055] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도
- 도 2는 종래의 OLED 표시 패널의 표시 영역 일부 및 비표시 영역을 개략적으로 나타내는 평면도
- 도 3은 종래의 OLED 표시 장치를 개략적으로 보여 주는 구성 블록도
- 도 4는 도 3에 도시된 COF의 구체적인 구성도
- 도 5는 본 발명의 OLED 표시패널에서 하나의 서브 화소의 회로 구성도
- 도 6은 본 발명에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도
- 도 7은 본 발명에 따른 OLED 표시 패널의 표시 영역 구성도
- 도 8은 도 7의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소를 보다 구체적으로 도시한 구성도
- 도 9는 본 발명에 따른 OLED 표시 패널의 표시 영역 일부 및 비표시 영역을 개략적으로 나타내는 평면도

발명을 실시하기 위한 구체적인 내용

- [0056] 먼저, 본 출원인은 표시 패널의 베젤을 최소화하기 위하여 표시 패널의 표시 영역에 GIP 구동회로를 분산 배치하는 발명에 관하여 기 출원한 바 있다 (한국 특허출원번호: 10-2017-0125355호(출원일: 2017년 09월 27일) 참고).
- [0057] 상기 기 출원된 특허 출원(10-2017-0125355호)의 발명을 간단하게 설명하면 다음과 같다.
- [0058] 도 5는 본 발명의 OLED 표시패널에서 하나의 서브 화소의 회로 구성도이고, 도 6은 본 발명에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도이다.
- [0059] 즉, 도 5는 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 4에 해당되고, 도 6은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 5에 해당된다.
- [0060] 본 발명에 따른 OLED 표시패널의 각 서브 화소는, 도 5에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic

Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.

- [0061] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst), 및 구동 TFT(DT)를 포함한다.
- [0062] 상기 제 1스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.
- [0063] 상기 유기 발광 다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기 발광층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.
- [0064] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소오스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.
- [0065] 도 5에서는 3개의 TFT(T1, T2, DT)와 하나의 스토리지 커패시터(Cst)로 구성되는 3T1C 서브 화소의 구성을 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 OLED 표시패널의 각 서브 화소는 4T1C, 4T2C, 5T1C, 5T2C 등의 서브 화소를 갖을 수 있다.
- [0066] 한편, 본 발명에 따른 GIP구동회로의 (k)번째 스테이지의 회로는, 도 6에 도시한 바와 같이, 트랜지스터(TA, TB, T3qA, T1B, T1C, T5A, T5B) 및 커패시터(C1)를 구비하여 구성되며, 라인 선택 신호(LSP; Line select pulse)에 따라 세트 신호(CP(k))를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간(Blank time)에 실시간 보상용 신호(VRT; Vertical real time)에 따라 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전하는 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26); 트랜지스터(T1, T1A, T3n, T3nA, T3q, T3, T3A, T5)를 구비하여 구성되며 해당 스테이지를 구동 구간에 3번째 전단의 캐리 펄스(CP(k-3))에 따라 상기 제 1 노드(Q)를 상기 캐리 펄스(CP(k-3)) 전압으로 충전하고 3번째 후단의 캐리 펄스(CP(k+3))에 따라 상기 제 1 노드(Q) 및 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전하며, 상기 제 1 노드(Q)의 전압에 따라 제 3노드(Qh)를 상기 제 1정전압(GVDD)으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 트랜지스터(T4, T4l, T4q, T5q) 및 커패시터(C2)를 구비하여 구성되며 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(24); 풀업 트랜지스터(T6cr, T6) 및 풀다운 트랜지스터(T7cr, T7) 및 부트스트랩핑 커패시터(C3)를 구비하여 구성되며 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 수신하여 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))를 출력하는 출력 버퍼부(27); 그리고, 트랜지스터(T3nB, T3nC)를 구비하여 구성되며 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러에서 출력되는 리셋 신호(RST)에 따라 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전하는 리셋부(22)를 구비하여 구성된다.
- [0067] 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)는 상기 라인 선택 신호(LSP)가 하이 레벨일 때 상기 트랜지스터(TA, TB, T3q)가 턴-온 되어 세트 신호(CP(k))를 상기 커패시터(C1)에 저장한다.
- [0068] 그리고, 상기 블랭크 구간에 상기 실시간 보상용 신호(VRT)가 하이 레벨일 때 상기 트랜지스터(T1C, T5B)가 턴-온 되어 상기 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고, 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다.
- [0069] 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)는 구동 구간에 상기 3번째 전단의 캐리 펄스(CP(k-3))가 하이 레벨일 때 상기 트랜지스터(T1, T1A, T5)가 턴-온되어 상기 제 1 노드(Q)를 상기 3번째 전단의 캐리 펄스(CP(k-3)) 전압으로 충전하고 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다. 이와 같이 상기 제 1 노드(Q)가 충전되고 상기 제 2 노드(Qb)가 방전 될 때 상기 트랜지스터(T3q)가 턴-온되어 상기 제 3 노드(Qh)를 제 1 정전압(GVDD)으로 충전한다.
- [0070] 그리고 3번째 후단의 캐리 펄스(CP(k+3))가 하이 레벨일 때 상기 트랜지스터(T3n, T3nA)가 턴-온되어 상기 제 1 노드(Q) 및 상기 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전한다.
- [0071] 상기 인버터부(24)는 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가한다.
- [0072] 상기 출력 버퍼부(27)는 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턴-온되고 상기 풀다운 트랜지스터(T7cr)가 턴-오프되어 상기 복수개의 캐리 펄스 출력용

클럭 신호 중 하나의 클럭 신호(CRCLK(k))를 캐리 펄스(CP(k))로 출력한다. 또한 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6)가 턴-온되고 상기 풀다운 트랜지스터(T7)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 스캔 펄스(SP(k))로 출력한다.

- [0073] 이 때, 상기 스캔 펄스 출력용 클럭 신호(SCCLK(k))가 하이 레벨로 인가되면 상기 출력 버퍼부(27)의 상기 부트스트래핑 커패시터(C3)에 의해 상기 제 1노드(Q)는 부트스트래핑(또는 커플링(Coupling))되어 더 높은 전위를 갖는다.
- [0074] 이와 같이 상기 제 1 노드(Q)가 부트스트래핑된 상태에서, 상기 출력 버퍼부(27)는 각각 입력된 캐리 펄스 출력용 클럭 신호(CRCLK(k)) 및 스캔 펄스 출력용 클럭 신호(SCCLK(k))를 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))로 출력하므로 출력 손실(Loss)을 방지할 수 있다.
- [0075] 상기 리세트부(22)는 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러(4)에서 출력되는 리세트 신호(RST)가 하이 레벨일 때 상기 트랜지스터(T3nB, T3nC)가 턴-온되어 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전한다.
- [0076] 상기 도 6에서는 6상(Phase)으로 구동되는 GIP구동회로의 스테이지를 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 GIP구동회로의 스테이지는 다양하게 구성될 수 있다.
- [0077] 상기 도 6에 도시한 바와 같이, 상기 GIP구동회로의 각 스테이지는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성된다.
- [0078] 따라서, 하나의 단위 화소 영역에 상기 GIP구동회로의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)를 분산 배치하면, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지의 회로를 배치할 수 있다.
- [0079] 도 7은 본 발명에 따른 OLED 표시 패널의 표시 영역 구성도이고, 도 8은 도 7의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소 영역을 보다 구체적으로 도시한 구성도이다.
- [0080] 즉, 도 7은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 6에 해당되고, 도 8은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 7에 해당된다.
- [0081] 도 7 및 도 8에 도시한 바와 같이, OLED 표시 패널의 표시 영역에 GIP 구동회로를 배치함에 있어, 표시 영역의 단위 화소 영역은 적어도 3개의 서브 화소부(R, G, B, W), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.
- [0082] 상기 적어도 3개의 서브 화소부(R, G, B, W)들은 복수개의 데이터 라인(DL1~DL8), 복수개의 기준 전압 라인(Vref) 및 제 1 및 제 2 정전압 라인(EVDD, EVSS) 등이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인, SCAN)이 수평 방향으로 배열되어 구성된다.
- [0083] 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당된다. 즉, 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성되는 단위 화소 영역에, GIP구동회로를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)가 분산 배치된다.
- [0084] 즉, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 GIP구동회로의 적어도하나의 스테이지(ST)가 하나의 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치된다.
- [0085] 상기 GIP 내부 연결 배선부(32)는, GIP구동회로의 하나의 스테이지에서 각 소자들을 연결하는 연결 배선들(Q 노드, QB 노드 등)이 배치되는 영역이다.
- [0086] 이와 같이, GIP구동회로를 표시 영역에 배치함에 따라, 도 8에 도시한 바와 같이, 상기 서브 화소부(R, G, B, W)들을 구동하기 위한 복수개의 데이터 라인들(DL1~DL8) 및 기준 전압 라인(Vref)은 수직 방향으로 배치된다.
- [0087] 그리고, 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당되므로, 상기 GIP부(31)에도, 도 6에 도시한 바와 같은 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나가 인가된다.
- [0088] 즉, 상기 GIP부(31)에 도 6에 도시된 트랜지스터들(T3qA, T1B, T3q, T4 T41) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVDD 신호가 인가되어야 한다.

- [0089] 상기 GIP부(31)에 도 6에 도시된 트랜지스터들(T3nC, T3nA, T3A, T5q T5, T5B, T7cr) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS2 신호가 인가되어야 한다.
- [0090] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T6cr)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 CRCLK(k) 신호가 인가되어야 한다.
- [0091] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T6)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 SCCLK(k) 신호가 인가되어야 한다.
- [0092] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T7)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS0 신호가 인가되어야 한다.
- [0093] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T4q)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS1 신호가 인가되어야 한다.
- [0094] 상기 GIP부(31)에 도 6에 도시된 트랜지스터들(TA, TB) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 LSP 신호가 인가되어야 한다.
- [0095] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T5A)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 VRT 신호가 인가되어야 한다.
- [0096] 이와 같이, GIP구동회로가 표시패널의 표시영역에 배치되므로, 종래와 같은 패드부의 구성으로는 상기 GIP부(31)에 상기 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나를 인가할 수 있도록 하기에는 구성상의 문제가 있다.
- [0097] 즉, 종래의 좌/우에 위치한 GIP 신호 배선을 이용하여, 표시영역(A/A)내의 GIP부(31)에 배치된 소자에 상기 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나를 인가할 경우, 좌우 비표시 영역에 상기 GIP 신호 배선이 존재하므로, 극한 네로우 베젤(Narrow bezel) 구현에 한계가 있다. 또한, 표시영역(A/A)내의 세로 배선(데이터 라인, 기준 전압 공급 라인 및 정전압 라인 등)과 오버랩(overlap)이 증가하는 문제가 있다.
- [0098] 따라서, 본 발명에서는 종래와 같은 단면 COF를 이용하여 상기 각 GIP부(31)에 상기 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나를 인가할 수 있도록 패드부 및 링크부의 구성을 변경한다.
- [0099] 도 9는 본 발명에 따른 표시 패널의 표시 영역 일부 및 비표시 영역을 개략적으로 나타내는 평면도이다.
- [0100] 상기 표시 패널(PNL)은 복수개의 화소(도 9에는 도시되지 않음, 도 7 및 도 8에서 화소부 및 R, W, B, G 참조)들이 구비되고, 각 화소들을 구동하기 위한 복수개의 데이터 라인(DATA), 기준 전압 공급 라인(VREF), 화소 구동용 전원 라인(EVDD, EVSS) 및 게이트(스캔) 라인(도 9에는 도시되지 않음, 도 7 및 도 8에서 “SCAN” 참조)등이 구성되는 표시영역(AA, Pixel)과, 상기 표시 영역(AA, Pixel)의 주변부에 형성되는 비표시 영역(NA)으로 구분된다.
- [0101] 상기 비표시 영역(NA)은 패드부(PAD), 링크부(Link) 및 LOG부(LOG)를 구비한다.
- [0102] 상기 패드부(PAD)는 상기 표시영역(AA, Pixel)내에 분산 배치되는 GIP 구동회로(140)의 GIP부(31)에 각종 제어 신호(LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK)를 공급하기 위한 게이트 패드부(G_Pad)와, 각 데이터 라인(DATA)에 데이터 전압을 공급하고, 기준 전압 공급 라인(VREF)에 기준 전압을 공급하며, 정전압 라인(EVDD, EVSS)에 정전압(EVDD, EVSS)을 공급하기 위한 데이터 패드부(D_Pad)를 구비한다.
- [0103] 상기 게이트 패드부(G_Pad) 및 데이터 패드부(D_Pad)에는 소스 전극 드라이브IC가 실장된 COF(Chip On Film)가 접속된다.
- [0104] 또한, 상기 게이트 패드부(G_Pad) 및 데이터 패드부(D_Pad)에는 각 COF(Chip On Film)별로 독립적으로 구성된다. 즉, 6개의 COF가 부착될 경우, 6개의 게이트 패드부(G_Pad) 및 데이터 패드부(D_Pad)가 구성된다.
- [0105] 상기 링크부(Link)는 상기 표시영역(DA)에 배치된 데이터 라인(DATA)들, 기준 전압 공급 라인(VREF)들 및 정전압 라인(EVDD, EVSS)들과 데이터 패드부(D_Pad) 사이에 연장되어 서로를 전기적으로 접속시키는 링크 라인들이 배치된다.
- [0106] 또한, 상기 링크부(Link) 및 LOG부(LOG)에는 상기 게이트 패드부(G_Pad)와 상기 표시영역 내에 분산 배치된 GIP

부(GIP, 도 8의 31 참조)에 각종 제어 신호를 공급하기 위한 신호 배선들(GIP lines)이 배치된다.

- [0107] 상기 LOG부에 배치되는 상기 신호 배선들(GIP lines)은 표시패널의 끝단까지 연장되는 것이 아니라, 각 COF별로 별도로 독립적으로 구성된다.
- [0108] 즉, 각 COF에 해당되는 게이트 패드부(G_Pad)를 우회하여 해당 COF에 구동되는 표시 영역에 상응하는 부분까지만 상기 패드부(PAD) 외측의 상기 LOG부(LOG)로 연장되어 배치된다. 따라서, 상기 신호 배선(GIP lines)은, 6개의 COF가 부착될 경우, 6개의 블록의 신호 배선들이 배치된다.
- [0109] 상기 신호 배선(GIP lines)은 상기 게이트 패드부(G_Pad)에서 링크부(Link)로 연장되고, 상기 패드부(PAD)를 우회하여 상기 패드부(PAD) 외측의 상기 LOG부(LOG)로 연장되어 배치된다. 그리고, 상기 GIP부(GIP, 31)에 형성되는 소자가 상기에서 언급한 바와 같이, 각종 제어 신호(LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK) 중 어느 하나가 요구되는 경우, 상기 패드부(PAD)를 관통하여 링크부(Link)에 상기 신호 배선(GIP lines) 중 하나와 상기 GIP부(GIP, 31)를 접속하는 링크 라인이 형성된다.
- [0110] 도 9에서는 게이트 패드부(G_Pad)에 3개의 패드와 3개의 신호 배선(GIP lines)을 도시하였지만, 이에 한정되지 않고, 상기 패드(G_Pad) 및 신호 배선(GIP lines)은 상기 각종 제어 신호(LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK)의 개수 이상으로 배치된다.
- [0111] 또한, 상기 게이트 패드부(G_Pad) 및 신호 배선(GIP lines)은, 각 소스 드라이브 IC(도 3의 COF 및 S-IC 참조)별로 독립적으로 배치된다.
- [0112] 한편, 본 발명에 따른 데이터 구동회로는, 도 3에 도시한 바와 같이, 하나 이상의 소스 드라이브 IC(S-IC)를 포함하고, 상기 소스 드라이브 IC(S-IC)는 상기 타이밍 콘트롤러(120)의 제어 하에 입력 영상의 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생하고 그 데이터전압을 데이터라인들(139)로 출력한다. 상기 소스 드라이브 IC(S-IC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on Film)에 실장된다.
- [0113] 상기 COF들은 ACF(anisotropic conductive film)를 통해 상기 표시 패널(PNL)의 패드부(PAD)와 소스 PCB(SPCB)에 접촉된다. 상기 COF들의 입력 핀들은 상기 소스 PCB(SPCB)의 출력단자들(패드)에 전기적으로 연결된다. 상기 소스 COF들(COF)의 출력 핀들은 ACF를 통해 상기 표시 패널(PNL)의 패드부(PAD)에 전기적으로 연결된다.
- [0114] 또한, 본 발명에 따른 COF는, 상기 도 4에서 설명한 바와 같다. 즉, 상기 COF의 좌측 및 우측에는 상기 타이밍 콘트롤러(120)에서 공급되는 각종 제어 신호(LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK)를 상기 표시 패널(PNL)의 상기 게이트 패드부(G_Pad)에 전달하기 위한 신호 라인들(GIP)이 형성되고, 상기 COF의 중앙 부분에는 상기 타이밍 콘트롤러(120)에서 공급되는 정전압(EVDD)을 표시 패널의 패드부의 정전압 패드(도면에는 도시되지 않음)에 전달하기 위한 정전압 라인(EVDD)을 구비한다.
- [0115] 상기와 같이, COF의 좌우측에 신호 라인들(GIP)이 형성되고, 상기 COF의 중앙 부분에 정전압 라인(EVDD)이 배치되므로, 표시패널내에 분산 배치된 GIP부(31)에 상기 각종 제어신호를 인가할 수 없다.
- [0116] 따라서, 도 9와 같이, 표시패널에서 GIP부(GIP, 도 8의 31 참조)에 각종 제어 신호를 공급하기 위한 신호 배선들(GIP lines)의 배치를 변경하였다.
- [0117] 물론, 도 9와 같이 표시패널에서 GIP부(GIP, 도 8의 31 참조)에 각종 제어 신호를 공급하기 위한 신호 배선들(GIP lines)의 배치를 변경하지 않고, 양면 COF를 이용할 수 있으나, COF에서 각종 제어 신호(LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK)를 전달하기 위한 신호 라인들(GIP)과 정전압(EVDD)을 전달하기 위한 정전압 라인(EVDD)의 서로 중첩되어야 하므로 상기 각종 제어 신호에 간섭 현상이 발생하여 예러가 발생할 수 있고, COF의 단가가 증가하게 된다.
- [0118] 이 때, 상기 도 9에서 설명한 상기 패드부(PAD)를 관통하여 링크부(Link)에 상기 신호 배선(GIP lines) 중 하나와 상기 GIP부(GIP, 31)를 접속하는 링크 라인에 해당되는 COF의 출력핀(예를들면, 정전압(EVDD) 핀)은 플로팅(Floating) 된다.
- [0119] 이상에서 설명한 바와 같이, 상기 링크부(Link) 및 LOG부(LOG)에는 상기 게이트 패드부(G_Pad)와 상기 표시영역 내에 분산 배치된 GIP부(GIP, 도 8의 31 참조)에 각종 제어 신호를 공급하기 위한 신호 배선(GIP lines)이 배치되고, 상기 패드부(PAD)를 관통하여 링크부(Link)에 상기 신호 배선(GIP lines) 중 하나와 상기 GIP부(GIP, 31)를 접속하는 링크 라인이 형성되므로, 종래와 같은 단면 COF를 적용하여 상기 표시영역 내에 분산 배치된

GIP구동회로를 구동할 수 있다.

[0120] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

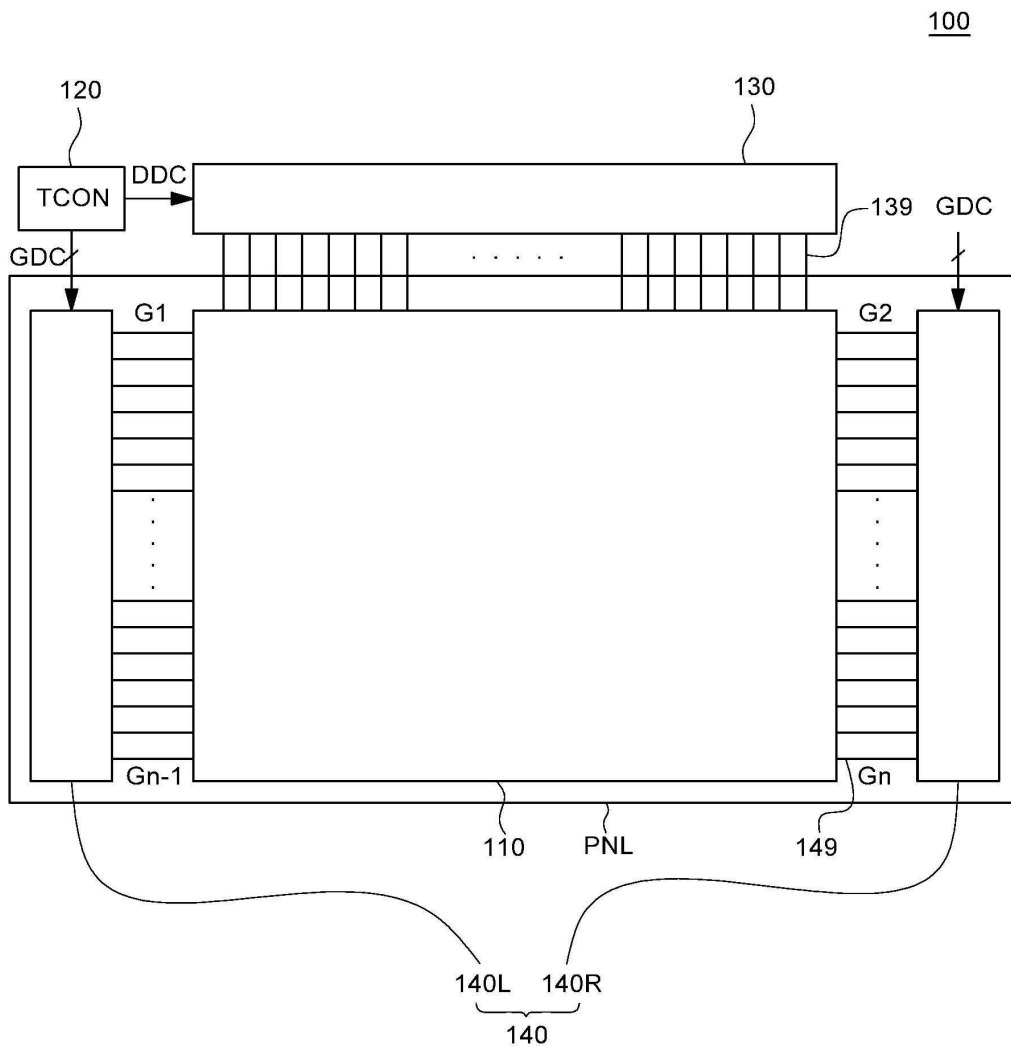
부호의 설명

[0121] PNL: 표시패널 S-IC: 소스 드라이브 IC

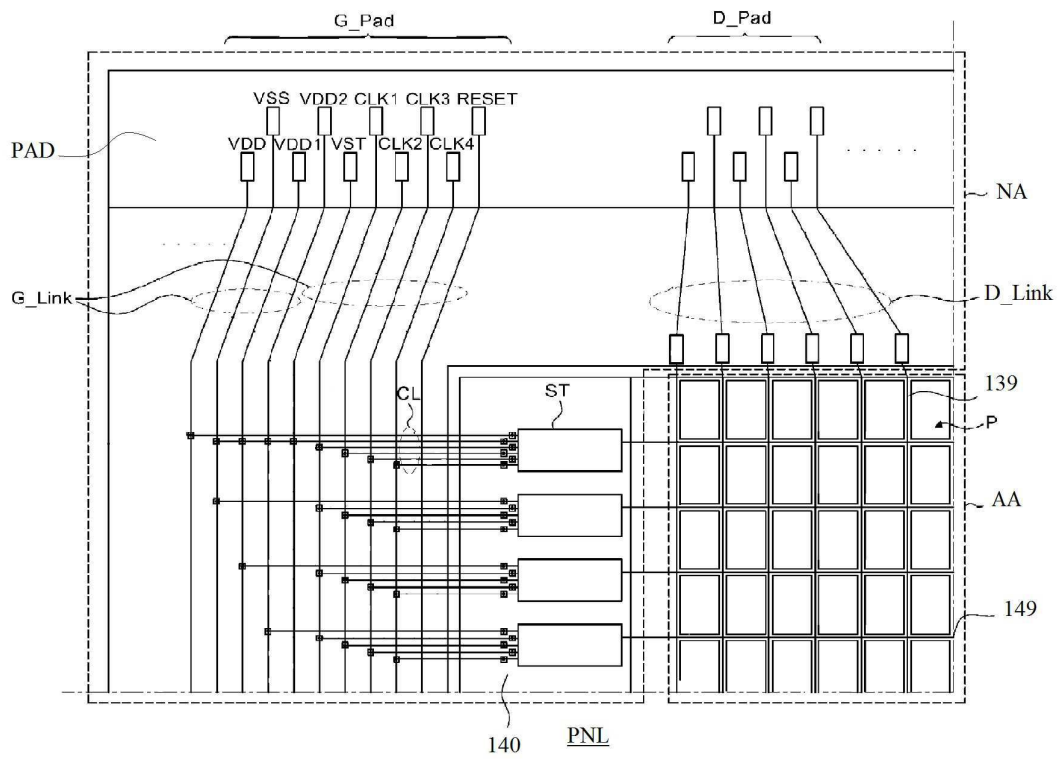
31: GIP부 32: GIP 내부 연결 배선부

도면

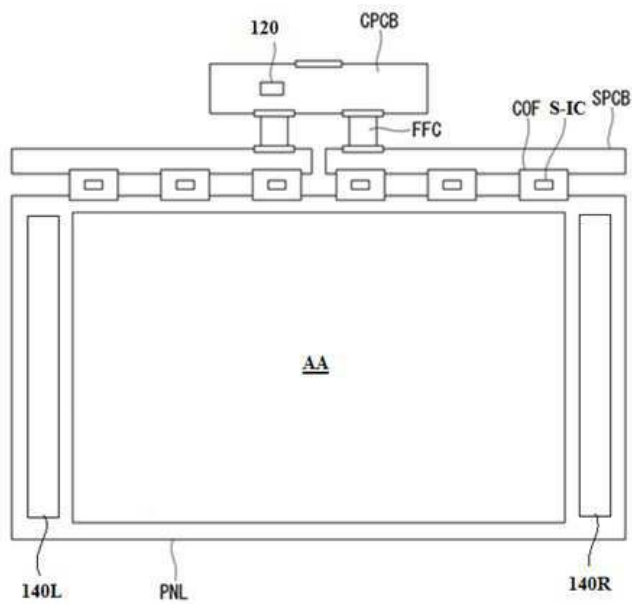
도면1



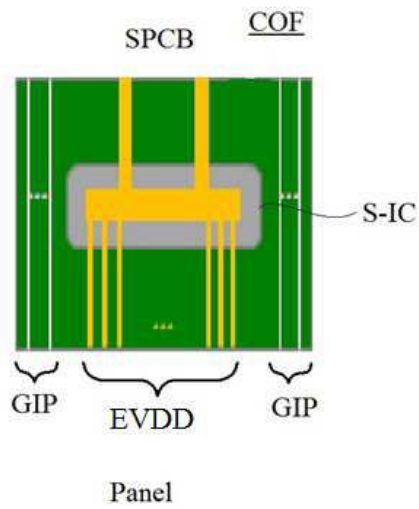
도면2



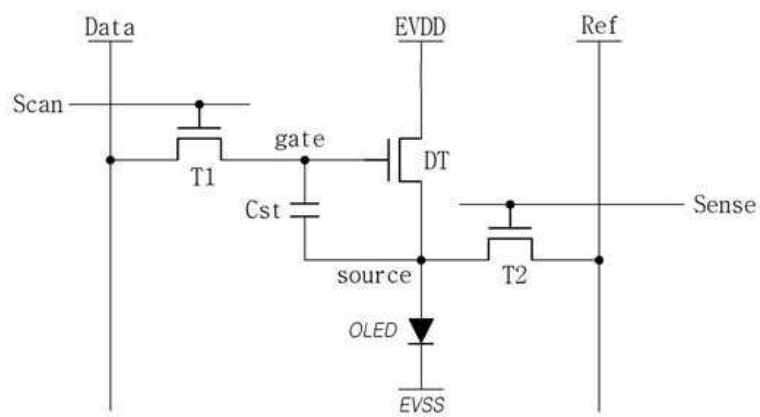
도면3



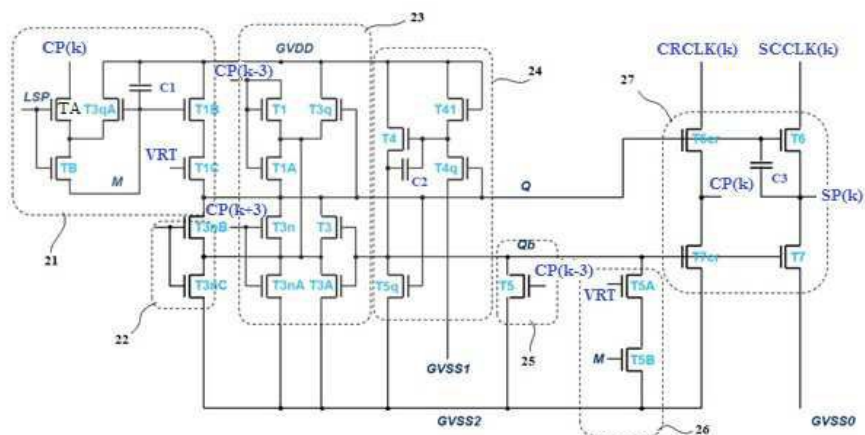
도면4



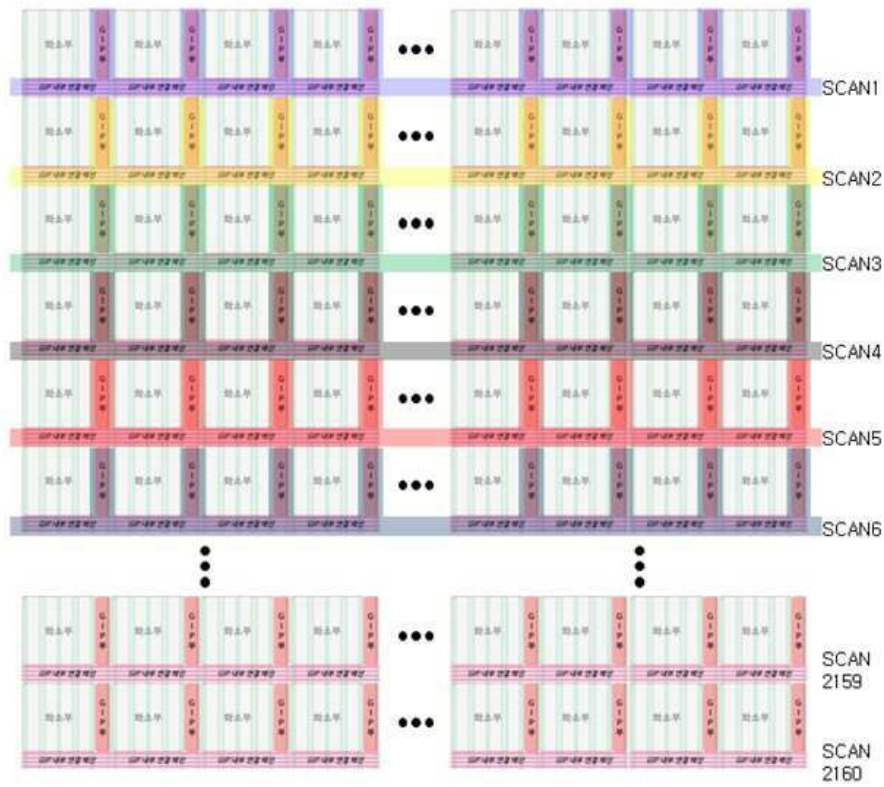
도면5



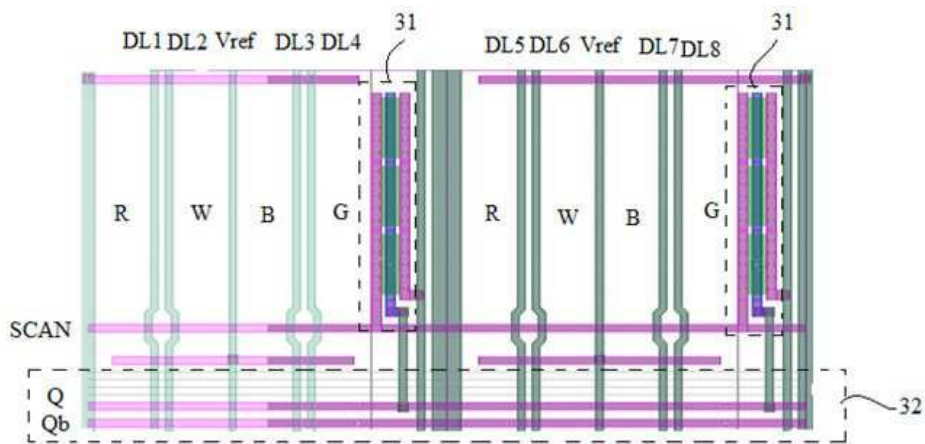
도면6



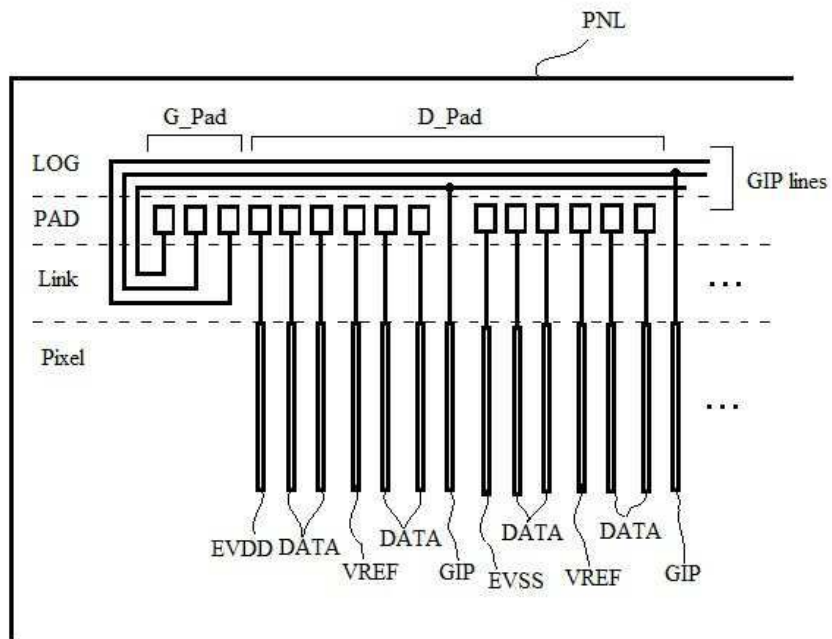
도면7



도면8



도면9



The diagram illustrates a pixel array layout with the following components and connections:

- Layers:** The layout is divided into four horizontal layers: LOG (top), PAD, Link, and Pixel (bottom).
- GIP lines:** A set of horizontal lines spanning the width of the array, labeled "GIP lines" on the right. They are connected to the LOG and PAD layers.
- Pads:**
 - G_Pad:** A group of pads located under the LOG layer, connected to the GIP lines.
 - D_Pad:** A group of pads located under the PAD layer, connected to the GIP lines.
- Signal Lines:**
 - EVDD:** A vertical line connecting the PAD layer to the Pixel layer.
 - DATA:** Multiple vertical lines connecting the PAD layer to the Pixel layer.
 - VREF:** A vertical line connecting the PAD layer to the Pixel layer.
 - GIP:** A vertical line connecting the PAD layer to the Pixel layer.
 - EVSS:** A vertical line connecting the PAD layer to the Pixel layer.
- Connections:**
 - The LOG layer is connected to the GIP lines and the G_Pad pads.
 - The PAD layer is connected to the GIP lines, the D_Pad pads, and the EVDD, DATA, VREF, GIP, and EVSS signal lines.
 - The Link layer is connected to the PAD layer and the Pixel layer.
 - The Pixel layer is connected to the Link layer and the EVDD, DATA, VREF, GIP, and EVSS signal lines.