



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0029319
(43) 공개일자 2019년03월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3246 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2017-0116717
(22) 출원일자 2017년09월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이시규
경기도 파주시 월롱면 엘지로 245
박준호
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

전체 청구항 수 : 총 18 항

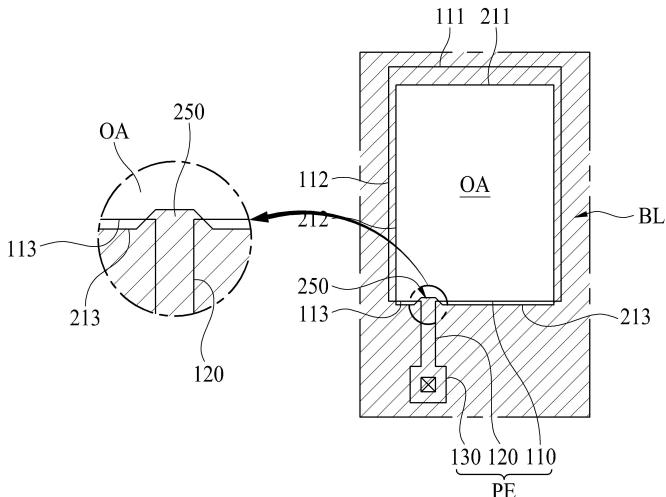
(54) 발명의 명칭 전계 발광 표시장치

(57) 요 약

본 발명은 화소 별로 구비된 화소 전극; 상기 화소 전극과 전기적으로 연결되는 박막 트랜지스터; 및 발광 영역을 정의하기 위해서 상기 화소 전극의 일부를 노출시키기 위한 오픈 영역을 구비하는 뱅크충을 포함하여 이루어지고, 상기 화소 전극은 상기 발광 영역에 구비된 전극부, 상기 박막 트랜지스터와 전기적으로 연결되는 콘택트부, 및 상기 전극부와 상기 콘택트부를 연결하는 연결부를 포함하여 이루어지고, 상기 뱅크충은 상기 연결부와 마주하는 위치에 크랙 방지부가 구비되어 있는 전계 발광 표시장치에 관한 것으로서,

본 발명에 따르면, 뱅크충에 크랙 방지부가 구비되어 있기 때문에 상기 뱅크충의 얼라인 공정 오차가 발생한다 하여도 화소 전극의 연결부가 크랙 방지부와 오버랩될 수 있어 상기 연결부에 크랙이 발생하는 것이 방지될 수 있다.

대 표 도 - 도3c



(52) CPC특허분류
H01L 27/3262 (2013.01)

명세서

청구범위

청구항 1

화소 별로 구비된 화소 전극;

상기 화소 전극과 전기적으로 연결되는 박막 트랜지스터; 및

발광 영역을 정의하기 위해서 상기 화소 전극의 일부를 노출시키기 위한 오픈 영역을 구비하는 뱅크총을 포함하여 이루어지고,

상기 화소 전극은 상기 발광 영역에 구비된 전극부, 상기 박막 트랜지스터와 전기적으로 연결되는 콘택트부, 및 상기 전극부와 상기 콘택트부를 연결하는 연결부를 포함하여 이루어지고,

상기 뱅크총은 상기 연결부와 마주하는 위치에 크랙 방지부가 구비되어 있는 전계 발광 표시장치.

청구항 2

제1항에 있어서,

상기 크랙 방지부는 상기 오픈 영역 방향으로 돌출된 구조로 이루어진 전계 발광 표시장치.

청구항 3

제1항에 있어서,

상기 크랙 방지부의 폭은 상기 연결부의 폭보다 크도록 구비된 전계 발광 표시장치.

청구항 4

제1항에 있어서,

상기 전극부는 상기 연결부와 접하는 일변을 포함하고,

상기 뱅크총은 상기 오픈 영역과 접하면서 상기 전극부의 일변과 마주하는 일변을 포함하고,

상기 크랙 방지부는 상기 뱅크총의 일변에서 상기 전극부의 내부 방향으로 돌출되어 있는 전계 발광 표시장치.

청구항 5

제4항에 있어서,

상기 크랙 방지부는 상변, 및 상기 상변과 상기 뱅크총의 일변 사이를 연결하는 측변을 구비하고,

상기 크랙 방지부의 상변의 좌측 끝단은 상기 연결부의 좌측 끝단과 일치하거나 그보다 좌측에 위치하거나 또는 상기 크랙 방지부의 상변의 우측 끝단은 상기 연결부의 우측 끝단과 일치하거나 그보다 우측에 위치하도록 구비된 전계 발광 표시장치.

청구항 6

제4항에 있어서,

상기 크랙 방지부는 상변, 및 상기 상변과 상기 뱅크총의 일변 사이를 연결하는 측변을 구비하고,

상기 크랙 방지부의 상변의 일단은 상기 연결부의 좌측 끝단과 우측 끝단 사이에 위치하도록 구비된 전계 발광 표시장치.

청구항 7

제4항에 있어서,

상기 전극부는 상기 전극부의 일변과 연결되는 타변을 포함하고, 상기 뱅크층은 상기 전극부의 타변과 마주하는 타변을 포함하고,

상기 크랙 방지부는 상기 뱅크층의 타변과 접하지 않도록 구비된 전계 발광 표시장치.

청구항 8

제4항에 있어서,

상기 전극부는 상기 전극부의 일변과 연결되는 타변을 포함하고, 상기 뱅크층은 상기 전극부의 타변과 마주하는 타변을 포함하고,

상기 크랙 방지부는 상기 뱅크층의 타변과 접하도록 구비된 전계 발광 표시장치.

청구항 9

제4항에 있어서,

상기 전극부의 일변에서 상기 크랙 방지부의 상단까지의 거리는 상기 전극부의 일변에서 상기 뱅크층의 일변까지의 거리보다 먼 전계 발광 표시장치.

청구항 10

제9항에 있어서,

상기 뱅크층은 상기 연결부와 오버랩되고 상기 크랙 방지부는 상기 연결부와 오버랩되지 않도록 구비된 전계 발광 표시장치.

청구항 11

제4항에 있어서,

상기 전극부의 일변은 상기 크랙 방지부의 상단과 상기 뱅크층의 일변 사이에 위치하는 전계 발광 표시장치.

청구항 12

제11항에 있어서,

상기 크랙 방지부는 상기 연결부와 오버랩되도록 구비된 전계 발광 표시장치.

청구항 13

발광 영역에 구비된 전극부, 박막 트랜지스터와 전기적으로 연결되는 콘택트부, 및 상기 전극부와 상기 콘택트부를 연결하는 연결부를 포함하여 이루어진 화소 전극; 및

상기 전극부의 중앙부를 노출시키면서 상기 전극부의 가장자리와 오버랩되도록 구비된 뱅크층을 포함하여 이루어지고,

상기 뱅크층은 상기 연결부와 마주하는 위치에서 상기 전극부의 내부 영역으로 돌출된 크랙 방지부가 구비되어 있는 전계 발광 표시장치.

청구항 14

제13항에 있어서,

상기 크랙 방지부의 폭은 상기 연결부의 폭보다 크도록 구비된 전계 발광 표시장치.

청구항 15

제13항에 있어서,

상기 뱅크층은 상기 연결부와 오버랩되고 상기 크랙 방지부는 상기 연결부와 오버랩되지 않도록 구비된 전계 발광 표시장치.

청구항 16

발광 영역에 구비된 전극부, 박막 트랜지스터와 전기적으로 연결되는 콘택트부, 및 상기 전극부와 상기 콘택트부를 연결하는 연결부를 포함하여 이루어진 화소 전극; 및

상기 전극부의 가장자리의 적어도 일부와 오버랩되도록 구비된 뱅크층을 포함하여 이루어지고,

상기 뱅크층은 상기 연결부와 마주하는 위치에서 상기 전극부의 내부 영역으로 돌출된 크랙 방지부가 구비되어 있고, 상기 크랙 방지부의 적어도 일부는 상기 연결부와 오버랩되도록 구비된 전계 발광 표시장치.

청구항 17

제16항에 있어서,

상기 크랙 방지부의 폭은 상기 연결부의 폭보다 크도록 구비된 전계 발광 표시장치.

청구항 18

제13항에 있어서,

상기 연결부는 상기 크랙 방지부 및 상기 크랙 방지부를 제외한 상기 뱅크층의 다른 부분의 조합에 의해 가려지도록 구비된 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시장치에 관한 것으로서, 보다 구체적으로는 전계 발광 표시장치의 뱅크층에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 두 개의 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003] 상기 발광층은 전자와 정공의 결합에 의해 엑시톤(exciton)이 생성되고 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 유기물로 이루어질 수도 있고, 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다.

[0004] 이하, 도면을 참조로 하여 종래의 전계 발광 표시장치에 대해서 설명하기로 한다.

[0005] 도 1a 및 도 1b는 종래의 전계 발광 표시장치의 개략적인 평면도이다.

[0006] 도 1a 및 도 1b에서 알 수 있듯이, 종래의 전계 발광 표시장치는 게이트 라인(GL), 데이터 라인(DL), 전원 라인(VDD), 화소 전극(PE), 박막 트랜지스터(TFT), 및 뱅크층(BL)을 포함하여 이루어진다.

[0007] 이와 같은 전계 발광 표시장치는 발광을 일으키는 발광 영역(EA) 및 상기 발광 영역의 발광을 제어하는 회로 영역(CA)을 포함하여 이루어진다. 상기 발광 영역(EA) 및 상기 회로 영역(CA)은 복수의 화소 별로 구성된다. 상기 발광 영역(EA)에는 상기 화소 전극(PE)이 배치되어 있고, 상기 회로 영역(CA)에는 상기 박막 트랜지스터(TFT)가 배치되어 있다.

[0008] 상기 게이트 라인(GL)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(DL)과 상기 전원 라인(VDD)은 세로 방향으로 배열되어 있으며, 이와 같은 게이트 라인(GL), 데이터 라인(DL), 및 전원 라인(VDD)에 의해서 화소가 정의될 수 있다.

[0009] 상기 화소 전극(PE)은 복수의 화소 별로 패턴 형성되어 있으며, 상기 박막 트랜지스터(TFT)와 전기적으로 연결되어 있다.

[0010] 상기 박막 트랜지스터(TFT)는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 및 센싱 박막 트랜지스터를 포함하여 이루어지며, 이를 중에서 상기 구동 박막 트랜지스터가 상기 화소 전극(PE)과 전기적으로 연결된다.

[0011] 상기 뱅크층(BL)은 상기 발광 영역(EA)을 정의하도록 패턴 형성되어 있다. 구체적으로, 상기 뱅크층(BL)은 상기

게이트 라인(GL), 상기 데이터 라인(DL), 및 상기 전원 라인(VDD)과 오버랩되도록 패턴 형성됨과 더불어 상기 회로 영역(CA) 전체와 오버랩되도록 패턴 형성된다. 또한, 상기 뱅크층(BL)은 화소 전극(PE)의 가장자리 부분과도 오버랩되도록 패턴 형성된다. 참고로, 편의상 도면에서 상기 뱅크층(BL)을 빗금으로 표기하였다.

[0012] 한편, 도시하지는 않았지만, 상기 화소 전극(PE) 상에는 발광층이 형성되고, 상기 발광층 상에는 대향 전극이 형성된다. 이 경우, 상기 화소 전극(PE)은 양극(Anode)으로 기능하고 상기 대향 전극은 음극(Cathode)으로 기능할 수 있다.

[0013] 이와 같은 종래의 전계 발광 표시장치의 경우 상기 뱅크층(BL)의 패턴 정렬에 오차가 발생할 경우 상기 화소 전극(PE)에 크랙(Crack)이 발생하는 문제가 있는데, 이에 대해서 구체적으로 설명하면 다음과 같다.

[0014] 도 1a와 같이, 상기 뱅크층(BL)은 상기 화소 전극(PE)의 가장 자리 부분과 오버랩되도록 패턴 형성된다. 상기 뱅크층(BL)이 상기 화소 전극(PE)의 상변, 좌우 측변, 및 하변과 오버랩되도록 패턴 형성될 경우에는 상기 화소 전극(PE)에 크랙(Crack)이 발생하지 않는다.

[0015] 그러나, 도 1b와 같이, 상기 뱅크층(BL) 형성시 마스크 얼라인 공정에 오차가 발생하여, 상기 뱅크층(BL)이 전체적으로 아래쪽으로 밀려서 패턴 형성될 수 있다. 이 경우, 상기 뱅크층(BL)이 상기 화소 전극(PE)의 상변 및 좌우 측변과는 오버랩되지만, 상기 화소 전극(PE)의 하변과는 오버랩되지 않게 된다. 이와 같이, 상기 뱅크층(BL)이 상기 화소 전극(PE)의 하변과 오버랩되지 않도록 패턴 형성되면, 상기 박막 트랜지스터(TFT)와 연결할 수 있도록 좁은 폭을 가지면서 연장된 상기 화소 전극(PE)의 일 부분(PE1)은 상기 뱅크층(BL)에 의해 가려지지만 상기 화소 전극(PE)의 타 부분(PE2)은 상기 뱅크층(BL)에 의해 가려지지 않게 된다. 이 경우, 공정 진행 중에 상기 뱅크층(BL)에 팽창 및 수축이 일어날 경우, 상기 뱅크층(BL)에 의해 가려지지 않은 상기 화소 전극(PE)의 타 부분(PE2)에 크랙이 발생할 수 있다. 이와 같이 상기 화소 전극(PE)에 크랙이 발생하게 되면 신호전달이 이루어지지 않게 되어 상기 발광 영역(EA)에서 발광이 원활히 이루어지지 않고 그에 따라 암점 불량이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0016] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 공정 진행 중에 뱅크층에 팽창 및 수축이 일어난다 하여도 화소 전극에 크랙이 발생하는 것을 방지할 수 있는 전계 발광 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0017] 상기 목적을 달성하기 위해서, 본 발명은 화소 별로 구비된 화소 전극; 상기 화소 전극과 전기적으로 연결되는 박막 트랜지스터; 및 발광 영역을 정의하기 위해서 상기 화소 전극의 일부를 노출시키기 위한 오픈 영역을 구비하는 뱅크층을 포함하여 이루어지고, 상기 화소 전극은 상기 발광 영역에 구비된 전극부, 상기 박막 트랜지스터와 전기적으로 연결되는 콘택부, 및 상기 전극부와 상기 콘택부를 연결하는 연결부를 포함하여 이루어지고, 상기 뱅크층은 상기 연결부와 마주하는 위치에 크랙 방지부가 구비되어 있는 전계 발광 표시장치를 제공한다.

[0018] 본 발명은 또한, 발광 영역에 구비된 전극부, 박막 트랜지스터와 전기적으로 연결되는 콘택부, 및 상기 전극부와 상기 콘택부를 연결하는 연결부를 포함하여 이루어진 화소 전극; 및 상기 전극부의 중앙부를 노출시키면서 상기 전극부의 가장자리와 오버랩되도록 구비된 뱅크층을 포함하여 이루어지고, 상기 뱅크층은 상기 연결부와 마주하는 위치에서 상기 전극부의 내부 영역으로 돌출된 크랙 방지부가 구비되어 있는 전계 발광 표시장치를 제공한다.

[0019] 본 발명은 또한 발광 영역에 구비된 전극부, 박막 트랜지스터와 전기적으로 연결되는 콘택부, 및 상기 전극부와 상기 콘택부를 연결하는 연결부를 포함하여 이루어진 화소 전극; 및 상기 전극부의 가장자리의 적어도 일부와 오버랩되도록 구비된 뱅크층을 포함하여 이루어지고, 상기 뱅크층은 상기 연결부와 마주하는 위치에서 상기 전극부의 내부 영역으로 돌출된 크랙 방지부가 구비되어 있고, 상기 크랙 방지부의 적어도 일부는 상기 연결부와 오버랩되도록 구비된 전계 발광 표시장치를 제공한다.

발명의 효과

[0020] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0021] 본 발명에 따르면, 뱅크층에 크랙 방지부가 구비되어 있기 때문에 상기 뱅크층의 얼라인 공정 오차가 발생한다 하여도 화소 전극의 연결부가 크랙 방지부와 오버랩될 수 있어 상기 연결부에 크랙이 발생하는 것이 방지될 수 있다.

도면의 간단한 설명

[0022] 도 1a 및 도 1b는 종래의 전계 발광 표시장치의 개략적인 평면도이다.

도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략도이다.

도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 전계 발광 표시장치를 구성하는 하나의 화소의 개략적인 평면도로서, 도 3a 및 도 3b는 뱅크층이 얼라인 오차 없이 패턴 형성된 모습을 도시한 것이고, 도 3c는 뱅크층에 얼라인 오차가 발생한 모습을 도시한 것이다.

도 4a는 본 발명의 일 실시예에 따른 뱅크층의 크랙 방지부를 보여주는 개략적인 평면도이고, 도 4b는 도 4a의 A-B라인 및 C-D라인의 단면을 보여주는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 단면도이다.

도 5 내지 도 8은 본 발명의 다양한 실시예에 따른 뱅크층의 크랙 방지부를 보여주는 개략적인 평면도이다.

도 9 내지 도 11은 본 발명의 다양한 실시예에 따른 화소 전극 및 뱅크층을 보여주는 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0025] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0026] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0027] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0028] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관관계로 함께 실시할 수도 있다.

[0030] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0031] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략도이다.

[0032] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 게이트 라인(GL), 센싱 라인(SL), 데이터 라인(DL1, DL2, DL3, DL4), 전원 라인(VDD), 및 기준 라인(Ref1, Ref2)을 포함하여 이루어진다.

[0033] 이와 같은 본 발명의 일 실시예에 따른 전계 발광 표시장치는 발광을 일으키는 발광 영역(EA) 및 상기 발광 영

역의 발광을 제어하는 회로 영역(CA)을 포함하여 이루어진다. 상기 발광 영역(EA) 및 상기 회로 영역(CA)은 복수의 화소 별로 구성된다.

[0034] 상기 발광 영역(EA)에는 화소 전극, 발광층, 및 대향 전극이 형성되어 있어, 상기 화소 전극과 상기 대향 전극 사이에 전계가 발생되고 상기 전계에 의해 상기 발광층이 발광을 하게 된다.

[0035] 상기 회로 영역(CA)에는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 센싱 박막 트랜지스터, 및 커페시터가 형성되어 있어 상기 발광 영역(EA)의 발광을 제어한다.

[0036] 상기 스위칭 박막 트랜지스터는 상기 게이트 라인(GL)에 공급되는 게이트 신호에 따라 스위칭되어 상기 데이터 라인(DL1, DL2, DL3, DL4)으로부터 공급되는 데이터 전압을 상기 구동 박막 트랜지스터에 공급한다. 상기 구동 박막 트랜지스터는 상기 스위칭 박막 트랜지스터로부터 공급되는 데이터 전압에 따라 스위칭되어 상기 전원 라인(VDD)에서 공급되는 전원으로부터 데이터 전류를 생성하여 상기 발광 영역(EA)의 화소 전극에 공급한다. 상기 센싱 박막 트랜지스터는 화질 저하의 원인이 되는 상기 구동 박막 트랜지스터의 문턱 전압 편차를 센싱하기 위한 것으로서, 상기 센싱 라인(SL)에서 공급되는 센싱 제어 신호에 응답하여 상기 구동 박막 트랜지스터의 전류를 상기 기준 라인(Ref1, Ref2)으로 공급한다. 상기 커페시터는 상기 구동 박막 트랜지스터에 공급되는 데이터 전압을 한 프레임 동안 유지시킨다. 이와 같은 회로 영역(CA)의 구성은 당업계에 공지된 다양한 형태로 형성될 수 있다.

[0037] 도 2에는 맨 좌측의 적색 발광 영역(EA(R))과 맨 우측의 백색 발광 영역(EA(W))이 상기 게이트 라인(GL), 상기 기준 라인(Ref1, Ref2), 및 상기 데이터 라인(DL1, DL4)을 포함하는 조합에 의해 마련되고, 중앙측의 녹색 발광 영역(EA(G))과 청색 발광 영역(EA(B))이 상기 게이트 라인(GL), 상기 전원 라인(VDD), 및 상기 데이터 라인(DL2, DL3)을 포함하는 조합에 의해 마련된 모습이 도시되어 있지만, 반드시 그에 한정되는 것은 아니다.

[0038] 예를 들어, 도시된 바와 같이, 2개의 기준 라인(Ref1, Ref2), 4개의 데이터 라인(DL1, DL4), 및 1개의 전원 라인(VDD)을 이용하여 1열 내지 4열까지의 4개의 화소를 구성할 수도 있지만, 반드시 그에 한정되는 것은 아니고, 각각의 화소별로 1개의 전원 라인, 1개의 기준 라인, 및 1개의 데이터 라인이 구성되는 것도 가능하다. 또한, 상기 적색 발광 영역(EA(R)), 녹색 발광 영역(EA(G)), 청색 발광 영역(EA(B)), 및 백색 발광 영역(EA(W))의 배열도 다양하게 변경될 수 있다.

[0039] 도 2에는 상기 회로 영역(CA)이 상기 게이트 라인(GL)과 상기 센싱 라인(SL) 사이에 마련된 모습이 도시되어 있지만, 반드시 그에 한정되는 것은 아니다.

[0040] 예를 들어, 상기 게이트 라인(GL)이 상기 센싱 라인(SL)과 상기 회로 영역(CA) 사이에 배치되는 것도 가능하고, 이 경우 상기 회로 영역(CA)은 상기 발광 영역(EA)과 상기 게이트 라인(GL) 사이에 마련된다. 또한, 상기 센싱 라인(SL)이 생략되고 상기 게이트 라인(GL)이 상기 센싱 라인(SL)의 기능도 함께 수행하도록 구성될 수도 있다.

[0041] 또한, 본 발명에 따른 전계 발광 표시장치는 상기 발광 영역(EA)에서 발광한 광이 상부쪽으로 방출되는 상부 발광(Top Emission) 구조로 이루어질 수도 있고, 상기 발광 영역(EA)에서 발광한 광이 하부쪽으로 방출되는 하부 발광(Bottom Emission) 구조로 이루어질 수도 있다.

[0042] 도 2에는 상기 회로 영역(CA)과 상기 발광 영역(EA)이 서로 중첩되지 않도록 도시되어 있지만, 반드시 그에 한정되는 것은 아니다. 단면구조상으로 상기 회로 영역(CA)은 상기 발광 영역(EA)의 아래쪽에 형성될 수 있으며, 이때 상기 하부 발광 구조의 경우에는 상기 회로 영역(CA)과 상기 발광 영역(EA)이 서로 중첩되지 않도록 형성되는 것이 바람직하고, 상기 상부 발광 구조의 경우에는 상기 회로 영역(CA)과 상기 발광 영역(EA)이 서로 중첩되어도 무방하다. 구체적으로 설명하면, 상기 하부 발광 구조의 경우에 상기 회로 영역(CA)과 상기 발광 영역(EA)이 서로 중첩되면, 상기 발광 영역(EA)에서 방출된 광이 하부쪽으로 이동할 때 상기 회로 영역(CA)에 의해 광 방출이 방해되어 투과율이 줄어들게 되고, 그 반면에 상기 상부 발광 구조의 경우에 상기 회로 영역(CA)과 상기 발광 영역(EA)이 서로 중첩된다 하여도, 상기 발광 영역(EA)에서 방출된 광이 상부쪽으로 이동할 때 상기 회로 영역(CA)에 의해 광 방출이 방해되지 않기 때문이다.

[0043] 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 전계 발광 표시장치를 구성하는 하나의 화소의 개략적인 평면도로서, 이는 도 2의 맨 좌측 화소를 도시한 것이다. 도 3a 및 도 3b는 뱅크층(BL)이 열라인 오차 없이 패턴 형성된 모습을 도시한 것으로서, 도 3b는 도 3a에서 뱅크층(BL)과 화소 전극(PE)만을 도시한 것이다. 도 3c는 뱅크층(BL)에 열라인 오차가 발생한 모습을 도시한 것으로서, 이는 도 3b와 마찬가지로 뱅크층(BL)과 화소 전극(PE)만을 도시한 것이다.

- [0044] 도 3a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시장치는 게이트 라인(GL), 기준 라인(Ref1), 데이터 라인(DL1), 화소 전극(PE), 박막 트랜지스터(TFT), 및 뱅크층(BL)을 포함하여 이루어진다.
- [0045] 상기 게이트 라인(GL)은 가로 방향으로 배열되어 있고, 상기 기준 라인(Ref1)과 상기 데이터 라인(DL1)은 세로 방향으로 배열되어 있다.
- [0046] 상기 화소 전극(PE)은 발광 영역(EA)에서 회로 영역(CA)까지 연장되어 상기 박막 트랜지스터(TFT), 특히, 구동 박막 트랜지스터와 전기적으로 연결될 수 있다.
- [0047] 상기 박막 트랜지스터(TFT)는 상기 회로 영역(CA)에 형성되어 있다. 전술한 바와 같이, 상기 회로 영역(CA)에는 다양한 기능을 수행하는 복수의 박막 트랜지스터가 형성될 수 있으며, 편의상 도면에는 상기 화소 전극(PE)과 전기적으로 연결될 수 있는 구동 박막 트랜지스터만을 개략적으로 도시하였으며, 이는 이하의 실시예들에서도 마찬가지이다.
- [0048] 상기 뱅크층(BL)은 상기 발광 영역(EA)을 정의하도록 패턴 형성되어 있다. 구체적으로, 상기 뱅크층(BL)은 상기 게이트 라인(GL), 상기 기준 라인(Ref1), 및 상기 데이터 라인(DL1)과 오버랩됨과 더불어 상기 회로 영역(CA)과도 오버랩되도록 패턴 형성되어 있다. 또한, 상기 뱅크층(BL)은 화소 전극(PE)의 가장자리 부분과도 오버랩되도록 패턴 형성된다. 참고로, 도면에서 상기 뱅크층(BL)은 빛금으로 표기하였다.
- [0049] 도 3b를 참조하여 상기 화소 전극(PE)과 상기 뱅크층(BL)에 대해서 보다 구체적으로 설명하면 다음과 같다.
- [0050] 도 3b에서 알 수 있듯이, 상기 화소 전극(PE)은 전극부(110), 연결부(120), 및 콘택부(130)를 포함하여 이루어진다.
- [0051] 상기 전극부(110)는 발광 영역(EA)에 마련되어 상기 전극부(110) 영역에서 발광이 이루어진다. 상기 콘택부(130)는 회로 영역(CA)에 마련되어 상기 박막 트랜지스터(TFT)와 전기적으로 연결된다. 상기 연결부(120)는 상기 전극부(110)와 상기 콘택부(130) 사이를 연결한다. 상기 전극부(110), 상기 연결부(120), 및 상기 콘택부(130)는 서로 동일한 물질로 동시에 패턴 형성되며, 따라서, 상기 전극부(110), 상기 연결부(120), 및 상기 콘택부(130)는 전체적으로 일체(One body)로 형성된다.
- [0052] 상기 연결부(120)는 상기 발광 영역(EA)에서 상기 회로 영역(CA)으로 연장되며, 그에 따라, 예를 들어 세로 방향으로 연장되어 있다. 상기 연결부(120)가 연장된 방향과 수직을 이루는 방향, 예로서 가로 방향에서의 상기 연결부(120)의 폭(W2)은 상기 전극부(110)의 가로 방향의 폭(W1)보다 작게 형성된다. 또한, 상기 연결부(120)의 가로 방향의 폭(W2)은 상기 콘택부(130)의 가로 방향의 폭(W3)보다 작게 형성된다.
- [0053] 이와 같이 연결부(120)의 가로 방향의 폭(W2)을 상대적으로 작게 형성한 이유는 화소 검사 공정에서 특정 화소가 불량으로 판명된 경우에 불량 화소를 리페어(repair)하는 공정을 용이하게 수행하기 위함이다. 구체적으로 설명하면, 불량 화소가 발생한 경우에 불량 화소의 화소 전극(PE)과 박막 트랜지스터(TFT) 사이의 전기적 연결을 차단함으로써 불량 화소를 리페어할 수 있다. 따라서, 상기 화소 전극(PE)의 연결부(120)의 폭(W2)을 작게 형성함으로써, 상기 연결부(120)를 레이저 등을 이용하여 보다 용이하게 끊을 수 있도록 한 것이다. 이와 같이 불량 화소의 리페어 공정을 용이하게 하기 위해서 상기 연결부(120)의 폭(W2)을 작게 형성한 것이며, 그로 인해서 종래와 같이 제조 공정 중에 상기 연결부(120)에 크랙이 발생하는 문제가 발생할 수 있다. 바꾸어 말하면, 상기 연결부(120)의 폭(W2)을 크게 형성하게 되면 종래와 같이 제조 공정 중에 상기 연결부(120)에 크랙이 발생하는 문제를 줄일 수 있지만, 이 경우에는 불량 화소의 리페어 공정이 어렵게 되는 문제가 있다. 따라서, 본 발명에서는 상기 연결부(120)의 폭(W2)을 작게 형성하여 불량 화소의 리페어 공정을 용이하게 함과 더불어 제조 공정 중에 상기 연결부(120)에 크랙이 발생하는 문제를 방지하는 방안을 제공하는 것이다.
- [0054] 이를 위해서, 본 발명의 일 실시예에 따르면, 상기 뱅크층(BL)이 크랙 방지부(250)를 구비하고 있다. 상기 뱅크층(BL)의 크랙 방지부(250)는 상기 화소 전극(PE)의 연결부(120)와 마주하는 위치에 형성되어 상기 뱅크층(BL)의 얼라인 공정 오차가 발생한다 하여도 상기 화소 전극(PE)의 연결부(120)에 크랙이 발생하는 것을 방지하는 역할을 한다. 상기 크랙 방지부(250)는 상기 뱅크층(BL)과 동일한 물질로 동일한 공정으로 패턴 형성된다.
- [0055] 상기 뱅크층(BL)은 얼라인 공정 오차가 발생하지 않을 경우 상기 화소 전극(PE)의 연결부(120) 및 콘택부(130) 전체와 오버랩되고 상기 화소 전극(PE)의 전극부(110)의 가장자리와 오버랩되도록 패턴 형성된다. 따라서, 얼라인 공정 오차가 발생하지 않을 경우 상기 뱅크층(BL)은 상기 화소 전극(PE)의 일부, 구체적으로 전극부(110)의 중앙부를 노출시키기 위한 오픈 영역(OA)을 가지면서 상기 화소 전극(PE)를 가리도록 패턴 형성된다. 상기 뱅크층(BL)의 오픈 영역(OA)이 발광 영역(EA)에서 광이 방출되는 영역을 정의하게 된다.

- [0056] 상기 뱅크충(BL)이 상기 화소 전극(PE)의 전극부(110)의 가장자리와 오버랩되는 부분에 대해서 보다 구체적으로 설명하면 다음과 같다.
- [0057] 상기 전극부(110)는 제1 변(111), 제2 변(112), 및 제3 변(113)를 가지고 있다. 예로서, 상기 전극부(110)가 사각형 모양으로 형성된 경우에 상기 제1 변(111)은 상변을 구성하고, 상기 제2 변(112)은 좌우 측면을 구성하고, 상기 제3 변(113)은 하변을 구성한다. 상기 전극부(110)의 제3 변(113)은 상기 연결부(120)와 접하는 변이다.
- [0058] 상기 오픈 영역(OA)과 접하는 내부의 변으로서, 상기 뱅크충(BL)은 제1 변(211), 제2 변(212), 및 제3 변(213)을 가지고 있다. 상기 뱅크충(BL)의 제1 변(211)은 상기 전극부(110)의 제1 변(111)과 마주하고 있고, 상기 뱅크충(BL)의 제2 변(212)은 상기 전극부(110)의 제2 변(112)과 마주하고 있고, 상기 뱅크충(BL)의 제3 변(213)은 상기 전극부(110)의 제3 변(113)과 마주하고 있다. 상기 뱅크충(BL)에 얼라인 공정 오차가 발생하지 않을 경우, 상기 뱅크충(BL)의 제1 변(211)은 상기 전극부(110)의 제1 변(111)과 평행하고, 상기 뱅크충(BL)의 제2 변(212)은 상기 전극부(110)의 제2 변(112)과 평행하고, 상기 뱅크충(BL)의 제3 변(213)은 상기 전극부(110)의 제3 변(113)과 평행하다. 또한, 상기 뱅크충(BL)의 제1 변(211)과 상기 전극부(110)의 제1 변(111) 사이의 간격은 일정하게 유지되고, 상기 뱅크충(BL)의 제2 변(212)과 상기 전극부(110)의 제2 변(112) 사이의 간격도 일정하게 유지되고, 상기 뱅크충(BL)의 제3 변(213)과 상기 전극부(110)의 제3 변(113) 사이의 간격도 일정하게 유지될 수 있다.
- [0059] 이때, 상기 뱅크충(BL)의 크랙 방지부(250)는 상기 뱅크충(BL)의 제3 변(213)에서 상기 오픈 영역(OA) 방향으로 돌출되어 있다. 다시 말하면, 상기 뱅크충(BL)의 크랙 방지부(250)는 상기 뱅크충(BL)의 제3 변(213)에서 상기 화소 전극(PE)의 전극부(110)의 내부 방향으로 돌출되어 있다. 상기 뱅크충(BL)의 제3 변(213)은 상기 크랙 방지부(250)를 구성하는 변을 제외하는 것으로 이해되어야 한다.
- [0060] 상기 뱅크충(BL)의 얼라인 공정 오차가 발생하지 않은 경우에는 상기 크랙 방지부(250)가 상기 화소 전극(PE)의 연결부(110)와 오버랩되지는 않지만 상기 크랙 방지부(250) 이외의 뱅크충(BL) 영역이 상기 화소 전극(PE)의 연결부(110)와 오버랩되기 때문에, 상기 화소 전극(PE)의 연결부(120)에 크랙이 발생하는 것을 방지할 수 있다.
- [0061] 또한, 상기 뱅크충(BL)의 얼라인 공정 오차가 발생하여 상기 뱅크충(BL)이 전체적으로 아래쪽으로 밀리도록 형성된다 하여도 상기 크랙 방지부(250)가 상기 화소 전극(PE)의 연결부(120)와 오버랩되어 상기 화소 전극(PE)의 연결부(120)를 가림으로써 상기 화소 전극(PE)의 연결부(120)에 크랙이 발생하는 것을 방지할 수 있다.
- [0062] 상기 크랙 방지부(250)를 크게 형성하면 상기 얼라인 공정 오차 발생시 상기 화소 전극(PE)의 연결부(120)의 크랙 발생을 보다 효과적으로 방지할 수 있지만, 이 경우 발광 영역(EA)에서 투과율이 줄어드는 단점이 있다. 따라서, 상기 크랙 방지부(250)는 상기 화소 전극(PE)의 연결부(120)와 마주하는 위치에서 투과율 감소를 최소화 할 수 있도록 적절한 크기로 형성하는 것이 바람직하다.
- [0063] 이하에서는 도 3c를 참조로 뱅크충(BL)의 얼라인 공정 오차가 발생할 경우의 모습에 대해서 설명하기로 한다.
- [0064] 도 3c는 도 3b의 구조에서 상기 뱅크충(BL)의 얼라인 공정 오차가 발생하여 상기 뱅크충(BL)이 전체적으로 아래 쪽으로 밀리도록 패턴 형성된 모습을 도시한 것이다.
- [0065] 전술한 도 3b의 경우 상기 뱅크충(BL)이 상기 화소 전극(PE)의 전극부(110)의 가장자리 전체와 오버랩됨과 동시에 상기 화소 전극(PE)의 연결부(120) 전체와 오버랩되도록 형성되며, 이 경우 상기 뱅크충(BL)의 제3 변(213)이 상기 전극부(110)의 제3 변(113)보다 위쪽에 형성되어 있다. 따라서, 상기 뱅크충(BL)의 오픈 영역(OA) 전체는 상기 전극부(110)의 내부 영역에 형성된다.
- [0066] 그에 반하여, 도 3c의 경우 상기 뱅크충(BL)이 상기 화소 전극(PE)의 전극부(110)의 가장자리 일부, 특히 제3 변(113)의 적어도 일부와 오버랩되지 않도록 형성되며, 이 경우, 상기 뱅크충(BL)의 제3 변(213)이 상기 전극부(110)의 제3 변(113)보다 아래쪽에 형성되어 있다. 특히, 상기 전극부(110)의 제3 변(113)이 상기 뱅크충(BL)의 제3 변(213)과 상기 크랙 방지부(250)의 상변(도 4a의 도면부호 251 참조) 사이에 위치한다. 따라서, 상기 뱅크충(BL)의 오픈 영역(OA) 중 일부가 상기 전극부(110)의 외부 영역에 형성된다.
- [0067] 그러나, 도 3c의 경우에도 상기 뱅크충(BL)이 상기 화소 전극(PE)의 연결부(120) 전체와 오버랩되어 상기 화소 전극(PE)의 연결부(120) 전체를 가리도록 형성된다. 즉, 상기 뱅크충(BL)의 크랙 방지부(250)의 적어도 일부는 상기 전극부(110)의 제3 변(113)보다 위쪽에 형성되고, 그에 따라 상기 화소 전극(PE)의 연결부(120)가 상기 뱅크충(BL)에 의해 가려지지 않고 노출되는 것이 상기 뱅크충(BL)의 크랙 방지부(250)에 의해 방지된다. 즉, 상기

뱅크층(BL)의 크랙 방지부(250) 및 상기 크랙 방지부(250)를 제외한 상기 뱅크층(BL)의 다른 부분의 조합에 의해서 상기 화소 전극(PE)의 연결부(120)가 가려짐으로써, 상기 화소 전극(PE)의 연결부(120)에 크랙이 발생하는 것이 방지될 수 있다.

[0068] 이하에는 본 발명의 다양한 실시예에 따른 뱅크층(BL)의 크랙 방지부(250)에 대해서 설명하기로 한다. 이하의 실시예에서는 전술한 도 3a 내지 도 3c에 따른 실시예와 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 동일한 구성에 대한 구체적인 설명은 생략하기로 한다.

[0069] 도 4a는 본 발명의 일 실시예에 따른 뱅크층의 크랙 방지부를 보여주는 개략적인 평면도이고, 도 4b는 도 4a의 A-B라인 및 C-D라인의 단면을 보여주는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 단면도이다.

[0070] 도 4a에서 알 수 있듯이, 화소 전극(PE)은 전극부(110), 연결부(120), 및 콘택부(130)를 포함하여 이루어지고, 상기 전극부(110)는 제2 변(112) 및 제3 변(113)을 구비하고 있다.

[0071] 뱅크층(BL)은 상기 전극부(110)의 중앙부를 노출시키는 오픈 영역(OA)을 구비하면서 상기 전극부(110)의 가장자리, 및 상기 연결부(120)와 상기 콘택부(130) 전체와 오버랩되도록 형성되어 있다. 상기 뱅크층(BL)은 상기 오픈 영역(OA)과 접하는 변으로서, 상기 전극부(110)의 제2 변(112)과 마주하는 제2 변(212), 및 상기 전극부(110)의 제3 변(113)과 마주하는 제3 변(213)을 구비하고 있다. 또한, 상기 뱅크층(BL)은 상기 제3 변(213)에서 상기 오픈 영역(OA) 방향으로 돌출된 크랙 방지부(250)를 구비하고 있다.

[0072] 상기 크랙 방지부(250)는 상변(251) 및 측변(252)을 구비하고 있다. 상기 크랙 방지부(250)의 상변(251)의 적어도 일 부분이 상기 크랙 방지부(250)의 상단을 구성한다.

[0073] 상기 크랙 방지부(250)의 상변(251)은 상기 뱅크층(BL)의 제3 변(213) 또는 상기 전극부(110)의 제3 변(113)과 평행을 이루는 직선 구조로 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다. 예를 들어, 상기 크랙 방지부(250)의 상변(251)이 기울어진 직선 구조로 형성될 수도 있고, 곡선 구조로 형성될 수도 있다.

[0074] 상기 크랙 방지부(250)의 상변(251)이 평행을 이루는 직선 구조로 이루어진 경우에는 상기 크랙 방지부(250)의 상단이 상기 상변(251) 전체가 될 수 있고, 상기 크랙 방지부(250)의 상변(251)이 기울어진 직선 또는 곡선 구조로 이루어진 경우에는 상기 크랙 방지부(250)의 상단이 상기 상변(251) 중 어느 하나의 지점이 될 수 있다.

[0075] 상기 크랙 방지부(250)의 상변(251) 또는 상단은 상기 뱅크층(BL)의 제3 변(213)보다 상기 전극부(110)의 제3 변(113)에서 멀게 위치한다. 즉, 상기 전극부(110)의 제3 변(113)에서 상기 크랙 방지부(250)의 상변(251) 또는 상단까지의 거리(D1)는 상기 전극부(110)의 제3 변(113)에서 상기 뱅크층(BL)의 제3 변(213)까지의 거리(D2)보다 멀다. 본 명세서에서 두 개의 구성 사이의 거리는 두 개의 구성 사이의 최단 거리로 해석되어야 한다.

[0076] 상기 크랙 방지부(250)의 측변(252)은 상기 크랙 방지부(250)의 상변(251)과 상기 뱅크층(BL)의 제3 변(213)을 연결한다. 상기 측변(252)은 상기 상변(251)의 좌측 및 우측에 각각 형성되어 있다. 상기 측변(252)은 경사진 직선 구조로 형성되며, 그에 따라 상기 크랙 방지부(250)는 사각형 모양으로 이루어진다. 특히, 상기 상변(251)의 좌측에 구비된 측변(252)과 상기 상변(251)의 우측에 구비된 측변(252)이 서로 대칭구조로 형성될 수 있으며, 이 경우 상기 크랙 방지부(250)는 사다리꼴 모양으로 이루어진다.

[0077] 상기 크랙 방지부(250)의 폭(W4)은 상기 화소 전극(PE)의 연결부(120)의 폭(W2) 보다 크게 형성될 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 크랙 방지부(250)의 폭(W4)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2)과 동일하게 형성될 수도 있고, 경우에 따라 상기 크랙 방지부(250)의 폭(W4)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2)보다 작게 형성될 수도 있다. 다만, 상기 크랙 방지부(250)의 폭(W4)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2) 보다 크게 형성되는 것이, 뱅크층(BL)의 얼라인 공정 오차가 발생할 경우 상기 화소 전극(PE)의 연결부(120)의 크랙 발생을 방지하는데 보다 효과적이다.

[0078] 또한, 상기 크랙 방지부(250)의 상변(251)의 폭(W5)은 상기 화소 전극(PE)의 연결부(120)의 폭(W2)과 동일한 길이로 형성될 수 있다. 이 경우, 상기 크랙 방지부(250)의 상변(251)의 좌우 끝단은 상기 화소 전극(PE)의 연결부(120)의 좌우 끝단과 대응하는 위치에 형성된다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 크랙 방지부(250)의 상변(251)의 폭(W5)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2)보다 크게 형성될 수도 있다. 경우에 따라 상기 크랙 방지부(250)의 상변(251)의 폭(W5)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2)보다 작게 형성되는 것도 가능하다. 다만, 상기 크랙 방지부(250)의 상변(251)의 폭(W5)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2)과 같거나 그보다 크게 형성되는 것이 상기 뱅크층(BL)의 얼라인 공정 오차시 상기 화소 전극

(PE)의 연결부(120)의 크랙 발생을 방지하는데 더 효과적일 수 있다.

[0079] 이하에서는 도 4b를 참조로 본 발명의 일 실시예에 따른 전계 발광 표시장치의 단면 구조에 대해서 설명하기로 한다.

[0080] 도 4b에서 알 수 있듯이, 기판(10) 상에 액티브층(20), 게이트 절연막(25), 게이트 전극(30), 충간 절연막(35), 소스 전극(40a), 및 드레인 전극(40b)을 포함한 박막 트랜지스터(TFT)가 형성되어 있다.

[0081] 상기 액티브층(20)은 전자의 이동 채널로 기능하는 것으로서, 상기 기판(10) 상에 형성되어 있다. 상기 게이트 절연막(25)은 상기 액티브층(20)과 상기 게이트 전극(30)을 절연시키는 기능을 하는 것으로서, 상기 액티브층(20) 상에 형성되어 있다. 상기 게이트 절연막(25)은 상기 게이트 전극(30)과 동일한 패턴으로 형성될 수 있다. 상기 게이트 전극(30)은 상기 게이트 절연막(25) 상에 형성되어 있다. 상기 충간 절연막(35)은 상기 게이트 전극(30) 상에 형성되어 있다. 상기 충간 절연막(35)은 상기 액티브층(20)의 일단을 노출시키는 제1 콘택홀(C1) 및 상기 액티브층(20)의 타단을 노출시키는 제2 콘택홀(C2)을 구비하면서 상기 기판(10)의 전체면 상에 형성되어 있다. 상기 소스 전극(40a) 및 상기 드레인 전극(40b)은 상기 충간 절연막(35) 상에 형성되어 있다. 상기 소스 전극(40a)은 상기 제1 콘택홀(C1)을 통해서 상기 액티브층(20)의 일단과 연결되어 있고, 상기 드레인 전극(40b)은 상기 제2 콘택홀(C2)을 통해서 상기 액티브층(20)의 타단과 연결되어 있다.

[0082] 이상과 같은 박막 트랜지스터(TFT)는 상기 게이트 전극(30)이 상기 액티브층(20)의 위에 형성되는 탑 게이트(Top Gate) 구조에 관한 것으로서, 본 발명이 반드시 그에 한정되는 것은 아니고 상기 게이트 전극(30)이 상기 액티브층(20)의 아래에 형성되는 바텀 게이트(Bottom Gate) 구조를 포함하여 당업계에 공지된 다양한 형태로 변경될 수 있다.

[0083] 상기 박막 트랜지스터(TFT)의 소스 전극(40a) 및 상기 드레인 전극(40b) 상에는 보호막(45) 및 평탄화막(50)이 차례로 형성되어 있다.

[0084] 상기 보호막(45)은 상기 소스 전극(40a) 및 드레인 전극(40b) 상에 형성되어 있고, 그 하부의 박막 트랜지스터를 보호하는 기능을 한다. 상기 평탄화막(50)은 상기 보호막(45) 상에 형성되어 있고, 기판(10) 표면을 평탄화시키는 기능을 한다.

[0085] 상기 평탄화막(50) 상에는 화소 전극(PE)이 형성되어 있다. 상기 화소 전극(PE)은 상기 보호막(45)과 상기 평탄화막(50)에 구비된 제3 콘택홀(C3)을 통해서 상기 소스 전극(40a)과 연결되어 있다. 경우에 따라서, 상기 제3 콘택홀(C3)이 상기 드레인 전극(40b)을 노출시키도록 상기 보호막(45)과 상기 평탄화막(50)에 구비될 수도 있으며, 이 경우 상기 화소 전극(PE)은 상기 제3 콘택홀(C3)을 통해서 상기 드레인 전극(40b)과 연결될 수 있다.

[0086] 상기 화소 전극(PE) 상에는 뱅크층(BL)이 형성되어 있다. 상기 뱅크층(BL)은 상기 평탄화막(50)에서 상기 화소 전극(PE) 위로 연장되어 있다. 특히, 도 4a의 A-B라인에 해당하는 영역의 뱅크층(BL)은 크랙 방지부(250)가 구비되어 있기 때문에 도 4a의 C-D라인에 해당하는 영역의 뱅크층(BL) 보다 상기 화소 전극(PE) 위로 더 연장되어 있다.

[0087] 상기 화소 전극(PE) 상에는 발광층(300)이 형성되어 있고, 상기 발광층(300) 상에는 대향 전극(350)이 형성되어 있다.

[0088] 상기 발광층(300)은 발광을 일으키는 당업계에 공지된 다양한 재료로 이루어질 수 있다. 예로서, 상기 발광층(300)은 정공주입층, 정공수송층, 유기발광층, 전자수송층 및 전자주입층의 적층구조로 이루어질 수 있다. 도면에는 상기 발광층(300)이 상기 화소 전극(PE) 위에만 형성된 모습을 도시하였지만, 경우에 따라 상기 발광층(300)은 상기 뱅크층(BL) 위에도 형성될 수 있다.

[0089] 상기 대향 전극(350)은 상기 발광층(300) 상에 형성되어 있다. 상기 대향 전극(350)은 상기 뱅크층(BL) 위에도 형성될 수 있다. 상기 화소 전극(PE)이 양극(Anode)으로 기능하고 상기 대향 전극(350)이 음극(Cathode)로 기능하여 상기 화소 전극(PE)과 상기 대향 전극(Anode) 사이에서 전계가 발생하고, 발생한 전계에 의해서 상기 발광층(300)이 발광할 수 있다.

[0090] 도 5 내지 도 8은 본 발명의 다양한 실시예에 따른 뱅크층의 크랙 방지부를 보여주는 개략적인 평면도로서, 이하에서는 전술한 도 4a와 상이한 구성에 대해서만 설명하기로 한다.

[0091] 전술한 도 4a의 경우 크랙 방지부(250)의 측면(252)이 경사진 직선 구조로 이루어져 있다.

[0092] 그에 반하여, 도 5의 경우 크랙 방지부(250)의 측면(252)이 곡선 구조로 이루어져 있다. 특히, 상기 곡선 구조

의 측면(252)은 오픈 영역(OA) 쪽으로 볼록한 구조로 형성되어 있으며, 그에 따라 도 5에 따른 크랙 방지부(250)의 면적이 도 4a에 따른 크랙 방지부(250)의 면적보다 크게 형성될 수 있다. 다만, 반드시 그에 한정된 것은 아니고, 곡선 구조의 측면(252)이 오픈 영역(OA) 쪽으로 오목한 구조로 형성되어 크랙 방지부(250)의 면적이 도 4a에 따른 크랙 방지부(250)의 면적보다 작게 형성되는 것도 가능하다.

[0093] 또한, 도 6의 경우 크랙 방지부(250)의 측면(252)이 경사지지 않은 직선 구조로 이루어져 있다. 즉, 상기 크랙 방지부(250)의 측면(252)이 상기 크랙 방지부(250)의 상변(251)과 수직을 이루도록 형성될 수 있다.

[0094] 전술한 도 4a의 경우 크랙 방지부(250)의 측면(252)이 크랙 방지부(250)의 상변(251)을 중심으로 좌우 양측에 형성되며 그에 따라 크랙 방지부(250)가 뱅크총(BL)의 제2 변(212)과는 접하지 않도록 형성되어 있다.

[0095] 그에 반하여, 도 7과 도 8의 경우 크랙 방지부(250)의 측면(252)이 크랙 방지부(250)의 상변(251)에서 일측, 예로서 우측에만 형성되며 그에 따라 크랙 방지부(250)가 뱅크총(BL)의 좌측 제2 변(212)과 접하게 된다. 즉, 도 7과 도 8의 경우 크랙 방지부(250)의 상변(251)이 뱅크총(BL)의 제2 변(212)과 접하게 된다. 도시하지는 않았지만, 상기 크랙 방지부(250)의 측면(252)이 크랙 방지부(250)의 상변(251)에서 좌측에만 형성되고 그에 따라 크랙 방지부(250)가 뱅크총(BL)의 우측 제2 변(212)과 접하도록 형성될 수도 있다.

[0096] 도 7의 경우 상기 크랙 방지부(251)의 상변(251)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2) 방향 영역 전체와 마주하도록 형성되어 있다. 즉, 상기 크랙 방지부(251)의 상변(251)은 상기 화소 전극(PE)의 연결부(120)의 좌측 끝단 및 우측 끝단 모두와 마주하도록 형성된다. 그에 따라, 상기 측면(252)과 접하는 크랙 방지부(251)의 상변(251)의 우측 끝단이 상기 화소 전극(PE)의 연결부(120)의 우측 끝단과 일치하거나 또는 그보다 더 우측에 위치하도록 형성될 수 있다.

[0097] 도 8의 경우 상기 크랙 방지부(251)의 상변(251)이 상기 화소 전극(PE)의 연결부(120)의 폭(W2) 방향 영역 일부와는 마주하지만 나머지 부분과는 마주하지 않도록 형성되어 있다. 즉, 상기 크랙 방지부(251)의 상변(251)은 상기 화소 전극(PE)의 연결부(120)의 좌측 끝단과는 마주하지만, 상기 연결부(120)의 우측 끝단과는 마주하지 않도록 형성되어 있다. 그에 따라, 상기 측면(252)과 접하는 크랙 방지부(251)의 상변(251)의 우측 끝단은 상기 화소 전극(PE)의 연결부(120)의 좌측 끝단과 우측 끝단 사이에 위치하도록 형성된다.

[0098] 도 8의 경우에 상기 뱅크총(BL)의 얼라인 공정 오차가 발생하여 상기 뱅크총(BL)이 전체적으로 아래쪽으로 밀리도록 형성될 경우 상기 크랙 방지부(250)가 상기 화소 전극(PE)의 연결부(120)의 일 측(예로서 좌측) 부분과는 오버랩되지만 상기 화소 전극(PE)의 연결부(120)의 타 측(예로서 우측) 부분과는 오버랩되지 않을 수 있다. 그렇지만, 도 8의 경우에도 상기 화소 전극(PE)의 연결부(120)의 폭(W2) 방향에서 적어도 일 측 부분은 상기 크랙 방지부(250)에 의해 가려지기 때문에, 상기 연결부(120) 전체에 크랙이 발생하는 것은 방지될 수 있고, 신호전달에 문제가 생기지 않는다.

[0099] 한편, 도시하지는 않았지만, 도 7과 도 8의 경우에서 상기 크랙 방지부(251)의 측면(252)이 경사진 직선구조로 형성되지 않고, 전술한 도 5에서와 같이 곡선 구조로 이루어질 수도 있고, 전술한 도 6에서와 같이 경사지지 않은 직선 구조, 즉, 상기 크랙 방지부(250)의 상변(251)과 수직을 이루도록 형성될 수도 있다.

[0100] 도 9 내지 도 11은 본 발명의 다양한 실시예에 따른 화소 전극 및 뱅크총을 보여주는 개략적인 평면도로서, 이하에서는 전술한 실시예들과 상이한 구성에 대해서만 설명하기로 한다.

[0101] 전술한 실시예들에서는 화소 전극(PE)의 전극부(110)가 직사각형과 유사한 모양으로 이루어지고, 그에 따라 뱅크총(BL)의 오픈 영역(OA)도 크랙 방지부(250) 영역을 제외하고 전체적으로 직사각형과 유사한 모양으로 이루어져 있다.

[0102] 그에 반하여, 도 9 내지 도 11에 따른 실시예들은 화소 전극(PE)의 전극부(100)가 다양한 모양의 구조, 예로서 다양한 다각형 모양으로 이루어져 있다.

[0103] 전술한 회로 영역(CA)에는 다양한 구조의 박막 트랜지스터와 커패시터, 및 그들 사이의 전기적 연결을 위한 배선들이 형성되기 때문에, 상기 회로 영역(CA)은 복잡한 회로들을 최적의 위치에 배치되도록 다양하게 변경될 수 있으며, 이와 같은 회로 영역(CA)의 변경에 따라 상기 화소 전극(PE)의 전극부(110)의 모양도 다양하게 변경될 수 있다. 도 9 내지 도 11에 따른 실시예들은 그와 같은 회로 영역(CA)의 변경에 따라 화소 전극(PE)의 전극부(110)의 모양이 다양하게 변경되는 모습을 도시한 것으로서, 본 발명이 반드시 그에 한정되는 것은 아니고, 도 9 내지 도 11에 따른 구조 이외에도 다양하게 변경될 수 있다.

[0104] 도 9에 따른 실시예의 경우, 상기 전극부(110)의 하변의 길이가 상기 전극부(110)의 상변보다 짧게 형성되고,

상기 전극부(110)의 하변과 상기 전극부(110)의 측변(예로서 좌측변) 사이에는 경사면이 구비되어 있다. 상기 전극부(110)의 하변은 연결부(120)와 접하는 변이다. 이와 같은 도 9의 경우, 전술한 실시예들에 비하여 상기 경사면 아래쪽에 회로 영역(CA)의 공간이 추가로 확보될 수 있다.

[0105] 도 9에 따른 실시예의 경우, 뱅크층(BL)은 상기 전극부(110)의 가장자리와 오버랩되면서 오픈 영역(OA)을 구비하고 있다. 상기 뱅크층(BL)의 오픈 영역(OA)은 크랙 방지부(250) 영역을 제외하고 상기 전극부(110)와 유사한 모양으로 형성되고, 상기 오픈 영역(OA)을 통해 상기 전극부(110)의 중앙부가 노출될 수 있다. 상기 크랙 방지부(250)은 전술한 실시예들과 마찬가지로 상기 전극부(110)의 하변과 마주하는 뱅크층(BL)의 하변에서 상기 오픈 영역(OA) 방향 또는 상기 전극부(110)의 내부 영역 방향으로 돌출되어 있다.

[0106] 도 10에 따른 실시예는 상기 전극부(110)의 하변과 상기 전극부(110)의 측변(예로서 좌측변) 사이의 경사면이 직선구조가 아니라 계단구조로 형성되고 그에 따라 상기 뱅크층(BL)의 오픈 영역(OA)도 상기 전극부(110)와 유사한 모양으로 형성된 점을 제외하고 전술한 도 9에 따른 실시예와 동일하다.

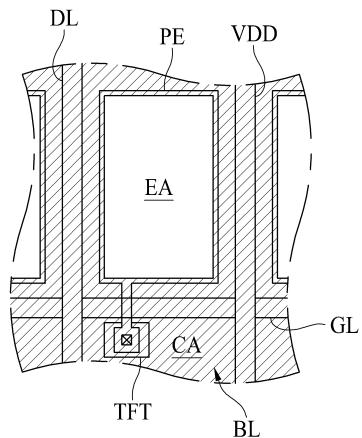
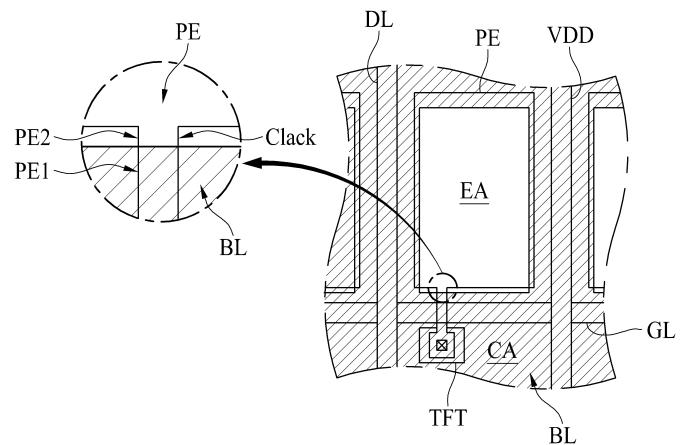
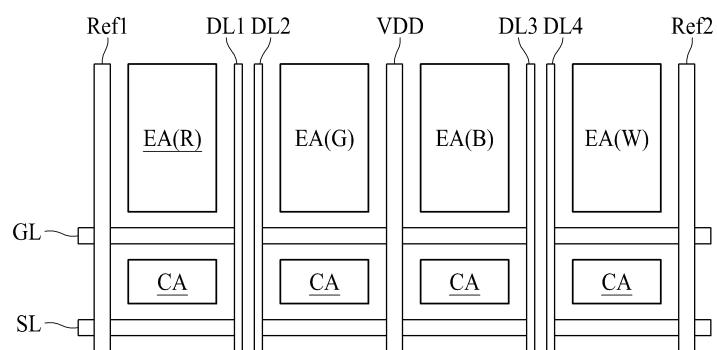
[0107] 도 11에 따른 실시예의 경우, 연결부(120)가 전극부(110)의 좌측 하단에 연결되고, 이때, 상기 연결부(120)와 접하는 상기 전극부(110)의 좌측 하변은 상대적으로 높은 위치에 형성되고, 상기 연결부(120)가 접하지 않은 상기 전극부(110)의 우측 하변은 상대적으로 낮은 위치에 형성되어 있다.

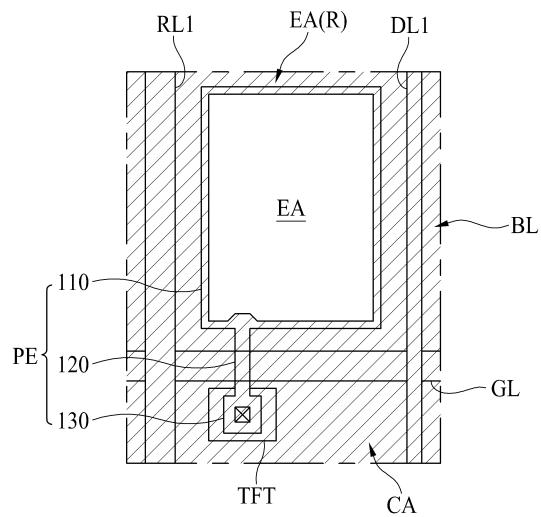
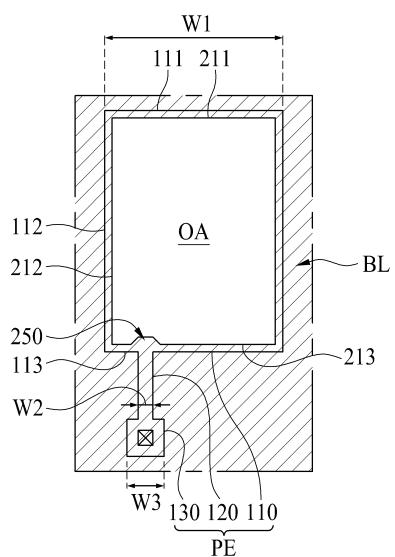
[0108] 도 11에 따른 실시예의 경우, 뱅크층(BL)은 상기 전극부(110)의 가장자리와 오버랩되면서 오픈 영역(OA)을 구비하고 있다. 따라서, 상기 뱅크층(BL)은 상기 전극부(110)의 좌측 하변과 마주하는 좌측 하변 및 상기 전극부(110)의 우측 하변과 마주하는 우측 하변을 구비하고 있다. 이때, 상기 뱅크층(BL)의 크랙 방지부(250)는 상기 뱅크층(BL)의 좌측 하변에서 상기 오픈 영역(OA) 방향 또는 상기 전극부(110)의 내부 영역 방향으로 돌출되어 있다.

[0109] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

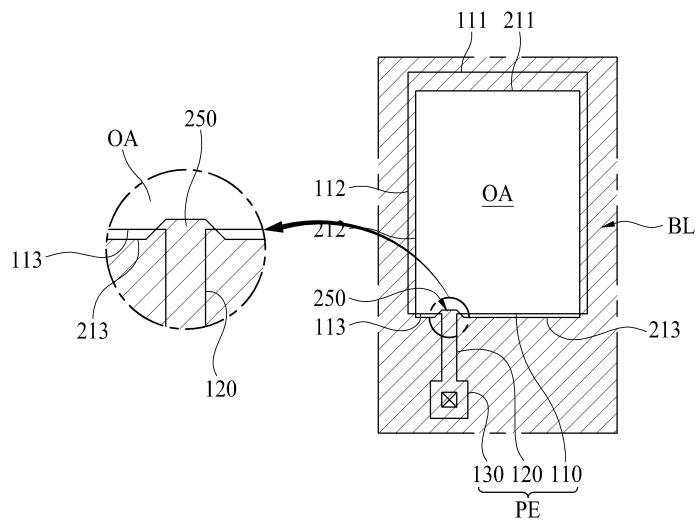
부호의 설명

GL: 게이트 라인	DL1 DL2, DL3, DL4: 데이터 라인
Ref1, Ref2: 기준 라인	TFT: 박막 트랜지스터
PE: 화소 전극	BL: 뱅크층
110: 전극부	120: 연결부
130: 콘택부	250: 크랙 방지부

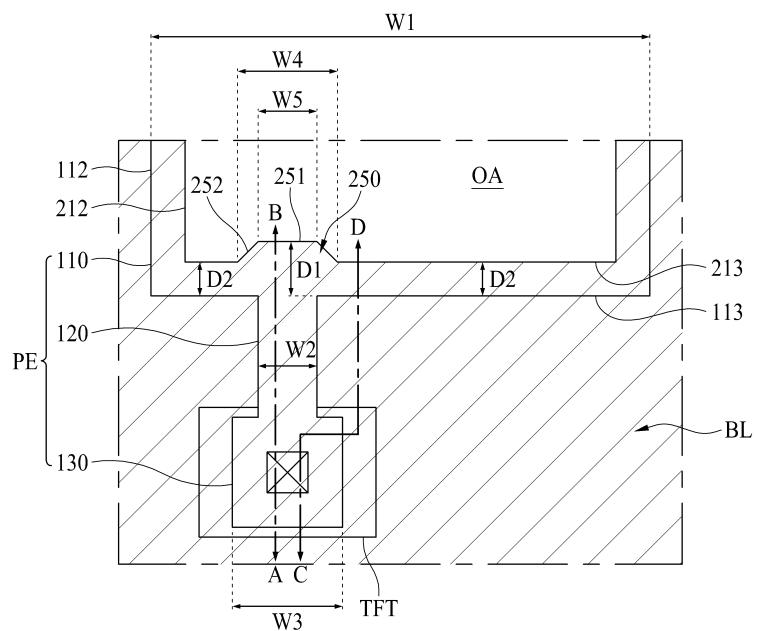
도면**도면1a****도면1b****도면2**

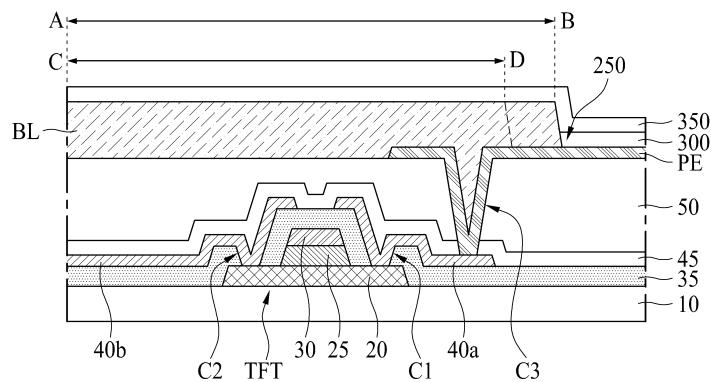
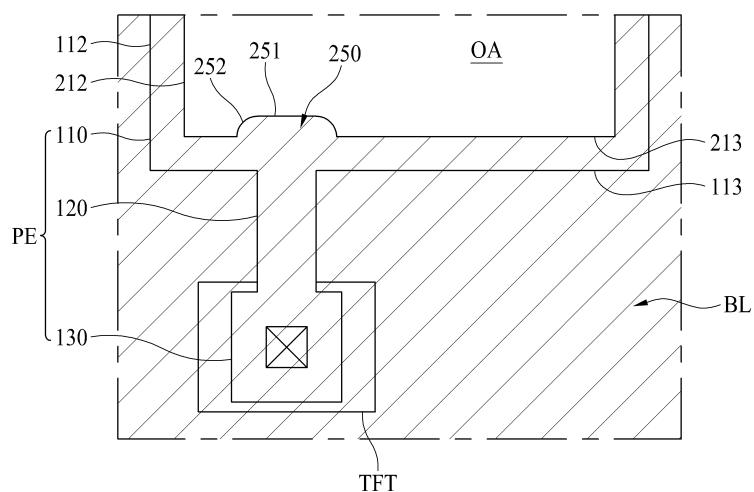
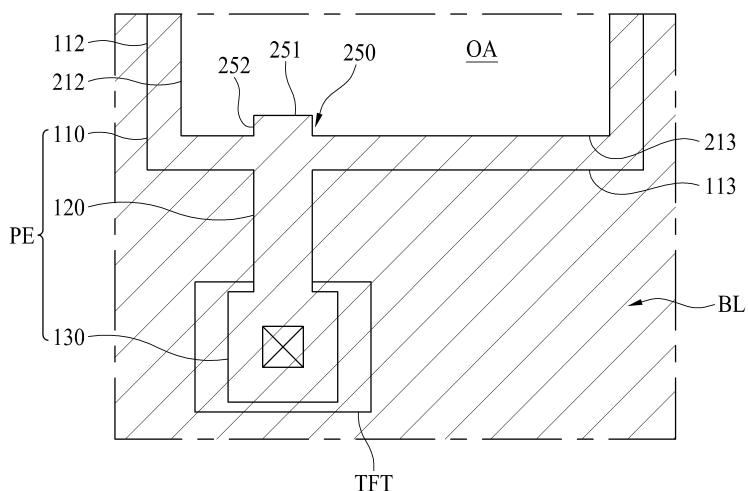
도면3a**도면3b**

도면3c

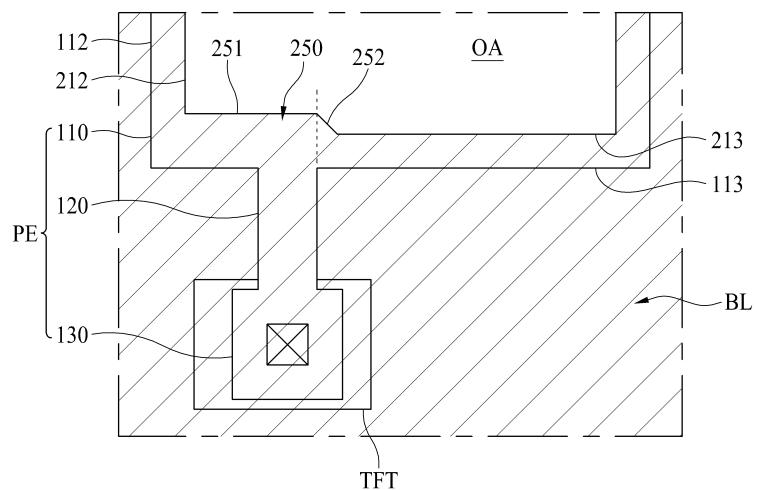


도면4a

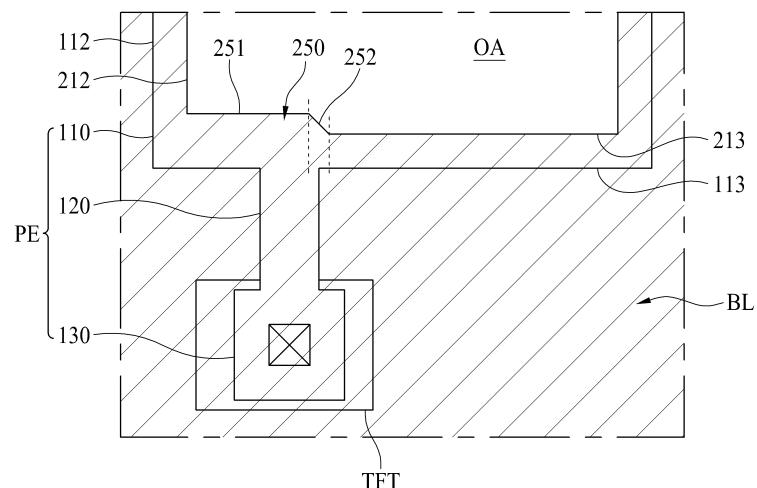


도면4b**도면5****도면6**

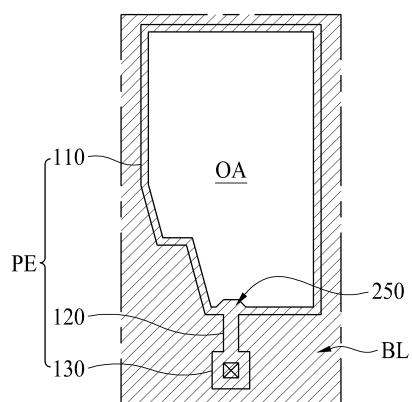
도면7



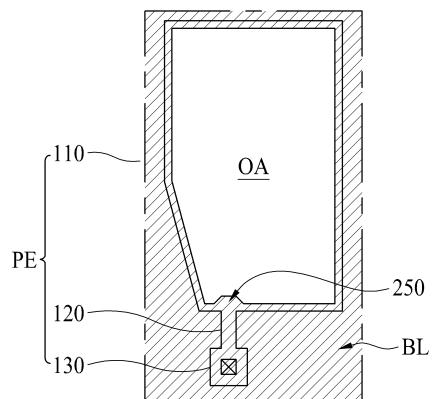
도면8



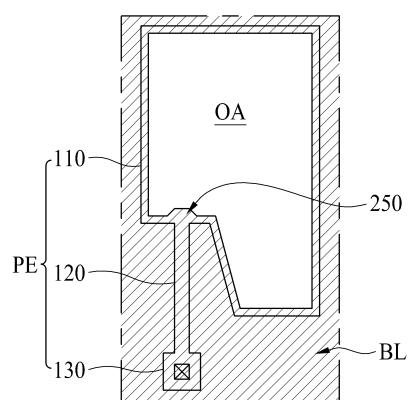
도면9



도면10



도면11



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190029319A	公开(公告)日	2019-03-20
申请号	KR1020170116717	申请日	2017-09-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이시규 박준호		
发明人	이시규 박준호		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3246 H01L27/3248 H01L27/3262		
外部链接	Espacenet		

摘要(译)

本发明提供了为每个像素提供的像素电极。薄膜晶体管电连接至像素电极；堤层具有开口区域，该开口区域用于暴露像素电极的一部分以限定发光区域，其中，像素电极电连接到设置在发光区域和薄膜晶体管中的电极部分。一种电致发光显示装置，包括接触部分和连接所述电极部分和所述接触部分的连接部分，其中所述堤层在面对所述连接部分的位置处设置有防裂部分。根据本发明，由于防裂部设置在堤层中，所以即使发生堤层的取向处理错误，像素电极的连接部也可以与防裂部重叠，从而防止连接部中的裂缝。可以。

