

명세서

청구범위

청구항 1

픽셀 회로로서,

발광 디바이스;

제1 노드에서의 전위에 응답하여 제1 파워 서플라이로부터 상기 발광 디바이스로 공급되는 구동 전류의 크기를 제어하기 위한 구동 회로;

제2 노드에서의 전위의 변화에 응답하여 상기 제1 노드에서의 전위의 변화를 야기시키기 위한 저장 커패시터 - 상기 제2 노드에서의 전위는 제1 기준 파워 서플라이로부터의 제1 기준 전압과 데이터 라인으로부터의 데이터 전압 사이에서 스위칭가능함 - ; 및

상기 제1 기준 전압의 변화에 의해 야기되는 구동 전류의 변화를 억제하기 위한 보상 커패시터

를 포함하는 픽셀 회로.

청구항 2

제1항에 있어서,

상기 발광 디바이스는 상기 제1 파워 서플라이와 제2 파워 서플라이 사이에 접속되고;

상기 구동 회로는 상기 발광 디바이스와 직렬로 접속되는 구동 트랜지스터를 포함하고, 상기 구동 트랜지스터는 상기 제1 노드에 접속되는 게이트를 가지고;

상기 저장 커패시터는 상기 제2 노드와 상기 제1 노드 사이에 접속되고;

상기 보상 커패시터는 제3 노드와, 상기 제1 노드 및 상기 제2 노드 중 하나 사이에 접속되는 픽셀 회로.

청구항 3

제2항에 있어서,

상기 구동 트랜지스터는 상기 제1 파워 서플라이와 상기 제3 노드 사이에 접속되는 P-타입 트랜지스터이고, 상기 발광 디바이스는 상기 제3 노드와 상기 제2 파워 서플라이 사이에 접속되는 픽셀 회로.

청구항 4

제2항에 있어서,

상기 구동 트랜지스터는 상기 제3 노드와 상기 제2 파워 서플라이 사이에 접속되는 N-타입 트랜지스터이고, 상기 발광 디바이스는 상기 제1 파워 서플라이와 상기 제3 노드 사이에 접속되는 픽셀 회로.

청구항 5

제2항에 있어서,

제1 스캔 라인 상의 신호가 활성화된 것에 응답하여, 상기 제1 기준 파워 서플라이로부터의 제1 기준 전압을 상기 제2 노드에 공급하고, 제2 기준 파워 서플라이로부터의 제2 기준 전압을 상기 제1 노드에 공급하도록 구성되는 리셋 회로;

제2 스캔 라인 상의 신호가 활성화된 것에 응답하여, 상기 데이터 라인으로부터의 데이터 전압을 상기 제2 노드에 공급하고, 상기 제1 노드를 상기 제3 노드와 도통시키도록 구성되는 기입 회로; 및

발광 제어 라인 상의 신호가 활성화된 것에 응답하여, 상기 제1 기준 파워 서플라이로부터의 제1 기준 전압을 상기 제2 노드에 공급하고, 상기 발광 디바이스 및 상기 구동 트랜지스터를 통해 상기 제1 파워 서플라이로부터

상기 제2 파워 서플라이로 상기 구동 전류가 흐르도록 하는 경로를 제공하도록 구성되는, 발광 제어 회로를 더 포함하는 픽셀 회로.

청구항 6

제5항에 있어서,

상기 리셋 회로는:

상기 제1 스캔 라인에 접속되는 게이트, 상기 제1 기준 파워 서플라이에 접속되는 제1 전극, 및 상기 제2 노드에 접속되는 제2 전극을 가지는 제1 트랜지스터; 및

상기 제1 스캔 라인에 접속되는 게이트, 상기 제2 기준 파워 서플라이에 접속되는 제1 전극, 및 상기 제1 노드에 접속되는 제2 전극을 가지는 제2 트랜지스터

를 포함하는 픽셀 회로.

청구항 7

제5항에 있어서,

상기 기입 회로는:

상기 제2 스캔 라인에 접속되는 게이트, 상기 데이터 라인에 접속되는 제1 전극, 및 상기 제2 노드에 접속되는 제2 전극을 가지는 제3 트랜지스터; 및

상기 제2 스캔 라인에 접속되는 게이트, 상기 제1 노드에 접속되는 제1 전극, 및 상기 제3 노드에 접속되는 제2 전극을 가지는 제4 트랜지스터

를 포함하는 픽셀 회로.

청구항 8

제5항에 있어서,

상기 발광 제어 회로는:

상기 발광 제어 라인에 접속되는 게이트, 상기 제1 기준 파워 서플라이에 접속되는 제1 전극, 및 상기 제2 노드에 접속되는 제2 전극을 가지는 제5 트랜지스터; 및

상기 발광 제어 라인에 접속되는 게이트, 상기 발광 디바이스에 접속되는 제1 전극, 및 상기 제3 노드에 접속되는 제2 전극을 가지는 제6 트랜지스터

를 포함하는 픽셀 회로.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 발광 디바이스는 유기 발광 다이오드 및 마이크로 무기 발광 다이오드를 포함하는 그룹으로부터 선택되는 픽셀 회로.

청구항 10

디스플레이 기관으로서,

스캔 신호들을 전송하기 위한 복수의 스캔 라인;

발광 제어 신호들을 전송하기 위한 복수의 발광 제어 라인;

데이터 전압들을 전송하기 위한 복수의 데이터 라인; 및

어레이로 배열되는 복수의 픽셀

을 포함하고, 상기 복수의 픽셀 각각은:

발광 디바이스;

제1 노드에서의 전위에 응답하여 제1 파워 서플라이로부터 상기 발광 디바이스로 공급되는 구동 전류의 크기를 제어하기 위한 구동 회로;

제2 노드에서의 전위의 변화에 응답하여 상기 제1 노드에서의 전위의 변화를 야기시키기 위한 저장 커패시터 - 상기 제2 노드에서의 전위는 제1 기준 파워 서플라이로부터의 제1 기준 전압과 상기 복수의 데이터 라인들 중 대응하는 데이터 라인으로부터의 데이터 전압 사이에서 스위칭가능함 - ; 및

상기 제1 기준 전압의 변화에 의해 야기되는 구동 전류의 변화를 억제하기 위한 보상 커패시터를 포함하는 디스플레이 기관.

청구항 11

제10항에 있어서,

상기 복수의 픽셀이 형성되는 기관

을 더 포함하고, 상기 구동 회로는 상기 기관 상에 형성되는 소스 영역, 드레인 영역 및 활성 영역, 및 수직 방향으로 상기 활성 영역으로부터 이격되는 게이트 영역을 가지는 구동 트랜지스터를 포함하고, 상기 소스 영역과 상기 드레인 영역은 상기 활성 영역에 의해 이격되고,

상기 저장 커패시터는 수직 방향으로 서로 대향 배치되는 제1 전극과 제2 전극을 가지고,

상기 보상 커패시터는 수직 방향으로 서로 대향 배치되는 제1 전극과 제2 전극을 가지고, 상기 보상 커패시터의 제1 전극은 상기 저장 커패시터의 제1 전극 및 제2 전극 중 하나와 동일한 층 내에 배치되고,

상기 보상 커패시터의 제2 전극은 상기 구동 트랜지스터의 드레인 영역에 대한 접속 와이어에 의해 형성되는 디스플레이 기관.

청구항 12

제11항에 있어서,

상기 보상 커패시터의 제1 전극은 상기 저장 커패시터의 제1 전극과 동일한 층 내에 배치되고, 상기 저장 커패시터의 제1 전극에 접속되는 디스플레이 기관.

청구항 13

제11항에 있어서,

상기 보상 커패시터의 제1 전극은 상기 저장 커패시터의 제2 전극과 동일한 층 내에 배치되고, 상기 저장 커패시터의 제2 전극에 접속되는 디스플레이 기관.

청구항 14

제11항에 있어서,

상기 접속 와이어는 도핑된 반도체 재료로 만들어지며, 상기 구동 트랜지스터의 활성 영역과 동일한 층 내에 배치되는 디스플레이 기관.

청구항 15

디스플레이 디바이스로서,

제10항에 따른 디스플레이 기관;

상기 복수의 스캔 라인에 상기 스캔 신호들을 공급하기 위한 제1 스캔 드라이버;

상기 복수의 발광 제어 라인에 발광 제어 신호들을 공급하기 위한 제2 스캔 드라이버; 및

상기 복수의 데이터 라인에 데이터 전압을 공급하기 위한 데이터 드라이버

를 포함하는 디스플레이 디바이스.

발명의 설명

기술 분야

[0001] 본 개시내용은 디스플레이 기술 분야에 관한 것이며, 구체적으로는 픽셀 회로, 디스플레이 기판 및 디스플레이 디바이스에 관한 것이다.

배경 기술

[0002] 유기 발광 다이오드 디스플레이 패널과 같은 디스플레이 패널에서, 레이아웃 설계의 제한으로 인해 상이한 와이어들 사이에 기생 커패시턴스(커플링 커패시턴스)가 종종 존재하며, 따라서 신호 크로스토크가 발생한다. 와이어 내의 신호의 레벨이 튕 때(jump), 또다른 와이어 내의 신호의 레벨 역시 변화될 수 있고, 이에 의해 디스플레이 효과에 영향을 준다.

[0003] 도 1은 디스플레이 패널에서 크로스토크가 어떻게 생성되는지를 개략적으로 도시한다. 디스플레이 패널에서, 기준 전압(Vref)이 모든 픽셀들에 공급되는데, 이는 각자의 데이터 전압(Vdata)과 함께 각자의 픽셀에 대한 픽셀 전류를 결정할 수 있다. 도 1에 도시된 바와 같이, 영역(A)으로부터 영역(B) 내에 위치한 픽셀로 스캐닝하고, 영역(B) 내에 위치한 픽셀로부터 영역(C)로 스캐닝할 때, 픽셀의 데이터 전압(Vdata)이 튀어서, 안정적인 어야 할 기준 전압(Vref)의 뒹을 야기시킬 것이다. 그때, 발광 단계인 다른 픽셀들은 플리커와 같은 원치 않는 디스플레이 효과를 겪을 수 있는데, 즉, 크로스토크에 의해 영향을 받을 수 있다.

발명의 내용

[0004] 위의 문제점들 중 하나 이상을 완화하고, 경감시키거나 또는 제거할 수 있는 메커니즘을 제공하는 것이 유리하다.

[0005] 본 개시내용의 양태에 따르면, 발광 디바이스; 제1 노드에서의 전위에 응답하여 제1 파워 서플라이로부터 발광 디바이스로 공급되는 구동 전류의 크기를 제어하기 위한 구동 회로; 제2 노드에서의 전위의 변화에 응답하여 제1 노드에서의 전위의 변화를 야기시키기 위한 저장 커패시터 - 제2 노드에서의 전위는 제1 기준 파워 서플라이로부터의 제1 기준 전압과 데이터 라인으로부터의 데이터 전압 사이에서 스위칭할 수 있음 - ; 및 제1 기준 전압의 변화에 의해 야기되는 구동 전류의 변화를 억제하기 위한 보상 커패시터를 포함하는, 픽셀 회로가 제공된다.

[0006] 일부 예시적인 실시예들에서, 발광 디바이스는 제1 파워 서플라이와 제2 파워 서플라이 사이에 접속되고; 구동 회로는 발광 디바이스와 직렬로 접속되는 구동 트랜지스터를 포함하고, 구동 트랜지스터는 제1 노드에 접속되는 게이트를 가지고; 저장 커패시터는 제2 노드와 제1 노드 사이에 접속되고; 보상 커패시터는 제3 노드와, 제1 노드 및 제2 노드 중 하나 사이에 접속된다.

[0007] 일부 예시적인 실시예들에서, 구동 트랜지스터는 제1 파워 서플라이와 제3 노드 사이에 접속되는 P-타입 트랜지스터이고, 발광 디바이스는 제3 노드와 제2 파워 서플라이 사이에 접속된다.

[0008] 일부 예시적인 실시예들에서, 구동 트랜지스터는 제3 노드와 제2 파워 서플라이 사이에 접속되는 N-타입 트랜지스터이고, 발광 디바이스는 제1 파워 서플라이와 제3 노드 사이에 접속된다.

[0009] 일부 예시적인 실시예들에서, 픽셀 회로는, 제1 스캔 라인 상의 신호가 활성화된 것에 응답하여, 제1 기준 파워 서플라이로부터의 제1 기준 전압을 제2 노드에 공급하고, 제2 기준 파워 서플라이로부터의 제2 기준 전압을 제1 노드에 공급하도록 구성되는 리셋 회로; 제2 스캔 라인 상의 신호가 활성화된 것에 응답하여, 데이터 라인으로부터의 데이터 전압을 제2 노드에 공급하고, 제1 노드를 제3 노드와 도통시키도록 구성되는 기입 회로; 및 발광 제어 라인 상의 신호가 활성화된 것에 응답하여, 제1 기준 파워 서플라이로부터의 제1 기준 전압을 제2 노드에 공급하고, 발광 디바이스 및 구동 트랜지스터를 통해 제1 파워 서플라이로부터 제2 파워 서플라이로 구동 전류가 흐르도록 하는 경로를 제공하도록 구성되는, 발광 제어 회로를 더 포함한다.

[0010] 일부 예시적인 실시예들에서, 리셋 회로는: 제1 스캔 라인에 접속되는 게이트, 제1 기준 파워 서플라이에 접속되는 제1 전극, 및 제2 노드에 접속되는 제2 전극을 가지는 제1 트랜지스터; 및 제1 스캔 라인에 접속되는 게이트, 제2 기준 파워 서플라이에 접속되는 제1 전극, 및 제1 노드에 접속되는 제2 전극을 가지는 제2 트랜지스터를 포함한다.

- [0011] 일부 예시적인 실시예들에서, 기입 회로는: 제2 스캔 라인에 접속되는 게이트, 데이터 라인에 접속되는 제1 전극, 및 제2 노드에 접속되는 제2 전극을 가지는 제3 트랜지스터; 및 제2 스캔 라인에 접속되는 게이트, 제1 노드에 접속되는 제1 전극, 및 제3 노드에 접속되는 제2 전극을 가지는 제4 트랜지스터를 포함한다.
- [0012] 일부 예시적인 실시예들에서, 발광 제어 회로는: 발광 제어 라인에 접속되는 게이트, 제1 기준 파워 서플라이에 접속되는 제1 전극, 및 제2 노드에 접속되는 제2 전극을 가지는 제5 트랜지스터; 및 발광 제어 라인에 접속되는 게이트, 발광 디바이스에 접속되는 제1 전극, 및 제3 노드에 접속되는 제2 전극을 가지는 제6 트랜지스터를 포함한다.
- [0013] 일부 예시적인 실시예들에서, 발광 디바이스는 유기 발광 다이오드 및 마이크로 무기 발광 다이오드를 포함하는 그룹으로부터 선택된다.
- [0014] 본 개시내용의 또다른 양태에 따르면, 스캔 신호들을 전송하기 위한 복수의 스캔 라인; 발광 제어 신호들을 전송하기 위한 복수의 발광 제어 라인; 데이터 전압들을 전송하기 위한 복수의 데이터 라인; 및 어레이로 배열되는 복수의 픽셀을 포함하는 디스플레이 기판이 제공되고, 복수의 픽셀 각각은: 발광 디바이스; 제1 노드에서의 전위에 응답하여 제1 파워 서플라이로부터 발광 디바이스로 공급되는 구동 전류의 크기를 제어하기 위한 구동 회로; 제2 노드에서의 전위의 변화에 응답하여 제1 노드에서의 전위의 변화를 야기시키기 위한 저장 커패시터 - 제2 노드에서의 전위는 제1 기준 파워 서플라이로부터의 제1 기준 전압과 복수의 데이터 라인 중 대응하는 데이터 라인으로부터의 데이터 전압 사이에서 스위칭가능함 - ; 및 제1 기준 전압의 변화에 의해 야기되는 구동 전류의 변화를 억제하기 위한 보상 커패시터를 포함한다.
- [0015] 일부 예시적인 실시예들에서, 디스플레이 기판은 복수의 픽셀이 형성되는 기판을 더 포함한다. 구동 회로는 기판 상에 형성되는 소스 영역, 드레인 영역 및 활성 영역, 및 수직 방향으로 상기 활성 영역으로부터 이격되는 게이트 영역을 가지는 구동 트랜지스터를 포함하고, 소스 영역과 드레인 영역은 활성 영역에 의해 이격된다. 저장 커패시터는 수직 방향으로 서로 대향 배치되는 제1 전극과 제2 전극을 가진다. 보상 커패시터는 수직 방향으로 서로 대향 배치되는 제1 전극과 제2 전극을 가지고, 보상 커패시터의 제1 전극은 저장 커패시터의 제1 전극 및 제2 전극 중 하나와 동일한 층 내에 배치된다. 보상 커패시터의 제2 전극은 구동 트랜지스터의 드레인 영역에 대한 접속 와이어에 의해 형성된다.
- [0016] 일부 예시적인 실시예들에서, 보상 커패시터의 제1 전극은 저장 커패시터의 제1 전극과 동일한 층 내에 배치되고, 저장 커패시터의 제1 전극에 접속된다.
- [0017] 일부 예시적인 실시예들에서, 보상 커패시터의 제1 전극은 저장 커패시터의 제2 전극과 동일한 층 내에 배치되고, 저장 커패시터의 제2 전극에 접속된다.
- [0018] 일부 예시적인 실시예들에서, 접속 와이어는 도핑된 반도체 재료로 만들어지며, 구동 트랜지스터의 활성 영역과 동일한 층 내에 배치된다.
- [0019] 본 개시내용의 추가적인 양태에 따르면, 전술된 디스플레이 기판; 복수의 스캔 라인에 스캔 신호들을 공급하기 위한 제1 스캔 드라이버; 복수의 발광 제어 라인에 발광 제어 신호들을 공급하기 위한 제2 스캔 드라이버; 및 복수의 데이터 라인에 데이터 전압을 공급하기 위한 데이터 드라이버를 포함하는, 디스플레이 디바이스가 제공된다.
- [0020] 본 개시내용의 이들 및 다른 양태들은 하기에 기술되는 실시예들로부터 명백해질 것이고 이 실시예들을 참조하여 상술될 것이다.

도면의 간단한 설명

- [0021] 도 1은 디스플레이 패널에서 크로스토크가 어떻게 생성되는지를 개략적으로 예시한다.
- 도 2는 본 개시내용의 실시예에 따른 픽셀 회로의 회로도이다.
- 도 3은 본 개시내용의 실시예에 따른 또다른 픽셀 회로의 회로도이다.
- 도 4는 도 2 또는 도 3에 도시된 픽셀 회로의 타이밍도이다.
- 도 5는 본 개시내용의 실시예에 따른 추가적인 픽셀 회로의 회로도이다.
- 도 6은 본 개시내용의 실시예에 따른 디스플레이 기판의 부분 단면도를 개략적으로 예시한다.

도 7은 본 개시내용의 실시예에 따른 또다른 디스플레이 기관의 부분 단면도를 개략적으로 예시한다.

도 8은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] "제1", "제2", "제3" 등과 같은 용어들이 본원에서 다양한 엘리먼트들, 컴포넌트들, 영역들, 층들 및/또는 부분들을 기술하기 위해 사용될 수 있지만, 이들 엘리먼트들, 컴포넌트들, 영역들, 층들 및/또는 부분들이 이들 용어들에 의해 제한되지 않아야 한다는 것이 이해될 것이다. 이들 용어들은 하나의 엘리먼트, 컴포넌트 영역, 층 또는 부분을 또다른 것과 구별하기 위해서만 사용된다. 따라서, 하기에 논의되는 제1 엘리먼트, 제1 컴포넌트, 제1 영역, 제1 층 또는 제1 부분은 개시내용의 교시들로부터 벗어나지 않고 제2 엘리먼트, 제2 컴포넌트, 제2 영역, 제2 층 또는 제2 부분이라 지칭될 수 있다.
- [0023] "아래에(under)", "아래에(below)", "하부의", "아래에(beneath)", "위에(above)", "상부의" 등과 같은 공간적으로 상대적인 용어들은 기재의 편의를 위해 도면들에 예시된 바와 같이 하나의 엘리먼트 또는 특징과 또다른 엘리먼트 또는 특징 사이의 관계를 기술하기 위해 본원에서 사용될 수 있다. 이들 공간적으로 상대적인 용어들이 사용 또는 동작시 도면들에 도시된 배향들 뿐만 아니라 디바이스의 상이한 배향들을 포함하도록 의도된다는 것이 이해될 것이다. 예를 들어, 도면들 내의 디바이스가 뒤집어지면, "다른 엘리먼트들 또는 특징들 아래에 (below other elements or features, under other elements or features, 또는 beneath other elements or features)" 있는 것으로서 기술되는 엘리먼트들은 "다른 엘리먼트들 또는 특징들" 위에 있는 것으로서 배향될 것이다. 따라서, 예시적인 용어들 "아래에(below, beneath)"는 "위에" 및 "아래에"의 두 배향들 모두를 포함할 수 있다. 디바이스는 다른 방식들로(90도 회전하여 또는 다른 배향들로) 배향될 수 있고, 본원에서 사용되는 공간적으로 상대적인 기술어(descriptor)들이 그에 따라 해석될 것이다. 추가로, 층이 "2개 층 사이에" 있는 것으로서 지칭될 때, 2개 층 사이에 단독 층이 있을 수 있거나, 또는 하나 이상의 중간 층이 존재할 수 있다는 것 역시 이해될 것이다.
- [0024] 본원에 사용되는 용어들은 단지 특정 실시예들을 기술할 목적이며, 본 개시내용을 제한하도록 의도되지 않는다. 본원에서 사용되는 바와 같이, 단수 형태들("a", "an" 및 "the")은 문맥 내에서 다른 방식으로 명시적으로 정의되지 않는 한, 복수 형태들도 포함하도록 의도된다. 용어들 "포함하는(comprising 및/또는 including)"이, 명세서에서 사용될 때, 수반되는 특징, 전체, 단계, 동작, 엘리먼트 및/또는 컴포넌트의 존재를 특정하지만, 하나 이상의 다른 특징, 전체, 단계, 동작, 엘리먼트, 컴포넌트, 및/또는 이들의 그룹들의 존재 또는 추가를 배제하지 않는다는 것이 추가로 이해될 것이다. 본원에 사용되는 바와 같이, 용어 "및/또는"은 열거된 연관 항목들 중 하나 이상 중 임의의 그리고 모든 조합들을 포함한다.
- [0025] 엘리먼트 또는 층이 "또다른 엘리먼트 또는 층 위의" 또는 "또다른 엘리먼트 또는 층에 접속되는" 또는 "또다른 엘리먼트 또는 층에 커플링되는" 것으로서 지칭될 때, 그것이 또다른 엘리먼트 또는 층 상에 직접 있거나, 또다른 엘리먼트 또는 층에 직접 접속되거나, 또는 또다른 엘리먼트 또는 층에 직접 커플링될 수 있거나, 또는 중간 엘리먼트 또는 층이 존재할 수 있다는 것이 이해될 것이다. 반면, 엘리먼트가 "또다른 엘리먼트 또는 층 바로 위의" 또는 "또다른 엘리먼트 또는 층에 직접 접속되는" 또는 "또다른 엘리먼트 또는 층에 직접 커플링되는" 것으로서 지칭될 때, 중간 엘리먼트 또는 층이 존재하지 않는다. 그러나, 어느 경우든, "~ 상에" 또는 "~ 상에 직접"은 층이 기반 층을 완전히 커버하도록 요구하는 것으로서 해석되지 않아야 한다.
- [0026] 본 개시내용의 실시예들은 본 개시내용의 이상화된 실시예들의 예시들(및 중간 구조들)을 참조하여 본원에 기술될 것이다. 이러한 이유로, 예시된 형상들에서의 변형들은 예를 들어, 제조 기법들 및/또는 허용오차들의 결과로서 참작되어야 한다. 따라서, 본 개시내용의 실시예들이 본원에 예시된 영역들의 특정 형상으로 제한되도록 해석되어야 하는 것이 아니라, 제조로부터 기인되는 형상 변형들을 포함해야 한다. 따라서, 도면들에 예시된 영역들은 본질적으로 예시적이며, 그 형상들은 디바이스의 영역들의 실제 형상을 예시하도록 의도되지 않으며, 본 개시내용의 형상을 제한하도록 의도되지 않는다.
- [0027] 본원에 사용되는 모든 용어들(기술적 및 과학적 용어들을 포함함)은, 달리 정의되지 않는 한, 본 개시내용이 속하는 기술분야의 통상의 기술자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 공통으로 사용되는 사전들에서 정의되는 것과 같은 용어들이 관련 기술분야 및/또는 명세서의 상황에서 이들의 의미들에 부합하는 의미들을 가지는 것으로서 해석되어야 하며, 본원에서 명시적으로 정의되지 않은 한, 이상화된 또는 너무 공식적인 의미로만 설명되지는 않을 것이므로 추가로 이해될 것이다. 본 기술분야의 통상의 기술자가 본 개시내용의 기술적 해법들을 더 잘 이해할 수 있게 하기 위해, 본원에서 2개의 엘리먼트가 "동일한 층 내에 배치되는" 것은

이들이 패터닝 공정 이후 동일한 재료층에 의해 기판 상에 형성되는 것을 의미할 수 있지만, 기판까지의 이들의 거리들이 반드시 동일함을 의미하지는 않는다.

- [0028] 본 개시내용의 실시예들이 첨부 도면들을 참조하여 하기에 상세히 기술될 것이다.
- [0029] 도 2는 본 개시내용의 실시예에 따른 픽셀 회로(200)의 회로도이다. 도 2에 도시된 바와 같이, 픽셀 회로(200)는 발광 디바이스(이는 도 2에서 유기 발광 다이오드(OLED)임), 구동 트랜지스터(T0)로서 도시된 구동 회로, 저장 커패시터(Cst), 및 보상 커패시터(Cco)를 포함한다.
- [0030] 유기 발광 다이오드(OLED)로서 예시된 발광 디바이스는 제1 파워 서플라이(ELVDD)와 제2 파워 서플라이(ELVSS) 사이에 접속된다. 발광 디바이스는 유기 발광 다이오드로 제한되지 않으며, 마이크로 발광 다이오드(Micro-LED)와 같은 다른 타입들의 발광 엘리먼트들일 수 있다. 알려진 바와 같이, 마이크로 발광 다이오드들은 무기 재료들을 형성 재료로서 사용하며, 통상적으로 수 미크론 정도의 디멘전을 가진다.
- [0031] 구동 회로는 제1 노드(N1)에서의 전위에 응답하여 제1 파워 서플라이(ELVDD)로부터 발광 디바이스(OLED)로 공급되는 구동 전류의 크기를 제어한다. 이 예에서, 구동 회로는 구동 트랜지스터(T0)를 포함한다. 구체적으로, 구동 트랜지스터(T0)는 발광 디바이스(OLED)와 직렬로 접속된다. 더 구체적으로, 이 예에서, 구동 트랜지스터(T0)는 제1 노드(N1)에 접속되는 게이트, 제1 파워 서플라이(ELVDD)에 접속되는 소스, 및 제3 노드(N3)에 접속되는 드레인을 가지는 P-타입 트랜지스터로서 도시된다. 다른 실시예들에서, 구동 회로는 다른 형태들을 취할 수 있다.
- [0032] 저장 커패시터(Cst)는 제2 노드(N2)에서의 전위의 변화에 응답하여 제1 노드(N1)에서의 전위의 변화를 야기시킨다. 구체적으로, 저장 커패시터(Cst)는 제2 노드(N2)와 제1 노드(N1) 사이에 접속된다. 제2 노드(N2)에서의 전위는 선택적으로 (제1 트랜지스터(T1) 또는 제5 트랜지스터(T5)를 통해) 제1 기준 파워 서플라이(VREF)로부터의 제1 기준 전압에 또는 데이터 라인(D[m])으로부터의 데이터 전압에 설정될 수 있다. 추후 기술될 바와 같이, 픽셀 회로(200)가 동작 중일 때, 제2 노드(N2)에서의 전위는 제1 기준 전압과 데이터 전압 사이에서 스위칭한다.
- [0033] 보상 커패시터(Cco)는 제1 기준 전압의 변화에 의해 야기되는 발광 디바이스(OLED)를 통해 흐르는 구동 전류의 변화를 억제하기 위해 사용된다. 이 예에서, 보상 커패시터(Cco)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다. 보상 커패시터(Cco)는 제1 노드(N1)에서의 전위의 네거티브 궤환 제어(negative feedback control)를 가능하게 한다. 예를 들어, 발광 단계에서(여기서, 추후 기술될 바와 같이, 제2 노드(N2)에서의 전위는 제1 기준 전압원(VREF)으로부터의 제1 기준 전압에 설정됨), 제1 기준 전압이, 예를 들어, 크로스토크로 인해 증가할 때, 제2 노드(N2)에서의 전위가 증가하고, 제1 노드(N1)에서의 전위 역시 저장 커패시터(Cst)의 부트스트랩 효과로 인해 그에 따라 증가하는데, 즉, 구동 커패시터(T0)의 게이트-소스 전압이 증가하는데, 이는 P-타입 구동 트랜지스터의 구동 전류의 감소, 및 따라서 제3 노드(N3)에서의 전위의 감소를 초래한다. 제3 노드(N3)에서의 전위의 감소는 보상 커패시터(Cco)의 부트스트랩 효과로 인해 제2 노드(N2)에서의 전위의 감소를 야기시키는데, 이는 차례로 저장 커패시터(Cst)의 부트스트랩 효과로 인한 제1 노드(N1)에서의 전위의 감소를 야기시킨다. 따라서, 제1 노드(N1)에서의 전위의 네거티브 궤환 제어가 달성된다. 유리하게는, 이 네거티브 궤환 제어는 제1 노드(N1)에서의 전위 및 따라서 구동 트랜지스터(T0)의 게이트-소스 전압의 상대적 안정성을 보장하고, 이에 의해 구동 전류에 대한 크로스토크 효과를 감소시키고 따라서 디스플레이 품질을 개선한다.
- [0034] 도 3은 도 2에 도시된 픽셀 회로(200)에 대한 대안으로서 픽셀 회로(300)를 예시한다. 도 3에 도시된 바와 같이, 픽셀 회로(300)에서, 보상 커패시터(Cco)는 제1 노드(N1)(제2 노드(N2)보다는)와 제3 노드(N3) 사이에 접속된다. 전술된 네거티브 궤환 제어는, 보상 커패시터(Cco)가 이제 저장 커패시터(Cst)를 경유하기보다는 제1 노드(N1)에서의 전위로 직접 네거티브 궤환을 제공한다는 것을 제외하고는, 여전히 유지된다(tenable).
- [0035] 도 2 또는 도 3의 예에서, 픽셀 회로들(200 및 300) 각각은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 포함하는 리셋 회로, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 포함하는 기입 회로, 및 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)를 포함하는 발광 제어 회로를 더 포함한다.
- [0036] 리셋 회로에서, 제1 트랜지스터(T1)는 제1 스캔 라인(S[n-1])에 접속되는 게이트, 제1 기준 파워 서플라이(VREF)에 접속되는 제1 전극, 및 제2 노드(N2)에 접속되는 제2 전극을 가지고, 제2 트랜지스터(T2)는 제1 스캔 라인(S[n-1])에 접속되는 게이트, 제2 기준 파워 서플라이(VINT)에 접속되는 제1 전극, 및 제1 노드(N1)에 접속되는 제2 전극을 가진다. 제1 트랜지스터(T1)는 제1 스캔 라인(S[n-1]) 상의 신호가 활성화된 것에 응답하여 제1 기준 파워 서플라이(VREF)로부터의 제1 기준 전압을 제2 노드(N2)에 공급하도록 구성된다. 제2 트랜지스터(T

2)는 제1 스캔 라인(S[n-1]) 상의 신호가 활성화인 것에 응답하여 제2 기준 파워 서플라이(VINT)로부터의 제2 기준 전압(Vint)을 제1 노드(N1)에 공급하도록 구성된다.

[0037] 기입 회로에서, 제3 트랜지스터(T3)는 제2 스캔 라인(S[n])에 접속되는 게이트, 데이터 라인(D[m])에 접속되는 제1 전극, 및 제2 노드(N2)에 접속되는 제2 전극을 가지고, 제4 트랜지스터(T4)는 제2 스캔 라인(S[n])에 접속되는 게이트, 제1 노드(N1)에 접속되는 제1 전극, 및 제3 노드(N3)에 접속되는 제2 전극을 가진다. 제3 트랜지스터(T3)는 제2 스캔 라인(S[n]) 상의 신호가 활성화인 것에 응답하여 데이터 라인(D[m])으로부터의 데이터 전압을 제2 노드(N2)에 공급하도록 구성된다. 제4 트랜지스터(T4)는 제2 스캔 라인(S[n]) 상의 신호가 활성화인 것에 응답하여 제1 노드(N1)를 제3 노드(N3)와 도통시키도록 구성된다.

[0038] 발광 제어 회로에서, 제5 트랜지스터(T5)는 발광 제어 라인(EM[n])에 접속되는 게이트, 제1 기준 파워 서플라이(VREF)에 접속되는 제1 전극, 및 제2 노드(N2)에 접속되는 제2 전극을 가지고, 제6 트랜지스터(T6)는 발광 제어 라인(EM[n])에 접속되는 게이트, 발광 디바이스(OLED)에 접속되는 제1 전극, 및 제3 노드(N3)에 접속되는 제2 전극을 가진다. 제5 트랜지스터(T5)는 발광 제어 라인(EM[n]) 상의 신호가 활성화인 것에 응답하여 제1 기준 파워 서플라이(VREF)로부터의 제1 기준 전압을 제2 노드(N2)에 공급하도록 구성된다. 제6 트랜지스터(T6)는 발광 제어 라인(EM[n]) 상의 신호가 활성화인 것에 응답하여 턴온되어, 이에 의해 발광 디바이스(OLED) 및 구동 트랜지스터(T0)를 통해 제1 파워 서플라이(ELVDD)로부터 제2 파워 서플라이(ELVSS)로 구동 전류가 흐르도록 하는 경로를 제공하도록 구성된다.

[0039] 도 4는 픽셀 회로(200 또는 300)의 타이밍도를 예시한다. 픽셀 회로(200 또는 300)의 동작은 도 4를 참조하여 상세히 기술될 것이다. 제1 기준 파워 서플라이(VREF)가 제1 기준 전압(Vref)을 공급하고, 제2 기준 파워 서플라이(VINT)가 제2 기준 전압(Vint)을 공급하고, 제1 파워 서플라이(ELVDD)가 제1 파워 서플라이 전압(Vdd)을 공급하고, 제2 파워 서플라이(ELVSS)가 제2 파워 서플라이 전압(Vss)을 공급한다고 가정된다.

[0040] 리셋 단계(P1) 동안, 제1 스캔 라인(S[n-1]) 상의 신호는 활성화이고, 제2 스캔 라인(S[n]) 상의 신호는 비활성이고, 발광 제어 라인(EM[n]) 상의 신호는 비활성이다. 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 턴온되고, 따라서 제1 기준 전압원(VREF)으로부터 공급되는 제1 기준 전압(Vref) 및 제2 기준 전압원(VINT)으로부터 공급되는 제2 기준 전압(Vint)은 저장 커패시터(Cst)의 2개 단부들(즉, 제2 노드(N2) 및 제1 노드(N1))에 각자 전송된다. 따라서, 저장 커패시터(Cst) 양단의 전압이 리셋된다. 제1 기준 전압(Vref)과 제2 기준 전압(Vint)은, 구동 트랜지스터(T0)가 턴온되지 않는 한, 동일하거나 동일하지 않을 수 있다. 일반적으로, Vref와 Vint 사이의 차이는 저장 커패시터(Cst)의 과충전을 회피하기 위해 너무 크지 않아야 한다.

[0041] 기입 단계(P2) 동안, 제1 스캔 라인(S[n-1]) 상의 신호는 비활성이고, 제2 스캔 라인(S[n]) 상의 신호는 활성화이고, 발광 제어 라인(EM[n]) 상의 신호는 비활성이다. 제3 트랜지스터(T3)가 턴온되어 데이터 라인(D[m]) 상의 데이터 전압(Vdata)을 제2 노드(N2)에 전송한다. 동시에, 제4 트랜지스터(T4) 역시 턴온되어 제1 노드(N1)를 제3 노드(N3)와 도통시킨다. 따라서, 구동 트랜지스터(T0)는 다이오드-접속 상태에 있는데, 여기서 그것의 게이트-소스 전압(Vgs)은 임계 전압(Vth)과 동일하다. 구동 트랜지스터(T0)의 소스 전압(Vs)이 제1 파워 서플라이(ELVDD)로부터 공급되는 제1 파워 서플라이 전압(Vdd)이기 때문에, 그것의 게이트 전압(Vg)(즉, 제1 노드(N1)에서의 전위)은 (Vdd+Vth)이다.

[0042] 발광 단계(P3) 동안, 제1 스캔 라인(S[n-1]) 상의 신호는 비활성이고, 제2 스캔 라인(S[n]) 상의 신호는 비활성이고, 발광 제어 라인(EM[n]) 상의 신호는 활성화이다. 제5 트랜지스터(T5)가 턴온되어 제1 기준 전압원(VREF)으로부터 공급되는 제1 기준 전압(Vref)을 제2 노드(N2)로 전송한다. 따라서, 제2 노드(N2)에서의 전위가 기입 단계(P2)에서의 Vdata로부터 Vref로 튀며, 변화분은 (Vref-Vdata)이다. 저장 커패시터(Cst)의 부트스트랩 효과로 인해, 제1 노드(N1)에서의 전위 역시 동일한 변화 정도를 거치는데, 즉, 그것은 (Vdd+Vth+Vref-Vdata)가 된다. 동시에, 제6 트랜지스터(T6) 역시 턴온되어, 제1 파워 서플라이(ELVDD)로부터 제2 파워 서플라이(ELVSS)로의 전류 흐름 경로를 제공한다. 발광 디바이스(OLED)를 통해 흐르는 구동 전류(Id)는 다음과 같이 계산된다:

$$\begin{aligned}
 Id &= K(Vgs - Vth)^2 \\
 &= K(Vdd + Vth + Vref - Vdata - Vdd - Vth)^2 \\
 &= K(Vref - Vdata)^2 \quad (1)
 \end{aligned}$$

[0043] .

[0044] 여기서 K는 미리 결정된 계수인데, 이는 통상적으로 상수인 것으로 간주될 수 있다. 수학적(1)에서 알 수 있는 바와 같이, 구동 전류(Id)는 제1 기준 파워 서플라이(VREF)로부터 공급되는 기준 전압(Vref)에 관련된다. 따라

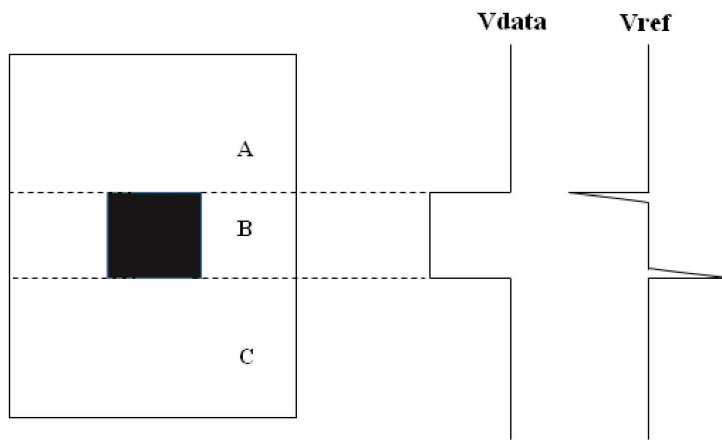
서, 크로스토크로부터 기인되는 기준 레벨(Vref)에서의 틸은 구동 전류(Id)에서의, 그리고 따라서 발광 디바이스(OLED)의 휘도에서의 대응하는 변화들을 야기시킬 수 있는데, 이는 디스플레이 효과에 영향을 준다. 그러나, 전술된 바와 같이, 픽셀 회로(200 또는 300)에서, 기준 레벨(Vref)의 변화에 의해 야기되는 구동 전류(Id)의 변화는 보상 커패시터(Cco)를 제공함으로써 억제되고, 이에 의해 크로스토크의 영향을 감소시킨다.

- [0045] 트랜지스터들이 전술된 실시예들에서 P-타입 트랜지스터들로서 예시되고 기술되었지만, N-타입 트랜지스터들 역시 가능하다는 것이 이해될 것이다. N-타입 트랜지스터의 경우, 게이트-온 전압은 하이 레벨을 가지고, 게이트-오프 전압은 로우 레벨을 가진다. 예로서, 트랜지스터들은 이들의 제1 및 제2 전극들이 상호교환가능하게 사용되도록 통상적으로 제조되는 박막 트랜지스터들일 수 있다.
- [0046] 도 5는 각각의 트랜지스터가 N-타입 트랜지스터인 하나의 가능한 픽셀 회로(500)를 예시한다. 도 2, 3 및 5에서, 동일한 참조 번호들은 동일한 엘리먼트들을 표기한다. 픽셀 회로(500)의 구성은, 픽셀 회로(500)에서, 구동 트랜지스터(T0)가 제3 노드(N3)와 제2 파워 서플라이(ELVSS) 사이에 접속되고(그것의 드레인은 제3 노드(N3)에 접속되고 그것의 소스는 제2 파워 서플라이(ELVSS)에 접속됨), 발광 디바이스(OLED)가 제1 파워 서플라이(ELVDD)와 제3 노드(N3) 사이에 접속된다는 것을 제외하고는, 도 2 및 4에 대해 전술된 픽셀 회로(200)의 구성과 유사하다. 대안적으로, 픽셀 회로(300)와 유사하게, 픽셀 회로(500) 내의 보상 커패시터(Cco)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속될 수 있다.
- [0047] 본 개시내용의 개념이 픽셀 회로들(200, 300 및 500)에 적용가능할 뿐만 아니라, 그것의 발광 디바이스, 저장 커패시터, 구동 회로, 및 보상 커패시터가 본원에 기술되는 조건들에 따르는 한, 임의의 다른 특정 픽셀 회로에도 적용가능하다는 것이 또한 이해될 것이다.
- [0048] 도 6은 본 개시내용의 실시예에 따른 디스플레이 기관(600)의 부분적 단면도를 예시한다. 기관(610)이 도 6에 도시되어 있다. 구동 트랜지스터(T0)의 소스 영역(622), 활성 영역(624), 및 드레인 영역(626)이 기관(610) 상에 형성되며, 소스 영역(622)과 드레인 영역(626)은 활성 영역(624)에 의해 이격된다. 구동 트랜지스터(T0)는 활성 영역(624)으로부터 수직으로 이격된 게이트 영역(628)을 더 가진다. 도 6은 수직 방향으로 서로 대향 배치되는 제1 전극(632)과 제2 전극(634)을 가지는 저장 커패시터(Cst), 및 수직 방향으로 서로 대향 배치되는 제1 전극(642)과 제2 전극(644)을 가지는 보상 커패시터(Cco)를 추가로 도시한다.
- [0049] 도 6에 도시된 배열이 도 2에 도시된 픽셀 회로(200)에 대응하지만, 구동 트랜지스터(T0), 저장 커패시터(Cst) 및 보상 커패시터(Cco)가 아닌 다른 엘리먼트들은 예시의 편의상 도시되지 않았다. 도 6의 예에서, 보상 커패시터(Cco)의 제2 전극(644)은 구동 트랜지스터(T0)의 드레인 영역(626)과 동일한 층 내에 배치되고, 픽셀 회로 내의 다른 엘리먼트들(이는 픽셀 회로(200) 내의 제6 트랜지스터(T6)임)에 드레인 영역(626)을 커플링시키기 위한 접속 와이어로 형성된다. 보상 커패시터(Cco)의 제2 전극(644)으로서 접속 와이어를 사용하는 것이 유리할 수 있는데, 왜냐하면, 제2 전극(644)이 이후 원래 픽셀 회로(즉, 보상 커패시터(Cco)가 없는 픽셀 회로)의 레이아웃 영역 내에 위치될 수 있고, 따라서 보상 커패시터(Cco)의 존재가 픽셀 회로의 레이아웃 영역을 증가시키지 않고, 이에 의해 해상도를 개선하기 때문이다. 이는 또한 추가적인 와이어들에 대한 필요성을 없앨 수 있으며, 이에 의해 예를 들어, 와이어 오버랩으로부터 기인되는 크로스토크를 감소시킨다.
- [0050] 추가로, 보상 커패시터(Cst)의 제1 전극(642)은 저장 커패시터(Cst)의 제1 전극(632)과 동일한 층 내에 배치되고, 전극들(642 및 632)은 서로 직접 접속될 수 있거나 또는 직접 접속되지 않을 수도 있다. 전자의 경우, 제1 전극(632)은 제2 전극(644)에 대응하는 확장 부분을 제1 전극(642)으로서 가질 수 있고, 여기서 확장 부분 및 접속 와이어(644)가 보상 커패시터(Cco)를 구성한다. 이러한 방식으로, 보상 커패시터(Cco)를 형성하기 위한 준비 공정을 추가하는 것이 필요하지 않으며, 이에 의해 공정을 간략화한다.
- [0051] 도 7은 본 개시내용의 실시예에 따른 또다른 디스플레이 기관(700)의 부분적 단면도를 예시한다. 기관(710)은 도 7에 도시되어 있다. 도 6에 도시된 구성과 유사하게, 구동 트랜지스터(T0)의 소스 영역(722), 활성 영역(724), 드레인 영역(726), 및 게이트 영역(728)이 기관(710) 상에 형성된다. 도 7은 또한 제1 전극(732) 및 제2 전극(734)을 가지는 저장 커패시터(Cst), 및 제1 전극(742) 및 제2 전극(744)을 가지는 보상 커패시터(Cco)를 도시한다.
- [0052] 디스플레이 기관(700)은 디스플레이 기관(700)이 도 3에 도시된 픽셀 회로(300)에 대응한다는 점에서 디스플레이 기관(600)과는 상이하다. 도 7에 도시된 바와 같이, 보상 커패시터(Cco)의 제1 전극(742)은 저장 커패시터(Cst)의 제2 전극(734)과 동일한 층 내에 배치된다. 디스플레이 기관(700)의 다른 구성들은 도 6에 대해 전술된 디스플레이 기관(600)의 구성과 동일할 수 있으며, 따라서 간략함을 위해 여기서 생략된다.

- [0053] 디스플레이 기관(600 또는 700)에서, 저장 커패시터(Cst)의 제2 전극(634 또는 734)이 구동 트랜지스터(T0)의 게이트 영역(628 또는 728)과 동일한 층 내에 배치되는 것으로서 예시되지만, 본 개시내용은 그렇게 제한되지 않는다. 예를 들어, 제2 전극(634 또는 734)은 픽셀 회로의 다른 구조들(예를 들어, 구동 트랜지스터의 소스/드레인)과 동일한 층 내에 배치될 수 있다. 또다른 예로서, 제2 전극(634 또는 734)은 구동 트랜지스터(T0)의 게이트 영역(628 또는 728)에 직접 접속될 수 있다.
- [0054] 디스플레이 기관(600 또는 700)에서, 저장 커패시터(Cco)의 제2 전극(644 또는 744)으로서의 역할을 하는 접속 와이어는 도핑된 반도체 재료로 만들어질 수 있다. 일 구현예에서, 구동 트랜지스터(T0)의 활성 영역(624 또는 724)이 형성되고 있을 때, 반도체 층 역시 활성 영역 밖에 그리고 도핑되어(예를 들어, 가볍게 도핑되어) 남아 있고, 따라서, 그것은 양호한 전도성을 가진다. 따라서, 도핑된 반도체 층은 접속 와이어, 즉 제2 전극(644 또는 744)으로서 사용될 수 있다.
- [0055] 도 6 또는 7에 예시되지 않았지만, 절연층이 게이트 영역(728)과 활성 영역(724) 사이에, 저장 커패시터(Cst)의 제1 전극과 제2 전극 사이에, 보상 커패시터(Cco)의 제1 전극과 제2 전극 사이에 존재한다는 것이 이해될 것이며, 그 상세한 설명은 간략함을 위해 여기서 생략된다.
- [0056] 도 8은 본 개시내용의 실시예에 따른 디스플레이 디바이스(800)의 블록도이다. 도 8을 참조하면, 디스플레이 디바이스(800)는 디스플레이 기관(810), 제1 스캔 드라이버(802), 제2 스캔 드라이버(804), 데이터 드라이버(806), 및 전압 발생기(808)를 포함한다.
- [0057] 디스플레이 기관(810)은 $n \times m$ 개 픽셀들(P)을 포함한다. 각각의 픽셀(P)은 예를 들어, 도 2 내지 5에 대해 기술된 픽셀 회로(200, 300 또는 500)의 형태를 취할 수 있다. 디스플레이 기관(810)은 스캔 신호들을 제공하기 위해 제1 방향(도면에서 행 방향)으로 배열되는 $n+1$ 개 스캔 라인들(S1, S2, ..., Sn, Sn+1); 데이터 라인들을 전송하기 위해 제1 방향에 교차하는 제2 방향(도면에서 열 방향)으로 배열되는 m 개 데이터 라인들(D1, D2, ..., Dm); 발광 제어 신호들을 전송하기 위해 제1 방향으로 배열되는 n 개 발광 제어 라인들(EM1, EM2, ..., EMn); 및 제1 및 제2 파워 서플라이 전압들(Vdd, Vss) 및 제1 및 제2 기준 전압들(Vref, Vinit)을 인가하기 위한 와이어들(미도시됨)을 포함한다. n 및 m 은 자연수들이다.
- [0058] 제1 스캔 드라이버(802)는 디스플레이 기관(810)에 스캔 신호들을 인가하기 위해 스캔 라인들(S1, S2, ..., Sn, Sn+1)에 접속된다.
- [0059] 제2 스캔 드라이버(804)는 디스플레이 기관(810)에 발광 제어 신호들을 인가하기 위해 발광 제어 라인들(EM1, EM2, ..., EMn)에 접속된다.
- [0060] 데이터 드라이버(806)는 디스플레이 기관(810)에 데이터 신호들을 인가하기 위해 데이터 라인들(D1, D2, ..., Dm)에 접속된다. 여기서, 데이터 드라이버(106)는 도 4에 대해 기술된 바와 같이, 기입 단계(P2) 동안 디스플레이 기관(810) 내의 각자의 픽셀들(P)에 데이터 전압을 공급한다.
- [0061] 앞의 실시예들에서 기술된 바와 같은 제1 파워 서플라이(ELVDD), 제2 파워 서플라이(ELVSS), 제1 기준 파워 서플라이(VREF) 및 제2 기준 파워 서플라이(VINT)로서 기능할 수 있는 전압 발생기(808)는 각각의 픽셀(P)이 필요로 하는 제1 파워 서플라이 전압(Vdd), 제2 파워 서플라이 전압(Vss), 제1 기준 전압(Vref), 및 제2 기준 전압(Vinit)을 생성한다. 전압 발생기(808)의 예들은 DC/DC 컨버터 및 저 전압강하 레귤레이터(low dropout regulator)(LDO)를 포함하지만, 이에 제한되지 않는다.
- [0062] 디스플레이 디바이스(800)는 디스플레이 패널, 전자 종이, 모바일 폰, 태블릿 컴퓨터, 텔레비전, 디스플레이, 노트북 컴퓨터, 디지털 포토 프레임, 내비게이터 등과 같이 디스플레이 기능을 가지는 임의의 제품 또는 컴포넌트일 수 있다.
- [0063] 본 개시내용이 도면들 및 이전 기재에서 예시되고 기술되었지만, 이러한 예시 및 기재는 제한적이기보다는 예시적이고 개략적인 것으로 해석된다. 본 개시내용은 개시된 실시예들로 제한되지 않는다.

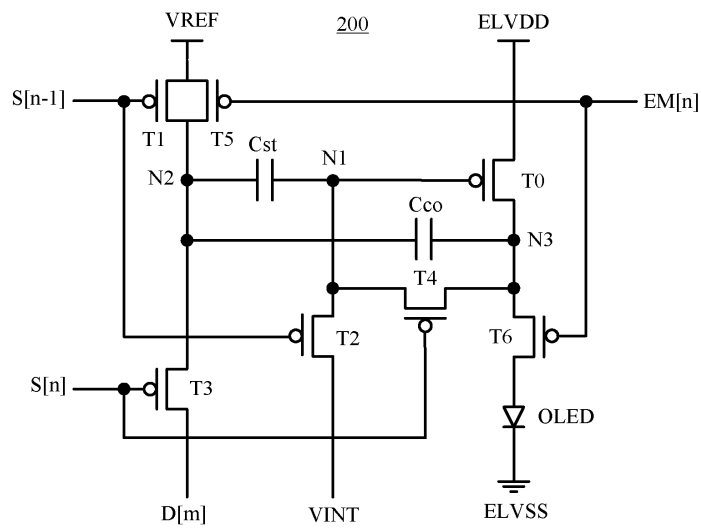
도면

도면1

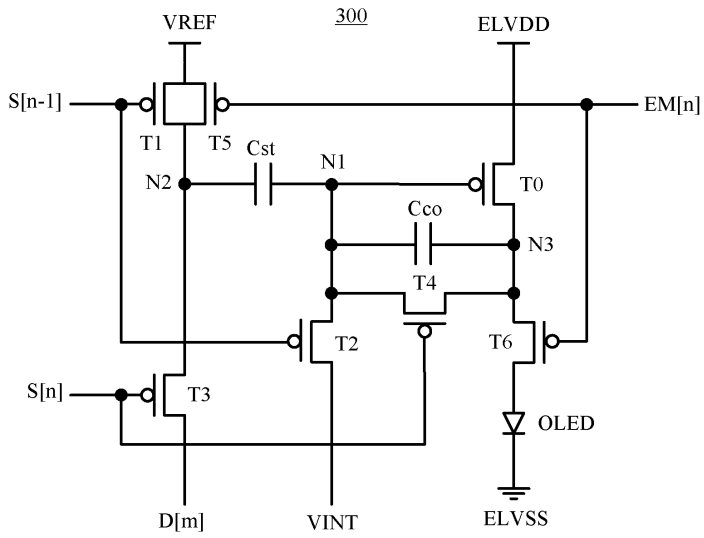


(종래 기술)

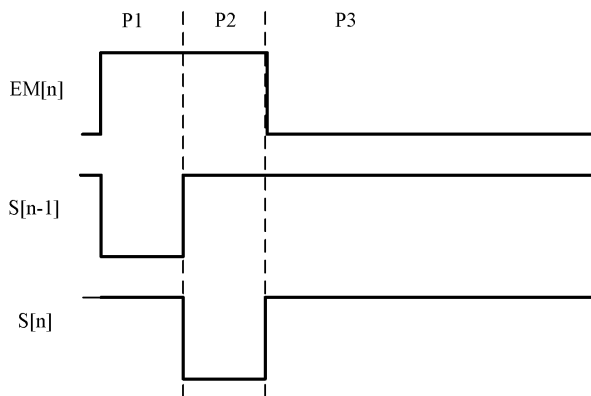
도면2



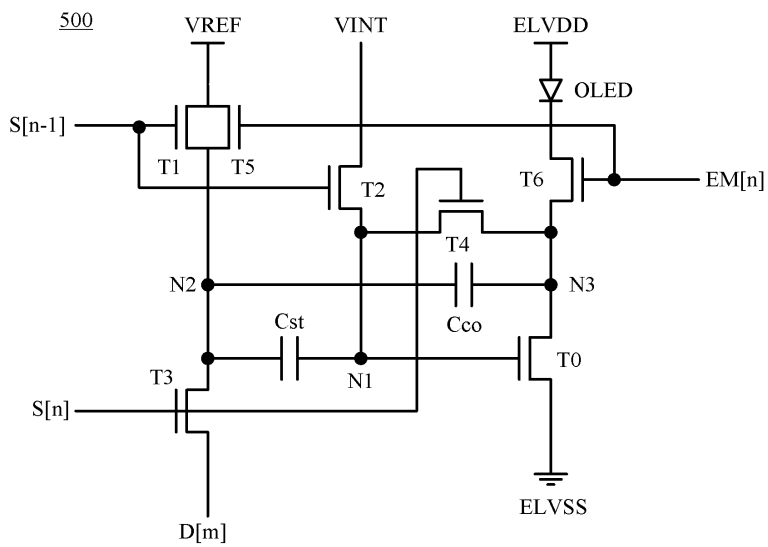
도면3



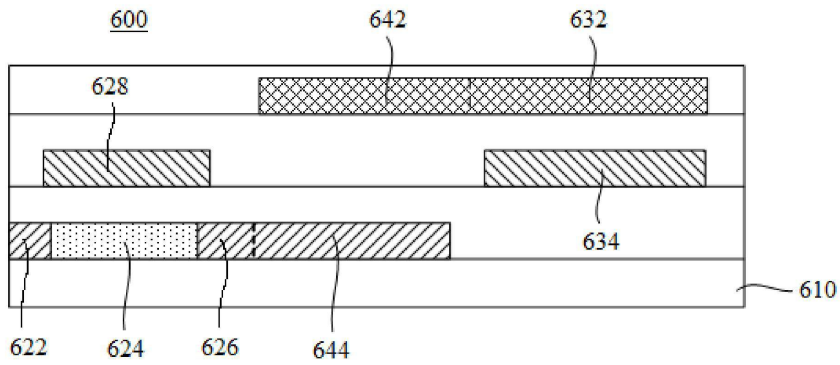
도면4



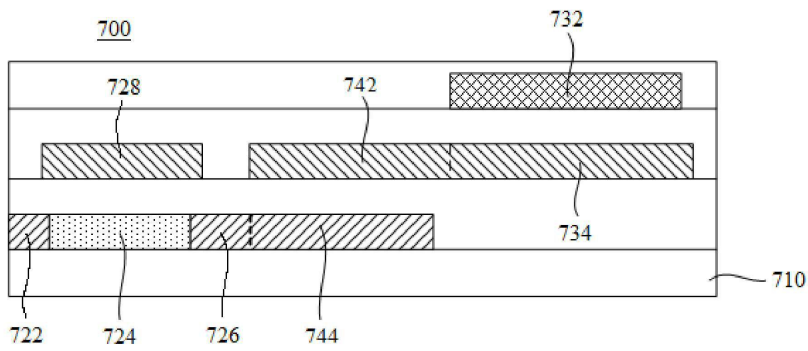
도면5



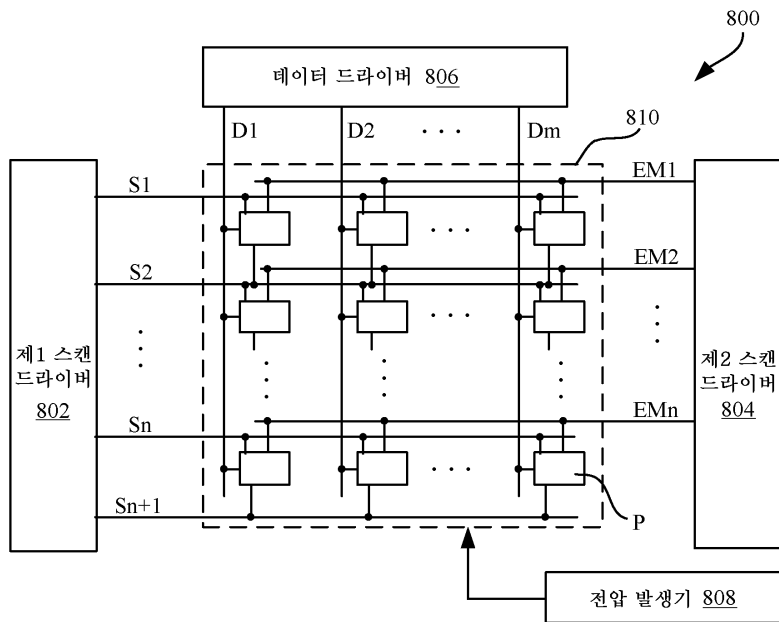
도면6



도면7



도면8



专利名称(译)	像素电路，显示基板和显示装置		
公开(公告)号	KR1020190022446A	公开(公告)日	2019-03-06
申请号	KR1020187025499	申请日	2018-01-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	博科技集团股份有限公司		
发明人	쉬안, 밍화		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0876 G09G3/3208 G09G2320/0626 G09G3/3225		
代理人(译)	Yangyoungjun Gimseongun Baekmangi		
优先权	201710625962.X 2017-07-27 CN		
其他公开文献	KR102084464B1		
外部链接	Espacenet		

摘要(译)

像素电路可以包括发光器件；发光器件可以包括发光器件。驱动电路，用于响应于第一节点处的电位来控制从第一电源提供给发光器件的驱动电流的大小；一种存储电容器，用于响应于第二节点处的电位变化而引起第一节点处的电位变化，第二节点处的电位是来自第一参考电压和来自数据线的的数据。可以在电压之间切换；以及补偿电容器，用于抑制由第一参考电压的变化引起的驱动电流的变化。

