(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0016747
(43) 공개일자 2019년02월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) *G09G 3/00* (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/006 (2013.01)
(21) 출원번호 10-2017-0101074
(22) 출원일자 2017년08월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박준규
경기도 파주시 월롱면 엘지로 245
이승학
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한)유일하이스트

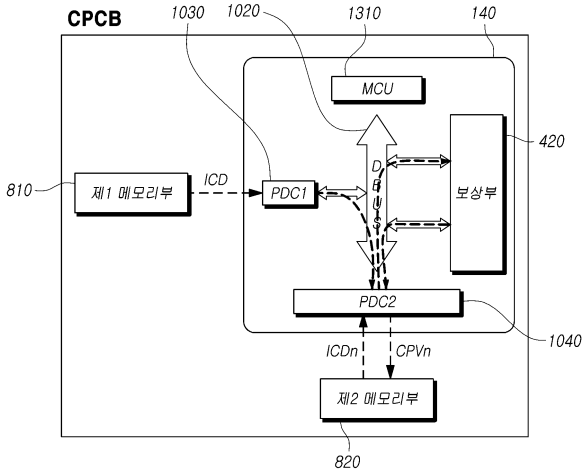
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **유기발광표시장치, 유기발광표시장치의 데이터 관리 장치 및 그 구동 방법**

(57) 요 약

본 실시예들은, 유기발광표시장치 및 그 구동 방법에 관한 것으로서, 유기발광표시장치의 파워 온 시에 표시패널 상의 서브픽셀들에 대한 보상값을 로딩하는 시간을 줄여 유기발광표시장치가 영상을 표시하기까지 소요되는 시간을 절감할 수 있도록 하는 유기발광표시장치 및 그 구동 방법에 관한 것이다.

대 표 도 - 도13



(52) CPC특허분류
G09G 2300/043 (2013.01)
G09G 2300/0828 (2013.01)

명 세 서

청구범위

청구항 1

다수의 서브픽셀이 배열된 표시패널;

상기 표시패널로부터 센싱 전압을 측정하여 상기 다수의 서브픽셀 중 적어도 하나의 서브픽셀에 대한 센싱데이터를 출력하는 센싱부;

초기 보상데이터 및 상기 센싱데이터를 수신하여, 상기 적어도 하나의 서브픽셀에 대한 보상값을 연산하는 보상부를 포함하는 컨트롤러;

상기 초기 보상데이터가 미리 저장된 제1 메모리부; 및

상기 제1 메모리부와 서로 다른 전송 속도를 갖는 제2 메모리부를 포함하고,

파워 온 신호가 발생하면,

상기 컨트롤러의 제어 하에 상기 초기 보상데이터가 상기 제1 메모리부에서 상기 제2 메모리부로 전송되고,

상기 보상부는 상기 초기 보상데이터를 상기 제2 메모리부에서 읽어가는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제2 메모리부는,

상기 제1 메모리부보다 전송 속도가 빠른 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 컨트롤러는,

구동 전압이 인가되면, 상기 제1 메모리부에 저장된 상기 초기 보상데이터 전체를 상기 제2 메모리부로 전송시키고,

패널 구동 전압이 인가되면, 상기 제2 메모리부에 저장된 상기 초기 보상데이터를 상기 보상부로 전송시키는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 보상부는,

미리 지정된 순서에 따라 상기 다수의 서브픽셀 중 선택된 서브픽셀에 대한 상기 센싱데이터를 수신하여 상기 보상값을 연산하는 동안, 이후 선택되는 서브픽셀에 대한 초기 보상데이터를 수신하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 초기 보상데이터가 상기 제1 메모리부에서 상기 제2 메모리부로 전송되기 전에,

보상부 파라미터가 상기 제1 메모리부에서 상기 제2 메모리부로 전송되고,

상기 보상부는 상기 초기 보상데이터를 상기 제2 메모리부에서 읽어가기 전에,

상기 보상부 파라미터를 상기 제2 메모리부에서 읽어가는 유기발광표시장치.

청구항 6

제3항에 있어서,

상기 컨트롤러는,

상기 구동 전압이 인가되면, 기지정된 펌웨어 부팅을 수행하며, 상기 펌웨어 부팅이 수행된 이후, 상기 초기 보상데이터가 상기 제1 메모리부로부터 상기 제2 메모리부로 전송되는 동안, 기저장된 컨트롤러 파라미터를 로딩하는 유기발광표시장치.

청구항 7

제3항에 있어서,

상기 컨트롤러는,

상기 패널 구동 전압이 인가되면, 상기 제2 메모리부로터 상기 보상 데이터를 수신하기 이전에,

상기 표시패널의 이상 유무에 관한 정보를 출력하는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 컨트롤러는,

구동 전압이 인가되면 펌웨어 부팅을 수행하며,

상기 표시패널을 구동하기 위한 패널 구동 전압이 인가되면,

미리 설정된 플래그 값에 따라 상기 제1 메모리부에 저장된 상기 초기 보상데이터가 상기 보상부로 상기 제2 메모리부를 통하지 않고 전송되는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 컨트롤러는

상기 제1 메모리부와 상기 컨트롤러 사이의 데이터 전송을 제어하는 제1 연결부;

상기 제2 메모리부와 상기 컨트롤러 사이의 데이터 전송을 제어하는 제2 연결부;

상기 컨트롤러 내부의 데이터 전송 경로인 데이터버스; 및

상기 보상부와 상기 제1 및 제2 연결부 및 상기 데이터버스를 제어하는 MCU를 더 포함하는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 컨트롤러는

연산된 상기 보상값을 상기 제2 메모리부로 전송하여 저장하는 유기발광표시장치.

청구항 11

다수의 서브픽셀이 배열된 표시패널;

상기 표시패널로부터 센싱 전압을 측정하여 센싱값을 출력하는 구동회로;

상기 센싱값을 토대로 보상값을 생성하는 컨트롤러;

초기 보상값이 미리 저장된 제1 메모리부; 및

상기 제1 메모리부와 서로 다른 전송 속도를 갖는 제2 메모리부를 포함하고,

파워 온 신호가 발생하면, 온 시퀀스를 진행한 이후 영상이 표시되고,

상기 온 시퀀스를 진행하는 기간 동안,

상기 초기 보상값이 상기 제1 메모리부에서 상기 제2 메모리부로 전송되고,

상기 컨트롤러는 상기 초기 보상값을 상기 제2 메모리부에서 읽어가고,

상기 구동회로는 상기 표시패널의 센싱 구동 기간 동안 센싱 전압을 측정하여 센싱값을 출력하고,

상기 컨트롤러는 상기 구동회로에서 출력된 센싱값과 상기 제2 메모리부에서 읽어들인 상기 초기 보상값을 기초로 보상값을 생성하는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 다수의 서브픽셀 각각은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하는 구동 트랜지스터와,

상기 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 스위칭 트랜지스터와,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 캐패시터를 포함하고,

상기 센싱 전압은,

상기 구동 트랜지스터의 제1 노드 또는 제2 노드와 전기적으로 연결 가능한 센싱 라인의 전압인 유기발광표시장치.

청구항 13

제11항에 있어서,

상기 표시패널의 센싱 구동 기간 동안,

적어도 하나의 서브픽셀에 대응되는 데이터 라인으로 데이터 전압이 인가되고,

이후, 상기 데이터 라인과 다른 신호 라인인 센싱 라인의 전압이 가변 될 때,

상기 구동회로는 상기 센싱 라인의 전압을 상기 센싱 전압으로서 측정하는 유기발광표시장치.

청구항 14

초기 보상 데이터가 미리 저장된 제1 메모리부;

상기 제1 메모리부와 다른 전송 속도를 갖는 제2 메모리부;

상기 제1 메모리부의 출력 단과 연결된 제1 연결부;

상기 제2 메모리부의 출력 단과 연결된 제2 연결부; 및

상기 제1 연결부 및 상기 제2 연결부 간의 연결을 위한 데이터버스를 포함하고,

파워 온 신호의 발생에 따라,

상기 제1 메모리부에 미리 저장된 초기 보상데이터가 상기 제1 연결부, 상기 데이터버스 및 상기 제2 연결부를 경유하여 상기 제2 메모리부로 전송되고,

상기 초기 보상데이터는 상기 제2 메모리부에서 보상 프로세서로 출력되는 유기발광표시장치의 데이터 관리 장치.

청구항 15

다수의 서브픽셀이 배열된 표시패널, 상기 표시패널로부터 센싱 전압을 측정하여 상기 다수의 서브픽셀 중 적어

도 하나의 서브픽셀에 대한 센싱데이터를 출력하는 센싱부, 초기 보상데이터 및 상기 센싱데이터를 수신하여, 상기 적어도 하나의 서브픽셀에 대한 보상값을 연산하는 보상부를 포함하는 컨트롤러, 상기 초기 보상데이터가 미리 저장된 제1 메모리부 및 상기 제1 메모리부와 서로 다른 전송 속도를 갖는 제2 메모리부를 포함하는 유기발광표시장치의 구동방법에 있어서,

파워 온 신호가 발생하면, 상기 컨트롤러의 제어 하에 상기 초기 보상데이터가 상기 제1 메모리부에서 상기 제2 메모리부로 전송되는 단계; 및

상기 보상부는 상기 초기 보상데이터를 상기 제2 메모리부에서 읽어가는 단계를 포함하는 유기발광표시장치의 구동 방법.

청구항 16

제15항에 있어서,

상기 제2 메모리부로 전송되는 단계는,

구동 전압이 인가되면, 상기 제1 메모리부에 저장된 상기 초기 보상데이터 전체가 상기 제2 메모리부로 전송되는 유기발광표시장치의 구동 방법.

청구항 17

제15항에 있어서,

상기 읽어가는 단계는,

패널 구동 전압이 인가되면, 상기 제2 메모리부에 저장된 상기 초기 보상데이터가 상기 보상부로 전송되는 유기발광표시장치의 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광표시장치 및 그 구동방법에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마 표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 최근 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 명암비(Contrast Ration), 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0004] 이러한 유기발광표시장치의 유기발광표시패널에는 배치되는 각 서브픽셀은, 기본적으로, 유기발광다이오드를 구동하는 구동 트랜지스터, 구동 트랜지스터의 게이트 노드에 데이터전압을 전달해주는 스위칭 트랜지스터, 한 프레임 시간 동안 일정 전압을 유지해주는 역할을 하는 캐패시터를 포함하여 구성될 수 있다.

[0005] 한편, 각 서브픽셀 내 구동 트랜지스터는 문턱전압, 이동도 등의 특성치를 갖는데, 이러한 특성치는 각 구동 트랜지스터마다 다를 수 있다.

[0006] 또한, 구동 트랜지스터는 구동 시간이 길어짐에 따라 열화(Degradation)되어 특성치가 변할 수 있는데, 이러한 열화 정도의 차이에 따라, 구동 트랜지스터 간의 특성치 편차가 발생할 수 있다.

[0007] 각 서브픽셀 내 유기발광 다이오드 또한, 구동 시간의 증가에 따라 열화가 진행되어 문턱전압 등의 특성치가 변할 수 있고, 유기발광 다이오드 간의 열화 정도가 다를 수 있기 때문에, 각 서브픽셀 내 유기발광 다이오드 간의 특성치 편차가 발생할 수 있다.

[0008] 이러한 구동 트랜지스터 간의 특성치 편차와 유기발광다이오드 간의 특성치 편차에 의해 생기는 서브픽셀 간의

특성치 편차는, 서브픽셀 간의 휘도 편차를 유발시켜, 화면 잔상 등의 화면 이상 현상을 초래하거나 표시패널의 휘도 불균일을 발생시킬 수 있다.

[0009] 이에, 서브픽셀 간의 특성치 편차를 보상해주는 기술이 개발되었다. 보상 방법은 먼저, 유기발광표시장치를 센싱 구동하여 서브픽셀의 구동 트랜지스터 또는 유기발광 다이오드의 특성치를 센싱한 후, 센싱값(Vsen)을 얻고, 센싱값(Vsen)을 토대로 서브픽셀에 인가할 데이터를 보상하는 방식으로 이루어진다.

[0010] 하지만, 유기발광표시장치의 해상도가 높아짐에 따라 구동 트랜지스터의 숫자가 증가하여 서브픽셀 간의 특성치 편차를 보상을 수행하기 위해 소요되는 시간이 길어지고 있다.

발명의 내용

해결하려는 과제

[0011] 본 실시예들의 목적은 유기발광표시장치의 보상 수행시간을 줄이는데 있다.

[0012] 본 실시예들의 목적은 파워 온 신호 발생 후, 영상이 표시될 때까지의 사용자 응답 시간을 줄여 사용자에게 더욱 편리한 유기발광표시장치를 제공하는 데 있다.

[0013] 본 실시예들의 목적은 파워 온 시에 서브픽셀 간의 특성치 편차를 보상하기 위한 보상값을 로딩하는 시간을 줄여, 유기발광표시장치가 영상을 표시하기까지 소요되는 시간을 절감시키는데 있다.

과제의 해결 수단

[0014] 일측면에서, 본 실시예들은, 본 발명의 일 실시예는, 다수의 서브픽셀이 배열된 표시패널, 표시패널로부터 센싱 전압을 측정하여 다수의 서브픽셀 중 적어도 하나의 서브픽셀에 대한 센싱데이터를 출력하는 센싱부, 초기 보상 데이터 및 센싱데이터를 수신하여, 적어도 하나의 서브픽셀에 대한 보상값을 연산하는 보상부를 포함하는 컨트롤러, 초기 보상데이터가 미리 저장된 제1 메모리부 및 제1 메모리부와 서로 다른 전송 속도를 갖는 제2 메모리부를 하는 유기발광표시장치를 제공한다.

[0015] 초기 보상데이터는, 파워 온 신호가 발생하면, 컨트롤러의 제어 하에 제1 메모리부에서 제2 메모리부로 전송될 수 있다.

[0016] 보상부는 초기 보상데이터를 제2 메모리부에서 읽을 수 있다.

[0017] 제2 메모리부는, 제1 메모리부보다 전송 속도가 빠를 수 있다.

[0018] 컨트롤러는, 구동 전압이 인가되면, 제1 메모리부에 저장된 초기 보상데이터 전체를 제2 메모리부로 전송시키고, 패널 구동 전압이 인가되면, 제2 메모리부에 저장된 초기 보상데이터를 보상부로 전송시킬 수 있다.

[0019] 보상부는, 미리 지정된 순서에 따라 다수의 서브픽셀 중 선택된 서브픽셀에 대한 센싱데이터를 수신하여 보상값을 연산하는 동안, 이후 선택되는 서브픽셀에 대한 초기 보상데이터를 수신할 수 있다.

[0020] 초기 보상데이터가 제1 메모리부에서 제2 메모리부로 전송되기 전에, 보상부 파라미터가 제1 메모리부에서 제2 메모리부로 전송되고, 보상부는 초기 보상데이터를 제2 메모리부에서 읽어가기 전에, 보상부 파라미터를 제2 메모리부에서 읽을 수 있다.

[0021] 컨트롤러는, 구동 전압이 인가되면, 기지정된 펌웨어 부팅을 수행하며, 펌웨어 부팅이 수행된 이후, 초기 보상데이터가 제1 메모리부로부터 제2 메모리부로 전송되는 동안, 기저장된 컨트롤러 파라미터를 로딩할 수 있다.

[0022] 컨트롤러는, 패널 구동 전압이 인가되면, 제2 메모리부로터 보상 데이터를 수신하기 이전에, 표시패널의 이상 유무에 관한 정보를 출력할 수 있다.

[0023] 컨트롤러는, 구동 전압이 인가되면 펌웨어 부팅을 수행하며, 표시패널을 구동하기 위한 패널 구동 전압이 인가되면, 미리 설정된 플래그 값에 따라 제1 메모리부에 저장된 초기 보상데이터가 보상부로 제2 메모리부를 통하지 않고 전송할 수 있다.

[0024] 다른 측면에서, 본 실시예들은, 다수의 서브픽셀이 배열된 표시패널, 표시패널로부터 센싱 전압을 측정하여 센싱값을 출력하는 구동회로, 센싱데이터를 토대로 보상값을 생성하는 컨트롤러, 초기 보상값이 미리 저장된 제1 메모리부 및 제1 메모리부와 서로 다른 전송 속도를 갖는 제2 메모리부를 포함하는 유기발광표시장치를 제공할

수 있다.

[0025] 유기발광표시장치는 파워 온 신호가 발생하면, 온 시퀀스를 진행한 이후 영상이 표시될 수 있다.

[0026] 초기 보상값은 온 시퀀스를 진행하는 기간 동안, 제1 메모리부에서 제2 메모리부로 전송될 수 있다.

[0027] 컨트롤러는 초기 보상값을 제2 메모리부에서 읽을 수 있다.

[0028] 구동회로는 표시패널의 센싱 구동 기간 동안 센싱 전압을 측정하여 센싱값을 출력할 수 있다.

[0029] 컨트롤러는 구동회로에서 출력된 센싱값과 제2 메모리부에서 읽어들인 초기 보상값을 기초로 보상값을 생성할 수 있다.

[0030] 다수의 서브픽셀 각각은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 스위칭 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 캐패시터를 포함할 수 있다.

[0031] 센싱 전압은, 구동 트랜지스터의 제1 노드 또는 제2 노드와 전기적으로 연결 가능한 센싱 라인의 전압일 수 있다.

[0032] 표시패널의 센싱 구동 기간 동안, 적어도 하나의 서브픽셀에 대응되는 데이터 라인으로 데이터 전압이 인가되고, 이후, 데이터 라인과 다른 신호 라인인 센싱 라인의 전압이 가변 될 때, 구동회로는 센싱 라인의 전압을 센싱 전압으로서 측정할 수 있다.

[0033] 또다른 측면에서, 본 실시예들은, 초기 보상 데이터가 미리 저장된 제1 메모리부, 제1 메모리부와 다른 전송 속도를 갖는 제2 메모리부, 제1 메모리부의 출력 단과 연결된 제1 연결부, 제2 메모리부의 출력 단과 연결된 제2 연결부 및 제1 연결부 및 제2 연결부 간의 연결을 위한 데이터버스를 포함하는 유기발광 표시장치의 데이터 관리 장치를 제공할 수 있다.

[0034] 또다른 측면에서, 본 실시예들은, 파워 온 신호가 발생하면, 컨트롤러의 제어 하에 초기 보상데이터가 제1 메모리부에서 제2 메모리부로 전송되는 단계 및 보상부는 초기 보상데이터를 제2 메모리부에서 읽어가는 단계를 포함하는 유기발광표시장치의 구동 방법을 제공할 수 있다.

발명의 효과

[0035] 이상에서 설명한 실시예들에 의하면, 파워 온 신호 발생 이후, 사용자 응답 시간을 줄여 사용자에게 더욱 편리한 유기발광표시장치를 제공할 수 있다.

[0036] 실시예들에 의하면, 파워 온 시에 서브픽셀 간의 특성치 편차를 보상하기 위한 보상값을 로딩하는 시간을 줄여, 유기발광표시장치가 영상을 표시하기까지 소요되는 시간을 절감할 수 있다.

도면의 간단한 설명

[0037] 도 1은 본 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.

도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.

도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 다른 예시도이다.

도 4는 본 실시예들에 따른 유기발광표시장치의 보상 회로의 예시도이다.

도 5는 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.

도 6은 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.

도 7은 본 실시예들에 따른 유기발광표시장치의 센싱 타이밍을 나타낸 다이어그램이다.

도 8은 본 실시예들에 따른 유기발광표시장치의 시스템 구현 예시도이다.

도 9는 본 실시예들에 따른 유기발광표시장치의 온-센싱 프로세스 수행 시 보상부와 메모리부 사이의 데이터 전송 경로를 개념적으로 나타낸다.

도 10은 본 실시예들에 따른 유기발광표시장치의 온-센싱 프로세스 시에 컨트롤러와 메모리부 사이의 데이터 전송 경로를 구체적으로 나타낸 도면이다.

도 11은 본 실시예들에 따른 유기발광표시장치의 초기 구동 과정을 상세히 나타낸 타이밍도이다.

도 12는 다른 실시예들에 따른 유기발광표시장치의 온-센싱 프로세스 수행 시 보상부와 메모리부 사이의 데이터 전송 경로를 개념적으로 나타낸다.

도 13은 다른 실시예들에 따른 유기발광표시장치의 온-센싱 프로세스 시에 컨트롤러와 메모리부 사이의 데이터 전송 경로를 구체적으로 나타낸 도면이다.

도 14는 다른 실시예들에 따른 유기발광표시장치의 초기 구동 과정을 상세히 나타낸 타이밍도이다.

도 15는 본 실시예들에 따른 유기발광표시장치의 구동 방법을 나타낸다.

도 16 은 다른 실시예들에 따른 유기발광표시장치의 구동 방법을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0039] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0040] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0041] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP: Sub Pixel)이 배열된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.

[0042] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.

[0043] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.

[0044] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다. 본 발명에서는 컨트롤러(140)가 서브픽셀 간의 특성치 편차를 보상해주는 보상 프로세스를 수행하는 보상부를 포함할 수 있다.

[0045] 이러한 컨트롤러(140)는, 데이터 드라이버(120)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(120)와 함께 집적회로로 구현될 수 있다.

[0046] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.

[0047] 이러한 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.

[0048] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아

날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.

[0049] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.

[0050] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.

[0051] 이러한 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.

[0052] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.

[0053] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.

[0054] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.

[0055] 데이터 드라이버(120)는, 도 1에서와 같이, 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.

[0056] 게이트 드라이버(130)는, 도 1에서와 같이, 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.

[0057] 전술한 컨트롤러(140)는, 입력 영상데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.

[0058] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.

[0059] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.

[0060] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.

[0061] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종데이터 제어 신호(DCS: Data Control Signal)를 출력한다.

[0062] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.

[0063] 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은 자발광 소자인 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.

[0064] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.

[0065] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.

[0066] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀(SP)은, 기본적으로, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transistor)와, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제1 노드(N1)로 데이터 전압을 전달해주기 위한 제1 트랜지스터(T1)와, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 캐패시터(Cst: Storage Capacitor)를 포함하여 구성될 수 있다.

[0067] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.

[0068] 유기발광다이오드(OLED)의 제2전극에는 기저 전압(EVSS)이 인가될 수 있다.

[0069] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.

[0070] 구동 트랜지스터(DRT)는 제1 노드(N1), 제2 노드(N2) 및 제3노드(N3)를 갖는다.

[0071] 구동 트랜지스터(DRT)의 제1 노드(N1)는 게이트 노드에 해당하는 노드로서, 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.

[0072] 구동 트랜지스터(DRT)의 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다.

[0073] 구동 트랜지스터(DRT)의 제3노드(N3)는 구동 전압(EVDD)이 인가되는 노드로서, 구동 전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.

[0074] 구동 트랜지스터(DRT)와 제1 트랜지스터(T1)는, 도 2의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.

[0075] 제1 트랜지스터(T1)는 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.

[0076] 이러한 제1 트랜지스터(T1)는 스캔 신호(SCAN)에 의해 턴-온 되어데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)로 전달해줄 수 있다.

[0077] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다.

[0078] 이러한 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.

[0079] 한편, 본 실시예들에 따른 유기발광표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.

[0080] 이에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자가 갖는 고유한 특성치가 변할 수 있다. 여기서, 회로 소자의 고유 특성치는, 유기발광다이오드(OLED)의 문턱전압, 구동 트랜지스터(DRT)의 문턱전압, 구동 트랜지스터(DRT)의 이동도 등을 포함할 수 있다.

[0081] 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기할 수 있다. 따라서, 회로 소자의 특성치 변화는 서브픽셀의 휘도 변화와 동일한 개념으로 사용될 수 있다.

[0082] 또한, 회로 소자 간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다.

[0083] 이러한 회로 소자 간의 특성치 변화 정도의 차이는, 회로 소자 간 특성치 편차가 발생시켜, 서브픽셀 간의 휘도 편차를 야기할 수 있다. 따라서, 회로 소자 간의 특성치 편차는 서브픽셀 간의 휘도 편차와 동일한 개념으로 사용될 수 있다.

[0084] 회로 소자의 특성치 변화(서브픽셀의 휘도 변화)와 회로 소자 간 특성치 편차(서브픽셀 간 휘도 편차)는, 서브픽셀의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 발생시킬 수

있다.

[0085] 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀에 대한 특성치를 센싱하는 센싱 기능과, 센싱 결과를 이용하여 서브픽셀 특성치를 보상해주는 보상 기능을 제공할 수 있다.

[0086] 본 명세서에서, 서브픽셀에 대한 특성치를 센싱한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 센싱한다는 것, 또는 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 센싱한다는 것을 의미할 수 있다.

[0087] 본 명세서에서, 서브픽셀에 대한 특성치를 보상한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 미리 정해진 수준으로 만들어주거나, 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 줄여주거나 제거하는 것을 의미할 수 있다.

[0088] 본 실시예들에 따른 유기발광표시장치(100)는, 센싱 기능 및 보상 기능을 제공하기 위하여, 이에 적절한 서브픽셀 구조와, 센싱 및 보상 구성을 포함하는 보상 회로를 포함할 수 있다.

[0089] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 다른 예시도이다.

[0090] 도 3에 도시된 서브픽셀 구조는, 센싱 기능 및 보상 기능을 제공하기 위해 적절한 서브픽셀 구조의 예시이다.

[0091] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀은, 일 예로, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 스토리지 캐패시터(Cst) 이외에, 제2 트랜지스터(T2)를 더 포함할 수 있다.

[0092] 도 3을 참조하면, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압(Vref: Reference Voltage)을 공급하는 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결되고, 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.

[0093] 전술한 제2 트랜지스터(T2)를 더 포함함으로써, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태를 효과적으로 제어해줄 수 있다.

[0094] 이러한 제2 트랜지스터(T2)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준 전압 라인(RVL)을 통해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 인가해준다.

[0095] 또한, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)에 대한 전압 센싱 경로 중 하나로 활용될 수 있다.

[0096] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 서로 다른 게이트 라인을 통해, 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.

[0097] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드에 공통으로 인가될 수도 있다.

[0098] 도 4는 본 실시예들에 따른 유기발광표시장치(100)의 보상 회로의 예시도이다.

[0099] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀에 대한 특성치를 파악하기 위하여 전압 센싱을 통해 센싱데이터를 생성하여 출력하는 센싱부(410)와, 센싱데이터를 이용하여 서브픽셀에 대한 특성치를 파악하고, 이를 토대로, 서브픽셀에 대한 특성치를 보상해주는 보상 프로세스를 수행하는 보상부(420) 및 기설정된 초기 보상데이터(또는 초기 보상값), 보상부(420)에서 연산된 보상값을 저장하는 메모리부(430) 등을 포함할 수 있다.

[0100] 메모리부(430)는 센싱부로부터 센싱데이터를 인가받아 저장하고, 저장된 센싱데이터를 보상부(420)으로 전달할 수 있다. 다만 경우에 따라서는 보상부(420)가 직접 센싱데이터를 인가받아 보상값을 연산한 후, 보상값과 센싱데이터를 함께 메모리부(430)에 저장하도록 구성될 수도 있다.

[0101] 일 예로, 센싱부(410)는 적어도 하나의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 포함하여 구현될 수 있다. 센싱부(410)에서 출력되는 센싱데이터는, 일 예로, LVDS (Low Voltage Differential Signaling)데이터 포맷으로 되어 있을 수 있다.

[0102] 각 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)는 데이터 드라이버(120)에 포함된 각 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수 있으며, 경우에 따라서는, 소스 드라이버 집적회로(SDIC)의 외부에 포함될 수도 있다.

[0103] 보상부(420)는 컨트롤러(140)의 내부에 포함될 수 있으며, 경우에 따라서는, 컨트롤러(140)의 외부에 구비될 수도 있다. 보상부(420)는 보상 프로세서라고도 할 수 있다.

[0104] 메모리부(430)는 미리 설정된 초기 보상데이터가 저장될 수 있으며, 센싱부(410)로부터 인가되는 센싱데이터 또는 보상부(420)에서 연산된 보상값을 저장할 수 있다. 그러나 메모리부(430)가 저장하는 데이터는 이에 한정되지 않는다. 일예로 메모리부(430)는 표시패널(110) 구동 중 호스트 장치(미도시)로부터 인가되는 영상데이터를 저장하고, 저장된 데이터를 보상부(420)로 전송할 수 있다. 그리고 메모리부(430)는 보상부(420)에서 영상데이터(Data)를 연산된 보상값으로 변경한 변경된 데이터를 저장할 수도 있다.

[0105] 메모리부(430)는 컨트롤러(140)의 외부에 포함될 수 있으며, 경우에 따라서는, 컨트롤러(140)의 내부에 포함될 수도 있다.

[0106] 한편 메모리부(430)는 다수의 메모리를 포함할 수 있다. 특히 메모리부(430)는 서로 상이한 타입의 다수의 메모리를 포함할 수 있다. 일 예로, 메모리부(430)는 적어도 하나의 비휘발성 메모리와 적어도 하나의 휘발성 메모리를 구비할 수 있다. 그리고 다수의 메모리는 서로 상이한 데이터 전송 속도를 가질 수 있다. 여기서 데이터 전송 속도는 메모리의 읽기(read) 속도를 의미하며, 쓰기(write) 속도가 포함될 수 있다.

[0107] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 기준 전압 라인(RVL)에 기준 전압(Vref)이 인가되는 여부를 제어해주는 초기화 스위치(SPRE)와, 기준 전압 라인(RVL)과 센싱부(410) 간의 연결 여부를 제어해주는 샘플링 스위치(SAM)를 포함할 수 있다.

[0108] 초기화 스위치(SPRE)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되도록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 인가 상태를 제어하기 위한 스위치이다.

[0109] 초기화 스위치(SPRE)가 턴-온 되면, 기준 전압(Vref)이 기준전압 라인(RVL)으로 공급되어 턴-온 되어 있는 제2 트랜지스터(T2)를 통해 구동 트랜지스터(DRT)의 제2 노드(N2)로 인가될 수 있다.

[0110] 샘플링 스위치(SAM)는, 턴-온 되어, 기준 전압 라인(RVL)과 센싱부(410)를 전기적으로 연결해준다.

[0111] 샘플링 스위치(SAM)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되었을 때, 턴-온 되도록, 온-오프 타이밍이 제어된다.

[0112] 샘플링 스위치(SAM)가 턴-온 되면, 센싱부(410)는 연결된 기준 전압 라인(RVL)의 전압을 센싱할 수 있다.

[0113] 센싱부(410)가 기준 전압 라인(RVL)의 전압을 센싱할 때, 제2 트랜지스터(T2)가 턴-온 되어 있는 경우, 구동 트랜지스터(DRT)의 저항 성분을 무시할 수 있다면, 센싱부(410)에 의해 센싱되는 전압은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압에 해당할 수 있다. 센싱부(410)에 의해 센싱되는 전압은, 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압일 수 있다.

[0114] 기준 전압 라인(RVL) 상에 라인 캐패시터가 존재한다면, 센싱부(410)에 의해 센싱되는 전압은, 기준 전압 라인(RVL) 상의 라인 캐패시터에 충전된 전압일 수도 있다. 여기서, 기준 전압 라인(RVL)은 센싱 라인이라고도 한다.

[0115] 일 예로, 센싱부(410)에 의해 센싱되는 전압은, 구동 트랜지스터(DRT)의 문턱전압(Vth) 또는 문턱전압 편차(ΔVth)을 포함하는 전압 값(Vdata-Vth 또는 Vdata-ΔVth, 여기서, Vdata는 센싱 구동용 데이터 전압임)이거나, 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 전압 값일 수도 있다.

[0116] 한편, 기준전압 라인(RVL)은, 일 예로, 서브픽셀 열마다 1개씩 배치될 수도 있고, 둘 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다.

[0117] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성된 경우, 기준전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열, 흰색 서브픽셀 열, 녹색 서브픽셀 열, 청색 서브픽셀 열)을 포함하는 1개의 픽셀 열마다 1개씩 배치될 수도 있다.

[0118] 아래에서는, 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 및 이동도 센싱 구동에 대하여 간략하게 설명한

다.

[0119] 도 5는 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.

[0120] 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동은 초기화 단계, 트래킹 단계 및 샘플링 단계를 포함하는 센싱 프로세스로 진행될 수 있다.

[0121] 초기화 단계는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)를 초기화 시키는 단계이다.

[0122] 이러한 초기화 단계에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온 되고, 초기화 스위치(SPRE)가 턴-온 된다.

[0123] 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 각각은, 문턱전압 센싱 구동용 데이터 전압(Vdata)과 기준 전압(Vref)으로 초기화된다(V1=Vdata, V2=Vref).

[0124] 트래킹 단계는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 문턱전압 또는 그 변화를 반영하는 전압 상태가 될 때까지 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 변화시키는 단계이다.

[0125] 즉, 트래킹 단계는, 문턱전압 또는 그 변화를 반영할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 트래킹하는 단계이다.

[0126] 이러한 트래킹 단계에서는, 초기화 스위치(SPRE)가 턴-오프 또는 제2 트랜지스터(T2)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)가 플로팅(Floating) 된다.

[0127] 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 상승한다.

[0128] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 상승이 이루어지다가 상승 폭이 서서히 줄어들어 포화하게 된다.

[0129] 구동 트랜지스터(DRT)의 제2 노드(N2)의 포화된 전압은 데이터 전압(Vdata)과 문턱전압(Vth)의 차이 또는 데이터 전압(Vdata)과 문턱전압 편차(ΔVth)의 차이에 해당할 수 있다.

[0130] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 포화되면, 샘플링 단계가 진행될 수 있다.

[0131] 샘플링 단계는, 구동 트랜지스터(DRT)의 문턱전압 또는 그 변화를 반영하는 전압을 측정하는 단계로서, 센싱부(410)가 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 센싱하는 단계이다.

[0132] 이러한 샘플링 단계에서, 샘플링 스위치(SAM)가 턴-온 되어, 센싱부(410)는 기준 전압 라인(RVL)과 연결되어, 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 센싱한다.

[0133] 센싱부(410)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata)에서 문턱전압(Vth)을 뺀 전압(Vdata-Vth) 또는 데이터 전압(Vdata)에서 문턱전압 편차(ΔVth)을 뺀 전압(Vdata-ΔVth)일 수 있다. 여기서, Vth는 포지티브 문턱전압 또는 네거티브 문턱전압일 수 있다.

[0134] 도 6은 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.

[0135] 구동 트랜지스터(DRT)에 대한 이동도 센싱 구동은 초기화 단계, 트래킹 단계 및 샘플링 단계를 포함하는 센싱 프로세스로 진행될 수 있다.

[0136] 초기화 단계는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)를 초기화 시키는 단계이다.

[0137] 이러한 초기화 단계에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온 되고, 초기화 스위치(SPRE)가 턴-온 된다.

[0138] 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 각각은 이동도 센싱 구동용 데이터 전압(Vdata)과 기준 전압(Vref)으로 초기화된다(V1=Vdata, V2=Vref).

[0139] 트래킹 단계는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 이동도 또는 그 변화를 반영하는 전압 상태가 될 때까지 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 변화시키는 단계이다.

[0140] 즉, 트래킹 단계는, 이동도 또는 그 변화를 반영할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 트

래킹하는 단계이다.

[0141] 이러한 트래킹 단계에서는, 초기화 스위치(SPRE)가 턴-오프 되어 또는 제2 트랜지스터(T2)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)가 플로팅 된다. 이때, 제1 트랜지스터(T1)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제1 노드(N1)도 함께 플로팅 될 수 있다.

[0142] 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 상승하기 시작한다.

[0143] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)의 상승 속도는 구동 트랜지스터(DRT)의 전류 능력(즉, 이동도)에 따라 달라진다.

[0144] 전류 능력(이동도)이 큰 구동 트랜지스터(DRT)일 수록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 더욱 가파르게 상승한다.

[0145] 트래킹 단계가 일정 시간(Δt) 동안 진행된 이후, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 미리 정해진 일정 시간(Δt) 동안 상승한 이후, 샘플링 단계가 진행될 수 있다.

[0146] 트래킹 단계 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)의 상승 속도는, 일정 시간(Δt) 동안의 전압 변화량(ΔV)에 해당한다.

[0147] 샘플링 단계에서는, 샘플링 스위치(SAM)가 턴-온 되어, 센싱부(410)와 기준 전압 라인(RVL)이 전기적으로 연결된다.

[0148] 이에 따라, 센싱부(410)는 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 센싱한다.

[0149] 센싱부(410)에 의해 센싱된 전압(Vsen)은, 초기화 전압(Vref)에서 일정 시간(Δt) 동안 전압 변화량(ΔV)만큼 상승된 전압으로서, 이동도에 대응되는 전압이다.

[0150] 도 5 및 도 6을 참조하여 전술한 바와 같은 문턱전압 또는 이동도 센싱 구동에 따라 센싱부(410)는 문턱전압 센싱 또는 이동도 센싱을 위해 센싱된 전압(Vsen)을 디지털 값으로 변환하고, 변환된 디지털 값(센싱 값)을 포함하는 센싱데이터를 생성하여 출력한다.

[0151] 센싱부(410)에서 출력된 센싱데이터는 보상부(420)로 제공될 수 있다. 경우에 따라서 센싱데이터는 메모리부(430)를 통해 보상부(420)로 제공될 수도 있다.

[0152] 보상부(420)는 센싱부(410)에서 제공된 센싱데이터를 토대로 해당 서브픽셀 내 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 구동 트랜지스터(DRT)의 특성치 변화(예: 문턱전압 변화, 이동도 변화)를 파악하고, 특성치 보상 프로세스를 수행할 수 있다.

[0153] 여기서, 구동 트랜지스터(DRT)의 특성치 변화는 이전 센싱데이터를 기준으로 현재 센싱데이터가 변화된 것을 의미하거나, 초기 보상데이터를 기준으로 현재 센싱데이터가 변화된 것을 의미할 수도 있다.

[0154] 따라서 구동 트랜지스터(DRT) 간의 특성치 또는 특성치 변화를 비교해보면, 구동 트랜지스터(DRT) 간의 특성치 편차를 파악할 수 있다. 구동 트랜지스터(DRT)의 특성치 변화가 초기 보상데이터를 기준으로 현재 센싱데이터가 변화된 것을 의미하는 경우, 구동 트랜지스터(DRT)의 특성치 변화로부터 구동 트랜지스터(DRT) 간의 특성치 편차(즉, 서브픽셀 휘도 편차)를 파악할 수도 있다.

[0155] 여기서 초기 보상데이터는 유기발광표시장치 제조 시에 설정되어 저장된 초기 설정데이터일 수 있다.

[0156] 특성치 보상 프로세스는, 구동 트랜지스터(DRT)의 문턱전압을 보상하는 문턱전압 보상 처리와, 구동 트랜지스터(DRT)의 이동도를 보상하는 이동도 보상 처리를 포함할 수 있다.

[0157] 문턱전압 보상 처리는 문턱전압 또는 문턱전압 편차(문턱전압 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리부(430)에 저장하거나, 연산된 보상값으로 해당 영상데이터(Data)를 변경하는 처리를 포함할 수 있다.

[0158] 이동도 보상 처리는 이동도 또는 이동도 편차(이동도 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리부(430)에 저장하거나, 연산된 보상값으로 해당 영상데이터(Data)를 변경하는 처리를 포함할 수 있다.

[0159] 보상부(420)는 문턱전압 보상 처리 또는 이동도 보상 처리를 통해 영상데이터(Data)를 변경하여 변경된 데이터를 데이터 드라이버(120) 내 해당 소스 드라이버 집적회로(SDIC)로 공급해줄 수 있다.

[0160] 이에 따라, 해당 소스 드라이버 집적회로(SDIC)는, 보상부(420)에서 변경된 데이터를 디지털 아날로그 컨버터(DAC: Digital to Analog Converter)를 통해 데이터 전압으로 변환하여 해당 서브픽셀로 공급해줌으로써, 서브픽셀 특성치 보상(문턱전압 보상, 이동도 보상)이 실제로 이루어지게 된다.

[0161] 이러한 서브픽셀 특성치 보상이 이루어짐에 따라, 서브픽셀 간의 휘도 편차를 줄여주거나 방지해줌으로써, 화상 품질을 향상시켜줄 수 있다.

[0162] 여기서 기준전압 라인(RVL)이 서브픽셀 열마다 1개씩 배치된 경우, 센싱부(410)는 스캔 신호(SCAN)에 의해 구동되는 게이트 라인(GL) 상의 다수의 픽셀 각각에서 특정 서브픽셀의 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 센싱한다.

[0163] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성된 경우, 센싱부(410)는 스캔 신호(SCAN)에 의해 구동되는 게이트 라인(GL) 상에서 지정된 순서에 따라 다수의 적색 서브 픽셀의 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 기준전압 라인(RVL)을 통해 인가받아 센싱할 수 있다. 그리고 이후 순차적으로 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀의 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 기준전압 라인(RVL)을 통해 인가받아 센싱할 수 있다.

[0164] 그러나 기준전압 라인(RVL)이 각 픽셀을 구성하는 서브픽셀의 개수에 대응하여 서브픽셀 열마다 4개씩 배치되어 있다면, 센싱부(410)는 스캔 신호(SCAN)에 의해 구동되는 게이트 라인(GL)의 모든 서브픽셀에 대한 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 한번에 센싱할 수 있다.

[0165] 즉 센싱부(410)는 스캔 신호(SCAN)에 의해 구동되는 하나의 게이트 라인(GL)에 대해 1개의 픽셀을 구성하는 서브픽셀의 개수와 대응하는 기준전압 라인(RVL)의 개수에 따라 하나의 게이트 라인(GL)에 대해 다수 횟수 센싱을 수행할 수 있다. 따라서 센싱부(410)로부터 센싱데이터를 인가받아 보상값을 연산하는 보상부(420) 또한 하나의 게이트 라인(GL)에 대해 다수 횟수 보상값을 연산할 수 있다.

[0166] 도 7은 본 실시예들에 따른 유기발광표시장치(100)의 센싱 타이밍을 나타낸 다이어그램이다.

[0167] 도 7을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 파워 온 신호(Power On Signal)가 발생하면, 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수 있다. 이러한 센싱 프로세스를 "온-센싱 프로세스(On-Sensing Process) "라고 한다.

[0168] 또한, 파워 오프 신호(Power Off Signal)가 발생하면, 전원 차단 등의 오프 시퀀스(Off-Sequence)가 진행되기 이전에, 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "오프-센싱 프로세스(Off-Sensing Process) "라고 한다.

[0169] 또한, 파워 온 신호가 발생한 이후 파워 오프 신호가 발생되기 전까지, 디스플레이 구동 중에서 블랭크(Blank) 시간 마다 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "실시간 센싱 프로세스(Real-time Sensing Process)" 라고 한다.

[0170] 이러한 실시간 센싱 프로세스(Real-time Sensing Process)은, 수직 동기 신호(Vsync)를 기준으로 액티브 시간(Active Time) 사이의 블랭크 시간(Blank Time) 마다 진행될 수 있다.

[0171] 구동 트랜지스터(DRT)의 이동도 센싱은 짧은 시간만이 필요하기 때문에, 파워 온 신호가 발생한 이후에 디스플레이 구동이 시작하기 이전에 진행될 수도 있고, 파워 오프 신호가 발생한 이후에 디스플레이 구동이 되지 않을 때 수행될 수 있다.

[0172] 이뿐만 아니라, 구동 트랜지스터(DRT)의 이동도 센싱은 디스플레이 구동 중에도 짧은 블랭크 시간을 활용하여 실시간으로 진행될 수 있다.

[0173] 즉, 구동 트랜지스터(DRT)의 이동도 센싱은 파워 온 신호가 발생하여 디스플레이 구동이 시작하기 이전에 온-센싱 프로세스(On-Sensing Process)로 진행될 수도 있고, 파워 오프 신호가 발생하여 디스플레이 구동이 진행되지 않는 구간 동안 오프-센싱 프로세스(Off-Sensing Process)로 진행될 수도 있으며, 디스플레이 구동 중에 짧은 블랭크 시간 마다 실시간-센싱 프로세스(Real-time Sensing Process)로 진행될 수 있다.

[0174] 이에 비해, 구동 트랜지스터(DRT)의 문턱전압 센싱(Vth Sensing)은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 긴 전압 포화 시간(Vsat)이 필요하기 때문에, 구동 트랜지스터(DRT)의 이동도 센싱(Mobility Sensing)에 비해, 상대적으로 오랜 시간이 걸린다.

[0175] 이러한 점을 고려하여, 구동 트랜지스터(DRT)의 문턱전압 센싱은, 사용자 시청에 방해가 되지 않는 타이밍을 활용하여 이루어져야만 한다.

[0176] 따라서, 일반적으로 구동 트랜지스터(DRT)의 문턱전압 센싱은 사용자 입력 등에 따라 파워 오프 신호(Power Off Signal)가 발생한 이후, 디스플레이 구동이 되지 않는 동안, 즉, 사용자가 시청 의사가 없는 상황에서 진행될 수 있다.

[0177] 그러나 경우에 따라 구동 트랜지스터(DRT)의 문턱전압 센싱도 온-센싱 프로세스(On-Sensing Process) 또는 실시간-센싱 프로세스(Real-time Sensing Process)로 진행될 수도 있다.

[0178] 도 8은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구현 예시도이다.

[0179] 도 8을 참조하면, 각 게이트 드라이버 집적회로(GDIC)는, 칩 온 필름(COF) 방식으로 구현된 경우, 표시패널(110)과 연결된 필름(GF) 상에 실장 될 수 있다.

[0180] 각 소스 드라이버 집적회로(SDIC)는, 칩 온 필름(COF) 방식으로 구현된 경우, 표시패널(110)에 연결된 필름(SF) 상에 실장 될 수 있다.

[0181] 표시장치(100)는, 다수의 소스 드라이버 집적회로(SDIC)과 다른 장치들 간의 회로적인 연결을 위해, 적어도 하나의 소스 인쇄회로기판(SPCB: Source Printed Circuit Board)과, 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(CPCB: Control Printed Circuit Board)을 포함할 수 있다.

[0182] 적어도 하나의 소스 인쇄회로기판(SPCB)에는 소스 드라이버 집적회로(SDIC)가 실장 된 필름(SF)이 연결될 수 있다. 즉, 소스 드라이버 집적회로(SDIC)가 실장 된 필름(SF)은 일 측이 표시패널(110)과 전기적으로 연결되고 타 측이 소스 인쇄회로기판(SPCB)과 전기적으로 연결된다.

[0183] 컨트롤 인쇄회로기판(CPCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는, 컨트롤러(140)와, 표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 파워 관리 집적회로(PMIC: Power Management IC, 830) 등이 실장 될 수 있다.

[0184] 여기서 컨트롤러(140)는 보상부(420)를 포함하며, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러를 더 포함할 수 있다.

[0185] 또한 컨트롤 인쇄회로기판(CPCB)에는 메모리부(430)가 실장 될 수 있다. 메모리부(430)가 서로 상이한 타입의 다수의 메모리를 포함하는 경우, 각각의 메모리는 컨트롤 인쇄회로기판(CPCB)에 개별적으로 실장되어 컨트롤러(140)와 전기적으로 연결될 수 있다.

[0186] 도 8에서는 서로 다른 타입의 메모리를 포함하는 제1 및 제2 메모리부(810, 820)를 도시하였으며, 설명의 편의를 위해 제1 메모리부(810) 및 제2 메모리부(820)가 각각 1개씩의 메모리를 구비하는 것으로 도시하였다. 그러나 제1 및 제2 메모리부(810, 820)는 각각 다수의 메모리를 구비할 수 있다.

[0187] 여기서 제1 메모리부(810)에 포함되는 적어도 하나의 메모리는 비휘발성 메모리로서 NAND Flash Memory일 수 있으며, 제2 메모리부(820)에 포함되는 적어도 하나의 메모리는 휘발성 메모리로서 DDR SDRAM(Double data rate synchronous dynamic random access memory)일 수 있다.

[0188] 또한 컨트롤 인쇄회로기판(CPCB)에는 제1 및 제2 메모리부(810, 820)이외에 다른 메모리가 더 실장될 수 있다. 일예로 컨트롤 인쇄회로기판(CPCB)에는 ROM(Read-Only Memory) 및 프로그래밍 가능한 ROM(Electrically Erasable Programmable Read-Only Memory : EEPROM) 중 적어도 하나가 더 실장될 수 있다.

[0189] 한편 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.

[0190] 여기서, 연결 부재는, 일 예로, 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.

[0191] 적어도 하나의 소스 인쇄회로기판(SPCB)과 컨트롤 인쇄회로기판(CPCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.

[0192] 표시장치(100)는, 컨트롤 인쇄회로기판(CPCB)와 전기적으로 연결된 세트 보드(840)를 더 포함할 수 있다.

[0193] 이러한 세트 보드(840)는 파워 보드라고도 할 수 있다.

[0194] 이러한 세트 보드(840)에는 유기발광표시장치(100)의 전체적인 파워를 관리하는 메인 파워 관리 회로(850, M-PMC: Main Power Management Circuit)가 존재할 수 있다.

[0195] 파워 관리 집적회로(830)는 표시패널(110)과 그 구동 회로(120, 130, 140) 등을 포함하는 표시모듈에 대한 파워를 관리하는 회로이다. 그리고 메인 파워 관리 회로(850)는 표시모듈을 포함한 전체적인 파워를 관리하는 회로이고, 파워 관리 집적회로(830)와 연동할 수 있다.

[0196] 예를 들어, 메인 파워 관리 회로(850)는 구동 전압(VDD), 패널 구동 전압(EVDD) 등을 컨트롤 인쇄회로기판(CPCB)로 공급할 수 있다. 컨트롤 인쇄회로기판(CPCB) 상의 컨트롤러(140)는 구동 전압(VDD)을 인가받아 구동될 수 있으며, 파워 관리 집적회로(830)는 패널 구동 전압(EVDD)을 표시패널(110)로 공급할 수 있다.

[0197] 도 9는 본 실시예들에 따른 유기발광표시장치(100)의 온-센싱 프로세스 수행 시 보상부(420)와 메모리부(430) 사이의 데이터 전송 경로를 개념적으로 나타낸다.

[0198] 도 7에서 설명한 바와 같이, 유기발광표시장치(100)는 파워 온 신호가 발생하면, 온-센싱 프로세스를 수행하여 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수 있다.

[0199] 도 9를 참조하면, 온-센싱 프로세스 수행 시, 보상부(420)는 제1 메모리부(810)에 미리 저장되어 있는 초기 보상데이터(ICD)를 전달받는다. 여기서 초기 보상데이터(ICD)는 센싱부(410)에서 출력된 센싱데이터를 보상하기 위한 기준값으로 이용되는 데이터이다. 초기 보상데이터(ICD)는 유기발광표시장치(100) 제조 시에 설정되어 저장되는 초기 설정데이터 및 이전 오프-센싱 프로세스 수행 시 저장된 데이터 중 적어도 하나를 포함할 수 있다. 또한 초기 보상데이터(ICD)는 표시패널(110)에 포함된 각 서브픽셀의 특성치를 직접 보상하기 위한 보상값에 대한 데이터일 수 있으나, 보상값을 생성하기 위한 기준값에 대한 데이터일 수도 있다.

[0200] 보상부(420)는 제1 메모리부(810)부터 기설정된 보상 단위로 초기 보상데이터(ICD)를 전달받을 수 있다. 일예로 보상부(420)는 각각의 게이트 라인(GLn)에 포함되는 서브픽셀에 대한 초기 보상데이터(ICDn)를 한번에 인가받을 수 있다. 즉 유기발광표시장치(100)가 UHD 해상도(3840 X 2160 픽셀)인 경우, 보상부(420)는 게이트 라인(GL) 단위로 2160회 초기 보상데이터(ICD1 ~ ICD2160)를 전달받을 수 있다.

[0201] 이때, 보상부(420)는 현재 스캔 신호가 인가되는 게이트 라인(GLn) 상의 다수의 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 기준 전압 라인(RVL)을 통해 센싱하고, 제1 메모리부(810)로부터 이전 인가된 대응하는 초기 보상데이터(ICDn)를 이용하여 보상값(CPVn)을 연산하는 동안, 다음 게이트 라인(GLn+1)에 상의 다수의 각 서브픽셀에 대응하는 초기 보상데이터(ICDn+1)를 전달받을 수 있다.

[0202] 즉 현재 선택된 게이트 라인(GLn)에 대한 센싱 및 보상값 연산을 수행하는 동안, 다음 선택될 게이트 라인(GLn+1) 상의 다수의 각 서브픽셀에 대한 초기 보상데이터(ICDn+1)를 인가받도록 한다. 이는 초기 보상데이터(ICD)가 제1 메모리부(810)로부터 보상부(420)로 전송되는 시간으로 인해 온-센싱 프로세스의 시간이 증가되는 것을 줄이기 위함이다.

[0203] 한편 본 발명에서는 제1 메모리부(810)와 제2 메모리부(820)는 서로 상이한 데이터 전송속도를 갖는 메모리이며, 여기서는 제2 메모리부(820)의 데이터 전송속도가 제1 메모리부(810)의 데이터 전송속도보다 빠른 것으로 가정한다.

[0204] 상기한 바와 같이, 제1 메모리부(810)는 비휘발성 메모리이고, 제2 메모리(820)는 휘발성 메모리일 수 있다. 제2 메모리부(820)가 휘발성 메모리인 경우, 유기발광표시장치(100)의 전원이 차단되면 저장된 데이터가 소멸되기 때문에 보상부(420)는 온-센싱 프로세스 수행 시에 제2 메모리부(820)보다 데이터 전송속도가 느리지만 데이터가 소멸되지 않은 제1 메모리부(810)에 저장된 초기 보상데이터(ICD)를 인가받아 보상값(CPV)을 연산한다.

[0205] 그리고 보상부(420)는 연산된 보상값(CPVn)을 제2 메모리부(820)에 저장하고, 이후, 제2 메모리부(820)에 저장된 보상값(CPVn)을 이용하여 특성치 보상 프로세스 수행한다. 이때 보상부(420)는 보상값(CPVn)을 제2 메모리부(820)에 저장할 수 있다. 경우에 따라서 보상부(420)는 센싱데이터(SDn)도 제2 메모리부(820)로 전송하여 저장할 수 있다.

[0206] 온-센싱 프로세스가 완료된 이후에는, 제2 메모리부(820)에 보상값(CPVn)이 저장된 상태이므로, 보상부(420)는 제1 메모리부(810)보다 데이터 전송속도가 빠른 제2 메모리부(820)를 이용하여 특성치 보상 프로세스를 수행한다. 즉 디스플레이 구동 중에서 블랭크(Blank) 시간마다 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스

터(DRT)의 특성치를 보상하는 실시간 센싱 프로세스 수행 시간을 절감할 수 있도록 한다.

[0207] 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 온-센싱 프로세스 시에 컨트롤러(140)와 메모리부(430) 사이의 데이터 전송 경로를 구체적으로 나타낸 도면이고, 도 11은 본 실시예들에 따른 유기발광표시장치의 초기 구동 과정을 상세히 나타낸 타이밍도이다.

[0208] 도 10을 참조하면, 컨트롤러(140)는 MCU(1010), 보상부(420), 제1 및 제2 연결부(PDC1, PDC2) 및 데이터버스(1020)를 포함할 수 있다.

[0209] 제1 연결부(PDC1)는 MCU(1010)의 제어에 따라 컨트롤러(140)와 제1 메모리부(810) 사이에 전송되는 데이터를 변환하고 데이터 전달 경로를 제어할 수 있다. 그리고 제2 연결부(PDC2)는 MCU(1010)의 제어에 따라 컨트롤러(140)와 제2 메모리부(820) 사이에 전송되는 데이터를 변환하고 데이터 전달 경로를 제어할 수 있다. 즉 제1 및 제2 연결부(PDC1, PDC2)는 MCU(1010)의 제어에 따라 각각 컨트롤러(140)와 제1 메모리부(810) 및 제2 메모리부(820) 사이의 데이터 통신을 제어한다.

[0210] 데이터버스(1020)는 제1 및 제2 연결부(PDC1, PDC2) 사이에 데이터 전송 경로를 제공하며, MCU(1010)는 보상부(420)와 제1 및 제2 연결부(PDC1, PDC2) 및 데이터버스(1020)를 제어할 수 있다.

[0211] 여기서 제1 및 제2 메모리부(810, 820)와 데이터버스(1020) 사이에서 데이터를 전달하는 연결부가 제1 및 제2 연결부(PDC1, PDC2)로 구분되는 것은 제1 및 제2 메모리부(810, 820)가 서로 다른 타입의 메모리이기 때문이다.

[0212] 일예로 제1 메모리부(810)가 적어도 하나의 NAND 플래시 메모리로 구현되는 경우, 제1 연결부(PDC1)는 NAND 플래시 메모리의 기설정된 페이지(Page) 단위로 초기 보상데이터(ICD)를 인가받고, 인가된 초기 보상데이터(ICD)를 기설정된 보상 단위, 여기서는 게이트 라인(GL)에 대응하는 단위로 보상부(420)로 전송할 수 있다. 여기서 NAND 플래시 메모리의 페이지의 크기(일예로 512B ~16KB)는 다양하게 설정될 수 있다.

[0213] 그리고 제1 메모리부(810)가 다수의 제1 메모리를 구비하는 경우, 제1 연결부(PDC1)는 다수의 제1 메모리와 병렬데이터 송수신을 수행할 수 있다. 즉 다수의 제1 메모리가 동시에 제1 연결부(PDC1)와 데이터 전송을 수행할 수 있다.

[0214] 또한 제2 메모리부(820)는 제1 메모리에 비해 상대적으로 고속데이터 전송이 가능한 다수의 제2 메모리를 구비할 수 있다. 그리고 제2 연결부(PDC2)는 다수의 제2 메모리와 병렬로 데이터 송수신을 수행할 수 있다.

[0215] 한편 도 10에 도시된 바와 같이, 데이터버스(1020)는 제1 및 제2 연결부(PDC1, PDC2)에 각각 대응하여 서로 다른 경로로 보상부(420)로 데이터를 전송하거나 수신하도록 구성될 수 있다.

[0216] 한편 컨트롤 인쇄회로기판(CPCB) 또는 컨트롤러(140)에는 별도의 메모리를 더 포함될 수 있다. 또한 타이밍 컨트롤러가 더 포함될 수 있다.

[0217] 도 10을 참조하여 도 11에 도시된 유기발광표시장치의 초기 구동 과정을 설명하면, 본 실시예들에 따른 유기발광표시장치(100)는 파워 온 신호가 발생하면, 메인 파워 관리 회로(850)로부터 컨트롤 인쇄회로기판(CPCB)으로 구동 전압(VDD)이 인가되어, 컨트롤 인쇄회로기판(CPCB)의 구성 요소를 활성화하는 컨트롤러 부팅 구간(CBP)이 시작된다.

[0218] 컨트롤러 부팅 구간(CBP)에서 컨트롤 인쇄회로기판(CPCB) 상의 컨트롤러(140), 파워 관리 집적회로(830), 제1 및 제2 메모리부(810, 820)가 인가된 구동 전압(VDD)에 응답하여 활성화된다.

[0219] 그리고 구동 전압(VDD)이 인가된 컨트롤러(140)는 컨트롤러 부팅 구간(CBP)을 시작한다. 컨트롤러 부팅 구간(CBP)은 펌웨어 부팅 구간(FWP) 및 부트 설정 구간(BCP)을 포함할 수 있다.

[0220] 펌웨어 부팅 구간(FWP)에서는 컨트롤러(140)의 MCU(1010)가 기지정된 펌웨어(Firm Ware)를 로딩하여 펌웨어 부팅(FW Boot)을 수행할 수 있다. 펌웨어 부팅 구간(FWP) 이후, 부트 설정 구간(BCP)에서 MCU(1010)는 컨트롤러(140) 내의 구성 요소에 대해 미리 저장된 컨트롤러 파라미터를 로딩할 수 있다. 즉 컨트롤러 파라미터에 의해 지정된 설정값에 따라 컨트롤러(140) 내의 구성 요소를 초기 설정할 수 있다.

[0221] 이때 펌웨어와 컨트롤러 파라미터는 컨트롤 인쇄회로기판(CPCB) 또는 컨트롤러(140)에 별도로 구비되는 비휘발성 메모리 등에 저장될 수 있다.

[0222] 일예로 펌웨어 및 컨트롤러 파라미터는 컨트롤러(140) 또는 컨트롤 인쇄회로기판(CPCB)에 실장되는 ROM 또는 EEPROM 등에 미리 저장될 수 있다.

[0223] 그리고 컨트롤러 부팅 구간(CBP)은 설정 마진 구간(SMP)을 더 포함할 수 있다. 즉 컨트롤러(140)는 펌웨어 부팅 작업과 설정값 적용 작업이 완료된 이후에 곧바로 표시패널(110)로 패널 구동 전압(EVDD)을 인가하지 않고, 설정 마진 구간(SMP) 이후에 패널 구동 전압(EVDD)이 표시패널(110)로 인가되도록 파워 관리 집적회로(830)를 제어할 수 있다. 설정 마진 구간(SMP)은 컨트롤러 부팅 구간(CBP)에 필수적인 시간은 아니지만, 이후 컨트롤러의 다양한 구동 초기 작업의 추가를 위해 지정되는 시간 구간이다.

[0224] 여기서 펌웨어 부팅 구간(FWP) 및 부트 설정 구간(BCP)은 일예로 각각 141ms와 184ms 가 소요될 수 있다. 그리고 설정 마진 구간(SMP)으로 500ms로 설정된 것으로 가정하면, 컨트롤러 부팅 구간(CBP)은 총 825ms 가 소요된다.

[0225] 한편 컨트롤러 부팅 구간(CBP) 이후, 컨트롤러(140)는 파워 관리 집적회로(830)를 제어하여 메인 파워 관리 회로(850)에서 인가되는 패널 구동 전압(EVDD)이 표시패널(110)로 인가되도록 하여 패널 센싱 구간(PSP)를 시작한다.

[0226] 패널 센싱 구간(PSP)에서 컨트롤러(140)는 패널 구동 전압(EVDD)이 표시패널(110)로 인가되는 즉시 표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱하는 온-센싱 프로세스를 수행하도록 구성될 수도 있다. 그러나 도 11에 도시된 바와 같이, 온-센싱 프로세스를 수행하기 이전, 표시패널(110)에 대한 번트 센싱 과정을 수행할 수 있다.

[0227] 번트 센싱은 패널의 크랙 또는 패널로 전원이 정상적으로 공급되지 않는 등의 이유로 표시패널이 타버리는 번트 현상을 감지하는 과정으로, 패널의 이상 유무에 관한 정보를 나타내는 에러 감지 신호를 출력하는 과정이다. 에러 감지 신호는 메인 파워 관리 회로(850)로 출력되어 패널 번트 현상을 방지할 수 있다.

[0228] 번트 센싱 과정은 다양한 방식으로 진행 될 수 있으나, 일예로 컨트롤러(140) 또는 파워 관리 집적회로(410)가 각 서브픽셀(SP)에서의 구동 트랜지스터(DRT)의 문턱전압 및/또는 이동도, 표시패널(110)에 인가되는 턴-온 레벨 게이트 전압(VGH) 및/또는 턴-오프 레벨 게이트 전압(VGL)에 의한 전류의 센싱 결과를 토대로 비정상 상황을 감지하여 에러 감지 신호를 메인 파워 관리 회로(850)로 출력하는 방식으로 수행될 수 있다. 메인 파워 관리 회로(850)는 에러 감지 신호가 인가되면, 표시패널(110)에 인가될 전원(EVDD)의 공급을 차단할 수 있다. 이러한 파워 공급 차단에 의해 표시패널(110)가 타버리는 패널 번트 현상을 방지할 수 있다.

[0229] 번트 센싱 과정을 온-센싱 프로세스보다 먼저 수행하는 것은 온-센싱 프로세스에 의해 번트 현상이 더 심화될 수 있기 때문이다. 여기서는 일예로 번트 센싱 과정에 소요되는 번트 센싱 구간(BSP)이 442ms인 것으로 가정하였다.

[0230] 번트 센싱 과정을 수행한 이후, 컨트롤러(140)의 보상부(420)는 온-센싱 프로세스를 수행한다. 상기한 바와 같이, 온-센싱 프로세스 시에 보상부(420)는 복수개의 게이트 라인 중 선택된 게이트 라인(GLn) 상의 다수의 서브픽셀에 대한 구동 트랜지스터(DRT)의 특성치를 센싱한 센싱데이터(SDn)를 수신한다. 그리고 제1 메모리부(810)로부터 이전 전송된 초기 보상데이터(ICDn)를 이용하여 센싱데이터(SDn)에 대한 보상값(CPVn)를 연산하고, 연산된 보상값(CPVn)을 데이터버스(1020)를 통해 제2 연결부(PDC2)로 전송한다.

[0231] 기준전압 라인(RVL)이 서브픽셀 열마다 1개씩 배치되어 있고, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성되어 있다면, 도 11에 도시된 바와 같이, 보상부(420)는 선택된 게이트 라인(GLn)에 대해서 서브픽셀의 개수에 대응하여 4번의 센싱 및 데이터 전송 과정을 수행해야 한다.

[0232] 즉 선택된 게이트 라인(GLn) 각각에 대해 4번의 보상값 연산 과정을 수행한다. 각 서브픽셀에 대해 센싱데이터(SDn)를 인가받아 보상값(CPVn)을 연산하는 시간(SSP)이 400㎲ec경우, 선택된 게이트 라인(GLn)의 모든 서브픽셀에 대한 보상값(CPVn)을 연산하기 위해 소요되는 시간(ST)은 SSP * 4 = 1600㎲ec이다.

[0233] 그리고 선택된 게이트 라인(GLn)에 대한 보상값(CPVn)을 전송받은 제2 연결부(PDC2)는 전송된 보상값(CPVn)을 제2 메모리부(820)로 전송하여 저장한다. 다만 제2 연결부(PDC2)와 제2 메모리부(820) 사이의 데이터 전송은 보상부(420)와 별도의 동작이므로 온-센싱 프로세스의 시간에는 포함되지 않는다.

[0234] 한편 제1 메모리부(810)가 2개의 제1 메모리를 갖고, 2개의 제1 메모리 각각이 최대 215MB/sec의 데이터 전송 속도를 가지며, 다음 게이트 라인(GLn+1)에 대응하는 초기 보상데이터(ICDn+1)의 데이터량이 128KB인 경우를 가정하면, 보상부(420)가 제1 메모리부(810)로부터 초기 보상데이터(ICDn+1)를 수신하기 위해 필요한 시간(RT1)은 대략 3000㎲ec이다.

[0235] 즉 보상부(420)가 제1 메모리부(810)로부터 초기 보상데이터(ICDn+1)가 리드(Read)하기 위해 소요되는 시간(RT1)은 보상부(420)가 선택된 게이트 라인(GLn)의 서브 픽셀에 대한 보상값(CPVn)을 연산하기 위해 소요되는 시간(ST)보다 길다. 그러나 보상부(420)는 선택된 게이트 라인(GLn) 상의 다수의 서브 픽셀에 대한 보상값(CPVn)을 연산하는 동안, 제1 메모리부(810)로부터 다음 선택되는 게이트 라인(GLn+1)의 서브 픽셀에 대한 초기 보상데이터(ICDn+1)를 수신한다. 즉 초기 보상데이터(ICDn+1)를 인가받기 위해 소요되는 시간(RT1)이 보상값(CPVn)을 연산하는 시간(ST)과 중첩되도록 한다. 따라서 온-센싱 프로세스를 수행하는 시간(OSP)을 크게 줄일 수 있다.

[0236] 여기서 보상부(420)는 제1 게이트 라인(GL1)에 대한 초기 보상데이터(ICD1)를 온-센싱 프로세스 구간 이전, 설정 마진 구간(SMP) 또는 번트 센싱 구간(BSP)에 수신할 수 있다. 또한 도시하지 않았으나, 제1 메모리부(810)에는 보상부(420)에 기지정된 설정값을 적용하기 위한 보상부 파라미터가 더 저장될 수 있으며, 보상부 파라미터 또한 설정 마진 구간(SMP) 또는 번트 센싱 구간(BSP)에 제1 메모리부(810)에서 보상부(420)로 전송될 수 있다.

[0237] 도 12는 다른 실시예들에 따른 유기발광표시장치(100)의 온-센싱 프로세스 수행 시 보상부(420)와 메모리부(430) 사이의 데이터 전송 경로를 개념적으로 나타낸다.

[0238] 도 12에 따른 보상부(420)와 메모리부(430) 사이의 데이터 전송 경로를 도 9와 비교하면, 도 9에서는 보상부(420)가 제1 메모리부(810)로부터 게이트 라인(GL) 단위로 초기 보상데이터(ICDn)를 수신하도록 구성된 반면, 도 12에서는 메모리 제어부(1210)의 제어 하에 제1 메모리부(810)로부터 전체 초기 보상데이터(ICD)가 제2 메모리부(820)로 전송된다. 그리고 제2 메모리부(820)에 저장된 초기 보상데이터(ICD)는 기설정된 보상단위(여기서는 게이트 라인(GL)에 대응하는 단위)로 보상부(420)로 전달된다.

[0239] 여기서 메모리 제어부(1210)는 이하의 도 13에 도시되는 MCU(1310)에 포함될 수 있다.

[0240] 도 12에서는 데이터 전송 경로의 개념을 설명하기 위해 초기 보상데이터(ICD)가 제1 메모리부(810)로부터 제2 메모리부(820)로 직접 전송되는 것으로 도시하였으나, 제1 메모리부(810)에서 전송되는 초기 보상데이터(ICD)는 도 13에 도시된 바와 같이, 컨트롤러(140)를 통해서 제2 메모리부(820)로 전송되도록 구성될 수 있다.

[0241] 도 9 내지 도 11에서 설명한 온-센싱 프로세스에서는 보상부(420)가 게이트 라인(GLn)의 서브 픽셀에 대한 구동 트랜지스터(DRT)의 특성치를 센싱하고 보상값(CPVn)을 연산하는 동안, 다음 게이트 라인(GLn+1)에 대응하는 초기 보상데이터(ICDn+1)가 전송되도록 함으로써, 온-센싱 프로세스를 수행하는 시간을 줄였다. 즉 파워 온 신호 발생 이후, 표시패널(110)에 최초로 영상이 표출될 때까지의 시간을 줄였다. 여기서 파워 온 신호 발생 이후, 표시패널(110)에 최초로 영상이 표출될 때까지 수행되는 작업을 온 시퀀스(On Sequence)라고 하며, 온 시퀀스에 소요되는 시간을 유기발광표시장치(100)의 사용자 응답 시간이라 한다.

[0242] 그럼에도 제1 메모리부(810)로부터 보상부(420)로 초기 보상데이터(ICDn+1)가 전송되는 시간(RT1)은 보상부(420)가 구동 트랜지스터(DRT)의 특성치를 센싱하고 보상값(CPVn)을 연산하는 시간(ST)보다 길다. 따라서 보상부(420)는 보상값을 연산한 이후, 초기 보상데이터(ICDn+1)가 전송 완료될 때까지 대기시간(WT = RT - ST)만큼 대기해야 한다.

[0243] 특히 1개의 픽셀이 3개의 서브픽셀(적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성되어 있다면, 보상값(CPVn)을 연산하는 시간(ST)이 더 짧아지게 되어, 상대적으로 대기시간(WT)은 더욱 길어지게 된다.

[0244] 이러한 보상부(420)의 동작에서 대기시간(WT)은 불필요한 시간이며, 표시패널(110)의 게이트 라인(GLn) 수(해상도)만큼 누적되어 온-센싱 프로세스 구간(OSP)의 길이를 증가시킨다. 따라서 온-센싱 프로세스 구간(OSP)에서 대기시간(WT)은 가급적 제거되어야 한다.

[0245] 한편 도 12에서는 제1 메모리부(810)에 저장된 전체 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송하여 저장한다. 그리고 보상부(420)는 제1 메모리부(810)보다 데이터 전송 속도가 빠른 제2 메모리부(820)로부터 기설정된 보상 단위로 초기 보상데이터(ICDn)를 수신하도록 구성된다.

[0246] 이때, 보상부(420)가 선택된 게이트 라인(GLn) 상의 다수의 서브 픽셀에 대한 센싱 및 보상값 연산을 수행하는 기간(ST)은 도 11에서와 동일하다. 그러므로 보상부(420)는 센싱 및 보상값 연산하는 시간(ST)동안, 데이터 전송 속도가 빠른 제2 메모리부(820)로부터 다음 선택되는 게이트 라인(GLn+1)의 서브 픽셀에 대한 초기 보상데이터(ICDn+1)를 수신 완료할 수 있다. 즉 다음 선택되는 게이트 라인(GLn+1)에 대한 초기 보상데이터(ICDn+1)를 인가받는 시간(RT2)이 보상값 연산하는 시간(ST)보다 짧기(RT2 < ST) 때문에, 대기시간(WT)이 제거될 수 있다.

[0247] 상기와 같이 제2 메모리부(820)가 적어도 하나의 DDR SDRAM으로 구성되는 것으로 가정할 때, 보상부(420)가 제2

메모리부(820)로부터 게이트 라인(GL)에 대응하는 단위의 초기 보상데이터(ICDn)을 인가받기 위한 시간(RT2)은 1개의 서브 픽셀(도 14에서는 적색 서브 픽셀)에 대한 센싱 및 보상값 연산하는 시간(SSP)보다도 짧게 나타날 수 있다(RT2 < SSP).

[0248] 다만 제1 메모리부(810)로부터 제2 메모리부(820)로 전체 초기 보상데이터(ICD)를 전송하는 전체 초기 보상데이터 전송 시간(ICDT)이 추가로 발생할 수 있다. 그러나 추가된 전체 초기 보상데이터 전송 시간(ICDT)이 도 11에서의 대기시간(WT) * 게이트 라인(GLn) 수(해상도) 보다 짧다면, 결과적으로 온-센싱 프로세스 구간(OSP)을 줄일 수 있다. 즉 파워 온 신호 발생 이후, 더 빠르게 영상을 표시할 수 있다.

[0249] 특히 제1 메모리부(810)로부터 제2 메모리부(820)로의 초기 보상데이터(ICD)를 전송하는 시점을 온-센싱 프로세스 구간(OSP)이 아닌 컨트롤 부트 구간(CBP) 또는 번트 센싱 구간(BSP)부터 시작되도록 구성하는 경우, 온-센싱 프로세스 구간(OSP)을 더욱 줄일 수 있다.

[0250] 도 13은 다른 실시예들에 따른 유기발광표시장치(100)의 온-센싱 프로세스 시에 컨트롤러(140)와 메모리부(430) 사이의 데이터 전송 경로를 구체적으로 나타낸 도면이고, 도 14는 다른 실시예들에 따른 유기발광표시장치(100)의 초기 구동 과정을 상세히 나타낸 타이밍도이다.

[0251] 도 13에서 컨트롤 인쇄회로기판(CPCB) 또는 컨트롤러(140)의 구성은 도 10과 동일하므로 여기서는 별도로 설명하지 않는다.

[0252] 그러나 도 13에서 컨트롤러(140)와 메모리부(430) 사이의 데이터 전송 경로를 도 10의 데이터 전송 경로와 비교하면, 도 13에서는 제1 메모리부(810)가 메모리 제어부(1210)의 제어에 따라 제1 연결부(PDC1)로 게이트 라인(GL)에 대응하는 단위의 초기 보상데이터(ICDn)를 전송하지 않고, 전체 초기 보상데이터(ICD)를 전송한다. 여기서 메모리 제어부(1210)는 MCU(1310)에 포함된 것으로 가정하여 별도로 도시하지 않았다.

[0253] 한편 MCU(1310)의 제어 하에, 제1 연결부(PDC1)는 인가된 초기 보상데이터(ICD)를 데이터버스(1020)를 경유하여 제2 연결부(PDC2)로 전달하고, 제2 연결부(PDC2)는 초기 보상데이터(ICD)를 다시 제2 메모리(820)로 전달하여 저장한다.

[0254] 특히 도 14를 참조하면, 제1 메모리부(810)는 펌웨어 부팅 구간(FWP) 이후 부트 설정 구간(BCP)에 컨트롤러(140)를 통해 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송하기 시작한다. 이는 상기한 바와 같이, 제1 메모리부(810)로부터 제2 메모리부(820)로 초기 보상데이터(ICD)를 전송하는 시간을 컨트롤 부트 구간(CBP) 및 번트 센싱 구간(BSP)과 중첩되도록 하여, 온-센싱 프로세스 구간(OSP)을 줄이기 위함이다.

[0255] 다만 보상부(420)의 초기 설정하기 위한 보상부 파라미터(LParam)가 제1 메모리부(810)에 더 저장된 경우, 보상부 파라미터(LParam)는 초기 보상데이터(ICD)보다 먼저 보상부(420)로 전송될 필요가 있다.

[0256] 도 11에서는 게이트 라인에 대응하는 단위로 초기 보상데이터(ICDn)를 전송한다. 그리고 보상부 파라미터(LParam)는 설정 마진 구간(SMP) 또는 번트 센싱 구간(BSP)에 전송될 수 있다. 따라서 보상부 파라미터(LParam)가 전송 시간이 온-센싱 프로세스 구간(OSP)의 길이에 영향을 미치지 않기 때문에 별도로 도시하지 않았다.

[0257] 그러나 전체 초기 보상데이터(ICDn)를 전송하는 도 14의 실시예에서는 초기 보상데이터(ICDn)보다 우선 전송되는 보상부 파라미터(LParam)의 전송 시간(LPT)이 온-센싱 프로세스 구간(OSP)의 길이에 영향을 미칠 수 있다. 따라서 보상부 파라미터(LParam)의 시간이 함께 고려되는 것이 바람직하며, 이에 도 14에서는 보상부 파라미터(LParam)가 초기 보상데이터(ICD)보다 먼저 제2 메모리부(820)로 전송되는 것을 명시적으로 도시하였다.

[0258] 다만 보상부 파라미터(LParam)의 데이터량은 일반적으로 전체 초기 보상데이터(ICDn)에 비해 매우 적다. 일예로 보상부 파라미터(LParam)의 데이터량은 특정 게이트 라인(GLn)의 서브 픽셀에 대한 초기 보상데이터(ICDn)의 12배 수준의 데이터량을 가질 수 있다. 표시패널(110)의 게이트 라인(GL) 수가 2160인 UHD 해상도를 고려할 때, 보상부 파라미터(LParam)의 데이터량은 온-센싱 프로세스 구간(OSP)의 길이에 큰 영향을 미치지는 않는다.

[0259] 도 11에서 설명한 바와 같이, 부트 설정 구간(BCP)에서 184ms가 소요되고, 설정 마진 구간(SMP)이 500ms로 설정되며, 번트 센싱 구간(BSP)이 442ms인 경우, 보상부 파라미터(LParam)를 전송하는 보상부 파라미터 전송 시간(LPT)이 대략 7.3ms이라면, 보상부 파라미터(LParam)는 부트 설정 구간(BCP)의 초기에 제2 메모리부(820)로 전송 완료된다.

[0260] 한편 제1 메모리(810)는 메모리 제어부(1210)의 제어에 따라 보상부 파라미터(LParam)를 전송한 후, 연속하여 전체 초기 보상데이터(ICDn)를 제2 메모리(820)로 전송한다.

[0261] 특정 게이트 라인(GLn)의 서브 픽셀에 대한 초기 보상데이터(ICDn)를 보상부(420)로 전송하는 도 11에서와 달리, 도 14에서는 제1 메모리부(810)가 전체 초기 보상데이터(ICDn)를 제2 메모리부(820)로 일괄 전송하므로, 전체 초기 보상데이터 전송 구간(ICDT)의 길이는 짧지 않다.

[0262] 특히 도 14에 도시된 바와 같이, 전체 초기 보상데이터 전송 시간(ICDT)이 부트 설정 구간(BCP), 설정 마진 구간(SMP) 및 번트 센싱 구간(BSP)의 합보다 길어질 수도 있다.(ICDT > (BCP + SMP + BSP))

[0263] 이 경우, 전체 초기 보상데이터(ICD)가 제2 메모리부(820)에 저장 완료된 이후, 보상부(420)가 제2 메모리부(820)로부터 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn)를 수신한다면, 패널 구동까지의 시간이 지연되게 된다.

[0264] 특히 설정 마진 구간(SMP) 및 번트 센싱 구간(BSP)의 길이가 짧아지거나 생략되면, 전체 초기 보상데이터 전송 시간(ICDT)에 의한 패널 구동 지연은 더욱 크게 나타나게 된다.

[0265] 이에 패널 구동 지연을 줄이기 위해 보상부(420)는 제1 메모리부(810)로부터 전체 초기 보상데이터(ICD)가 제2 메모리부(820)로 전송되는 동안, 제2 메모리부(820)에 먼저 저장된 일부 초기 보상데이터(ICD)를 수신하여 온-센싱 프로세스를 수행할 수 있도록 구성될 수 있다.

[0266] 상기한 바와 같이, 보상부 파라미터(LParam)는 부트 설정 구간(BCP)의 초기에 제2 메모리부(820)로 전송 완료될 수 있으며, 이후 연속하여 전체 초기 보상데이터(ICD)가 제2 메모리부(820)로 전송되기 시작한다. 따라서 부트 설정 구간(BCP)이 종료되는 시점에 이미 일부 초기 보상데이터(ICD)가 저장되어 있으며, 보상부(420)는 제2 메모리부(820)에 저장된 초기 보상데이터(ICD)를 수신하여 온-센싱 프로세스를 시작할 수 있다.

[0267] 다만 제1 메모리부(810)로부터 전송되는 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송하면서 동시에, 제2 메모리부(820)에 이미 저장된 초기 보상데이터(ICD)를 다시 보상부(420)로 전송하는 경우, 컨트롤러(140)내의 데이터버스(1020)에서 경로가 중첩됨으로 인해 오류가 발생하거나, 보상부(420)로 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn)를 전송하지 못하는 경우가 발생할 수 있다. 또한 보상부(420)에서 연산된 보상값(CPVn)을 제2 메모리부(820)에 저장하지 못하는 경우가 발생할 수 있다.

[0268] 이에 컨트롤러(140)의 MCU(1310)는 도 14에 도시된 바와 같이, 제2 메모리부(820)로부터 전송되는 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn)가 데이터버스(1020)에서 보상부(420)로의 데이터 전송 경로를 제2 연결부(PDC2)에 대응하는 경로가 아닌 제1 연결부(PDC1)에 대응하는 경로를 통해 전송되도록 제어하여, 데이터버스(1020)에서 경로 중첩에 의한 전송 지연을 방지할 수 있다.

[0269] 그리고 도 14에서도 보상부(420)는 선택된 게이트 라인(GLn) 상의 다수의 서브 픽셀에 대한 보상값(CPVn)을 연산하는 동안, 제2 메모리부(820)로부터 다음 선택되는 게이트 라인(GLn+1)의 서브 픽셀에 대한 초기 보상데이터(ICDn+1)를 수신한다. 즉 초기 보상데이터(ICDn+1)를 인가받기 위해 소요되는 시간(RT2)이 보상값(CPVn)을 연산하는 시간(ST)과 중첩되도록 한다. 따라서 온-센싱 프로세스를 수행하는 시간(OSP)을 줄일 수 있다.

[0270] 도 14에서는 설명의 편의를 위하여 제2 연결부(PDC2)가 단일 구성 요소인 것으로 도시였다. 그러나 제2 연결부(PDC2)는 일반적으로 제2 메모리부(820)에 구비되는 다수의 제2 메모리와 병렬데이터 통신이 가능하도록 구성된다. 따라서 제2 연결부(PDC2)로 전체 초기 보상데이터(ICD)와 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn) 및 보상부(420)에서 연산된 보상값(CPVn)이 동시에 입출력되고 있으나, 데이터 전송에 대한 장애가 발생하지 않는다.

[0271] 즉 제2 메모리부(820)는 제1 메모리부(810)로부터 전체 초기 보상데이터(ICD)를 전송받아 저장하는 동안, 보상부(420)로 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn)를 전송하고, 보상부(420)에서 연산된 보상값(CPVn)을 수신하여 저장할 수 있다.

[0272] 이때 제2 메모리부(820)에서 보상부(420)에서 연산된 보상값(CPVn)과 특정 게이트 라인(GLn)에 대한 초기 보상데이터(ICDn)가 동일한 제2 메모리에 저장되도록 설정된 경우, 보상값 저장 시간(WRT)이 온-센싱 프로세스 구간(OSP)에 추가될 수 있다.

[0273] 그러나 보상값(CPVn)의 데이터량을 매우 작기 때문에 보상값 저장 시간(WRT)이 온-센싱 프로세스 구간(OSP)에 미치는 영향은 무시할 수 있는 수준이다. 또한 보상값(CPVn)과 초기 보상데이터(ICDn)가 서로 다른 제2 메모리에 저장되는 경우, 보상값 저장 시간(WRT)은 온-센싱 프로세스 구간(OSP)에 영향을 미치지 않는다.

[0274] 결과적으로 전체 초기 보상데이터 전송 시간(ICDT)이 온-센싱 프로세스 구간(OSP)에 영향을 미치지 않고, 패널

구동 지연이 발생하지 않는다. 따라서 온-센싱 프로세스 구간(OSP)을 줄일 수 있고, 유기발광표시장치(100)에 파워 온 신호가 인가된 이후 빠른 시간 내에 패널을 구동하여 영상을 출력할 수 있어, 사용자 응답성을 개선할 수 있다.

[0275] 다시 말해 파워 온 신호의 발생에 따라 우선 제1 메모리부(810)에 미리 저장된 초기 보상데이터(ICD)가 제1 연결부(PDC1), 데이터버스(1020) 및 제2 연결부(PDC2)를 경유하여 제2 메모리부(820)로 전송되고, 제2 메모리부(820)에 저장된 초기 보상데이터(ICDn)가 보상부(420)로 출력된다.

[0276] 상기에서는 보상부(420)가 선택된 게이트 라인(GLn) 상의 다수의 서브 픽셀에 대한 보상값(CPVn)을 연산하는 동안, 제1 메모리부(810)로부터 다음 선택되는 게이트 라인(GLn+1)의 서브 픽셀에 대한 초기 보상데이터(ICDn+1)를 수신하는 제1 실시예와 제1 메모리부(810)에 저장된 전체 초기 보상데이터(ICD)가 제2 메모리부(820)로 전송되어 저장되고, 보상부(420)는 제2 메모리부(820)로부터 다음 선택되는 게이트 라인(GLn+1)의 서브 픽셀에 대한 초기 보상데이터(ICDn+1)를 읽어오는 제2 실시예를 각각 구분하여 설명하였다.

[0277] 그러나 본 발명에 따른 유기발광표시장치는 제1 및 제2 실시예가 모두 이용할 수 있도록 구성될 수 있다. 일예로 메모리 제어부(1210)을 포함하는 MCU(1010, 1310)로 로딩되는 펌웨어에는 제1 실시예 또는 제2 실시예 중 하나가 선택되도록 플래그가 저장될 수 있다. MCU(1010, 1310)는 펌웨어에 저장된 플래그가 제1 값이면 제2 실시예로 온-센싱 프로세스를 수행하고, 제2 값이면 제1 실시예로 온-센싱 프로세스를 수행하도록 구성될 수 있다.

[0278] 그리고 플래그가 저장되지 않은 경우에도 제1 실시예 또는 제2 실시예 중 하나가 선택되도록 미리 설정될 수 있다. 예를 들면 디폴트로 제2 실시예에 따른 온-센싱 프로세스가 수행되도록 설정될 수 있다.

[0279] 도 15는 본 실시예들에 따른 유기발광표시장치의 구동 방법을 나타낸다.

[0280] 도 15에 도시된 유기발광표시장치의 구동 방법을 도 11에 도시된 유기발광표시장치의 초기 구동 과정을 참조하여 설명하면, 우선 파워 온 신호(Power On Signal)가 발생된다(S150). 그리고 발생된 파워 온 신호에 응답하여, 구동 전압(VDD)이 메인 파워 관리 회로(850)로부터 컨트롤 인쇄회로기판(CPCB)으로 인가되면, 컨트롤 인쇄회로기판(CPCB)의 컨트롤러(140)의 MCU(1010)가 기저장된 펌웨어(Firm Ware)를 로딩하여 펌웨어 부팅(FW Boot)을 수행한다(S151).

[0281] 펌웨어 부팅(FW Boot)이 완료된 MCU(1010)는 컨트롤러(140) 내의 구성 요소에 대해 미리 지정된 컨트롤러 파라미터에 따른 설정값을 적용하는 작업을 수행하는 부트 설정 작업을 수행한다(S152).

[0282] 이후 MCU(1010)는 컨트롤 인쇄회로기판(CPCB)에 실장되는 파워 관리 집적회로(830)를 통해 패널 구동 전압(EVDD)이 인가되는지 여부를 판별한다(S153).

[0283] 패널 구동 전압(EVDD)이 인가된 것으로 판별되면, 컨트롤러(140)의 보상부(420)는 표시패널(110)의 다수의 게이트 라인(GL) 중 보상을 수행할 게이트 라인(GLn)을 선택하고, 제1 메모리부(810)로부터 전체 초기 보상데이터(ICD) 중 선택된 게이트 라인(GLn)에 대응하는 초기 보상데이터(ICDn)를 수신한다(S154).

[0284] 이때 보상부(420)는 패널 구동 전압(EVDD)이 인가되기 이전에 보상부(420)에 설정값을 적용하기 위한 보상부 파라미터(LParam)를 먼저 수신할 수 있다. 또한 최초 선택되는 게이트 라인(예를 들면 GL1)에 대응하는 초기 보상데이터(ICD1)의 경우, 패널 구동 전압(EVDD)이 인가되기 이전에 미리 수신할 수도 있다.

[0285] 보상부(420)는 센싱부(410)에서 인가되는 센싱데이터와 인가된 초기 보상데이터(ICDn)를 이용하여 선택된 게이트 라인(GLn)의 서브 픽셀에 대한 보상값(CPVn)을 연산하며, 동시에 다음 선택되는 게이트 라인(GLn+1)에 대응하는 초기 보상데이터(ICDn+1)를 제1 메모리부(810)로부터 수신한다(S155). 즉 보상값(CPVn) 연산과 다음 초기 보상데이터(ICDn+1) 수신을 함께 수행함으로써, 온-센싱 프로세스 구간(OSP)의 길이를 줄인다.

[0286] 그리고 보상부(420)는 표시패널(110)의 모든 서브픽셀에 대한 보상값(CPVn) 연산이 완료되었는지 판별한다. 즉 온-센싱 프로세스가 완료되었는지 판별한다(S166).

[0287] 만일 온-센싱 프로세스가 완료되지 않은 것으로 판별되면, 보상부(420)는 다시 다음 선택되는 게이트 라인에 대응하는 초기 보상데이터를 제1 메모리부(810)로부터 수신한다(S155). 그러나 온-센싱 프로세스가 완료된 것으로 판별되면, 표시패널을 구동한다(S157).

[0288] 도 16 은 다른 실시예들에 따른 유기발광표시장치의 구동 방법을 나타낸다.

[0289] 도 16에 도시된 유기발광표시장치의 구동 방법을 도 14에 도시된 유기발광표시장치의 초기 구동 과정을 참조하

여 설명하면, 도 15에서와 마찬가지로, 우선 파워 온 신호(Power On Signal)가 발생된다(S160). 그리고 발생된 파워 온 신호에 응답하여, 구동 전압(VDD)이 메인 파워 관리 회로(850)로부터 컨트롤 인쇄회로기판(CPCB)으로 인가되면, MCU(1310)가 기저장된 펌웨어(Firm Ware)를 로딩하여 펌웨어 부팅(FW Boot)을 수행한다(S161).

[0290] 이후 펌웨어 부팅(FW Boot)이 완료된 MCU(1310)는 컨트롤러(140) 내의 구성 요소에 대해 미리 지정된 컨트롤러 파라미터에 따른 설정값을 적용하는 부트 설정 작업을 수행한다. 다만 도 15에서와 달리 도 16의 실시예에서는 부트 설정 작업을 수행함과 동시에, MCU(1310)의 제어하에 제1 메모리부(810)가 저장된 전체 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송한다(S162). 이때, 제1 메모리부(810)는 전체 초기 보상데이터(ICD)에 앞서 보상부 파라미터(LParam)를 먼저 제2 메모리부(820)로 전송하고, 이후 연속하여 전체 초기 보상데이터(ICD)를 전송할 수 있다.

[0291] MCU(1010)는 전체 초기 보상데이터(ICD)가 제2 메모리부(820)로 모두 전송되어 저장되지 않은 상태일지라도, 컨트롤 인쇄회로기판(CPCB)에 실장되는 파워 관리 집적회로(830)를 통해 패널 구동 전압(EVDD)이 인가되는지 여부를 판별한다(S163).

[0292] 그리고 패널 구동 전압(EVDD)이 인가된 것으로 판별되면, 컨트롤러(140)의 보상부(420)는 표시패널(110)의 다수의 게이트 라인(GL) 중 보상을 수행할 게이트 라인(GLn)을 선택하고, 제2 메모리부(820)로부터 선택된 게이트 라인(GLn)에 대응하는 초기 보상데이터(ICDn)를 수신한다(S164).

[0293] 보상부(420)는 패널 구동 전압(EVDD)이 인가되기 이전에 제2 메모리부(820)로부터 보상부(420)에 기지정된 설정값을 적용하기 위한 보상부 파라미터(LParam)를 먼저 수신할 수 있다. 또한 최초 선택되는 게이트 라인(예를 들면 GL1)에 대응하는 초기 보상데이터(ICD1)의 경우, 패널 구동 전압(EVDD)이 인가되기 이전에 미리 수신할 수도 있다.

[0294] 보상부(420)는 센싱부(410)에서 인가되는 센싱데이터와 제2 메모리부(820)에서 수신된 초기 보상데이터(ICDn)를 이용하여 선택된 게이트 라인(GLn)의 서브 픽셀에 대한 보상값(CPVn)을 연산하며, 동시에 다음 선택되는 게이트 라인(GLn+1)에 대응하는 초기 보상데이터(ICDn+1)를 제2 메모리부(820)로부터 수신한다(S165).

[0295] 그리고 보상부(420)는 표시패널(110)의 모든 서브픽셀에 대한 보상값(CPVn) 연산이 완료되었는지 판별한다. 즉 온-센싱 프로세스가 완료되었는지 판별한다(S166).

[0296] 만일 온-센싱 프로세스가 완료되지 않은 것으로 판별되면, 보상부(420)는 다시 다음 선택되는 게이트 라인에 대응하는 초기 보상데이터를 제2 메모리부(820)로부터 수신하고(S165), 온-센싱 프로세스가 완료된 것으로 판별되면, 표시패널을 구동한다(S167).

[0297] 도 16에 따른 유기발광표시장치(100)의 구동 방법은 도 15에 비해, 제1 메모리부(810)에 저장된 전체 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송하는 과정이 추가되지만, 제1 메모리부(810)와 제2 메모리부(820) 사이의 데이터 전송 속도 차로 인해 전체 온-센싱 프로세스 구간(OSP)의 시간은 오히려 감소시킬 수 있다.

[0298] 또한 추가된 과정이 부트 설정 단계 등과 중첩되도록 함으로써, 추가된 과정에 의한 온-센싱 프로세스 구간(OSP)의 시간 증가를 최소화할 수 있도록 한다. 뿐만 아니라, 제2 메모리부(820)에 전체 초기 보상데이터(ICD)가 저장 완료되기 이전, 일부 초기 보상데이터(ICD)가 저장된 상태에서, 보상부(420)가 제2 메모리부(820)에 저장된 일부 초기 보상데이터(ICD)를 이용하여 보상값 연산을 수행할 수 있으므로, 실질적으로 전체 초기 보상데이터(ICD)를 제2 메모리부(820)로 전송하는 과정의 추가로 인한 온-센싱 프로세스 구간(OSP)의 시간 증가가 발생하지 않도록 할 수 있다.

[0299] 결과적으로 보상부(420)가 데이터 고속 전속이 가능한 제2 메모리부(820)로부터 초기 보상데이터(ICDn)를 수신할 수 있어, 온-센싱 프로세스 구간(OSP)의 시간을 줄일 수 있고, 표시패널(110)의 구동 시간을 앞당길 수 있다. 즉 유기발광표시장치(100)의 사용자 응답성을 향상시킬 수 있다.

[0300] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0301] 100: 유기발광표시장치 410: 센싱부

110: 표시패널 420: 보상부

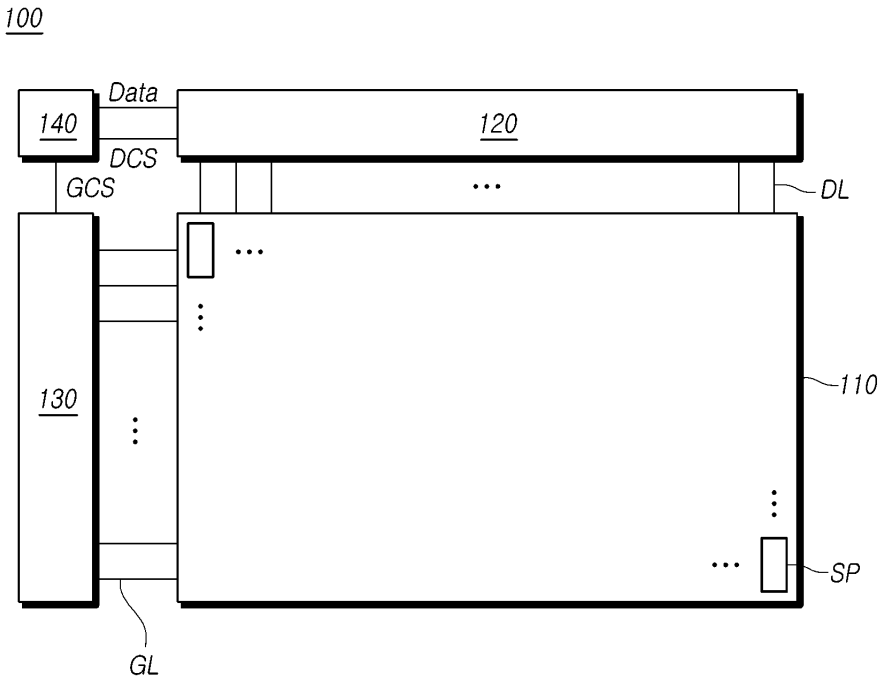
120: 데이터 드라이버 430: 메모리부

130: 게이트 드라이버 810: 제1 메모리부

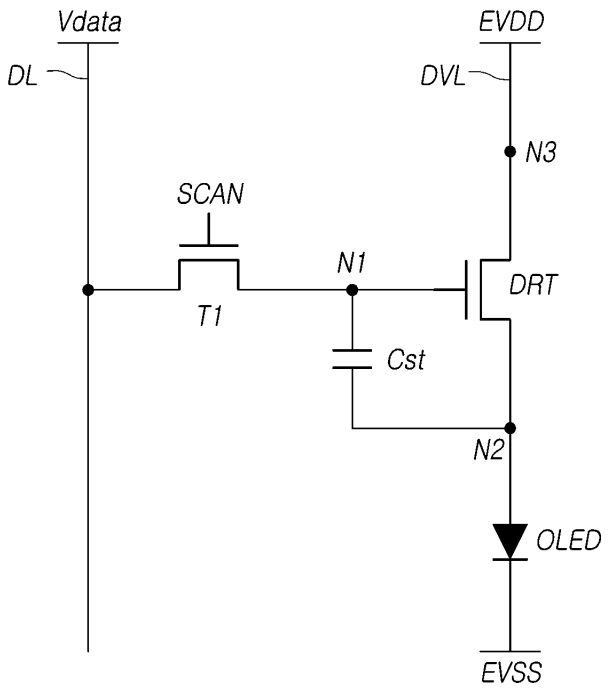
140: 컨트롤러 820: 제2 메모리부

도면

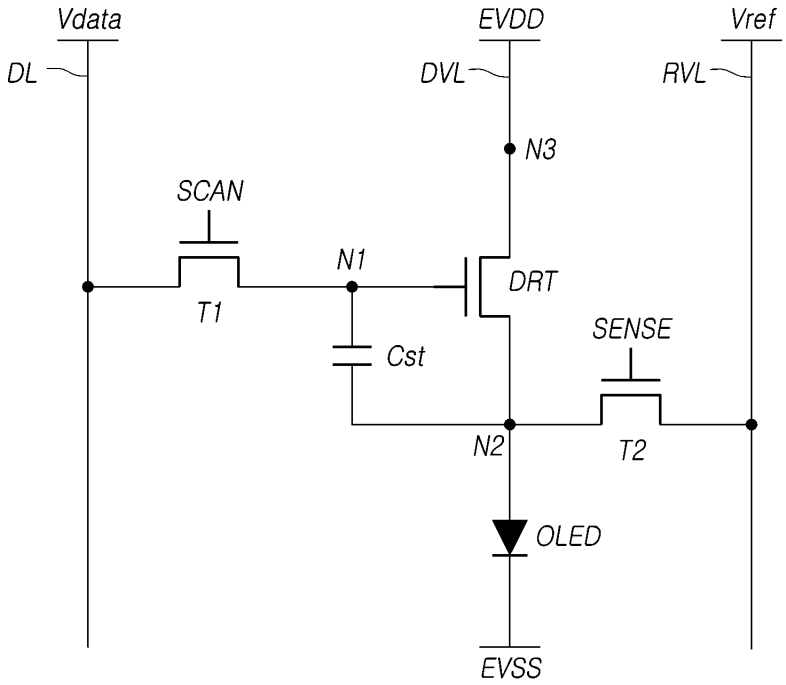
도면1



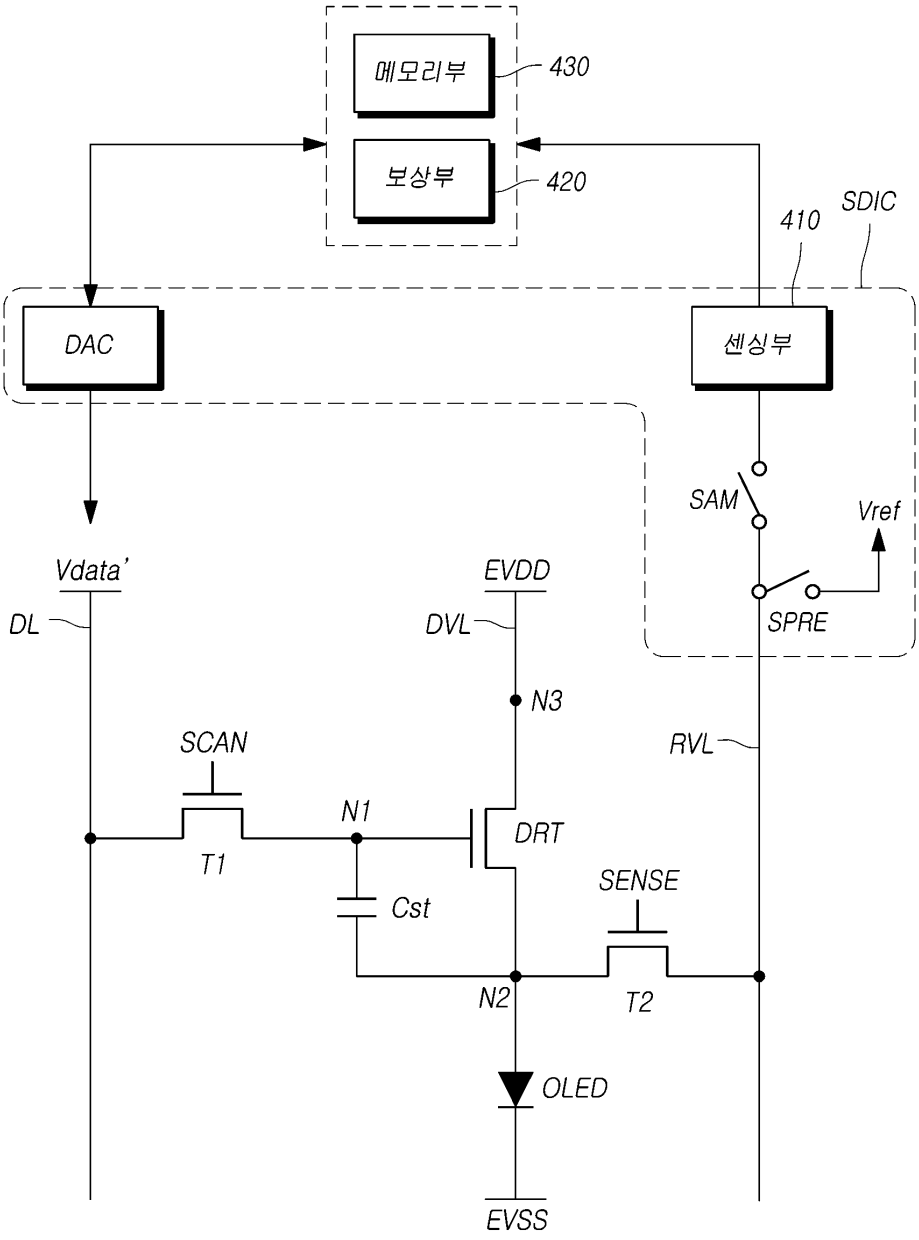
도면2


Vdata
DL
EVDD
DVL
N3
SCAN
N1
DRT
T1
Cst
N2
OLED
EVSS

도면3

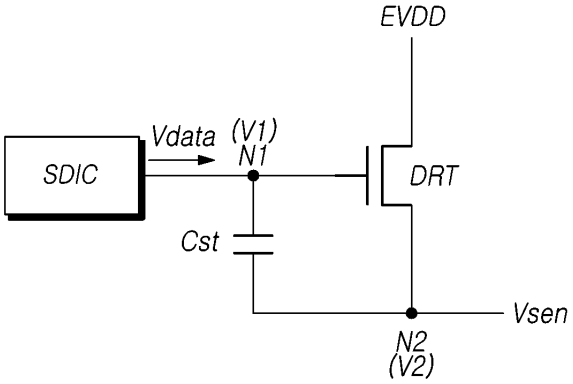

Vdata
DL
EVDD
DVL
Vref
RVL
N3
SCAN
N1
DRT
T1
Cst
SENSE
N2
T2
OLED
EVSS

도면4

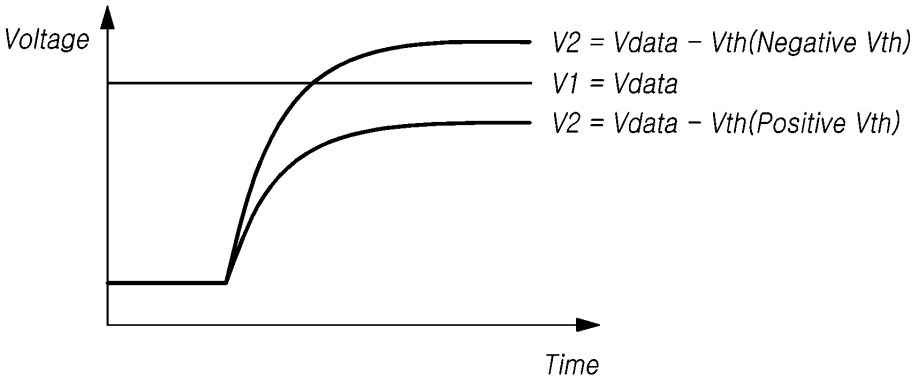

메모리부
430
보상부
420
410
SDIC
DAC
센싱부
SAM
Vref
SPRE
Vdata'
DL
EVDD
DVL
N3
RVL
SCAN
N1
DRT
T1
Cst
SENSE
N2
T2
OLED
EVSS

도면5

Vth Sensing

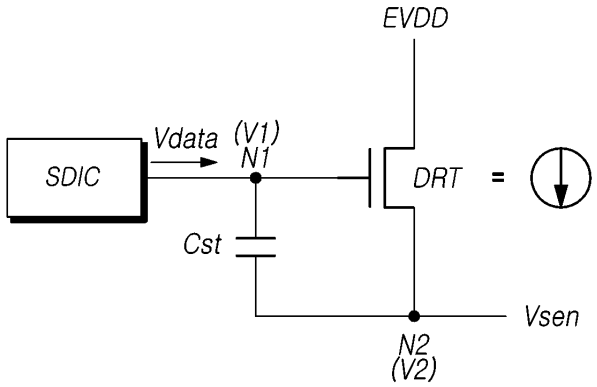


Vsen Wave

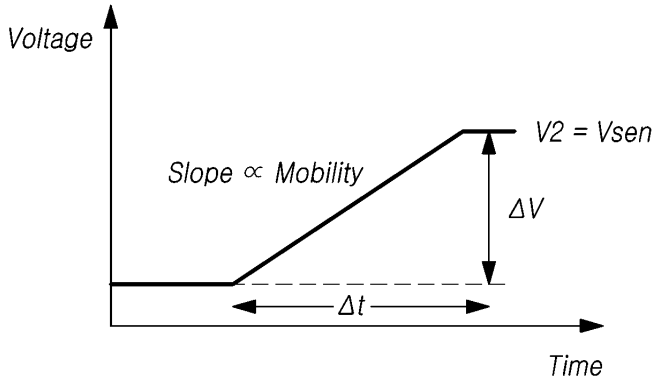


도면6

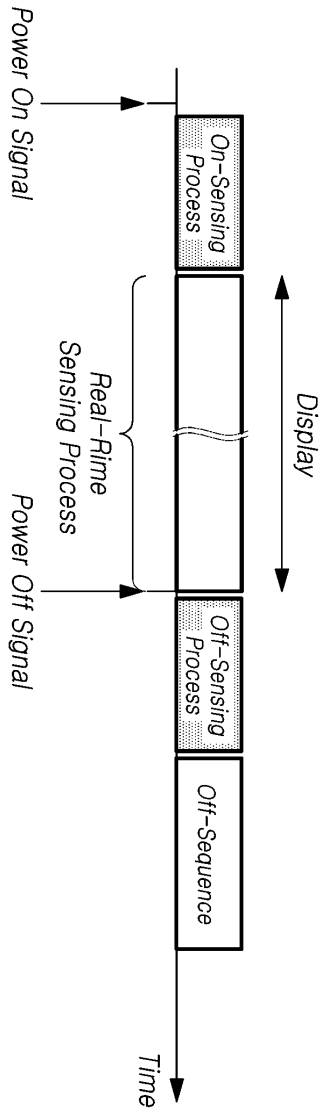
Mobility Sensing



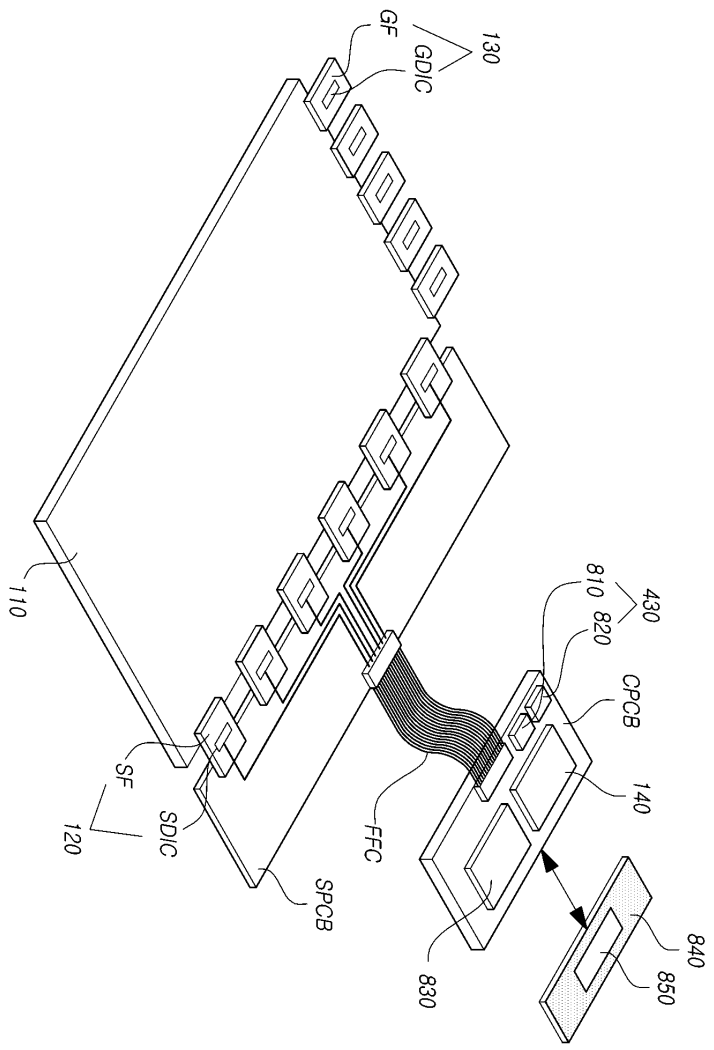
Vsen Wave



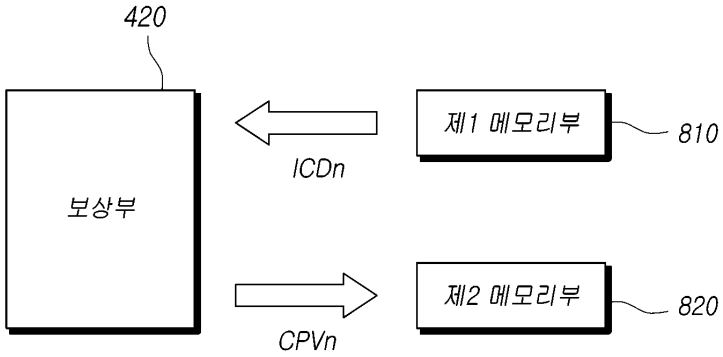
도면7


Power On Signal
On-Sensing Process
Real-Rime Sensing Process
Display
Power Off Signal
Off-Sensing Process
Off-Sequence
Time

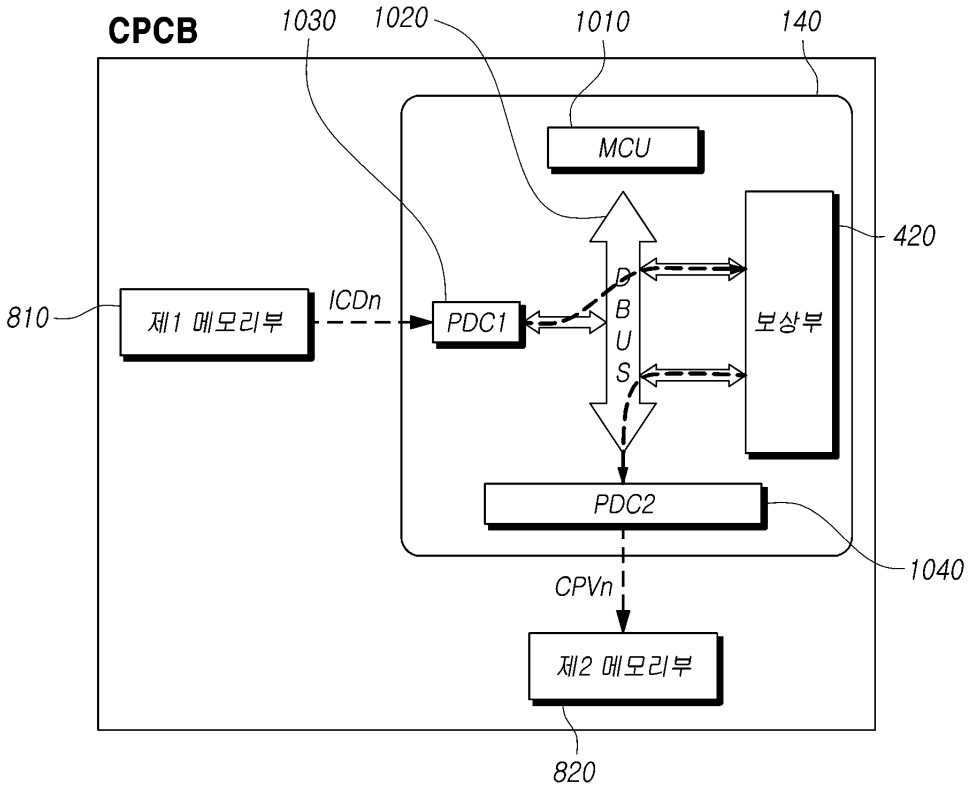
도면8


GF
GDIC
130
110
810
820
430
CPCB
140
SF
SDIC
120
FFC
SPCB
830
840
850

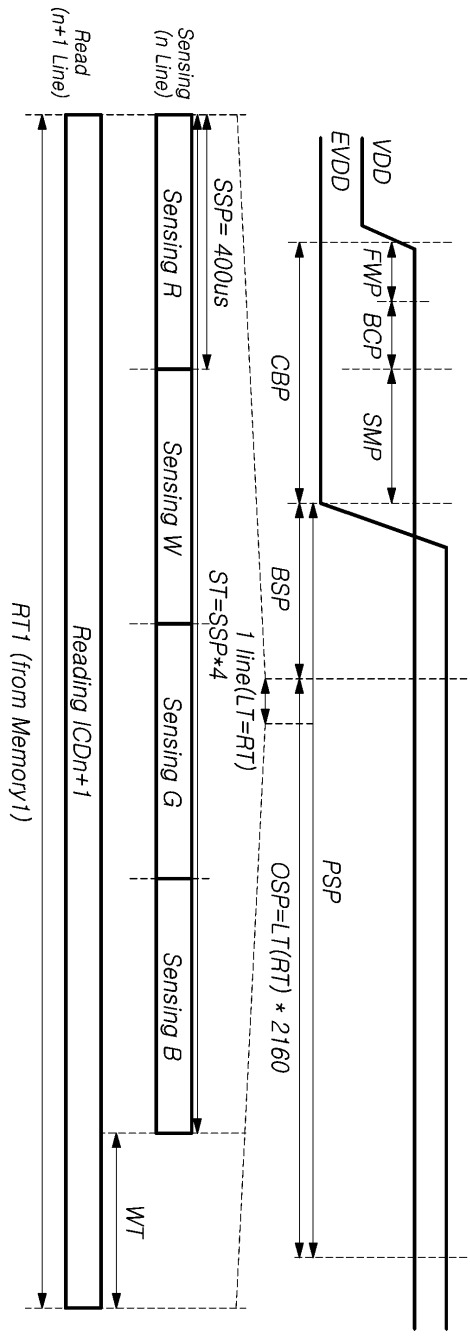
도면9


420
보상부
ICDn
제1 메모리부
810
CPVn
제2 메모리부
820

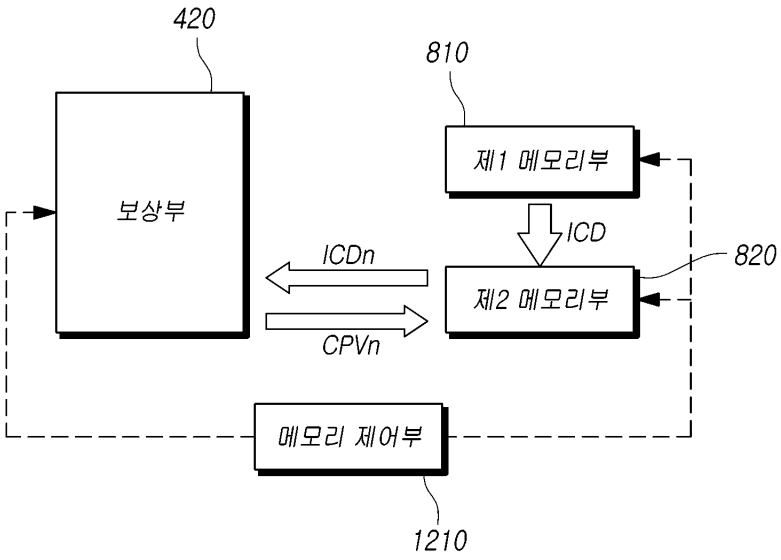
도면10


CPCB
1030
1020
1010
140
MCU
420
810
제1 메모리부
ICDn
PDC1
D
B
U
S
보상부
PDC2
1040
CPVn
제2 메모리부
820

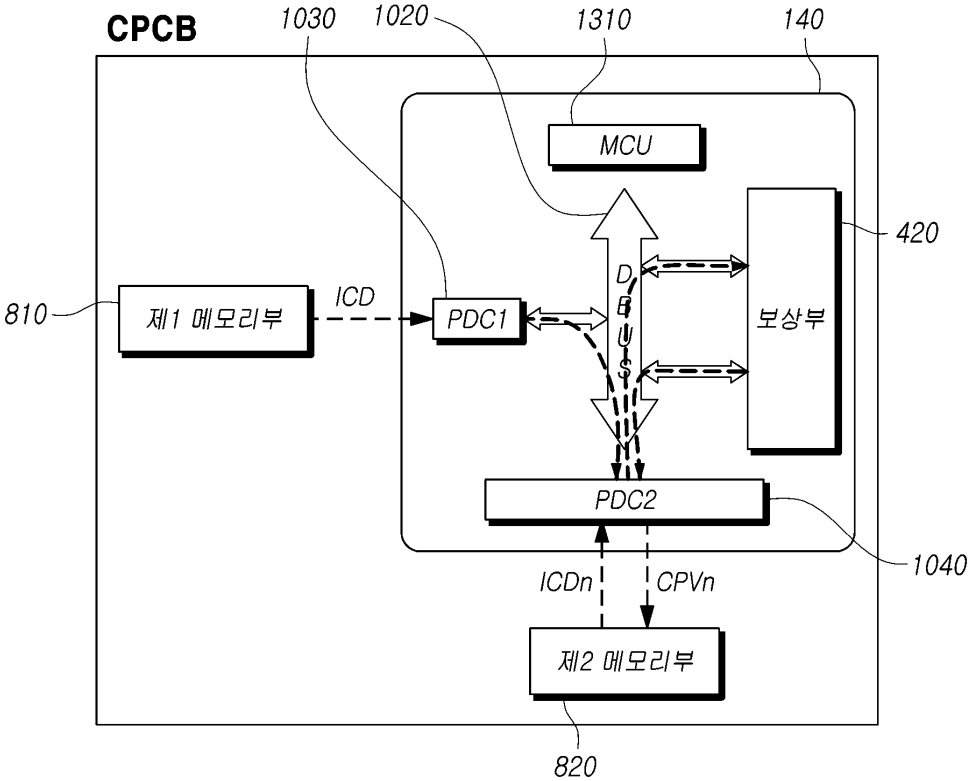
도면11


Read
(n+1 Line)
Sensing
(n Line)
Sensing R
Sensing W
Sensing G
Sensing B
SSP= 400us
ST=SSP*4
1 line(LT=RT)
RT1 (from Memory1)
Reading ICDn+1
WT
VDD
EVDD
FWP
BCP
SMP
CBP
BSP
PSP
OSP=LT(RT) * 2160

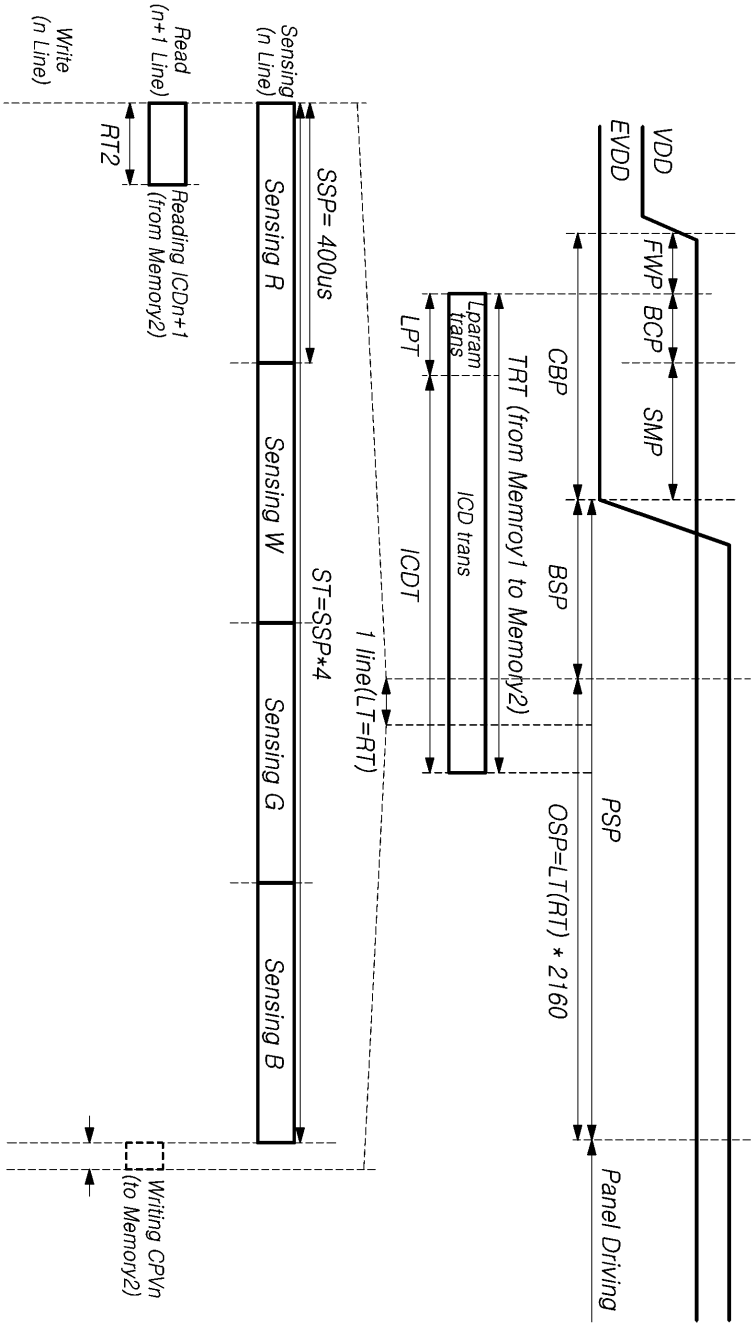
도면12


420
810
보상부
제1 메모리부
ICD
ICDn
820
제2 메모리부
CPVn
메모리 제어부
1210

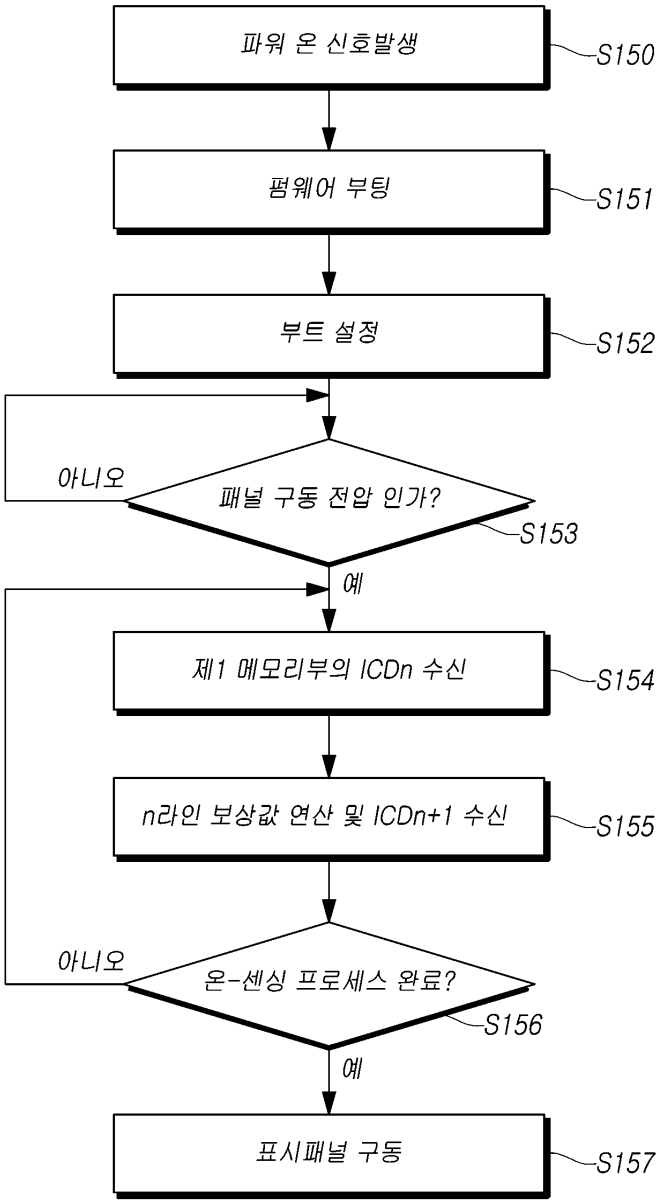
도면13


CPCB
1030
1020
1310
140
MCU
420
810
제1 메모리부
ICD
PDC1
DBUS
보상부
PDC2
1040
ICDn
CPVn
제2 메모리부
820

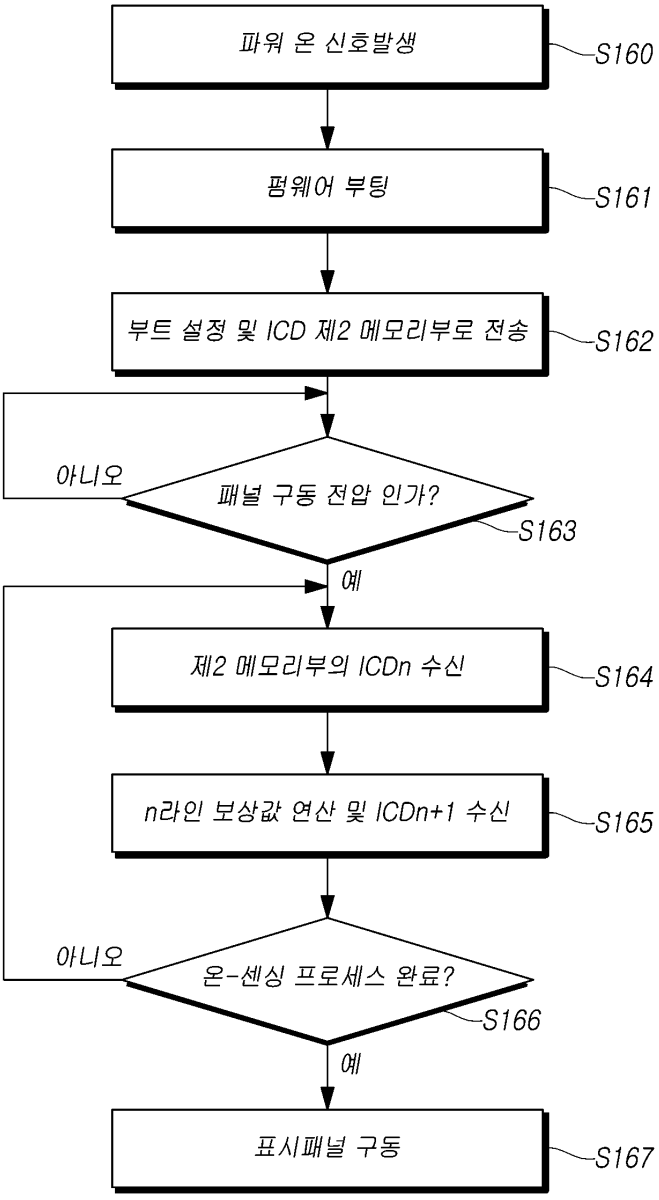
도면14


VDD
EVDD
FWP
BCP
SMP
CBP
BSP
PSP
OSP=LT(RT) * 2160
Panel Driving
TRT (from Memroy1 to Memory2)
Lparam trans
ICD trans
LPT
ICDT
1 line(LT=RT)
Write (n Line)
Read (n+1 Line)
Sensing (n Line)
RT2
Reading ICDn+1 (from Memory2)
SSP= 400us
ST=SSP*4
Sensing R
Sensing W
Sensing G
Sensing B
Writing CPVn (to Memory2)

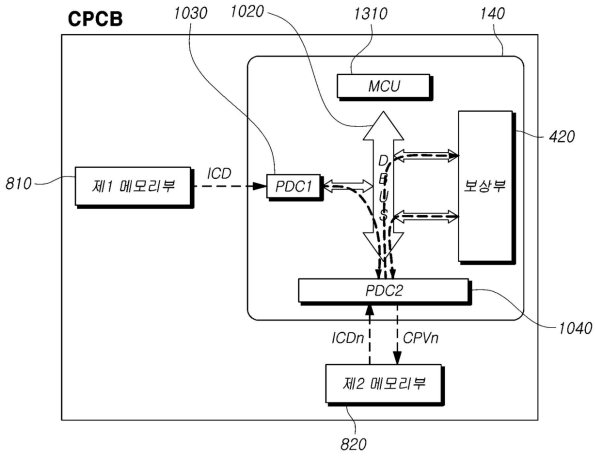
도면15


파워 온 신호발생
S150
펌웨어 부팅
S151
부트 설정
S152
아니오
패널 구동 전압 인가?
S153
예
제1 메모리부의 ICDn 수신
S154
n라인 보상값 연산 및 ICDn+1 수신
S155
아니오
온-센싱 프로세스 완료?
S156
예
표시패널 구동
S157

도면16


파워 온 신호발생
S160
펌웨어 부팅
S161
부트 설정 및 ICD 제2 메모리부로 전송
S162
아니오
패널 구동 전압 인가?
S163
예
제2 메모리부의 ICDn 수신
S164
n라인 보상값 연산 및 ICDn+1 수신
S165
아니오
온-센싱 프로세스 완료?
S166
예
표시패널 구동
S167

专利名称(译)	有机发光显示装置，有机发光显示装置的数据管理装置及其驱动方法		
公开(公告)号	KR1020190016747A	公开(公告)日	2019-02-19
申请号	KR1020170101074	申请日	2017-08-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박준규 이승학		
发明人	박준규 이승학		
IPC分类号	G09G3/3233 G09G3/00		
CPC分类号	G09G3/3233 G09G3/006 G09G2300/043 G09G2300/0828		
外部链接	Espacenet		

摘要(译)

本发明的实施例涉及一种有机发光显示装置及其驱动方法，其中，当有机发光显示装置通电时，有机发光显示装置通过减少用于在显示面板上加载用于子像素的补偿值的时间来显示图像。有机发光显示装置及其驱动方法技术领域本发明涉及一种有机发光显示装置及其驱动方法，该有机发光显示装置及其驱动方法可以减少完成该有机发光显示装置所需的时间。