



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078109  
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0016125

(22) 출원일자 2017년02월06일

심사청구일자 없음

(30) 우선권주장

1020160183098 2016년12월29일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장성욱

경기도 고양시 일산서구 고양대로 638 (일산동, 유진스웰아파트) 102동 1202호

유준석

서울특별시 마포구 상암산로1길 92 (상암동, 상암 월드컵파크 7단지) 월드컵파크 710-502

(뒷면에 계속)

(74) 대리인

특허법인로알

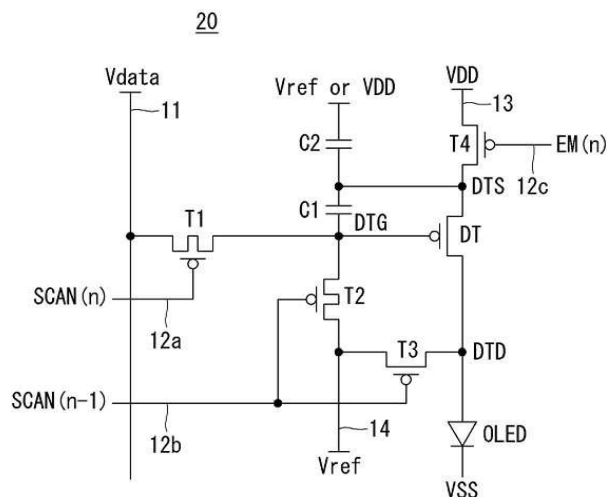
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **전계 발광 표시장치**

### (57) 요약

본 발명은 전계 발광 표시에 관한 것으로, 이 표시장치의 픽셀 회로는 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제1 스캔 신호에 응답하여 제1 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 소스에 공급하는 제4 스위치 트랜지스터, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 제2 전압 또는 고전위 구동 전압이 인가되는 전원 배선과 제2 노드 사이에 연결된 제2 커패시터를 구비한다.

**대표도** - 도2



(52) CPC특허분류

G09G 2300/0852 (2013.01)

G09G 2320/043 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

**김중철**

경기도 파주시 가온로 256 (와동동, 가람마을11단지 동문굿모닝힐아파트) 동문굿모닝힐 1101동 1904호

**윤성욱**

경기도 고양시 덕양구 화정로 27 (화정동, 은빛마을6단지아파트) 615동 102호

---

**고호영**

경기도 파주시 월릉면 엘씨디로8번길 62 (예가빌딩) 204호

## 명세서

### 청구범위

#### 청구항 1

서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고,

상기 서브 픽셀들 각각의 픽셀 회로는

전계 발광 다이오드의 애노드에 연결되어 상기 전계 발광 다이오드를 구동하는 구동 트랜지스터;

제1 스캔 신호에 응답하여 제1 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터;

제2 스캔 신호에 응답하여 제2 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터;

상기 제2 스캔 신호에 응답하여 상기 제2 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터;

발광 제어 신호에 응답하여 고전위 구동 전압을 상기 구동 트랜지스터의 소스에 공급하는 제4 스위치 트랜지스터;

상기 구동 트랜지스터의 게이트에 연결된 제1 노드와, 상기 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터; 및

상기 제2 전압 또는 상기 고전위 구동 전압이 인가되는 전원 배선과, 상기 제2 노드 사이에 연결된 제2 커패시터를 구비하고,

상기 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가되는 전계 발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제1 전압은 상기 제1 스캔 신호에 동기되는 데이터 전압이고,

상기 제2 전압은 상기 저전위 전원 전압보다 높고 상기 고전위 구동 전압보다 낮은 전압인 기준 전압이며,

상기 제1 스캔 신호는 제 $n$ ( $n$ 은 양의 정수) 스캔 신호이고, 상기 제2 스캔 신호가 상기 제1 스캔 신호 보다 앞선 제 $n-1$  스캔 신호인 전계 발광 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제1 전압은 상기 저전위 전원 전압보다 높고 상기 고전위 구동 전압보다 낮은 전압인 기준 전압이고,

상기 제2 전압은 상기 제1 스캔 신호에 동기되는 데이터 전압이며,

상기 제1 스캔 신호는 제 $n+1$ ( $n$ 은 양의 정수) 스캔 신호이고, 상기 제2 스캔 신호가 상기 제1 스캔 신호 보다 앞선 제 $n$  스캔 신호인 전계 발광 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 서브 픽셀들에 연결된 표시 라인들을 더 포함하고,

상기 픽셀 회로의 초기화, 상기 구동 트랜지스터의 문턱 전압 보상 및 상기 픽셀 회로에 데이터 전압이 충전되는 스캔 기간은,

상기 제2 스캔 신호가 제 $n-1$ ( $n$ 은 양의 정수) 표시 라인과 제 $n$  표시 라인에 입력되는 제1 기간과 상기 제1 스캔 신호가 제 $n$  표시 라인에 입력되는 제2 기간을 포함하고,

상기 제1 기간 동안 상기 제2 스캔 신호의 게이트 온 전압에 따라 상기 제2 스위치 트랜지스터 및 상기 제3 스위치 트랜지스터들이 턴-온되고,

상기 제1 기간에 이어서, 상기 제2 기간 동안 상기 제1 스캔 신호의 게이트 온 전압에 따라 상기 제1 스위치 트랜지스터가 턴-온되고,

상기 제4 스위치 트랜지스터는 상기 제1 내지 제3 스위치 트랜지스터들이 턴-오프된 후 상기 발광 제어 신호의 게이트 온 전압에 따라 턴-온되고,

상기 제4 스위치 트랜지스터는 상기 제1 및 제2 기간과 중첩되는 상기 발광 제어 신호의 오프 구간 동안 오프 상태를 유지하는 전계 발광 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 제1 스위치 트랜지스터 및 상기 제2 스위치 트랜지스터는 듀얼 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 제2 스캔 신호는 제 $n-1$ ( $n$ 은 양의 정수) 서브 픽셀들에 인가되어 제 $n-1$  데이터 전압에 동기되고,

상기 제1 스캔 신호는 제 $n$  서브 픽셀들에 인가되어 제 $n$  데이터 전압에 동기되며,

상기 제2 스캔 신호에 이어서 상기 제1 스캔 신호가 상기 픽셀 회로에 공급되는 전계 발광 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 제2 스캔 신호의 펄스폭이 상기 제1 스캔 신호의 펄스폭 보다 넓은 전계 발광 표시장치.

#### 청구항 8

제 1 항에 있어서,

상기 제1 내지 제4 스위치 트랜지스터들과 상기 구동 트랜지스터 각각은 p 타입 트랜지스터들을 포함하는 전계 발광 표시장치.

#### 청구항 9

제 6 항에 있어서,

상기 제2 스캔 신호와 상기 제1 스캔 신호를 출력하는 스캔 구동부;

상기 발광 제어 신호를 출력하는 EM 구동부; 및

상기 서브 픽셀들에 연결된 표시 라인들을 더 포함하며,

상기 스캔 구동부에서 하나의 출력 단자는 상기 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 상기 서브 픽셀들에 연결되는 전계 발광 표시장치.

#### 청구항 10

제 9 항에 있어서,

상기 EM 구동부에서 하나의 출력 단자는 상기 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 상기 서브 픽셀들에 연결되는 전계 발광 표시장치.

#### 청구항 11

제 7 항에 있어서,

상기 제2 스캔 신호를 출력하는 제1 스캔 구동부;

상기 제1 스캔 신호를 출력하는 제2 스캔 구동부;

상기 발광 제어 신호를 출력하는 EM 구동부; 및

상기 서브 픽셀들에 연결된 표시 라인들을 더 포함하며,

상기 제1 스캔 구동부 및 상기 제2 스캔 구동부는 스타트 펄스를 공유하고 서로 폭이 다른 시프트 클럭을 공급 받는 전계 발광 표시장치.

## 청구항 12

제 11 항에 있어서,

상기 EM 구동부에서 하나의 출력 단자는 상기 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 상기 서브 픽셀들에 연결되는 전계 발광 표시장치.

## 청구항 13

제 1 항에 있어서,

상기 제1 노드와, 상기 발광 제어 신호가 인가되는 신호 라인 사이에 연결된 제3 커패시터를 더 구비하는 전계 발광 표시장치.

## 청구항 14

제 1 항에 있어서,

상기 제1 내지 제4 스위치 트랜지스터들 중 하나 이상은 n 타입 산화물 트랜지스터를 포함하고,

상기 구동 트랜지스터는 p 타입 폴리 실리콘 트랜지스터들을 포함하는 전계 발광 표시장치.

## 청구항 15

서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고,

상기 서브 픽셀들 각각의 픽셀 회로는

전계 발광 다이오드의 애노드에 연결되어 상기 전계 발광 다이오드를 구동하는 구동 트랜지스터;

제 $n-1$ ( $n$ 은 양의 정수) 스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 상기 구동 트랜지스터의 게이트와 드레인에 인가한 후에, 제 $n$  스캔 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 게이트에 공급한 다음, 발광 제어 신호에 응답하여 상기 고전위 구동 전압을 상기 구동 트랜지스터의 드레인에 공급하는 스위치 회로;

상기 구동 트랜지스터의 게이트에 연결된 제1 노드와 상기 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터; 및

상기 기준 전압 또는 상기 고전위 구동 전압이 인가되는 전원 배선과, 상기 제2 노드 사이에 연결된 제2 커패시터를 구비하고,

상기 전계 발광 다이오드의 캐소드에 상기 저전위 전원 전압이 인가되는 전계 발광 표시장치.

## 청구항 16

제 15 항에 있어서,

상기 스위치 회로는

상기 제 $n$  스캔 신호에 응답하여 상기 데이터 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터;

상기 제 $n-1$  스캔 신호에 응답하여 상기 기준 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터;

상기 제 $n-1$  스캔 신호에 응답하여 상기 기준 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터; 및

상기 발광 제어 신호에 응답하여 상기 고전위 구동 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제4 스위치 트랜지스터를 구비하는 전계 발광 표시장치.

#### 청구항 17

서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고,

상기 서브 픽셀들 각각의 픽셀 회로는

전계 발광 다이오드의 애노드에 연결되어 상기 전계 발광 다이오드를 구동하는 구동 트랜지스터;

제 $n$ ( $n$ 은 양의 정수) 스캔 신호에 응답하여 데이터 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터;

제 $n-1$  스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 상기 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터;

상기 제 $n-1$  스캔 신호에 응답하여 상기 기준 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터;

발광 제어 신호에 응답하여 상기 고전위 구동 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제4 스위치 트랜지스터;

상기 발광 제어 신호에 응답하여 상기 구동 트랜지스터의 소스와 상기 전계 발광 다이오드의 애노드 사이의 전류 패스를 형성하는 제5 스위치 트랜지스터;

상기 구동 트랜지스터의 게이트에 연결된 제1 노드와 상기 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터; 및

상기 기준 전압 또는 상기 고전위 구동 전압이 인가되는 전원 배선과, 상기 제2 노드 사이에 연결된 제2 커패시터를 구비하고,

상기 전계 발광 다이오드의 캐소드에 상기 저전위 전원 전압이 인가되는 전계 발광 표시장치.

#### 청구항 18

제 17 항에 있어서,

상기 서브 픽셀들에 연결된 표시 라인들을 더 포함하고,

상기 픽셀 회로의 초기화, 상기 구동 트랜지스터의 문턱 전압 보상 및 상기 픽셀 회로에 데이터 전압이 충전되는 스캔 기간은,

상기 제 $n-1$  스캔 신호가 제 $n-1$  표시 라인과 제 $n$  표시 라인에 입력되는 제1 기간과 상기 제 $n$  스캔 신호가 제 $n$  표시 라인에 입력되는 제2 기간을 포함하고,

상기 제1 기간 동안 상기 제 $n-1$  스캔 신호의 게이트 온 전압에 따라 상기 제2 스위치 트랜지스터 및 상기 제3 스위치 트랜지스터들이 턴-온되고,

상기 제1 기간에 이어서, 상기 제2 기간 동안 상기 제 $n$  스캔 신호의 게이트 온 전압에 따라 상기 제1 스위치 트랜지스터가 턴-온되고,

상기 제4 스위치 트랜지스터는 상기 제1 내지 제3 스위치 트랜지스터들이 턴-오프된 후 상기 발광 제어 신호의 게이트 온 전압에 따라 턴-온되고,

상기 제4 스위치 트랜지스터는 상기 제1 및 제2 기간과 중첩되는 상기 발광 제어 신호의 오프 구간 동안 오프 상태를 유지하는 전계 발광 표시장치.

#### 청구항 19

제 17 항에 있어서,

상기 제1 스위치 트랜지스터 및 상기 제2 스위치 트랜지스터는 듀얼 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

#### 청구항 20

제 17 항에 있어서,

상기 제 $n-1$  스캔 신호는 상기 제 $n-1$  서브 픽셀들에 인가되어 제 $n-1$  데이터 전압에 동기되고,

상기 제 $n$  스캔 신호는 상기 제 $n$  서브 픽셀들에 인가되어 제 $n$  데이터 전압에 동기되며,

상기 제 $n-1$  스캔 신호에 이어서 상기 제 $n$  스캔 신호가 상기 픽셀 회로에 공급되는 전계 발광 표시장치.

#### 청구항 21

제 17 항에 있어서,

상기 제 $n-1$  스캔 신호의 펄스폭이 상기 제 $n$  스캔 신호의 펄스폭 보다 넓은 전계 발광 표시장치.

#### 청구항 22

제 17 항에 있어서,

상기 제1 내지 제5 스위치 트랜지스터들과 상기 구동 트랜지스터 각각은  $n$  타입 트랜지스터들을 포함하는 전계 발광 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 전계 발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드 및 캐소드와, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection Layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL) 등으로 이루어진다. 애노드와 캐소드에 전원전압이 인가되면 정공수송층(HTL)으로부터의 정공과 전자수송층(ETL)으로부터의 전자가 발광층(EML)으로 이동되어 여기자(exciton)를 형성하고, 이 여기자에 의해 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED와 박막 트랜지스터(Thin Film Transistor: 이하, "TFT"라 함))를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들에서 구현되는 영상의 휘도를 조절한다. TFT는 데이터에 따라 OLED의 전류량을 조절하는 구동 TFT와 픽셀 회로의 전류 패스를 절환(switching)하는 스위치 TFT로 이루어질 수 있다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압(이하, "게이트-소스 간 전압"이라 함)에 따라 OLED에 흐르는 구동 전류를 제어한다. 구동 전류에 따라 OLED의 발광량과 휘도가 결정된다.

[0005] 구동 TFT의 문턱 전압( $V_{th}$ ), 구동 TFT의 전자 이동도( $\mu$ ) 등과 같은 픽셀의 구동 특성은 모든 픽셀들에서 동일하여 픽셀들 간 휘도, 색감 차이 없는 균일한 화질을 구현할 수 있다. 하지만, 공정 편차 등을 포함한 다양한 원인에 의해 픽셀들 간 구동 특성 편차가 있을 수 있다. 또한, 표시장치의 구동 시간에 따라 픽셀들 간의 열화 진행 속도가 다르게 되어 픽셀들 간에 구동 특성에서 차이가 커질 수 있다. 따라서, 픽셀들 간에 구동 특성 편차에 따라 OLED로 흐르는 구동 전류량이 변화되고, 이에 의해 픽셀의 불균일을 초래하게 된다.

[0006] 이에 전계 발광 표시장치의 화질과 수명을 개선하기 위하여 픽셀들 간의 구동 특성 차이를 보상하기 위한 보상 회로가 유기 발광 표시장치에 적용되고 있다. 보상 회로는 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 픽셀 내의 보상 회로를 이용하여 구동 TFT의 전기적 특성에 따라 변하는 구동 TFT의 게이트-소스 간 전압을 샘플링하고 샘플링된 전압으로 데이터 전압을 보상한다. 외부 보상 방법은 픽셀에 연결된 센싱 회로를 이용하여 구동 TFT들의 전기적 특성에 따라 변하는 픽셀의 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 보상 회로에서 입력 영상의 픽셀 데이터(디지털 데이터)를 변조한다.

## 발명의 내용

### 해결하려는 과제

[0007] 내부 보상 회로에서 OLED의 휘도가 픽셀의 고전위 구동 전압(Voltage Drain Drain: 이하, “VDD”라 함)에 영향을 받을 수 있다. 이 경우, VDD의 전압 강하(IR drop)에 의해 화면 내에서 픽셀의 위치에 따라 VDD가 다르면 OLED의 전류가 픽셀의 요구 전류와 차이가 발생하여 균일한 화질을 얻을 수 없다. VDD의 전압 강하를 줄이기 위하여, VDD 배선의 선 폭을 증가시킬 수 있으나 고해상도 패널에서 VDD 배선의 폭이 감소될 수 밖에 없고 VDD 배선이 길어지기 때문에 고해상도, 대화면 패널의 경우에 VDD 저항 감소 방법으로 VDD 전압 강하를 개선하는데 한계가 있다.

[0008] 내부 보상 회로에서, 픽셀을 초기화하는 초기화 동작 시에 VDD와 기준 전압(reference Voltage: 이하, “Vref”라 함)이 단락(short)되어 전류가 흐를 수 있다. 이러한 단락 전류(short current)는 소비 전력이 증가하고 픽셀의 TFT 열화를 가속시키는 원인이 된다.

[0009] 전계 발광 표시장치의 고해상도와 고속 구동 추세에 따라, 기존의 보상 방법으로는 픽셀들 간의 구동 특성 차이를 충분히 보상할 수 없다. 예컨대, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록, 표시패널에서 1라인의 픽셀들에 데이터를 기입하는 1수평 기간이 감소되기 때문에 1수평 기간 내에서 할당된 구동 TFT의 문턱 전압 샘플링 기간이 감소될 수 밖에 없다. 구동 TFT의 문턱 전압 샘플링에 필요한 시간이 부족하게 되면, 구동 전압의 문턱 전압 샘플링값이 부정확하게 되어 화면 상에서 픽셀들 간의 구동 특성 차이를 초래한다. 픽셀들 간 구동 특성 차이는 동일 계조의 데이터를 모든 픽셀들에 기입하더라도 휘도 차이로 인하여 화면 상에서 얼룩으로 보이게 된다.

[0010] 본 발명은 픽셀의 구동 특성 변화를 실시간 보상할 수 있는 전계 발광 표시장치를 제공한다.

### 과제의 해결 수단

[0011] 본 발명의 전계 발광 표시장치는 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비한다. 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제1 스캔 신호에 응답하여 제1 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 소스에 공급하는 제4 스위치 트랜지스터, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 제2 전압 또는 고전위 구동 전압이 인가되는 전원 배선과 제2 노드 사이에 연결된 제2 커패시터를 구비한다. 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.

[0012] 본 발명의 전계 발광 표시장치는, 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고, 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제n-1(n은 양의 정수) 스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 구동 트랜지스터의 게이트와 드레인에 인가한 후에, 제n 스캔 신호에 응답하여 데이터 전압을 구동 트랜지스터의 게이트에 공급한 다음, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 소스에 공급하는 스위치 회로, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 기준 전압 또는 고전위 구동 전압이 인가되는 전원 배선과, 제2 노드 사이에 연결된 제2 커패시터를 구비하고, 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.

[0013] 본 발명의 전계 발광 표시장치는, 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고, 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제 $n$ ( $n$ 은 양의 정수) 스캔 신호에 응답하여 데이터 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터, 제 $n-1$  스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제 $n-1$  스캔 신호에 응답하여 기준 전압을 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 드레인에 공급하는 제4 스위치 트랜지스터, 발광 제어 신호에 응답하여 구동 트랜지스터의 소스와 전계 발광 다이오드의 애노드 사이의 전류 패스를 형성하는 제5 스위치 트랜지스터, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 기준 전압 또는 고전위 구동 전압이 인가되는 전원 배선과, 제2 노드 사이에 연결된 제2 커패시터를 구비하고, 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.

### 발명의 효과

- [0014] 본 발명은 픽셀의 OLED 전류가 VDD에 영향을 받지 않으므로 VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고 고해상도 및 대화면의 전계 발광 표시장치를 구현할 수 있다.
- [0015] 본 발명은 픽셀 내에서 VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄이고 픽셀의 열화를 줄여 신뢰성을 개선할 수 있다.
- [0016] 본 발명은 픽셀 내의 커패시터 크기의 비율에 따라 데이터 전압 범위를 설정할 수 있으므로 세밀한 계조표현이 가능하다.
- [0017] 본 발명은 발광 제어 신호가 게이트 오프 전압으로 반전된 후 OLED의 애노드가 플로팅(floating)되는 시간을 짧게 할 수 있으므로, 전계 발광 표시장치의 표시 품질을 향상시킬 수 있다.
- [0018] 본 발명은 발광 구동 기간 동안 발광 제어 신호(EM)를 소정의 펄스 폭 변조(Pulse Width Modulation: 이하, “PWM”이라 함) 듀티비(duty ratio)로 온/오프하여 플리커(flicker)와 잔상을 최소화하여 화질을 향상시킬 수 있다. 그리고, 발광 구동 기간에서 발광 제어 신호(EM)의 오프 구간 동안 구동 TFT의 Vsg(또는 Vgs)는 커패시터(C1)에 저장될 수 있으므로, 안정적인 듀티 구동이 가능하다.
- [0019] 본 발명의 내부 보상 회로는 스캔신호의 펄스폭을 조절함으로써, 구동 TFT의 샘플링 기간을 충분히 길게 제어할 수 있다. 따라서, 본 발명의 전계 발광 표시장치는 고해상도 및 대화면에서 픽셀의 구동 특성 편차에 대한 보상 능력을 안정적으로 확보할 수 있다.
- [0020] 본 발명의 내부 보상 회로는 회로 구성이 복잡하지 않고 콤팩트한 레이아웃(Layout)의 구성이 가능하여, 단위 픽셀 크기가 작은 고 PPI(Pixels per Inch)를 갖는 고해상도 표시장치를 구현할 수 있다.
- [0021] 본 발명은 초기화 및 샘플링 기간(Tis)에 데이터 전압(Vdata)으로 OLED의 애노드 전압을 초기화시킴으로써, 블랙 계조 및 화이트 계조 표현시 명암비 저하를 방지할 수 있다.
- [0022] 본 발명은 제1 노드와 EM 신호 라인 사이에 커패시터를 구성함으로써, 화이트 계조에서 픽셀의 휘도가 상승하여 명암비가 상승될 수 있으며, HDR(High Dynamic Range) 구현에 유리한 효과가 있다.
- [0023] 본 발명은 제1 노드와 EM 신호 라인 사이에 커패시터를 구성함으로써, 구동 TFT의 Vsg를 높일 수 있으므로, 픽셀의 휘도를 향상시킬 수 있다.
- [0024] 본 발명은 표시패널에서 두 개의 스캔 라인들을 스캔 구동부에서 하나의 출력 단자에 연결하여 구동할 수 있도록 구성함으로써, 표시패널에서 두 개의 EM 신호 라인들을 EM 구동부에서 하나의 출력 단자에 연결하여 구동할 수 있으므로, 스캔 구동부와 EM 구동부 각각의 출력 단자 수를 줄여 네로우 베젤(Narrow Bezel)을 구현할 수 있다.

### 도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 나타내는 블록도이다.
- 도 2는 본 발명의 제1 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.

도 3은 도 2에 도시된 픽셀 회로의 동작을 보여 주는 파형도이다.

도 4 내지 도 7은 도 3에 도시된 픽셀 회로의 동작을 단계적으로 보여 주는 도면들이다.

도 8은 픽셀의 발광 구동 기간 동안 50% 이하의 PWM으로 EM 신호가 변조된 예를 보여 주는 파형도이다.

도 9는 픽셀 회로에 인가되는 스캔 신호의 펄스폭을 확장한 예를 보여 주는 도면이다.

도 10은 도 2에 도시된 픽셀 회로에 제5 스위치 TFT가 추가된 예를 보여 주는 회로도이다.

도 11 내지 도 15는 본 발명의 제2 실시예에 따른 픽셀 회로와 그 구동 방법을 보여 주는 도면이다.

도 16 내지 도 18은 픽셀 회로에 제3 커패시터가 연결된 예를 보여 주는 회로도들이다.

도 19 및 도 20은 제3 커패시터 유무에 따른 구동 TFT의  $V_{sg}$  변화를 보여 주는 파형도이다.

도 21 내지 도 23은 픽셀 회로의 제2 및 제3 스위치 TFT의 연결 관계가 변경된 예를 보여 주는 회로도들이다.

도 24는 본 발명의 제3 실시예에 따른 픽셀 회로와 그 구동 방법을 보여 주는 도면이다.

도 25는 본 발명의 제4 실시예에 따른 픽셀 회로와 그 구동 방법을 보여 주는 도면이다.

도 26은 게이트 구동부의 시프트 레지스터에서 게이트 펄스를 출력하는 하나의 스테이지를 개략적으로 보여 주는 회로도이다.

도 27은 도 1에 도시된 스테이지의 동작을 보여 주는 파형도이다.

도 28은 게이트 구동부의 시프트 레지스터에서 종속적으로 연결된 스테이지들을 보여 주는 도면이다.

도 29는 도 3에 도시된 스캔 신호를 출력하는 스캔 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다.

도 30은 도 9에 도시된 스캔 신호를 출력하는 스캔 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다.

도 31은 도 3 및 도 9에 도시된 EM 신호를 출력하는 EM 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0027] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0030] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0031] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적

으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

- [0032] 본 발명에서 게이트 구동부는 표시패널의 기관 상에 직접 형성될 수 있다. 픽셀 회로와 게이트 구동부를 구성하는 트랜지스터들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. TFT(또는 트랜지스터)는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 단자 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (또는 n 타입 트랜지스터, NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(또는 p 타입 트랜지스터, PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예들에서 TFT의 소스와 드레인은 제1 전극 및 제2 전극으로 칭하기로 한다. 본 발명에서 TFT의 소스와 드레인으로 인하여 본 발명이 제한되지 않는다.
- [0033] 본 발명의 픽셀 회로와 게이트 구동부를 구성하는 트랜지스터들은 Oxide TFT, a-Si TFT, 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS) TFT 중 하나 이상을 포함할 수 있다.
- [0034] 이하에서, 게이트 온 전압(Gate On Voltage)은 TFT가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이다. 게이트 오프 전압(Gate Off Voltage)은 TFT가 턴-오프(turn-off)될 수 있는 전압이다. PMOS에서 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)이다. NMOS에서 게이트 온 전압은 VGH이고, 게이트 오프 전압은 VGL이다.
- [0035] 본 발명의 픽셀 회로 각각은 구동 TFT의 Vsg 또는 Vgs로 구동되는 전계 발광 다이오드를 포함한다. 전계 발광 다이오드의 일 예로서, 이하의 실시예에서 유기 발광 다이오드가 예시되지만 본 발명은 이에 한정되지 않는다.
- [0036] 이하의 실시예들은 유기 발광 표시장치를 중심으로 설명된다. 하지만, 본 발명의 실시예들은 유기 발광 표시장치에 국한되지 않고, 무기 발광 물질을 포함한 무기 발광 표시장치에 적용될 수도 있다. 예를 들어, 양자점(Quantum Dot) 표시장치에도 적용될 수 있다.
- [0037] 이하 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략하거나 간략히 설명한다.
- [0038] 도 1을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100), 데이터 구동부(102), 게이트 구동부(108), 및 타이밍 컨트롤러(110)를 구비한다. 게이트 구동부(108)는 스캔 구동부(103)와 EM 구동부(104)를 포함한다.
- [0039] 표시패널(100)에는 다수의 데이터 라인들(11)과 다수의 게이트 라인들(12a, 12b, 12c)이 교차될 수 있고, 픽셀들이 배치된다. 표시패널(100)의 화면 표시부(AA)는 픽셀 어레이(Pixel array) 상에 입력 영상의 데이터를 표시한다. 표시패널(100)은 이웃한 픽셀들에 공통으로 연결되는 전원 배선들을 포함한다. 전원 배선들은 고전위 구동 전압(VDD)을 픽셀들에 공급하는 VDD 배선과, VDD 보다 낮은 기준 전압(Vref)을 픽셀들에 공급하는 Vref 배선을 포함한다.
- [0040] 게이트 라인들(12a, 12b, 12c)은 스캔 신호(SCAN(n-1), SCAN(n))가 공급되는 다수의 스캔 라인들(12a, 12b)과, 발광 제어 신호(이하, “EM 신호”라 함)가 공급되는 다수의 EM 신호 라인들(12c)을 포함한다.
- [0041] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들 각각은 도 2 내지 도 25와 같은 픽셀 회로를 포함한다.
- [0042] 1 프레임 기간은 픽셀들에 연결된 표시 라인들 각각에서 픽셀들에 데이터가 어드레싱되어 픽셀들 각각에 입력 영상의 데이터가 기입되는 스캔 기간과, 스캔 기간 이후 EM 신호에 따라 픽셀들이 점등 및 소등을 반복하는 발

광 구동 기간(Tem)으로 나뉘어진다. 스캔 기간은 도 3에 도시된 바와 같이 초기화 및 샘플링 기간(Tis), 픽셀 구동 전압 설정 기간(Tw)으로 나뉘어진다. 스캔 기간은 유지 기간(Th)을 더 포함할 수 있으나 유지 기간(Th)은 최소화되거나 생략될 수 있다. 스캔 기간 동안, 픽셀 회로의 초기화, 구동 TFT의 문턱 전압 보상 및 데이터 전압 충전 및 픽셀의 발광 동작이 행해진다. 픽셀들에 데이터가 어드레싱되는 스캔 기간은 대략 1 수평 기간에 불과하므로 1 프레임 기간의 대부분이 발광 구동 기간이다. 픽셀들은 스캔 기간에 데이터 전압을 충전한다. 그리고, 픽셀들은 스캔 기간 이후 발광 구동 기간(Tem) 동안 추가로 데이터 전압을 공급 받지 않고 EM 신호에 따라 점등과 소등을 반복하면서 스캔 기간에 충전하였던 데이터 전압으로 1 프레임 기간 동안 동일한 휘도로 데이터를 표시한다.

[0043] 도 1을 참조하면, 데이터 구동부(102)는 타이밍 컨트롤러(110)로부터 수신된 입력 영상의 데이터를 타이밍 컨트롤러(110)의 제어 하에 감마 보상 전압으로 변환하여 데이터 전압(Vdata)을 발생하고, 그 데이터 전압을 데이터 라인들(11)로 출력한다. 그리고, 데이터 전압은 데이터 라인들(11)을 통해 픽셀들에 공급된다.

[0044] 도 1 내지 도 3을 참조하면, 스캔 구동부(103)는 타이밍 컨트롤러(110)의 제어 하에 스캔 신호(SCAN(n-1), SCAN(n))를 스캔 라인들(12a, 12b)에 순차적으로 공급한다. 제n-1 표시라인(n은 양의 정수)에 인가되는 제n-1 스캔 신호는 제n-1 데이터 전압에 동기된다. 제n 표시라인에 인가되는 제n 스캔 신호는 제n 데이터 전압(Vdata(n))에 동기된다. 이때, 제n-1 표시라인은 제n-1 서브 픽셀들에 연결되고, 제n 표시 라인에 제n-1 서브 픽셀들에 연결된다. 제n 표시라인에 제n-1 스캔 신호(SCAN(n-1))와 제n 스캔 신호(SCAN(n))가 인가되기 때문에 스캔 구동부(103)에서 하나의 출력 단자에 두 개의 스캔 라인들이 공유되어 스캔 구동부(103)의 출력 단자 수가 감소될 수 있다. 따라서, 스캔 구동부(103)의 출력 단자 수가 감소되면 게이트 구동부(108)의 회로 점유 면적이 감소되기 때문에 회로 점유 면적이 감소되는 만큼 비표시 영역인 베젤 영역(BZ)의 크기가 감소될 수 있다.

[0045] EM 구동부(104)는 타이밍 컨트롤러(110)의 제어 하에 EM 신호(EM(n))를 발생한다. EM 구동부(104)는 EM 신호(EM(n))를 EM 신호 라인들(12c)에 순차적으로 공급한다. 도 3에 도시된 바와 같이, EM 신호(EM(n))의 오프 레벨 펄스는 제n-1 및 제n 스캔 신호(SCAN(n-1), SCAN(n)), 그리고 제n+1 스캔 신호의 온 레벨 펄스와 동기되고 제n-1, 제n, 및 제n+1 스캔 신호들의 온 레벨 펄스와 중첩된다. 온 레벨 펄스의 전압은 게이트 온 전압이고, 오프 레벨 펄스의 전압은 게이트 오프 전압으로 발생된다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터와, 그 디지털 비디오 데이터와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 정보기기 중 어느 하나일 수 있다.

[0046] 그리고, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로 데이터 구동부(102)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 게이트 구동부(108)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호 등을 발생한다. 게이트 타이밍 제어 신호는 스타트 펄스(Start pulse), 시프트 클럭(Shift clock) 등을 포함한다. 스타트 펄스는 스캔 구동부(103)와 EM 구동부(104)의 시프트 레지스터들 각각에서 첫 번째 출력이 발생되게 하는 스타트 타이밍을 정의할 수 있다. 시프트 레지스터는 스타트 펄스가 입력될 때 구동되기 시작하여 첫 번째 클럭 타이밍에 첫 번째 출력 신호를 발생한다. 시프트 클럭은 시프트 레지스터의 출력 시프트 타이밍을 제어한다.

[0047] 도 2 및 도 3은 픽셀 회로의 일 예를 보여 주는 등가 회로도 및 파형도이다. 도 2에 도시된 픽셀 회로(20)는 화면 표시부(AA)의 제n 표시라인에 배치되어 제n 데이터 전압에 대응하는 전류를 발생하는 제n 픽셀 회로를 예시한다.

[0048] 도 2 및 도 3을 참조하면, 픽셀 회로들(20) 각각은 OLED, 다수의 TFT들(DT, T1~T4), 제1 및 제2 커패시터(C1, C2) 등을 포함한다. 이 실시예는 TFT들이 PMOS 트랜지스터로 구현된 예이다. 이하에서는 도 1을 함께 참조하여 설명한다.

[0049] 이 픽셀 회로(20)는 구동 TFT의 문턱 전압을 자동으로 감지하는 내부 보상 회로를 포함하고 있다. 내부 보상 회로에 필요한 스위치 TFT들(T2~T4)과 커패시터(C1, C2)의 점유 면적이 크지 않기 때문에 본 발명은 픽셀 회로의 콤팩트한 레이아웃(Layout)의 구성이 가능하여, 단위 픽셀 크기가 작은 고 PPI(Pixels per Inch)를 갖는 고 해상도 표시장치를 구현할 수 있다.

[0050] 제n 픽셀 회로(20)에 고전위 구동 전압(VDD), 저전위 전원 전압(VSS), 기준 전압(Vref) 등의 픽셀 전원이 인가된다. VDD, VSS, Vref 는 VDD = 7V~8V, VSS=0V, Vref=1V의 직류 전압일 수 있으나, 이에 한정되지 않는다.

그리고, 제 $n$  픽셀 회로에 제 $n-1$  스캔 신호(SCAN( $n-1$ )), 제 $n$  스캔 신호(SCAN( $n$ )), 데이터 전압(Vdata) 등의 픽셀 구동 신호가 인가된다.

[0051] 스캔 신호(SCAN( $n-1$ ), SCAN( $n$ ))는 스캔 구동부(103)에 의해 스캔 라인들(12a, 12b)에 공급된다. EM 신호(EM( $n$ ))는 EM 구동부(104)에 의해 EM 신호 라인(12c)에 공급된다. Vdata는 데이터 구동부(102)로부터 0V~5V 사이의 전압일 수 있으나, 이에 한정되지 않는다. 스캔 신호(SCAN( $n-1$ ), SCAN( $n$ ))는 1 수평 기간(1H) 만큼의 펄스폭으로 발생되고, VGH와 VGL 사이에서 스위칭한다. 이 실시예에서 TFT들(DT, T1~T4)이 PMOS 트랜지스터이므로, 게이트 온 전압(Gate On Voltage)은 VGL이고, 게이트 오프 전압(Gate Off Voltage)은 VGH이다. VGH와 VGL은 VGH = 10V, VGL = -6V 일 수 있으나, 이에 한정되지 않는다.

[0052] 도 3을 참조하면, 제 $n-1$  스캔 신호(SCAN( $n-1$ ))에 이어서 제 $n$  데이터 전압(Vdata( $n$ ))에 동기되는 제 $n$  스캔 신호(SCAN( $n$ ))가 제 $n$  픽셀 회로에 공급된다. 픽셀 회로(20)의 구동 방법은 초기화 및 샘플링 기간(Tis), 픽셀 구동 전압 설정 기간(Tw), 및 발광 구동 기간(Tem)으로 나뉘어질 수 있다. 제 $n-1$  스캔 신호(SCAN( $n-1$ ))의 온 레벨 펄스는 초기화 및 샘플링 기간(Tis) 동안 제 $n$  픽셀 회로에 입력되고, 초기화 및 샘플링 기간(Tis) 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. 제 $n$  스캔 신호(SCAN( $n$ ))의 온 레벨 펄스는 픽셀 구동 전압 설정 기간(Tw) 동안 제 $n$  픽셀 회로(20)에 입력되고, 픽셀 구동 전압 설정 기간(Tw) 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. EM 신호(EM( $n$ ))의 오프 레벨 펄스는 제 $n-1$  및 제 $n$  스캔 신호와 중첩되는 대략 3 수평 기간 동안 게이트 오프 전압으로 발생된다. EM 신호(EM( $n$ ))의 전압은 발광 구동 기간(Tem) 동안 미리 설정된 PWM의 듀티비로 게이트 온 전압과 게이트 오프 전압 사이에서 반전하여 OLED의 전류를 스위칭한다.

[0053] OLED는 데이터 전압(Vdata)에 따라 구동 TFT(DT)에서 조절되는 전류량으로 발광하여, 입력 영상의 데이터 계조에 해당하는 휘도를 표현한다. 도 2 및 도 3과 같은 픽셀 회로(20)에 VDD = 7V~8V, VSS=0V, Vref=1V, Vdata = 0V~5V 가 인가될 수 있다. 데이터 전압(Vdata)이 낮을수록 구동 TFT(DT)의 소스-게이트 간 전압(Vsg)이 커져 픽셀의 휘도가 높아진다. 그리고, 구동 TFT(DT)의 Vsg가 커지면, OLED의 전류가 상승하여 OLED의 발광량이 증가한다. 따라서, 도 2 및 도 3과 같은 픽셀 회로(20)에서 데이터 전압(Vdata)이 낮을수록 픽셀의 휘도가 높아지고, 데이터 전압(Vdata)이 높을수록 픽셀의 휘도가 낮아진다.

[0054] OLED의 전류패스는 EM 신호(EM( $n$ ))에 따라 제어되는 제4 스위치 TFT(T4)에 의해 스위칭된다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 발광층(EML), 및 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL) 중 적어도 하나를 포함할 수 있으나, 이에 한정되지 않는다. 도 2를 참조하면, OLED의 애노드는 제3 노드(DTD)를 경유하여 구동 TFT(DT)의 드레인에 연결되고, 캐소드는 VSS 가 인가되는 VSS 전극에 연결된다.

[0055] 구동 TFT(DT)는 소스-게이트 간 전압(Vsg)에 따라 OLED에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 구동 TFT(DT)는 제1 노드(DTG)에 연결된 게이트, 제2 노드(DTS)에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.

[0056] 제1 커패시터(C1)는 제1 노드(DTG)와 제2 노드(DTS) 사이에 연결된다. 제2 커패시터(C2)는 VDD 배선(13) 또는 Vref 배선(14)으로부터 전압을 인가받는 제1 전극과, 제2 노드(DTS)에 연결된 제2 전극을 포함한다.

[0057] 이 픽셀 회로(20)의 스위치 회로는 제1 내지 제4 스위치 TFT들(T1~T4)을 이용하여, 제 $n-1$  스캔 신호(SCAN( $n-1$ ))의 온 레벨 펄스에 응답하여 기준 전압(Vref)을 구동 TFT(DT)의 게이트와 드레인에 인가한 후에, 제 $n$  스캔 신호(SCAN( $n$ ))의 온 레벨 펄스에 응답하여 데이터 전압(Vdata( $n$ ))을 구동 TFT(DT)의 게이트에 공급한다. 그리고, 스위치 회로는 EM 신호(EM( $n$ ))의 오프 레벨 펄스 이후의 게이트 온 전압에 응답하여 기준 전압(Vref)보다 높은 고전위 구동 전압(VDD)을 구동 TFT(DT)의 소스에 공급한다.

[0058] 제1 스위치 TFT(T1)는 제 $n$  스캔 신호(SCAN( $n$ ))에 응답하여 제1 전압을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제1 전압은 제 $n$  스캔 신호(SCAN( $n$ ))와 동기되는 데이터 전압(Vdata( $n$ ))이다. 제1 스위치 TFT(T1)는 제1 스캔 라인(12a)에 연결된 게이트, 데이터 라인(11)에 연결된 드레인, 및 제1 노드(DTG)에 연결된 소스를 포함한다. 제 $n$  스캔 신호(SCAN( $n$ ))는 제1 스캔 라인(12a)을 통해 제 $n$  픽셀 회로(20)에 공급된다. 제 $n$  스캔 신호(SCAN( $n$ ))는 픽셀 구동 전압 설정 기간(Tw) 동안 게이트 온 전압으로 제 $n$  픽셀 회로(20)에 공급된다.

[0059] 제2 스위치 TFT(T2)는 제 $n-1$  스캔 신호(SCAN( $n-1$ ))에 응답하여 제2 전압을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제2 전압은 VSS 보다 높고 VDD 보다 낮은 기준 전압(Vref)이다. 제 $n-1$  스캔 신호(SCAN( $n-1$ ))의 온 레벨 펄스는 제 $n$  스캔 신호의 온 레벨 펄스보다 앞선다. 제2 스위치 TFT(T2)는 제2 스캔 라인(12b)에 연결된 게이트, Vref 배선(14)에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다. 제 $n-1$  스캔 신호

(SCAN(n-1))는 제2 스캔 라인(12b)을 통해 제n 픽셀 회로(20)에 공급된다. 이와 동시에, 제n-1 스캔 신호(SCAN(n-1))는 제n-1 데이터 전압에 동기되어 화면 표시부(AA)의 제n-1 표시라인에 배치된 제n-1 픽셀 회로(20)에 공급될 수 있다. 제n-1 스캔 신호(SCAN(n-1))는 초기화 및 샘플링 기간(Tis) 동안 게이트 온 전압으로 제n 픽셀 회로(20)에 공급된다.

[0060] 제3 스위치 TFT(T3)는 제n-1 스캔 신호(SCAN(n-1))에 응답하여 기준 전압(Vref)을 제3 노드(DTD)에 공급하는 스위치 소자이다. 제3 스위치 TFT(T3)는 제2 스캔 라인(12b)에 연결된 게이트, Vref 배선(14)에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.

[0061] 제4 스위치 TFT(T4)는 EM 신호(EM(n))에 응답하여 OLED에 흐르는 전류를 스위칭하는 스위치 소자이다. 제4 스위치 TFT(T4)는 EM 신호 라인(12c)에 연결된 게이트, VDD 배선(13)에 연결된 소스, 및 제2 노드(DTS)에 연결된 드레인을 포함한다. EM 신호(EM(n))는 EM 신호 라인(12c)을 통해 제n 픽셀 회로(20)에 공급된다.

[0062] 이 픽셀 회로(20)의 동작에 대하여 도 4 내지 도 7을 결부하여 설명한다.

[0063] 도 4에 도시된 바와 같이, 초기화 및 샘플링 기간(Tis)에 앞선 발광 구동 기간(Tem) 동안 EM 신호(EM(n))는 게이트 온 전압으로 발생되어 제4 스위치 TFT(T4)가 턴-온된다. 이 때, 제4 스위치 TFT(T4)와 구동 TFT(DT)가 턴-온되고, 제1 내지 제3 스위치 TFT들(T1, T2, T3)은 오프 상태를 유지하여 OLED에 전류(Ioled)가 흐르고 제2 노드(DTS)는 VDD로 설정된다.

[0064] 도 5를 참조하면, 초기화 및 샘플링 기간(Tis)이 시작될 때 제n-1 스캔 신호(SCAN(n-1))의 전압이 게이트 온 전압으로 반전되고, EM 신호(EM(n))는 게이트 오프 전압으로 반전된다. 초기화 및 샘플링 기간(Tis) 동안, 제n 스캔 신호(SCAN(n))는 게이트 오프 전압을 유지한다. 초기화 및 샘플링 기간(Tis) 동안 제2 및 제3 스위치 TFT들(T2, T3)이 제n-1 스캔 신호(SCAN(n-1))의 온 레벨 펄스에 응답하여 턴-온되어 이 스위치 TFT들(T2, T3)을 통해 기준 전압(Vref)이 제1 및 제3 노드들(DTG, DTD)에 인가된다. 따라서, 초기화 및 샘플링 기간(Tis) 동안 제1 및 제3 노드들(DTG, DTD)의 전압이 Vref로 초기화된다. 초기화 및 샘플링 기간(Tis) 동안, 제2 노드(DTS)에는  $Vref + |V_{th}|$ 의 전압이 인가되기 때문에 제1 커패시터(C1)에  $V_{th}$ 가 저장된다.  $V_{th}$ 는 구동 TFT(DT)의 문턱 전압이다. 따라서, 초기화 및 샘플링 기간(Tis) 동안 구동 TFT(DT)의 문턱 전압( $V_{th}$ )이 감지된다.

[0065] 초기화 및 샘플링 기간(Tis) 동안 제4 스위치 TFT(T4)가 턴-오프되기 때문에 픽셀 회로(20) 내에서 VDD와 Vref가 단락(short)되지 않는다. 따라서, 픽셀 회로(20)에서 VDD와 Vref 단락으로 인한 소비 전력 증가, 픽셀 열화 및 신뢰성 저하 문제가 최소화될 수 있다.

[0066] 초기화 및 샘플링 기간(Tis) 동안, 제2 커패시터(C2)의 일측 전극에 VDD가 인가되면 제2 커패시터(C2)의 전압은  $|V_{ref} + |V_{th}| - VDD|$ 이다. 제2 커패시터(C2)의 일측 전극에 Vref가 인가되면 제2 커패시터(C2)의 전압은  $|V_{ref} + |V_{th}| - V_{ref}| = |V_{th}|$ 이다.

[0067] 초기화 및 샘플링 기간(Tis)에 이어서, 픽셀 회로(20)는 픽셀 구동 전압 설정 기간(Tw)으로 동작한다. 픽셀 구동 전압 설정 기간(Tw)이 시작될 때, 도 6에 도시된 바와 같이 제n 스캔 신호(SCAN(n))는 게이트 온 전압으로 반전되고, 제n-1 스캔 신호(SCAN(n-1))는 게이트 오프 전압으로 반전된다. 픽셀 구동 전압 설정 기간(Tw) 동안, EM 신호(EM(n))는 게이트 오프 전압으로 유지된다. 픽셀 구동 전압 설정 기간(Tw) 동안, 즉 1 수평 기간(1H) 동안, 제1 스위치 TFT(T1)는 제n 스캔 신호(SCAN(n))의 온 레벨 펄스에 응답하여 턴-온되어 데이터 전압(Vdata)을 제1 노드(DTG)에 인가한다. 픽셀 구동 전압 설정 기간(Tw) 동안, 제1 스위치 TFT(T1) 이외의 나머지 TFT들(T2~T4, DT)은 턴-오프된다. 픽셀 구동 전압 설정 기간(Tw) 동안, 제1 노드(DTG)의 전압이 데이터 전압(Vdata)으로 충전된다. 픽셀 구동 전압 설정 기간(Tw) 동안, 커패시터(C1)를 통한 커플링(coupling)으로 인하여, 제2 노드(DTS)의 전압이  $V_{ref} + |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref})$ 으로 변한다.

[0068] 픽셀 구동 전압 설정 기간(Tw) 동안, 제2 커패시터(C2)의 일측 전극에 VDD가 인가되면 제2 커패시터(C2)의 전압은  $V_{ref} + |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref}) - VDD$ 이다. 제2 커패시터(C2)의 일측 전극에 Vref가 인가되면 제2 커패시터(C2)의 전압은  $V_{ref} + |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref}) - V_{ref} = |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref})$ 이다.

[0069] 픽셀 구동 전압 설정 기간(Tw)에 이어서, 유지 기간(Th) 동안 제n 스캔 신호(SCAN(n))는 게이트 오프 전압으로 반전되고, 제n-1 스캔 신호(SCAN(n-1))와 EM 신호(EM(n))의 전압은 이전 레벨로 유지된다. 유지 기간(Th) 동안

제n 스캔 신호(SCAN(n))가 게이트 오프 전압으로 변할 때 발생하는 킥백 전압(kickback voltage) 만큼 제1 및 제2 노드(DTG, DTS)의 전압이 변할 수 있다.

[0070] 유지 기간(Th) 후, 발광 구동 기간(Tem)이 시작될 때 도 7에 도시된 바와 같이 스캔 신호들(SCAN(n-1), SCAN(n))은 게이트 오프 전압으로 유지되고 EM 신호(EM(n))는 게이트 온 전압으로 반전된다. 이 때, 제2 노드(DTS)의 전압이 VDD로 변하여 제1 노드(DTG) 즉, 구동 TFT(DT)의 게이트 전압이  $V_{data} + VDD - \{V_{ref} + |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref})\}$ 으로 변하여 OLED의 전류량을 결정하는 구동 TFT(DT)의 Vsg 전압이 설정된다. 이 때, OLED에는 아래의 수학적 식 1과 같은 전류(Ioled)가 흐르게 된다.

### 수학적 식 1

$$I_{oled} = K(V_{sg} - |V_{th}|)^2$$

$$= K \left( VDD - \left\{ V_{data} + VDD - V_{ref} - |V_{th}| - \left( \frac{C_1}{C_1 + C_2} \right) (V_{data} - V_{ref}) \right\} - |V_{th}| \right)^2 = K \left\{ \left( \frac{C_2}{C_1 + C_2} \right) (V_{ref} - V_{data}) \right\}^2$$

[0071]

[0072] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱 전압이다.

[0073] 수학적 식 1에서 알 수 있는 바와 같이, 본 발명은 OLED의 전류가 VDD에 영향을 받지 않게 된다. VDD 배선의 전압 강하로 인한 화질의 불균일이 발생하는 경우, VDD 배선을 메쉬(mesh) 형태로 구성하여 VDD 배선의 저항을 감소시킬 수 있다. 그러나, 고해상도를 갖는 표시패널인 경우, 픽셀에 해당하는 면적이 작아지게 되어, VDD 배선의 폭을 줄여야 하므로, VDD 배선의 저항을 줄이기에는 한계가 있다. 그리고, 표시패널이 대화면일 경우, 화면 표시부(AA) 내부까지로의 전원공급경로가 길어지게 되므로, VDD 배선의 저항이 증가하게 된다. 따라서, 본 발명의 실시예는 OLED의 전류가 VDD에 영향을 받지 않으므로, VDD 배선의 저저항 설계 없이 또는 메쉬(mesh) 형태의 VDD 배선을 구성하지 않고 화면 전체에서 픽셀들의 휘도와 색감을 균일하게 할 수 있다. 이에 의해, 본 발명은 픽셀 크기가 작은 고해상도 패널에서 균일한 화질을 구현할 수 있다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다. 또한, 본 발명의 실시예는 VDD 배선의 전압강하를 보상할 수 있으므로, VDD 배선을 메쉬(mesh)형태로 구성하지 않아도 되는 효과가 있다.

[0074] 발광 구동 기간(Tem) 동안, 제1 노드(DTG)의 전압이  $V_{data} + VDD - [V_{ref} + |V_{th}| + \left(\frac{C_1}{C_1 + C_2}\right)(V_{data} - V_{ref})]$ 이고, 제2 노드(DTS)의 전압이 VDD이므로 제1 노드(DTG)와 제2 노드(DTS)의 차 전압을 저장하는 제1 커패시터(C1)의 전압은  $\left| \left( \frac{C_2}{C_1 + C_2} \right) (V_{data} - V_{ref}) - |V_{th}| \right|$ 이다. 발광 구동 기간(Tem) 동안, 제2 커패시터(C2)의 일측 전극에 VDD가 인가되면 제2 커패시터(C2)의 전압은  $|VDD - VDD| = 0V$ 이다. 제2 커패시터(C2)의 일측 전극에 Vref가 인가되면 제2 커패시터(C2)의 전압은  $|VDD - V_{ref}|$ 이다.

[0075] 도 2 내지 도 7에서 알 수 있는 바와 같이, 픽셀 회로(20)에서 발광 제어 신호(EM(n))의 오프 구간 동안 OLED의 애노드가 플로팅(floating)되는 시간 즉, 발광 구동 기간(Tem)과 픽셀 구동 전압 설정 시간(Tw) 사이의 시간이 매우 작게 제어될 수 있으므로, 블랙 계조의 휘도가 상승하거나 명암비가 감소되는 현상을 최소화하여 표시품질이 향상될 수 있다. 블랙 계조는 픽셀 데이터가 최저 계조값 예를 들어 00000000(2)이다. 블랙 계조에서 픽셀의 휘도는 최저 휘도일 수 있다. 따라서, 발광 제어 신호(EM(n))가 게이트 오프 전압으로 반전된 후 OLED의 애노드가 플로팅(floating)되는 시간을 짧게 할 수 있으므로, 전체 발광 표시 장치의 표시품질이 향상될 수 있다.

[0076] 수학적 식 1에서,  $\frac{C_2}{C_1 + C_2}$ 는 데이터 전압(Vdata)의 게인(gain)이다. 이 게인은 데이터 구동부의 회로가 집적되는 드라이브 IC의 전압 범위, 데이터 구동부(102)의 소비 전력이나 계조 표현 능력 등을 고려하여 적절히 선택될 수

있다. C2가 클수록 계인은 “1”에 가까워지고, C2가 작을수록 계인은 0에 가까워진다. C1은 구동 TFT(DT)의 Vsg(또는 Vgs)를 저장하는 커패시터로서 C1의 용량 값이 클수록 안정적인 전압 유지 능력을 갖지만, 계인 값이 감소된다. 계인이 작아질수록 데이터 구동부(102)의 데이터 전압 범위(Data voltage range)가 커지고, 데이터 전압 범위(Data voltage range)가 커지므로 데이터 구동부(102)의 소비 전력이 커질 수 있다. 계인이 작아질수록 데이터 구동부(102)의 데이터 전압 범위가 커지면 세밀한 계조 표현이 가능하다. 따라서, 픽셀 내의 커패시터 비율에 따라 데이터 구동부(102)의 데이터 전압 범위(Data voltage range)를 조절할 수 있으므로, 세밀한 계조 표현이 가능하다. 여기서, 커패시터 비율은 제1 커패시터(C1) 및 제2 커패시터(C2)의 용량 값의 비율일 수 있다. 도 8은 픽셀의 발광 구동 기간(Tem) 동안 50% 이하의 PWM으로 EM 신호가 변조된 예를 보여주는 파형도이다.

[0077] 도 8에서, SCAN1(1) 및 EM(1)은 표시패널(100)의 제1 행에 배열된 픽셀들에 인가되는 제1 스캔 신호 및 제1 EM 신호이다. SCAN1(2) 및 EM(2)은 표시패널(100)의 제2 행에 배열된 픽셀들에 인가되는 제2 스캔 신호 및 제2 EM 신호이다. 스캔 기간 동안 픽셀에 데이터가 어드레싱된 후, 발광 구동 기간(Tem) 동안 EM 신호(EM)를 50% 이하의 듀티비로 스위칭하면 플리커(flicker)와 잔상을 줄일 수 있으므로, 화질을 향상시킬 수 있다. 그리고, 발광 구동 기간(Tem)에서 EM 신호(EM)의 오프 구간 동안 구동 TFT(DT)의 Vsg는 제1 커패시터(C1)에 저장될 수 있으므로, 추가적으로 데이터를 픽셀에 기입할 필요없이 안정적인 듀티 구동이 가능하다.

[0078] 제1 및 제2 스위치 TFT들(T1, T2)은 오프 기간이 길기 때문에 누설 전류에 취약하다. 이를 고려하여 제1 및 제2 스위치 TFT들(T1, T2)은 도 2 내지 도 7에 도시된 바와 같이, 누설 전류가 작은 듀얼 게이트(dual gate) 구조의 트랜지스터일 수 있다. 이러한 제1 및 제2 스위치 TFT들(T1, T2)이 누설 전류가 매우 작은 트랜지스터, 예를 들어, 산화물 TFT(Oxide TFT)로 구현된다면 싱글 게이트(single gate) 구조도 가능할 수 있다.

[0079] 도 9는 픽셀 회로(20)에 인가되는 스캔 신호의 펄스폭을 확장한 예를 보여주는 도면이다.

[0080] 도 9를 참조하면, 픽셀 회로(20)는 스캔 신호들(SCAN1, SCAN2)의 펄스폭이 다르게 설정된 것을 제외하면, 도 2 내지 도 7에 도시된 픽셀 회로(20)와 실질적으로 동일하다. 이 실시예에서, 초기화 및 샘플링 기간(Tis)을 정의하는 제2 스캔 신호(SCAN2)의 펄스폭이 데이터 전압(Vdata)에 동기되는 제1 스캔 신호(SCAN1)의 펄스폭과 다르게 설정된다. 예를 들어, 도 9는 제2 스캔 신호(SCAN2)의 펄스폭이 제1 스캔 신호(SCAN1)의 펄스폭 보다 크게 설정되지만, 이에 한정되지 않는다. 제2 스캔 신호(SCAN2)의 펄스폭은 해상도와 패널 특성을 고려하여 조절될 수 있다.

[0081] 이 실시예에서, OLED, 구동 TFT(DT), 커패시터(C1, C2), 및 제4 스위치 TFT(T4)는 전술한 실시예와 실질적으로 동일하므로, 그에 대한 상세한 설명은 생략한다.

[0082] 제1 스위치 TFT(T1)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 전압(Vdata(n))을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제1 스위치 TFT(T1)는 제1 스캔 신호(SCAN1)가 인가되는 제1 스캔 라인에 연결된 게이트, 데이터 라인(11)에 연결된 드레인, 및 제1 노드(DTG)에 연결된 소스를 포함한다. 제1 스캔 신호(SCAN1)는 픽셀 구동 전압 설정 기간(Tw) 동안 게이트 온 전압으로 발생되고 픽셀 구동 전압 설정 기간(Tw) 이외의 나머지 프레임 기간 동안 게이트 오프 전압으로 유지된다.

[0083] 제2 스위치 TFT(T2)는 제2 스캔 신호(SCAN2)에 응답하여 기준 전압(Vref)을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제2 스위치 TFT(T2)는 제2 스캔 신호(SCAN2)가 인가되는 제2 스캔 라인에 연결된 게이트, Vref 배선(14)에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다. 제2 스캔 신호(SCAN2)는 픽셀 구동 전압 설정 기간(Tw)에 앞선 초기화 및 샘플링 기간(Tis) 동안 게이트 온 전압으로 발생되고 초기화 및 샘플링 기간(Tis) 이외의 나머지 프레임 기간 동안 게이트 오프 전압으로 유지된다.

[0084] 제3 스위치 TFT(T3)는 제2 스캔 신호(SCAN2)에 응답하여 기준 전압(Vref)을 제3 노드(DTD)에 공급하는 스위치 소자이다. 제3 스위치 TFT(T3)는 제2 스캔 신호(SCAN2)가 인가되는 제2 스캔 라인에 연결된 게이트, Vref 배선에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.

[0085] 표시패널의 해상도가 높아질수록 1 수평 기간(1H)이 짧아지기 때문에 1 수평 기간(1H)은 구동 TFT(DT)의 문턱 전압(Vth)을 센싱하기에 시간이 부족하게 된다. 이 경우, 데이터 전압(Vdata)과 독립된 별도의 제2 스캔 신호(SCAN2)의 펄스폭을 길게 하면 구동 TFT(DT)의 센싱 시간을 충분히 확보할 수 있다. 따라서, 고해상도를 갖는 표시패널의 보상시간을 충분히 확보할 수 있는 효과가 있다.

[0086] 도 10은 도 2에 도시된 픽셀 회로(20)에 제5 스위치 TFT가 추가된 예를 보여주는 회로도이다. 이 실시예에서, 전술한 실시예와 동일한 구성 요소들에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기

로 한다.

- [0087] 도 10을 참조하면, 픽셀 회로(30)는 제3 노드(DTD)와 OLED의 애노드 사이에 배치된 제5 스위치 TFT(T5)를 포함한다. 이 실시예에서, OLED, 구동 TFT(DT), 커패시터(C1, C2), 및 스위치 TFT들(T1~T4)은 전술한 실시예와 동일하다.
- [0088] 제5 스위치 TFT(T5)는 초기화 및 샘플링 기간(Tis) 동안 구동 TFT(DT)와 OLED 사이의 전류 패스(current path)를 차단하여 OLED가 원치 않게 발광되는 현상을 방지한다. OLED가 초기화 및 샘플링 기간(Tis) 동안 발광되면 블랙 계조의 휘도가 상승하여 명암비(contrast ratio)가 감소될 수 있다. 특히, 호스트 시스템에서 높은 기준 전압(Vref)을 요구하는 경우에, 초기화 및 샘플링 기간(Tis) 동안, 픽셀 회로(20)의 노드들(DTG, DTS, DTD)이 초기화될 때 OLED의 애노드 전압이 높아져 OLED에 전류가 흘러 OLED가 발광할 수 있다. 즉, 발광 구동 기간(Tem) 이외의 기간에 OLED가 발광하는 현상을 방지하기 위하여, 제5 스위치 TFT(T5)는 EM 신호(EM(n))에 응답하여 초기화 및 샘플링 기간(Tis)에 OLED에 연결된 전류 패스를 차단하고 발광 구동 기간(Tem) 동안 OLED와 구동 TFT(DT) 사이에 전류 패스를 연결한다.
- [0089] 제5 스위치 TFT(T5)는 EM 신호(EM(n))에 응답하여 제4 스위치 TFT(T4)와 동시에 온/오프된다. 제5 스위치 TFT(T5)는 EM 신호(EM(n))가 인가되는 EM 신호 라인(12c)에 연결된 게이트, 제3 노드(DTD)에 연결된 소스, 및 OLED의 애노드에 연결된 드레인을 포함한다.
- [0090] 호스트 시스템에 따라 데이터 전압(Vdata)이 높을수록 픽셀의 휘도가 높아지는 정 감마 보정 방법으로 픽셀들을 구동할 수 있다. 이 경우, 전술한 픽셀 회로(20, 30)를 변경하지 않고 픽셀 회로에서 도 11 내지 도 15에 도시된 바와 같이, 데이터 전압 인가 경로와 기준 전압 인가 경로를 서로 바꾸고 기준 전압을 높임으로써 정 감마 보정 방법을 구현할 수 있다.
- [0091] 도 11 내지 도 15는 본 발명의 제2 실시예에 따른 픽셀 회로(40)와 그 구동 방법을 보여 주는 도면이다. 도 11 내지 도 15의 픽셀 회로(40)는 도 2 내지 도 7에 도시된 픽셀 회로(20)에서 데이터 전압 인가 경로와 기준 전압 인가 경로를 서로 바꾼 예를 도시한 것이다. 도면에서 생략되었지만 도 10에 도시된 픽셀 회로(30)에서 데이터 전압 인가 경로와 기준 전압 인가 경로를 서로 바꾼 예도 가능하다.
- [0092] 도 11을 참조하면, 픽셀 회로들(40) 각각은 OLED, 다수의 TFT들(DT, T11, T12, T13, T4), 제1 및 제2 커패시터(C1, C2) 등을 포함한다.
- [0093] 제n 픽셀 회로(40)에 고전위 구동 전압(VDD), 저전위 전원 전압(VSS), 기준 전압(Vref) 등의 픽셀 전원이 인가된다. VDD, VSS, Vref에서  $VDD = 7V \sim 8V$ ,  $VSS = 0V$ ,  $Vref = 4V \sim 5V$ 의 직류 전압일 수 있으나, 이에 한정되지 않는다. 그리고, 제n 픽셀 회로(40)에 제n 스캔 신호(SCAN(n)), 제n+1 스캔 신호(SCAN(n+1)), 데이터 전압(Vdata) 등의 픽셀 구동 신호가 인가된다.
- [0094] 스캔 신호(SCAN(n), SCAN(n+1))는 스캔 구동부(103)에 의해 스캔 라인들(12a, 12d)에 공급된다. EM 신호(EM(n))는 EM 구동부(104)에 의해 EM 신호 라인(12c)에 공급된다. 데이터 전압(Vdata)은 데이터 구동부(102)로부터 0V~5V 사이의 전압으로 발생될 수 있으나, 이에 한정되지 않는다. 스캔 신호(SCAN(n+1)), SCAN(n))는 1수평 기간(1H) 만큼의 펄스폭으로 발생되고, VGH와 VGL 사이에서 스위칭한다. 이 실시예에서 TFT들(DT, T1~T4)이 PMOS 트랜지스터이기 때문에 게이트 온 전압은 VGL이고, 게이트 오프 전압(Gate Off Voltage)은 VGH이다. VGH와 VGL은  $VGH = 10V$ ,  $VGL = -6V$  일 수 있으나, 이에 한정되지 않는다.
- [0095] 도 11에 도시된 픽셀 회로(40)의 구동은 초기화 및 샘플링 기간(Tis), 픽셀 구동 전압 설정 기간(Tw), 및 발광 구동 기간(Tem)으로 나뉘어져 구동될 수 있다. 픽셀 구동 전압 설정 기간(Tw)과 발광 구동 기간(Tem) 사이에 유지 기간(Th)이 존재할 수 있으나 생략될 수도 있다. 제n 스캔 신호(SCAN(n))의 온 레벨 펄스는 초기화 및 샘플링 기간(Tis) 동안 제n 픽셀 회로(40)에 입력되고, 초기화 및 샘플링 기간(Tis) 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. 제n+1 스캔 신호(SCAN(n+1))의 온 레벨 펄스는 픽셀 구동 전압 설정 기간(Tw) 동안 제n 픽셀 회로(40)에 입력되고, 그 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. EM 신호(EM(n))의 오프 레벨 펄스는 제n 및 제n+1 스캔 신호(SCAN(n), SCAN(n+1))와 중첩되는 대략 3 수평 기간 동안 게이트 오프 전압으로 발생된다. EM 신호(EM(n))의 전압은 발광 구동 기간(Tem) 동안 미리 설정된 PWM의 듀티비로 게이트 온 전압과 게이트 오프 전압 사이에서 반전하여 OLED의 전류를 스위칭한다.
- [0096] OLED는 데이터 전압(Vdata)에 따라 구동 TFT(DT)에서 조절되는 전류량으로 발광하여 입력 영상의 데이터 계조에 해당하는 휘도를 표현한다. 도 11 내지 도 15와 같은 픽셀 회로(40)에서  $VDD = 7V \sim 8V$ ,  $VSS = 0V$ ,  $Vref = 4V \sim 5V$ ,  $Vdata = 0V \sim 5V$  가 인가될 수 있다. 데이터 전압(Vdata)이 높을수록 구동 TFT(DT)의 소스-게이트 간 전압(Vs

g)이 커져 픽셀의 휘도가 높아진다. 구동 TFT(DT)의  $V_{sg}$ 가 커지면, OLED의 전류가 상승하여 OLED의 발광량이 증가한다. 따라서, 도 11 내지 도 15에 도시된 픽셀 회로(40)에서, 데이터 전압( $V_{data}$ )이 높을수록 픽셀의 휘도가 높아지고, 데이터 전압( $V_{data}$ )이 낮을수록 픽셀의 휘도가 낮아진다.

[0097] 도 11 내지 도 15에 도시된 픽셀 회로(40)는 전술한 제1 실시예에서 설명된 픽셀 회로(20, 30)와 비교할 때 데이터 전압이 인가되는 스위치 TFT와 기준 전압이 인가되는 스위치 TFT가 서로 바뀐 것을 제외하면 실질적으로 동일한 회로 구조를 갖는다. 이 픽셀 회로(40)에서 전술한 실시예와 실질적으로 동일한 구성 요소에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다. 픽셀 회로(40)에서 OLED, 구동 TFT, 제4 스위치 TFT(T4), 커패시터(C1, C2) 등의 연결 관계는 전술한 실시예와 실질적으로 동일하다.

[0098] 제1 스위치 TFT(T11)는 제 $n+1$  스캔 신호(SCAN( $n+1$ )))에 응답하여 제1 전압을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제1 전압은 VSS 보다 높고 VDD 보다 낮은 기준 전압( $V_{ref}$ )이다. 제 $n+1$  스캔 신호(SCAN( $n+1$ )))의 온 레벨 펄스는 제 $n$  스캔 신호(SCAN( $n$ )))의 온 레벨 펄스 보다 늦다. 제1 스위치 TFT(T11)는 제2 스캔 라인(12d)에 연결된 게이트,  $V_{ref}$  배선(14)에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다. 제 $n+1$  스캔 신호(SCAN( $n+1$ )))는 픽셀 구동 전압 설정 기간( $T_w$ ) 동안 게이트 온 전압으로 발생되어 제2 스캔 라인(12d)을 통해 제 $n$  픽셀 회로(40)에 공급된다.

[0099] 제2 스위치 TFT(T12)는 데이터 전압( $V_{data}$ )에 동기되는 제 $n$  스캔 신호(SCAN( $n$ )))에 응답하여 제2 전압을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제2 전압은 데이터 전압( $V_{data}$ )이다. 제2 스위치 TFT(T12)는 제1 스캔 라인(12a)에 연결된 게이트, 데이터 라인(11)에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다. 제 $n$  스캔 신호(SCAN( $n$ )))는 초기화 및 샘플링 기간( $T_{is}$ ) 동안 게이트 온 전압으로 발생되어 제1 스캔 라인(12a)을 통해 제 $n$  픽셀 회로(40)에 공급된다.

[0100] 제3 스위치 TFT(T13)는 데이터 전압( $V_{data}$ )에 동기되는 제 $n$  스캔 신호(SCAN( $n$ )))에 응답하여 데이터 전압( $V_{data}$ )을 제3 노드(DTD)에 공급하는 스위치 소자이다. 제3 스위치 TFT(T13)는 제1 스캔 라인(12a)에 연결된 게이트, 데이터 라인(11)에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.

[0101] 도 11에 도시된 픽셀 회로(40)의 구동 방법에 대하여 도 12 내지 도 15를 결부하여 설명하기로 한다.

[0102] 도 12에 도시된 바와 같이, 초기화 및 샘플링 기간( $T_{is}$ )에 앞선 발광 구동 기간( $T_{em}$ ) 동안 EM 신호(EM( $n$ )))는 게이트 온 전압으로 발생되어 제4 스위치 TFT(T4)가 턴-온된다. 이 때, 제4 스위치 TFT(T4)와 구동 TFT(DT)가 턴-온되고 제1 내지 제3 스위치 TFT들(T11, T12, T13)은 오프 상태를 유지하여 OLED에 전류( $I_{oled}$ )가 흐르고 제2 노드(DTS)는 VDD로 설정된다.

[0103] 도 13을 참조하면, 초기화 및 샘플링 기간( $T_{is}$ ) 동안 제 $n$  스캔 신호(SCAN( $n$ )))의 전압이 게이트 온 전압으로 반전되고, EM 신호(EM( $n$ )))는 게이트 오프 전압으로 반전된다. 초기화 및 샘플링 기간( $T_{is}$ ) 동안, 제 $n+1$  스캔 신호(SCAN( $n+1$ )))는 게이트 오프 전압을 유지한다. 초기화 및 샘플링 기간( $T_{is}$ ) 동안, 즉 1 수평 기간(1H) 동안, 제2 및 제3 스위치 TFT들(T12, T13)은 데이터 전압( $V_{data}(n)$ )에 동기되는 제 $n$  스캔 신호(SCAN( $n$ )))의 온 레벨 펄스에 응답하여 턴-온되어, 제2 및 제3 스위치 TFT들(T12, T13)을 통해 데이터 전압( $V_{data}(n)$ )이 제1 및 제3 노드들(DTG, DTD)에 인가된다. 따라서, 초기화 및 샘플링 기간( $T_{is}$ ) 동안 제1 및 제3 노드들(DTG, DTD)의 전압이 데이터 전압( $V_{data}(n)$ )으로 초기화된다. 초기화 및 샘플링 기간( $T_{is}$ ) 동안, 제2 노드(DTS)에는  $V_{data} + |V_{th}|$ 의 전압이 인가되기 때문에 제1 커패시터(C1)에  $V_{th}$ 가 저장된다.  $V_{th}$ 는 구동 TFT(DT)의 문턱 전압이다. 따라서, 초기화 및 샘플링 기간( $T_{is}$ ) 동안 구동 TFT(DT)의 문턱 전압( $V_{th}$ )이 감지된다.

[0104] 초기화 및 샘플링 기간( $T_{is}$ ) 동안 제4 스위치 TFT(T4)가 턴-오프되기 때문에 픽셀 회로(40) 내에서 VDD와  $V_{ref}$ 가 단락(short)되지 않는다. 따라서, 픽셀 회로(40)에서 VDD와  $V_{ref}$  단락으로 인한 소비 전력 증가, 픽셀 열화 및 신뢰성 저하 문제가 최소화될 수 있다.

[0105] 초기화 및 샘플링 기간( $T_{is}$ ) 동안, 제2 커패시터(C2)의 일측 전극에 VDD가 인가되면 제2 커패시터(C2)의 전압은  $|V_{data} + |V_{th}| - VDD|$ 이다. 제2 커패시터(C2)의 일측 전극에  $V_{ref}$ 가 인가되면 제2 커패시터(C2)의 전압은  $|V_{data} + |V_{th}| - V_{ref}|$ 이다.

[0106] 초기화 및 샘플링 기간( $T_{is}$ )에 이어서, 픽셀 회로(40)는 픽셀 구동 전압 설정 기간( $T_w$ )으로 동작한다. 픽셀 구동 전압 설정 기간( $T_w$ )이 시작될 때, 도 14에 도시된 바와 같이 제 $n+1$  스캔 신호(SCAN( $n+1$ )))는 게이트 온 전압으로 반전되고, 제 $n$  스캔 신호(SCAN( $n$ )))는 게이트 오프 전압으로 반전된다. 픽셀 구동 전압 설정 기간( $T_w$ ) 동안, EM 신호(EM( $n$ )))는 게이트 오프 전압으로 유지된다. 픽셀 구동 전압 설정 기간( $T_w$ ) 동안, 제1 스위치

TFT(T11)는 제n+1 스캔 신호(SCAN(n+1))의 온 레벨 펄스에 응답하여 턴-온되어 기준 전압(Vref)을 제1 노드(DTG)에 인가한다. 픽셀 구동 전압 설정 기간(Tw) 동안, 제1 스위치 TFT(T11) 이외의 나머지 TFT들인 제2 내지 제4 스위치 TFT들 및 구동 TFT(T12, T13, T4, DT)는 턴-오프된다. 픽셀 구동 전압 설정 기간(Tw) 동안, 제1 노드(DTG)의 전압이 기준 전압(Vref)으로 충전된다. 픽셀 구동 전압 설정 기간(Tw) 동안, 커패시터(C1)를 통한 커플링(coupling)으로 인하여, 제2 노드(DTS)의 전압이  $Vdata + |Vth| + \left(\frac{C1}{C1+C2}\right)(Vref - Vdata)$ 로 변한다.

[0107] 픽셀 구동 전압 설정 기간(Tw) 동안, 제2 커패시터(C2)의 일측 전극에 VDD가 인가되면 제2 커패시터(C2)의 전압은  $Vdata + |Vth| + \left(\frac{C1}{C1+C2}\right)(Vref - Vdata) - VDD$ 이다. 제2 커패시터(C2)의 일측 전극에 Vref가 인가되면 제2 커패시터(C2)의 전압은  $Vdata + |Vth| + \left(\frac{C1}{C1+C2}\right)(Vref - Vdata) - Vref$ 이다.

[0108] 픽셀 구동 전압 설정 기간(Tw)에 이어서, 유지 기간(Th) 동안 제n+1 스캔 신호(SCAN(n+1))는 게이트 오프 전압으로 반전되고, 제n 스캔 신호(SCAN(n))와 EM 신호(EM(n))의 전압은 이전 레벨로 유지된다. 유지 기간(Th) 동안 제n+1 스캔 신호(SCAN(n+1))가 게이트 오프 전압으로 변할 때 발생하는 킥백 전압(kickback voltage) 만큼 제1 및 제2 노드(DTG, DTS)의 전압이 변할 수 있다.

[0109] 유지 기간(Th) 후, 발광 구동 기간(Tem)이 시작될 때 도 15에 도시된 바와 같이 스캔 신호들(SCAN(n), SCAN(n+1))은 게이트 오프 전압으로 유지되고 EM 신호(EM(n))는 게이트 온 전압으로 반전된다. 이 때, 제2 노드(DTS)의 전압이 VDD로 변하여 제1 노드(DTG) 즉, 구동 TFT(DT)의 게이트 전압이  $Vref + VDD - \left\{Vdata + |Vth| + \left(\frac{C1}{C1+C2}\right)(Vref - Vdata)\right\} = VDD - |Vth| + \left(\frac{C2}{C1+C2}\right)(Vref - Vdata)$ 로 변하여 OLED의 전류량을 결정하는 구동 TFT(DT)의 Vsg 전압이 설정된다. 이 때 OLED에 아래의 수학적 식 2와 같은 전류(Ioled)가 흐르게 된다.

## 수학적 식 2

$$\begin{aligned} I_{oled} &= K(V_{sg} - |V_{th}|)^2 = K \left( VDD - \left\{ VDD - |V_{th}| + \left( \frac{C2}{C1 + C2} \right) (Vref - Vdata) \right\} - |V_{th}| \right)^2 \\ &= K \left\{ \left( \frac{C2}{C1 + C2} \right) (Vdata - Vref) \right\}^2 \end{aligned}$$

[0110]

[0111] 여기서, K는 구동 TFT(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 TFT(DT)의 문턱 전압이다.

[0112] 수학적 식 2에서 알 수 있는 바와 같이, 본 발명은 OLED의 전류가 VDD에 영향을 받지 않게 된다. VDD 배선의 전압 강하로 인한 화질의 불균일이 발생하는 경우, VDD 배선을 메쉬(mesh) 형태로 구성하여 VDD 배선의 저항을 감소시킬 수 있다. 그러나, 고해상도를 갖는 표시패널인 경우, 픽셀에 해당하는 면적이 작아지게 되어, VDD 배선의 폭을 줄여야 하므로, VDD 배선의 저항을 줄이기에는 한계가 있다. 그리고, 표시패널이 대화면일 경우, 화면 표시부(AA) 내부까지로의 전원 공급경로가 길어지게 되므로, VDD 배선의 저항이 증가하게 된다. 따라서, 본 발명의 실시예는 OLED의 전류가 VDD에 영향을 받지 않으므로, VDD 배선의 저저항 설계 없이 또는 메쉬(mesh) 형태의 VDD 배선을 구성하지 않고 화면 전체에서 픽셀들의 휘도와 색감을 균일하게 할 수 있다. 이에 의해, 본 발명은 픽셀 크기가 작은 고해상도 패널에서 균일한 화질을 구현할 수 있다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다. 또한, 본 발명의 실시예는 VDD 배선의 전압강하를 보상할 수 있으므로, VDD 배선을 메쉬(mesh)형태로 구성하지 않아도 되는 효과가 있다.

[0113] 수학적 식 2에서 알 수 있는 바와 같이, 도 11 내지 도 15에 도시된 픽셀 회로(40)는 데이터 전압(Vdata)이 높을수록 픽셀의 휘도가 높아지는 정 감마 구동 방법으로 구동된다.

[0114] 도 11 내지 도 15에 도시된 픽셀 회로(40)는 계조에 따라 가변되는 데이터 전압(Vdata)으로 초기화된다. 블랙 계조의 데이터 전압(Vdata)은 낮은 전압 예를 들어 0V이다. 블랙 계조의 데이터 전압(Vdata)으로 OLED의 애노드 전압이 초기화될 때, OLED가 턴-온될 수 없으므로 픽셀의 블랙 계조 휘도가 상승할 수 없기 때문에 명암비

저하 문제를 우려할 필요가 없다. 화이트 계조의 데이터 전압(Vdata)으로 OLED의 애노드 전압이 초기화될 때, OLED가 턴-온되어 픽셀이 발광될 수 있으나 이 경우에 픽셀이 발광 구동 기간(Tem)에 화이트 계조로 발광되기 때문에 명암비 저하 문제가 없고 사용자가 초기화 및 샘플링 기간(Tis)에 픽셀이 발광하는 현상을 인지하지 못한다. 즉, 초기화 및 샘플링 기간(Tis)에 데이터 전압(Vdata)으로 OLED의 애노드 전압을 초기화시킴으로써, 블랙 계조 및 화이트 계조 표현시 명암비 저하를 방지할 수 있다. 블랙 계조는 픽셀 데이터가 최저 계조값 예를 들어 00000000<sub>(2)</sub>이고, 화이트 계조는 픽셀 데이터가 최고 계조값 예를 들어 11111111<sub>(2)</sub>이다. 블랙 계조에서 픽셀의 휘도는 최저 휘도이고, 화이트 계조에서 픽셀의 휘도는 최고 휘도이다.

[0115] 도 16 내지 도 18은 픽셀 회로(20, 30, 40)에 제3 커패시터가 연결된 예를 보여 주는 회로도들이다. 도 16은 도 2 내지 도 7에 도시된 픽셀 회로(20)에 제3 커패시터(C3)가 추가된 예이고, 도 17은 도 10에 도시된 픽셀 회로(30)에 제3 커패시터(C3)가 추가된 예이다. 그리고, 도 18은 도 11 내지 도 15에 도시된 픽셀 회로(40)에 제3 커패시터(C3)가 추가된 예이다. 제3 커패시터는 전술한 실시예들 뿐만 아니라 모든 실시예들에 적용될 수 있다. 도 16 내지 도 18에서 전술한 실시예들과 동일한 구성 요소들에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0116] 도 16 내지 도 18을 참조하면, 픽셀 회로(20-1, 30-1, 40-1) 각각은 제1 노드(DTG)와 EM 신호 라인(12c) 사이에 연결된 제3 커패시터(C3)를 더 포함한다.

[0117] 전술한 바와 같이, 발광 구동 기간(Tem)이 시작될 때 EM 신호(EM(n))의 전압은 게이트 온 전압으로 낮아진다. 이 때, 제1 노드(DTG)가 제3 커패시터(C3)를 통해 EM 신호 라인(12c)에 커플링되기 때문에 EM 신호(EM(n))의 전압이 게이트 온 전압으로 낮아질 때 제1 노드(DTG)의 전압이 낮아져 구동 TFT(DT)의 Vsg가 커진다. 이에 의해, 화이트 계조(white gray level)에서 픽셀의 휘도가 상승하여 명암비가 상승할 수 있고, HDR(High Dynamic Range) 구현에 유리하다. 그리고, EM 신호 라인(12c)의 전압이 게이트 온 전압으로 변할 때 제3 커패시터(C3)를 통한 커플링(Coupling)으로 제1 커패시터(C1)의 전압보다 더 큰 전압으로 구동 TFT(DT)의 Vsg를 높여 픽셀의 휘도를 더 높일 수 있다.

[0118] 도 19는 제3 커패시터(C3)가 없는 픽셀 회로에서 구동 TFT(DT)의 Vsg를 도시한 도면이다. 도 20은 픽셀 회로에 제3 커패시터(C3)가 추가될 때 제1 노드(DTG)의 전압이 더 낮아져 구동 TFT(DT)의 Vsg가  $\alpha$  만큼 상승하는 예를 나타내는 도면이다. Vsg는 
$$V_{sg} = V_s - V_g = \left( \frac{C_2}{C_1 + C_2} \right) (V_{ref} - V_{data}) + |V_{th}|$$
 이고,  $\alpha$  는 
$$\alpha = \left( \frac{C_3}{C_1 + C_3} \right) \Delta V_{EM} = \left( \frac{C_3}{C_1 + C_3} \right) (V_{EH} - V_{EL})$$
 이다. 여기서, VEH는 EM 신호(EM(n))의 게이트 오프 전압(또는 High level 전압)이고, VEL은 EM 신호(EM(n))의 게이트 온 전압(또는 Low level 전압)이다.

[0119] 픽셀 회로(20, 30, 40)에서 제2 및 제3 스위치 TFT들(T2, T12, T3, T13)은 도 21 내지 도 23과 같이 그 연결 구조가 변경될 수 있다. 도 21 내지 도 23의 회로 동작이나 효과는 전술한 실시예들과 실질적으로 동일하다.

[0120] 도 21 내지 도 23은 픽셀 회로(20-2, 30-2, 40-2)의 제2 및 제3 스위치 TFT의 연결 구조가 변경된 예를 보여 주는 회로도들이다. 도 21은 도 2 내지 도 7에 도시된 픽셀 회로(20)에서 제2 및 제3 스위치 TFT들(T2, T3)의 연결 구조가 변경된 예이고, 도 22는 도 10에 도시된 픽셀 회로(30)에서 제2 및 제3 스위치 TFT들(T2, T3)의 연결 구조가 변경된 예이다. 그리고, 도 23은 도 11 내지 도 15에 도시된 픽셀 회로(40)에서 제2 및 제3 스위치 TFT들(T12, T13)의 연결 구조가 변경된 예이다. 도 21 내지 도 23에서 전술한 실시예들과 동일한 구성 요소들에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0121] 도 21 내지 도 23을 참조하면, 제2 스위치 TFT(T2, T12)는 스캔 라인(12b, 12a)에 연결된 게이트, 제3 노드(DTD)에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다. 제3 스위치 TFT(T3)는 스캔 라인(12b)에 연결된 게이트, Vref 배선(14)에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.

[0122] 도 21 내지 도 23의 픽셀 회로(20-2, 30-2, 40-2)에서, 제1 노드(DTG)와 Vref 배선(14) 또는 제1 노드(DTG)와 데이터 배선(11) 사이의 전류 패스 상에서 제2 및 제3 스위치 TFT들(T2, T12, T3, T13)이 존재하기 때문에 제2 스위치 TFT(T2)만 존재하는 실시예에 비하여 누설 전류를 더 줄일 수 있다. 제2 및 제3 스위치 TFT들(T2, T12, T3, T13)의 연결 구조는 표시패널의 패널 구조나 구동 방법에 따라 선택될 수 있으며 어느 하나에 한정되지 않는다.

[0123] 도 24는 본 발명의 제3 실시예에 따른 픽셀 회로(50)와 그 구동 방법을 보여 주는 도면이다. 이 실시예는 픽셀 회로 내의 트랜지스터들을 NMOS로 구현한 예이다.

- [0124] 도 24를 참조하면, 픽셀 회로들(50) 각각은 OLED, 다수의 TFT들(NDT, NT1~NT5), 제1 및 제2 커패시터(C1, C2) 등을 포함한다.
- [0125] 제n 픽셀 회로(50)에 고전위 구동 전압(VDD), 저전위 전원 전압(VSS), 기준 전압(Vref), 제n-1 스캔 신호(SCAN(n-1)), 제n 스캔 신호(SCAN(n)), 데이터 전압(Vdata) 등이 제공된다. 예를 들어, VDD, VSS, Vref 는  $VDD = 7V \sim 8V$ ,  $VSS = 0V$ ,  $Vref = 1V$ 의 직류 전압일 수 있으나 이에 한정되지 않는다. Vdata는 데이터 구동부(102)로부터 0V~5V 사이의 전압으로 발생될 수 있다. 스캔 신호(SCAN(n-1), SCAN(n))는 1 수평 기간(1H) 만큼의 펄스폭으로 발생되고, VGH와 VGL 사이에서 스위칭한다. 이 실시예에서 TFT들(NDT, NT1~NT4)이 NMOS 트랜지스터이기 때문에 게이트 온 전압(Gate On Voltage)은 VGH이고, 게이트 오프 전압(Gate Off Voltage)은 VGL이다. 예를 들어, VGH와 VGL은  $VGH = 10V$ ,  $VGL = -6V$  일 수 있으나, 이에 한정되지 않는다.
- [0126] 제n-1 스캔 신호(SCAN(n-1))에 이어서 제n 데이터 전압(Vdata(n))에 동기되는 제n 스캔 신호(SCAN(n))가 제n 픽셀 회로(50)에 공급된다. 이 픽셀 회로(50)의 구동은 초기화 및 샘플링 기간(Tis), 픽셀 구동 전압 설정 기간(Tw), 발광 구동 기간(Tem)으로 나뉘어져 구동될 수 있다. 제n-1 스캔 신호(SCAN(n-1))는 초기화 및 샘플링 기간(Tis) 동안 제n 픽셀 회로(50)에 입력되고, 초기화 및 샘플링 기간(Tis) 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. 제n 스캔 신호(SCAN(n))는 픽셀 구동 전압 설정 기간(Tw) 동안 제n 픽셀 회로(50)에 입력되고, 픽셀 구동 전압 설정 기간(Tw) 이외의 나머지 기간 동안 게이트 오프 전압으로 유지된다. EM 신호(EM(n))는 제n-1 내지 제n 스캔 신호와 중첩되는 대략 3 수평 기간 동안 게이트 오프 전압으로 발생되고, 발광 구동 기간(Tem) 동안 미리 설정된 PWM의 듀티비로 게이트 온/오프 전압을 반복하여 OLED의 전류를 스위칭한다.
- [0127] OLED는 데이터 전압(Vdata)에 따라 구동 TFT(NDT)에서 조절되는 전류량으로 발광하여, 입력 영상의 데이터 계조에 해당하는 휘도를 표현한다. OLED의 전류패스는 EM 신호(EM(n))에 따라 제어되는 제4 스위치 TFT(NT4)에 의해 스위칭된다. OLED의 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. OLED의 애노드는 제2 노드(DTS)와 제5 스위치 TFT(NT5)를 경유하여 구동 TFT(NDT)의 소스에 연결되고, 캐소드는 VSS가 인가되는 VSS 전극에 연결된다.
- [0128] 구동 TFT(NDT)는 소스-게이트 간 전압(Vsg)에 따라 OLED에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 구동 TFT(NDT)는 제1 노드(DTG)에 연결된 게이트, 제2 노드(DTS)에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.
- [0129] 제1 커패시터(C1)는 제1 노드(DTG)와 제2 노드(DTS) 사이에 연결된다. 제2 커패시터(C2)는 VDD 배선(13) 또는 Vref 배선(14)이 인가되는 제1 전극과, 제2 노드(DTS)에 연결된 제2 전극을 포함한다.
- [0130] 이 픽셀 회로(50)의 스위치 회로는 제1 내지 제5 스위치 TFT들(NT1~NT5)을 이용하여 제n-1 스캔 신호(SCAN(n-1))에 응답하여 기준 전압(Vref)을 구동 TFT(NDT)의 게이트와 드레인에 인가한 후에, 제n 스캔 신호(SCAN(n))에 응답하여 데이터 전압을 구동 TFT(NDT)의 게이트에 공급한다. 그 다음, EM 신호(EM(n))에 응답하여 기준 전압(Vref) 보다 높은 고전위 구동 전압(VDD)을 구동 TFT(NDT)의 드레인에 공급함과 동시에 구동 TFT(NDT)의 소스와 OLED의 애노드 사이의 전류 패스(current path)를 형성한다.
- [0131] 제1 스위치 TFT(NT1)는 제n 스캔 신호(SCAN(n)) 또는 제1 스캔 신호(SCAN1)에 응답하여 데이터 전압(Vdata(n))을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제1 스위치 TFT(NT1)는 제1 스캔 라인에 연결된 게이트, 데이터 라인(11)에 연결된 드레인, 및 제1 노드(DTG)에 연결된 소스를 포함한다. 제n 스캔 신호(SCAN(n)) 또는 제1 스캔 신호(SCAN1)는 제1 스캔 라인(12a)을 통해 제n 픽셀 회로(50)에 공급된다.
- [0132] 제2 스위치 TFT(NT2)는 제n-1 스캔 신호(SCAN(n-1)) 또는 제2 스캔 신호(SCAN2)에 응답하여 기준 전압(Vref)을 제1 노드(DTG)에 공급하는 스위치 소자이다. 제2 스캔 신호(SCAN2)는 도 9에 도시된 바와 같이 고해상도에서 제1 스캔 신호(SCAN1)의 펄스폭 보다 길게 설정될 수 있다. 제2 스위치 TFT(NT2)는 제2 스캔 라인에 연결된 게이트, Vref 배선에 연결된 소스, 및 제1 노드(DTG)에 연결된 드레인을 포함한다.
- [0133] 제3 스위치 TFT(NT3)는 제n-1 스캔 신호(SCAN(n-1)) 또는 제2 스캔 신호(SCAN2)에 응답하여 기준 전압(Vref)을 제3 노드(DTD)에 공급하는 스위치 소자이다. 제3 스위치 TFT(NT3)는 제2 스캔 라인에 연결된 게이트, Vref 배선에 연결된 소스, 및 제3 노드(DTD)에 연결된 드레인을 포함한다.
- [0134] 제4 스위치 TFT(NT4)는 EM 신호(EM(n))에 응답하여 VDD 배선과 제3 노드(DTD) 사이의 전류 패스를 스위칭하는 스위치 소자이다. 제4 스위치 TFT(NT4)는 EM 신호(EM(n))가 인가되는 제3 EM 신호 라인(12c)에 연결된 게이트, VDD 배선에 연결된 드레인, 및 제3 노드(DTD)에 연결된 소스를 포함한다.

- [0135] 제5 스위치 TFT(NT5)는 EM 신호(EM(n))에 응답하여 OLED에 흐르는 전류를 스위칭하는 스위치 소자이다. 제5 스위치 TFT(NT5)는 EM 신호(EM(n))가 인가되는 제3 EM 신호 라인(12c)에 연결된 게이트, 제2 노드(DTS)에 연결된 드레인 및 OLED의 애노드에 연결된 소스를 포함한다. 제5 스위치 TFT(NT5)는 초기화 및 샘플링 기간(Tis) 동안 OLED가 발광되지 않도록 OLED의 전류를 차단하여 블랙 계조의 휘도 상승을 방지하여 명암비(contrast ratio)를 향상시킬 수 있다. 그리고, 전술한 도 2 내지 도 9의 실시예는 제4 스위치 TFT(T4)가 이 실시예의 제4 및 제5 TFT(NT4, NT5)의 기능을 수행할 수 있다.
- [0136] 도 25는 본 발명의 제4 실시예에 따른 픽셀 회로(60)와 그 구동 방법을 보여 주는 도면이다. 이 실시예는 도 2 내지 도 7의 픽셀 회로(20)에서 일부 스위치 TFT(T1, T2, T3, T4)가 NMOS로 변경된 픽셀 회로이다.
- [0137] 본 발명의 전계 발광 표시장치는 정지 영상에서 소비 전력을 줄이기 위하여 프레임 레이트(frame rate)를 낮추어 픽셀들을 저속 구동할 수 있다. 이 경우, 데이터 업데이트 주기가 길어지기 때문에 픽셀에서 누설 전류가 발생되면 플리커(flicker)가 발생할 수 있다. 오프 기간이 긴 스위치 TFT들(NT1, NT2, NT3, NT4)이 오프 전류(Off current)가 작은 n 타입 산화물 트랜지스터(NMOS Oxide TFT)로 제작되면 저속 구동시에 플리커와 소비 전력을 줄일 수 있다. 특히, 누설 전류가 많이 발생할 수 있는 구동 TFT(DT)의 게이트에 연결된 제1 스위치 TFT(NT1), 제2 스위치 TFT(NT2), 및 제3 스위치 TFT(NT3)를 Oxide TFT로 구현하면 듀얼 게이트 구조의 트랜지스터로 구현하지 않더라도 오프 전류를 낮출 수 있다. 구동 TFT(DT)는 OLED의 효율과 소비 전력을 고려할 때 이동도가 높은 p 타입 저온 폴리 실리콘 트랜지스터(PMOS LTPS TFT)일 수 있다.
- [0138] 도 24 및 도 25에 도시된 실시예에서, 제3 커패시터(C3)가 구동 TFT(NDT, DT)의 게이트에 연결된 제1 노드와 발광 제어 신호가 인가되는 제3 EM 신호 라인(12c) 사이에 연결될 수 있고, 제2 및 제3 스위치 TFT(NT2, NT3)의 연결 관계가 도 21 내지 도 23에 도시된 실시예로 적용될 수 있다.
- [0139] 도 26 내지 도 28은 게이트 구동부(108)의 시프트 레지스터(shift register)를 설명하기 위한 도면들이다.
- [0140] 도 26 내지 도 28을 참조하면, 게이트 구동부(108)의 스캔 구동부(103) 및 EM 구동부(104) 각각은 타이밍 콘트롤러(110)로부터의 게이트 타이밍 제어 신호에 응답하여 출력을 순차적으로 시프트하는 시프트 레지스터를 포함한다.
- [0141] 게이트 구동부(108)의 시프트 레지스터는 종속적으로 접속된 다수의 스테이지들(stages, ST(1)~ST(n+3))을 포함하여 시프트 클럭 타이밍에 맞추어 출력 전압을 시프트(shift)한다. 시프트 레지스터는 스타트 펄스(VST) 또는 이전 스테이지(ST(1)~ST(n+3))로부터 수신된 캐리 신호를 스타트 펄스로서 입력 받아 클럭이 입력될 때 출력 신호를 발생한다. 스캔 구동부(103)의 출력 신호는 스캔 신호이고, EM 구동부(104)의 출력 신호는 EM 신호이다.
- [0142] 시프트 레지스터의 스테이지들(ST(1)~ST(n+3)) 각각은 Q 노드 전압에 응답하여 출력 단자(Vout(n))를 충전하여 출력 신호의 전압을 게이트 온 전압(VGL)으로 라이징시키는 풀업 트랜지스터(pull-up transistor, Tu), QB 노드 전압에 응답하여 출력 단자(Vout(n))를 게이트 오프 전압(VGH)까지 방전하는 풀다운 트랜지스터(Pull-down transistor, Td), 및 Q 노드와 QB 노드를 충전하는 스위치 회로(120)를 포함한다.
- [0143] 풀업 트랜지스터(Tu)는 Q 노드가 VGL 만큼 프리 차징(pre-charging)된 상태에서 시프트 클럭(CLK(n))이 드레인에 입력될 때 시프트 클럭(CLK(n))의 게이트 온 전압(VGL)까지 출력 단자를 충전한다. Q 노드가 VGL로 충전되고 플로팅(floating)된 상태에서 풀업 트랜지스터(Tu)에 시프트 클럭(CLK(n))이 입력된다. 풀업 트랜지스터(Tu)의 드레인에 시프트 클럭(CLK(n))의 VGL이 입력될 때 풀업 트랜지스터(Tu)의 드레인과 게이트 사이의 기생 용량(capacitance)을 통해 부트스트래핑(bootstrapping)이 발생되어 Q 노드의 전압이 대략 2VGL 만큼 상승된다. 이 때 풀업 트랜지스터(Tu)가 Q 노드의 전압(2VGL)에 의해 턴-온되어 출력 단자의 전압이 시프트 클럭(CLK(n))의 VGL까지 충전된다. 풀다운 트랜지스터(Td)는 QB 전압이 VGL 만큼 충전될 때 출력 단자에 게이트 오프 전압(VGH)을 공급하여 출력 전압(Vout(n))을 VGH로 조정한다. 출력 신호의 전압(Vgout(n))은 스캔 라인 또는 EM 신호 라인에 공급되고 또한, 이전 스테이지와 다음 스테이지에 캐리 신호(CRY(n)~CRY(n+4))로서 공급된다.
- [0144] 스위치 회로(120)는 VST 단자를 통해 입력되는 스타트 펄스(VST) 또는 이전 스테이지로부터 수신되는 캐리 신호(CRY(n)~CRY(n+4))에 응답하여 Q 노드를 충전하고, RST(reset) 단자 또는 VNEXT 단자를 통해 수신되는 신호에 응답하여 Q 노드를 방전한다. RST 단자에는 모든 스테이지들(ST(1)~ST(n+3))의 Q 노드를 동시에 초기화하기 위한 리셋 신호가 인가된다. VNEXT 단자에는 다음 스테이지로부터 발생된 캐리 신호가 인가된다. 스위치 회로(120)는 인버터(Inverter)를 이용하여 Q 노드와 반대로 QB 노드를 충전 및 방전할 수 있다.
- [0145] 스타트 펄스(VST)는 시프트 레지스터의 제1 스테이지(ST(1))에 인가된다. 스타트 펄스는 하나 이상의 스테이지

들에 인가될 수도 있다. 시프트 클럭(CLK(n))은 2 상(phase) 클럭 내지 8 상 클럭일 수 있으나 이에 한정되지 않는다.

[0146] 도 29는 도 3에 도시된 스캔 신호(SCAN(n-1), SCAN(n))를 출력하는 스캔 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다. 도 29에서, 도면 부호 “LINE1”, “LINE2” 및 “LINE3”은 표시 라인들을 나타낸다.

[0147] 스캔 신호(SCAN(n-1), SCAN(n))는 동일한 펄스폭과 일정한 위상차로 시프트되기 때문에 게이트 타이밍 제어 신호의 변경 없이 하나의 시프트 레지스터에서 출력될 수 있다.

[0148] 표시 라인들은 표시패널(100)의 화면 표시부(AA)에서 서브 픽셀들(105~107)에 각각 연결된다. 제n 표시 라인의 초기화 및 샘플링 기간(Tis)은 제n-1 표시 라인의 픽셀 구동 전압 설정 시간(Tw)과 중첩된다. 이로 인하여, 제n-1 표시 라인의 서브 픽셀들(105~107)에 제n-2 스캔 신호와 제n-1 스캔 신호가 인가되고, 제n 표시 라인의 서브 픽셀들(105~107)에 제n-1 스캔 신호와 제n 스캔 신호가 인가되기 때문에 스캔 구동부(103)에서 하나의 출력 단자에 두 개의 스캔 라인들이 공유되어 스캔 구동부(103)의 출력 단자 수가 감소될 수 있다. 따라서, 초기화 및 샘플링 기간(Tis) 동안 제n-1 스캔 신호가 제n-1 표시 라인과 제n 표시 라인에 입력되고, 픽셀 구동 전압 설정 시간(Tw) 동안 제n 스캔 신호가 제n 표시 라인에 입력된다. 그 결과, 스캔 구동부(103)에서 하나의 출력 단자는 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 서브 픽셀들(105~107)에 연결된다. 따라서, 표시패널(100)에서 두 개의 스캔 신호 라인들이 스캔 구동부(103)에서 하나의 출력 단자 하나에 연결될 수 있으므로 스캔 구동부의 크기를 줄여 네로우 베젤(Narrow Bezel)을 구현할 수 있다.

[0149] 도 30은 도 9에 도시된 스캔 신호(SCAN1, SCAN2)를 출력하는 스캔 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다.

[0150] 도 30을 참조하면, 고해상도 표시장치에서 구동 TFT의 문턱 전압 센싱 시간이 부족할 수 있는데, 이 경우 도 9에 도시된 바와 같이 초기화 및 샘플링 기간(Tis)을 정의하는 제2 스캔 신호(SCAN2)의 펄스폭을 늘려 센싱 시간을 충분히 확보할 수 있다. 제2 스캔 신호(SCAN2)는 데이터 전압과 무관하게 독립적으로 생성되기 때문에 제2 스캔 신호(SCAN2)의 펄스폭이 확장될 수 있다. 제2 스캔 신호(SCAN2)를 발생하기 위하여, 게이트 타이밍 제어 신호에서 시프트 클럭의 폭이 제1 스캔 신호(SCAN1)를 생성하기 위한 시프트 클럭 보다 더 길어져야 한다. 베젤 영역(BZ)에 있는 두 개의 스캔 구동부들(103A, 103B)을 이용하여 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)가 출력될 수 있다. 스캔 구동부들(103A, 103B)은 스타트 펄스(VST)를 공유하고 독립적으로 시프트 클럭이 입력된다. 제1 스캔 구동부(103A)는 제1 스캔 신호(SCAN1)를 출력하고, 출력된 제1 스캔 신호(SCAN1)를 순차적으로 시프트한다. 제2 스캔 구동부(103B)는 제2 스캔 신호(SCAN2)를 출력하고, 출력된 제2 스캔 신호(SCAN2)를 순차적으로 시프트한다.

[0151] 도 31은 도 3 및 도 9에 도시된 EM 신호를 출력하는 EM 구동부의 출력 단자와 화면 표시부의 연결 관계를 보여 주는 도면이다.

[0152] 도 3 및 도 9의 EM 신호(EM(n))의 펄스폭은 대략 3 수평 기간으로 설정되므로, 화면 표시부(AA)의 두 개 표시 라인들(LINE1~LINE#)에서 공유될 수 있다. 그 결과, EM 구동부(104)에서 하나의 출력 단자는 표시 라인들 중 이웃한 두 개의 표시 라인들(LINE1~LINE#)에 배치된 서브 픽셀들(105~107)에 연결될 수 있다. EM 구동부(104)의 크기가 감소될 수 있으므로, EM 구동부(104)의 크기가 감소되는 만큼 베젤 영역이 작아질 수 있다. 표시패널(100)에서 두 개의 EM 신호 라인들이 EM 구동부(104)에서 하나의 출력 단자 하나에 연결될 수 있으므로 EM 구동부의 크기를 줄여 네로우 베젤(Narrow Bezel)을 구현할 수 있다.

[0153] 본 명세서의 실시예에 따른 전계 발광 표시장치는 다음과 같이 설명될 수 있다.

[0154] 본 명세서의 일 실시예에 따른 전계 발광 표시장치는 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비한다. 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제1 스캔 신호에 응답하여 제1 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제2 스캔 신호에 응답하여 제2 전압을 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 소스에 공급하는 제4 스위치 트랜지스터, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 제2 전압 또는 고전위 구동 전압이 인가되는 전원 배선과 제2 노드 사이에 연결된 제2 커패시터를 구비한다. 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없

이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.

- [0155] 제1 전압은 상기 제1 스캔 신호에 동기되는 데이터 전압이고, 제2 전압은 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압일 수 있다. 이 실시예에서 제1 스캔 신호는 제n 스캔 신호이고, 제2 스캔 신호가 상기 제1 스캔 신호 보다 앞선 제n-1 스캔 신호이다.
- [0156] 제1 전압은 상기 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압이고, 제2 전압은 제1 스캔 신호에 동기되는 데이터 전압일 수 있다. 이 실시예에서 제1 스캔 신호는 제n+1 스캔 신호이고, 제2 스캔 신호가 제1 스캔 신호 보다 앞선 제n 스캔 신호이다.
- [0157] 전계 발광 표시장치는 서브 픽셀들에 연결된 표시 라인들을 더 포함하고, 픽셀 회로의 초기화, 구동 트랜지스터의 문턱 전압 보상 및 픽셀 회로에 데이터 전압이 충전되는 스캔 기간은, 제n-1(n은 양의 정수) 스캔 신호가 제n-1 표시 라인과 제n 표시 라인에 입력되는 제1 기간과 제n 스캔 신호가 제n 표시 라인에 입력되는 제2 기간을 포함한다. 제1 기간 동안 제n-1 스캔 신호의 게이트 온 전압에 따라 제2 스위치 트랜지스터 및 제3 스위치 트랜지스터들이 턴-온되고, 제1 기간에 이어서, 제2 기간 동안 제n 스캔 신호의 게이트 온 전압에 따라 제1 스위치 트랜지스터가 턴-온되고, 제4 스위치 트랜지스터는 제1 내지 제3 스위치 트랜지스터들이 턴-오프된 후 발광 제어 신호의 게이트 온 전압에 따라 턴-온되고, 제4 스위치 트랜지스터는 제1 및 제2 기간과 중첩되는 발광 제어 신호의 오프 구간 동안 오프 상태를 유지할 수 있다.
- [0158] 제1 스위치 트랜지스터 및 제2 스위치 트랜지스터는 듀얼 게이트 구조의 트랜지스터를 포함할 수 있다.
- [0159] 제2 스캔 신호는 제n-1(n은 양의 정수) 서브 픽셀들에 인가되어 제n-1 데이터 전압에 동기되고, 제1 스캔 신호는 제n 서브 픽셀들에 인가되어 제n 데이터 전압에 동기되며, 제2 스캔 신호에 이어서 제1 스캔 신호가 픽셀 회로에 공급될 수 있다.
- [0160] 제2 스캔 신호의 펄스폭이 제1 스캔 신호의 펄스폭 보다 넓을 수 있다.
- [0161] 제1 내지 제4 스위치 트랜지스터들과 구동 트랜지스터 각각은 p 타입 트랜지스터들을 포함할 수 있다.
- [0162] 전계 발광 표시장치는 제2 스캔 신호와 제1 스캔 신호를 출력하는 스캔 구동부, 및 발광 제어 신호를 출력하는 EM 구동부, 및 서브 픽셀들에 연결된 표시 라인들을 더 포함하며, 스캔 구동부에서 하나의 출력 단자는 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 서브 픽셀들에 연결될 수 있다.
- [0163] EM 구동부에서 하나의 출력 단자는 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 서브 픽셀들에 연결될 수 있다.
- [0164] 전계 발광 표시장치는 제2 스캔 신호를 출력하는 제1 스캔 구동부, 제1 스캔 신호를 출력하는 제2 스캔 구동부, 및 발광 제어 신호를 출력하는 EM 구동부, 및 서브 픽셀들에 연결된 표시 라인들을 더 포함하며, 제1 스캔 구동부 및 제2 스캔 구동부는 스타트 펄스를 공유하고 서로 폭이 다른 시프트 클럭을 공급 받을 수 있다.
- [0165] EM 구동부에서 하나의 출력 단자는 표시 라인들 중 이웃한 두 개의 표시 라인들에 배치된 서브 픽셀들에 연결될 수 있다.
- [0166] 전계 발광 표시장치는 제1 노드와 발광 제어 신호가 인가되는 신호 라인 사이에 연결된 제3 커패시터를 더 구비할 수 있다.
- [0167] 본 명세서의 일 실시예에 따른 전계 발광 표시장치는, 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시 패널을 구비하고, 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제n-1(n은 양의 정수) 스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 구동 트랜지스터의 게이트와 드레인에 인가한 후에, 제n 스캔 신호에 응답하여 데이터 전압을 구동 트랜지스터의 게이트에 공급한 다음, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 소스에 공급하는 스위치 회로, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 기준 전압 또는 고전위 구동 전압이 인가되는 전원 배선과, 제2 노드 사이에 연결된 제2 커패시터를 구비하고, 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.
- [0168] 스위치 회로는 제n 스캔 신호에 응답하여 데이터 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지

스터, 제 $n-1$  스캔 신호에 응답하여 기준 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제 $n-1$  스캔 신호에 응답하여 기준 전압을 상기 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 및 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 드레인에 공급하는 제4 스위치 트랜지스터를 구비할 수 있다.

[0169] 본 명세서의 일 실시예에 따른 전계 발광 표시장치는, 서브 픽셀들을 포함하는 복수 개의 픽셀들이 배치된 표시패널을 구비하고, 서브 픽셀들 각각의 픽셀 회로는 전계 발광 다이오드의 애노드에 연결되어 전계 발광 다이오드를 구동하는 구동 트랜지스터, 제 $n$ ( $n$ 은 양의 정수) 스캔 신호에 응답하여 데이터 전압을 구동 트랜지스터의 게이트에 공급하는 제1 스위치 트랜지스터, 제 $n-1$  스캔 신호에 응답하여 저전위 전원 전압보다 높고 고전위 구동 전압보다 낮은 전압인 기준 전압을 구동 트랜지스터의 게이트에 공급하는 제2 스위치 트랜지스터, 제 $n-1$  스캔 신호에 응답하여 기준 전압을 구동 트랜지스터의 드레인에 공급하는 제3 스위치 트랜지스터, 발광 제어 신호에 응답하여 고전위 구동 전압을 구동 트랜지스터의 드레인에 공급하는 제4 스위치 트랜지스터, 발광 제어 신호에 응답하여 구동 트랜지스터의 소스와 전계 발광 다이오드의 애노드 사이의 전류 패스를 형성하는 제5 스위치 트랜지스터, 구동 트랜지스터의 게이트에 연결된 제1 노드와 구동 트랜지스터의 소스에 연결된 제2 노드 사이에 연결된 제1 커패시터, 및 기준 전압 또는 고전위 구동 전압이 인가되는 전원 배선과, 제2 노드 사이에 연결된 제2 커패시터를 구비하고, 전계 발광 다이오드의 캐소드에 저전위 전원 전압이 인가됨으로써, VDD 배선의 저저항 설계 없이 화면 전체에서 균일한 화질을 구현할 수 있고, VDD와 Vref가 단락되지 않기 때문에 소비 전력을 줄일 수 있다.

[0170] 전계 발광 표시장치는 서브 픽셀들에 연결된 표시 라인들을 더 포함하고, 픽셀 회로의 초기화, 구동 트랜지스터의 문턱 전압 보상 및 픽셀 회로에 데이터 전압이 충전되는 스캔 기간은, 제 $n-1$  스캔 신호가 제 $n-1$  표시 라인과 제 $n$  표시 라인에 입력되는 제1 기간과 제 $n$  스캔 신호가 제 $n$  표시 라인에 입력되는 제2 기간을 포함한다. 제1 기간 동안 제 $n-1$  스캔 신호의 게이트 온 전압에 따라 제2 스위치 트랜지스터 및 제3 스위치 트랜지스터들이 턴-온되고, 제1 기간에 이어서, 제2 기간 동안 제 $n$  스캔 신호의 게이트 온 전압에 따라 제1 스위치 트랜지스터가 턴-온되고, 제4 스위치 트랜지스터는 제1 내지 제3 스위치 트랜지스터들이 턴-오프된 후 발광 제어 신호의 게이트 온 전압에 따라 턴-온되고, 제4 스위치 트랜지스터는 제1 및 제2 기간과 중첩되는 발광 제어 신호의 오프 구간 동안 오프 상태를 유지할 수 있다.

[0171] 제1 스위치 트랜지스터 및 제2 스위치 트랜지스터는 듀얼 게이트 구조의 트랜지스터를 포함할 수 있다.

[0172] 제 $n-1$  스캔 신호는 제 $n-1$  서브 픽셀들에 인가되어 제 $n-1$  데이터 전압에 동기되고, 제 $n$  스캔 신호는 제 $n$  서브 픽셀들에 인가되어 제 $n$  데이터 전압에 동기되며, 제 $n-1$  스캔 신호에 이어서 제 $n$  스캔 신호가 픽셀 회로에 공급될 수 있다.

[0173] 제 $n-1$  스캔 신호의 펄스폭이 제 $n$  스캔 신호의 펄스폭 보다 넓을 수 있다.

[0174] 제1 내지 제5 스위치 트랜지스터들과 구동 트랜지스터 각각은  $n$  타입 트랜지스터들을 포함할 수 있다.

[0175] 제1 내지 제4 스위치 트랜지스터들 중 하나 이상은  $n$  타입 산화물 트랜지스터를 포함하고, 구동 트랜지스터는  $p$  타입 폴리 실리콘 트랜지스터들을 포함할 수 있다.

[0176] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

[0177] 100 : 표시패널 102 : 데이터 구동부

103, 103A, 103B : 스캔 구동부 104 : EM 구동부

108 : 게이트 구동부 110 : 타이밍 컨트롤러

AA : 화면 표시부 BZ : 베젤

DT, NDT : 픽셀 회로의 구동 TFT

T1~T4, NT1~NT5 : 픽셀 회로의 스위치 TFT

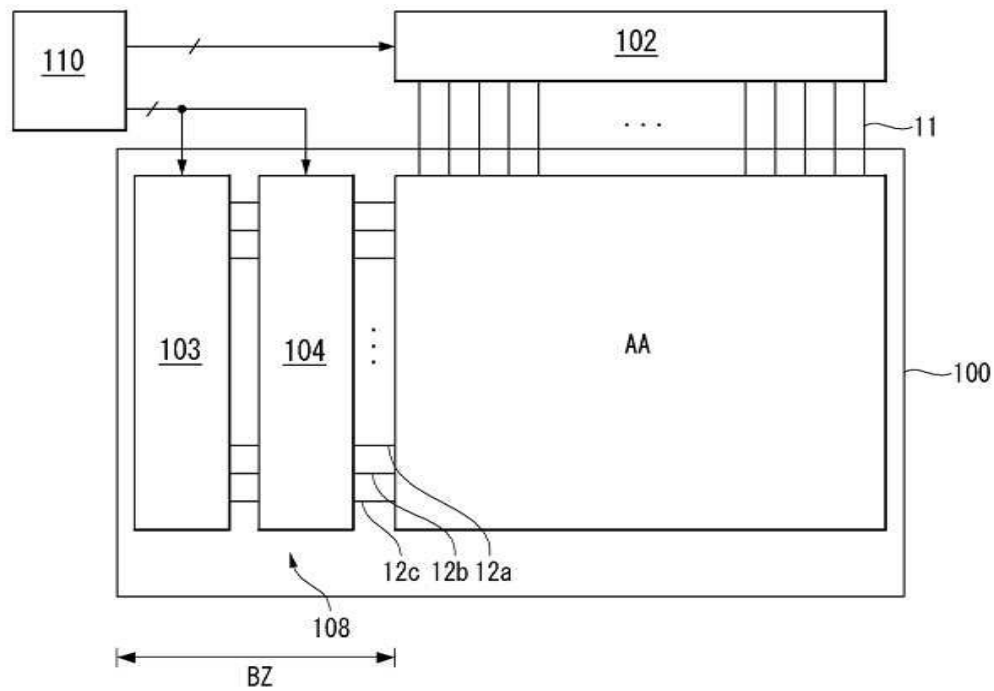
C1, C2 : 픽셀 회로의 커패시터

OLED : 픽셀 회로의 유기 발광 다이오드

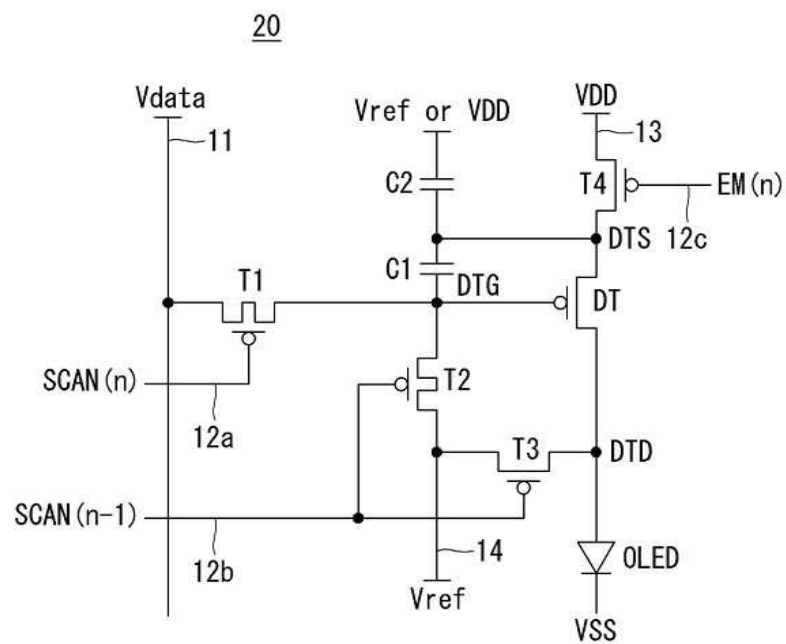
LINE1~LINE# : 화면 표시부의 표시 라인

도면

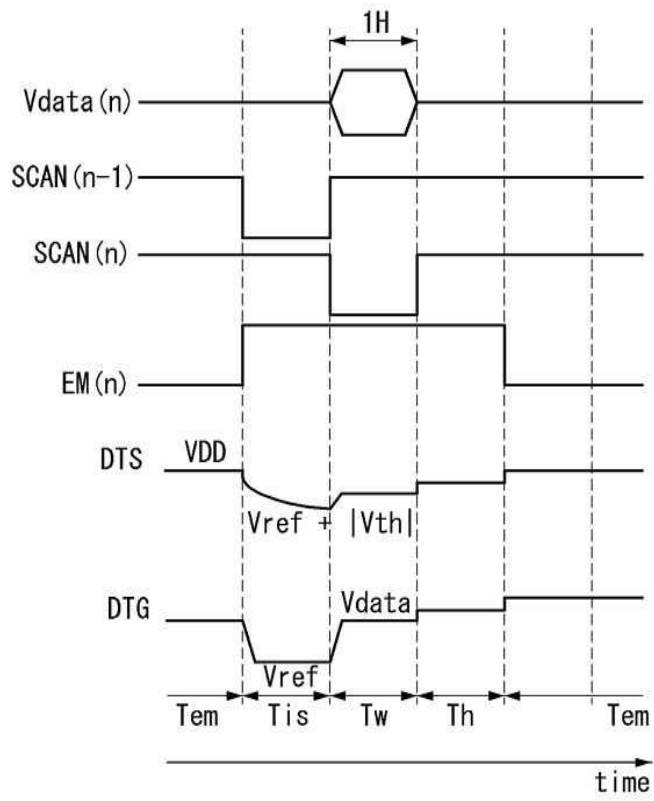
도면1



도면2

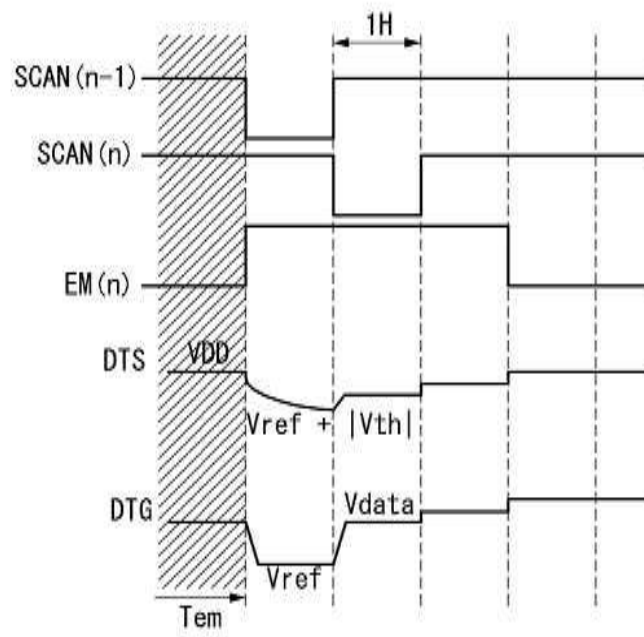
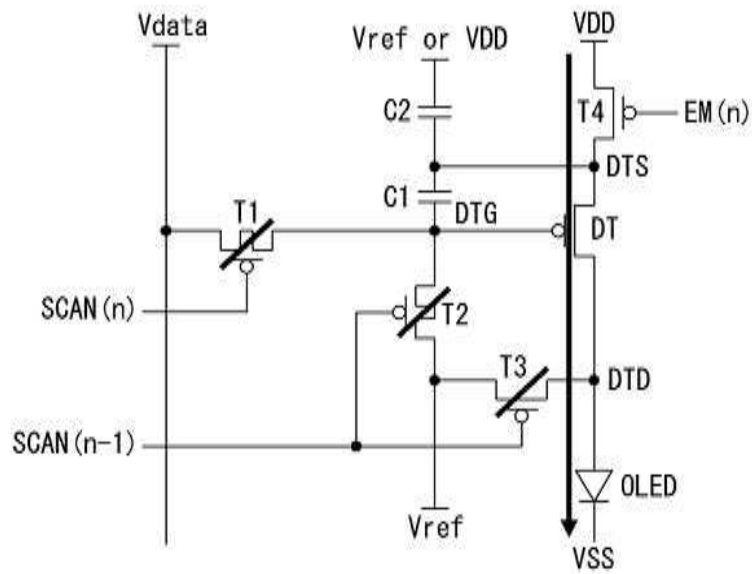


도면3



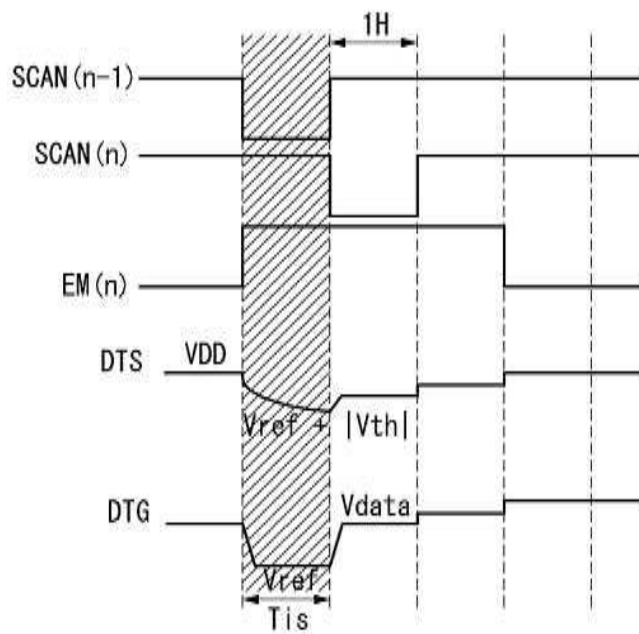
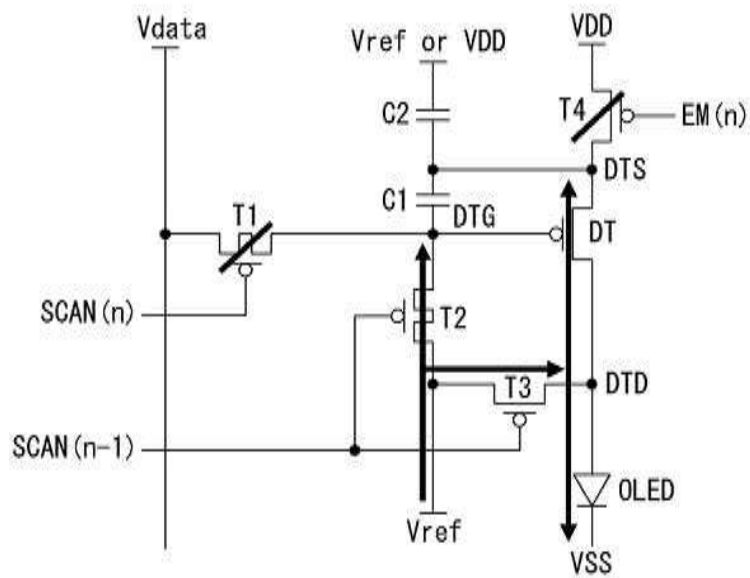
도면4

20



도면5

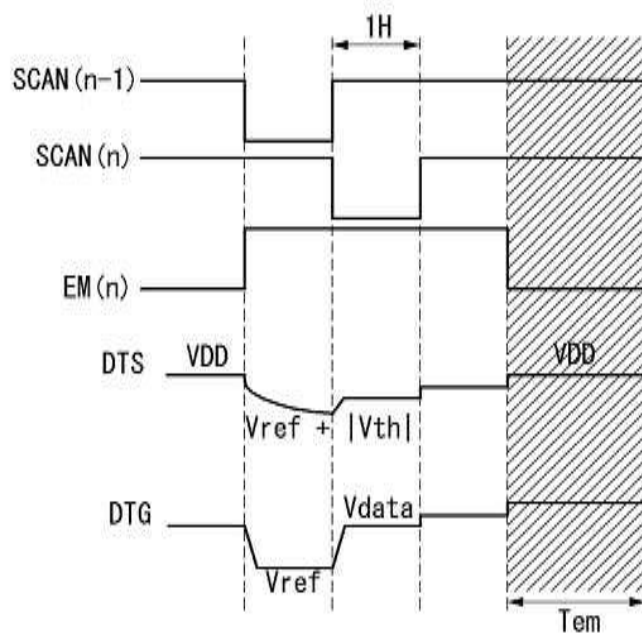
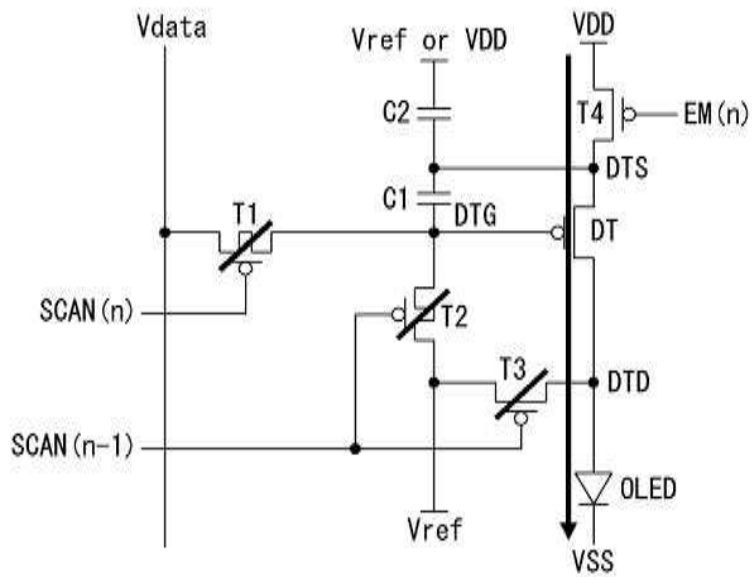
20



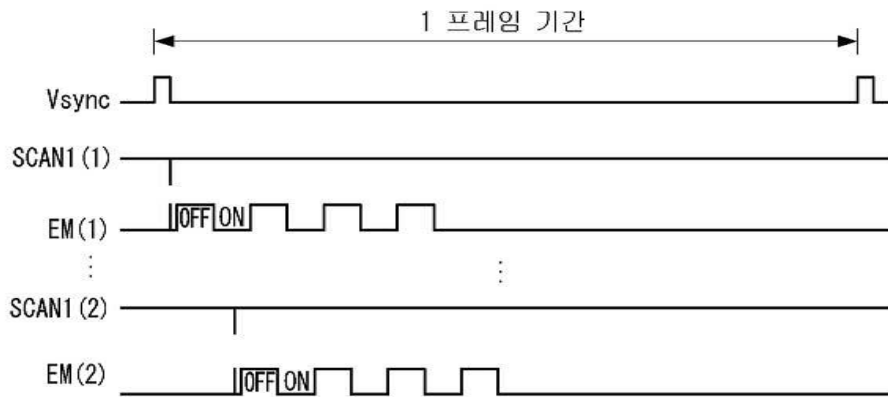


도면7

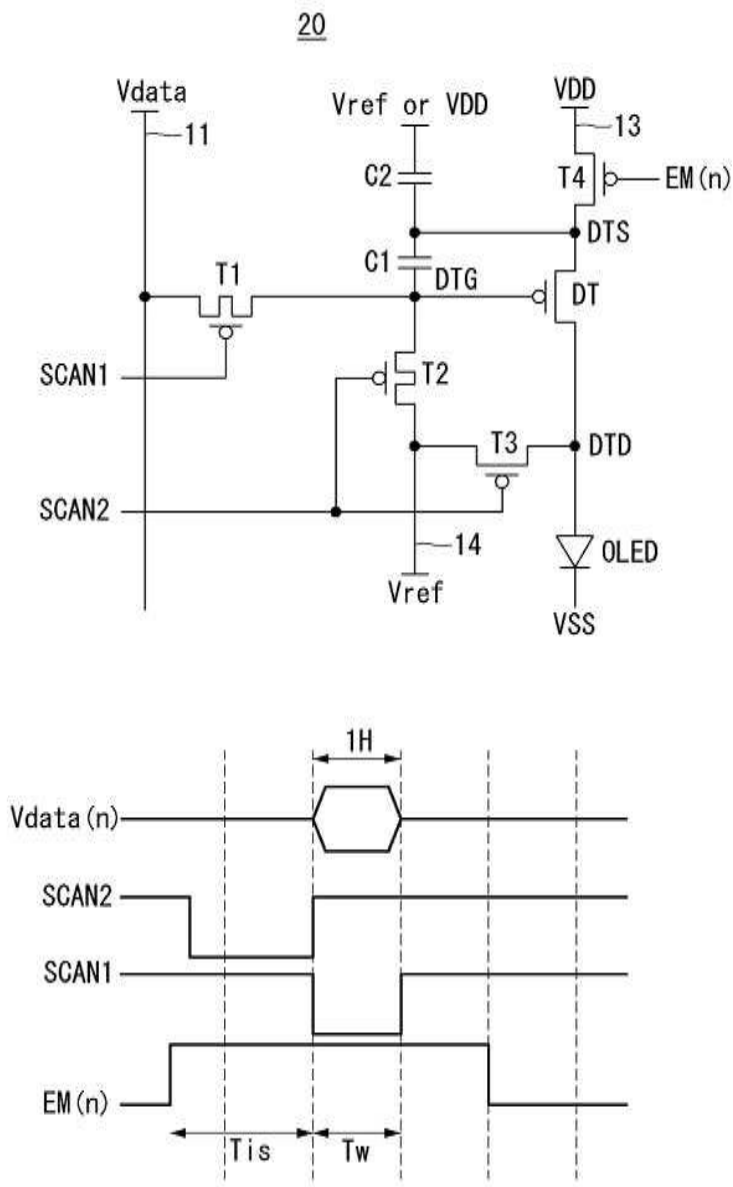
20



도면8

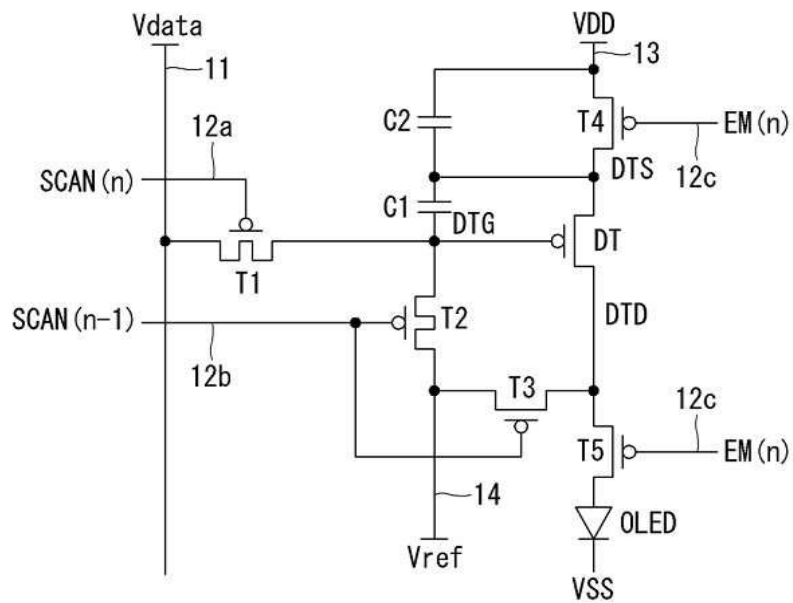


도면9



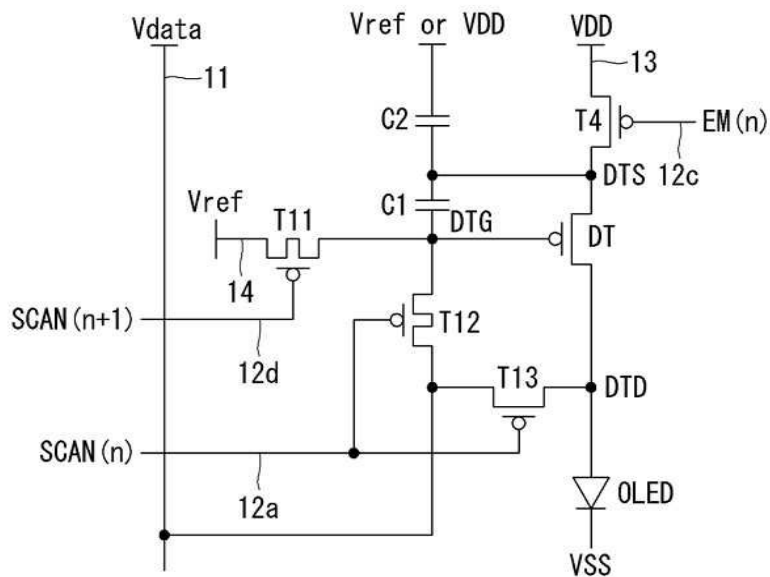
도면10

30



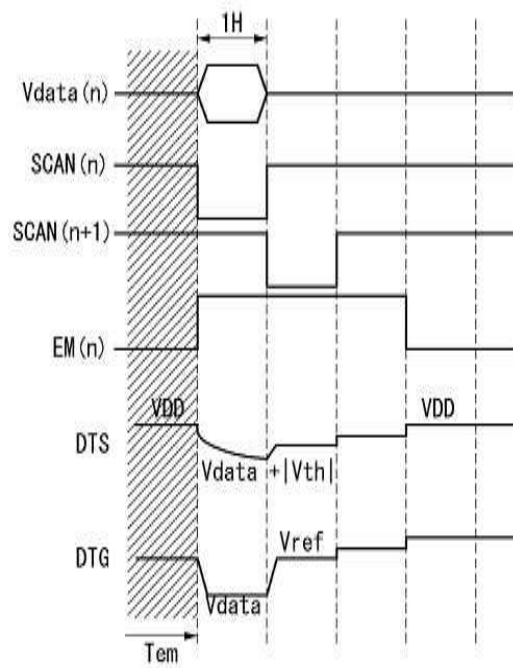
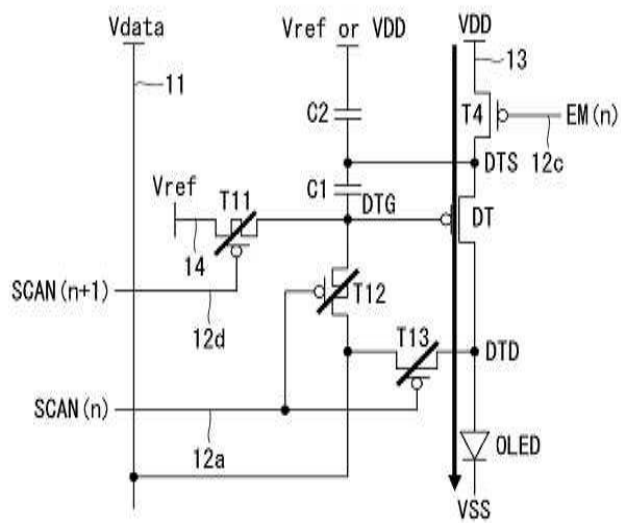
도면11

40

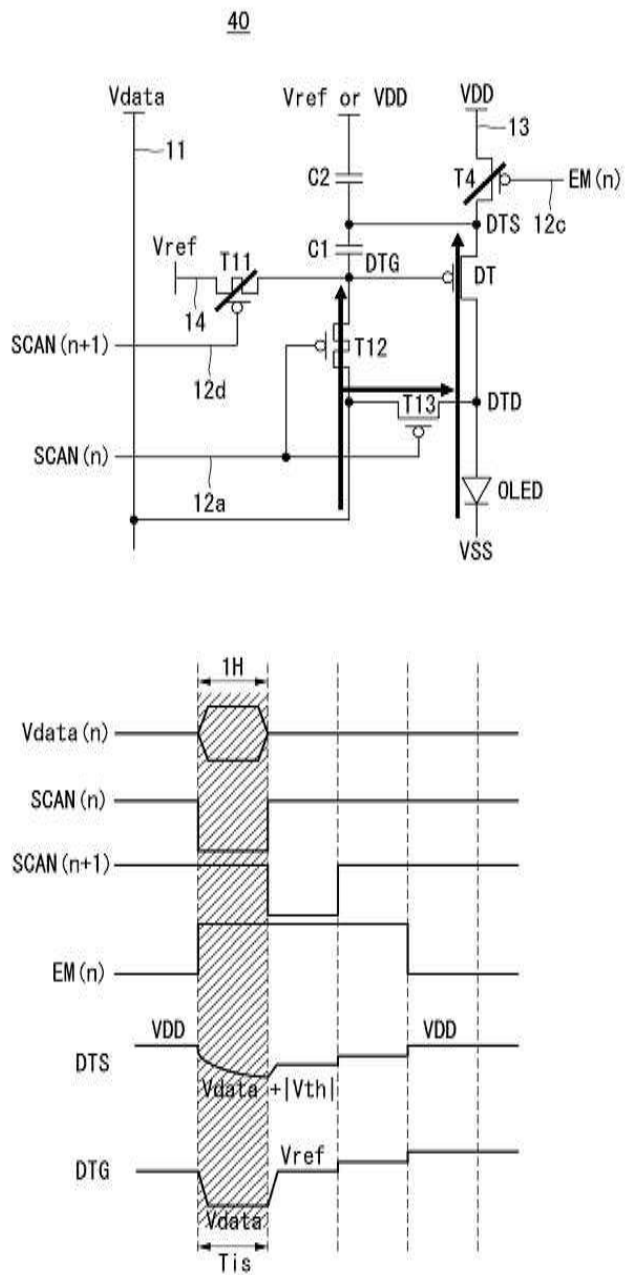


도면12

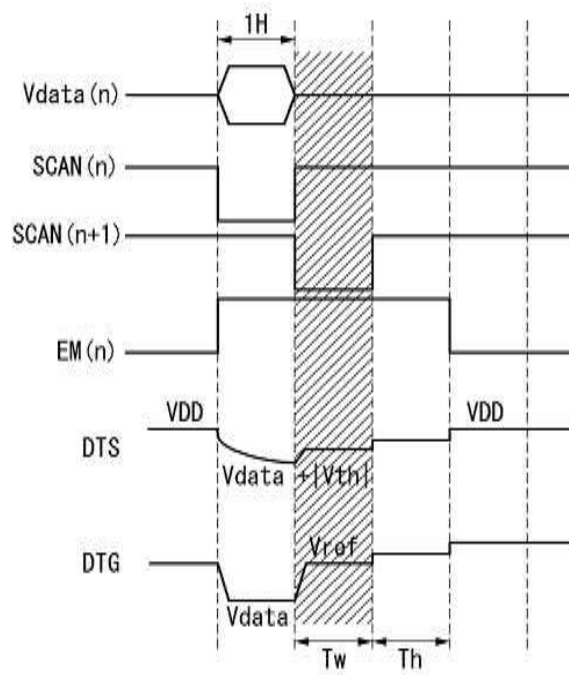
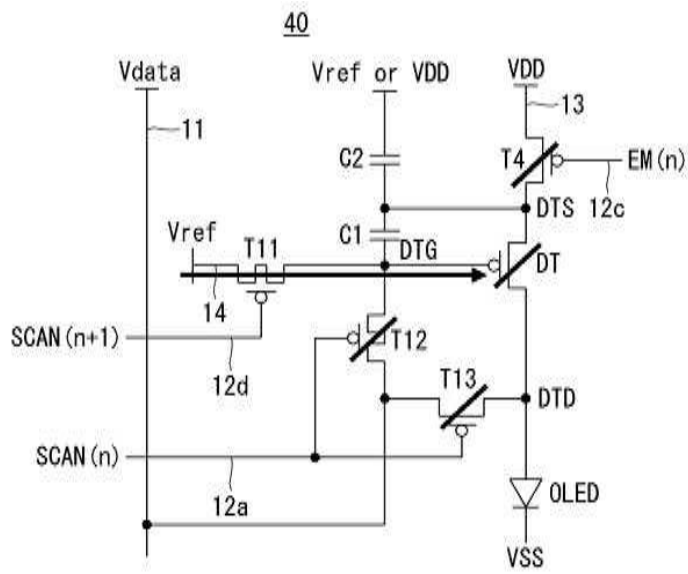
40



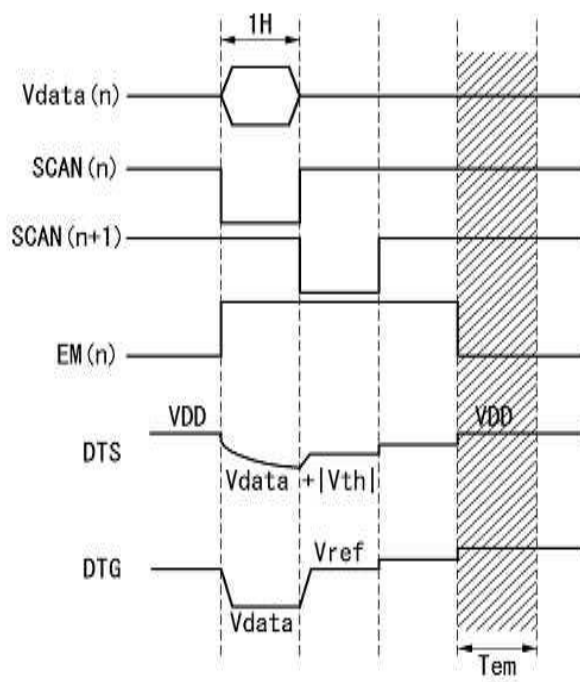
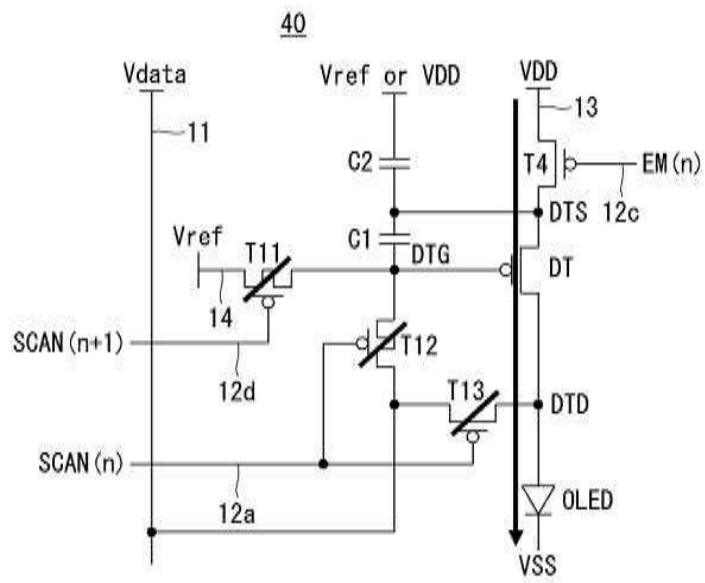
도면13



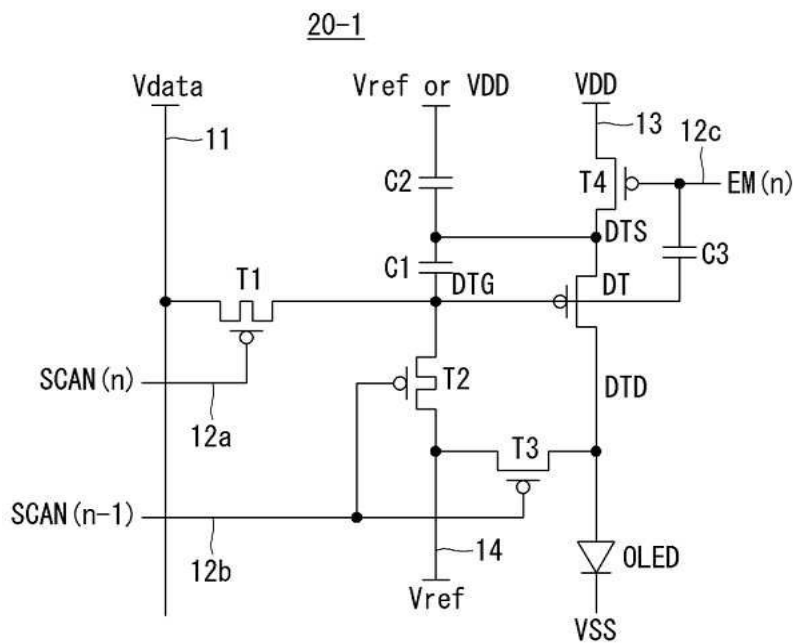
도면14



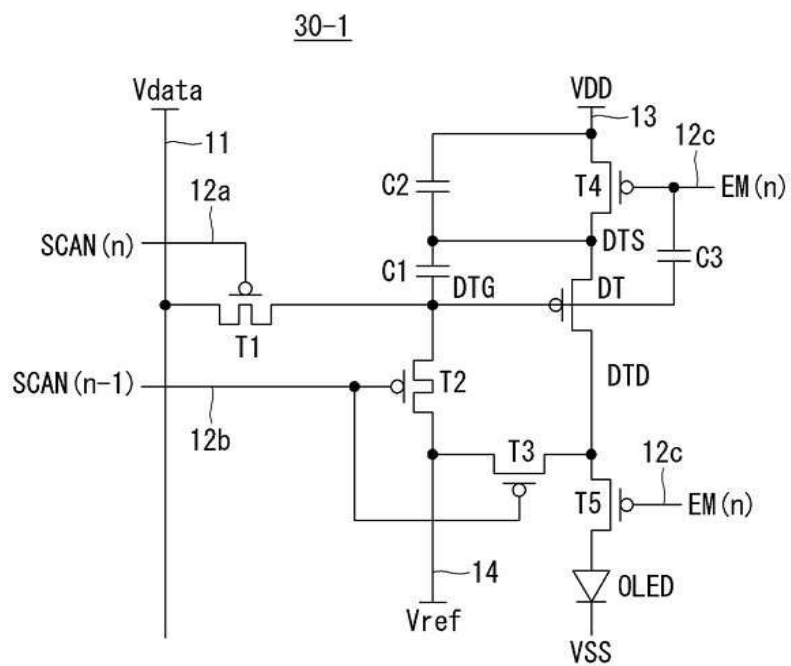
도면15



도면16

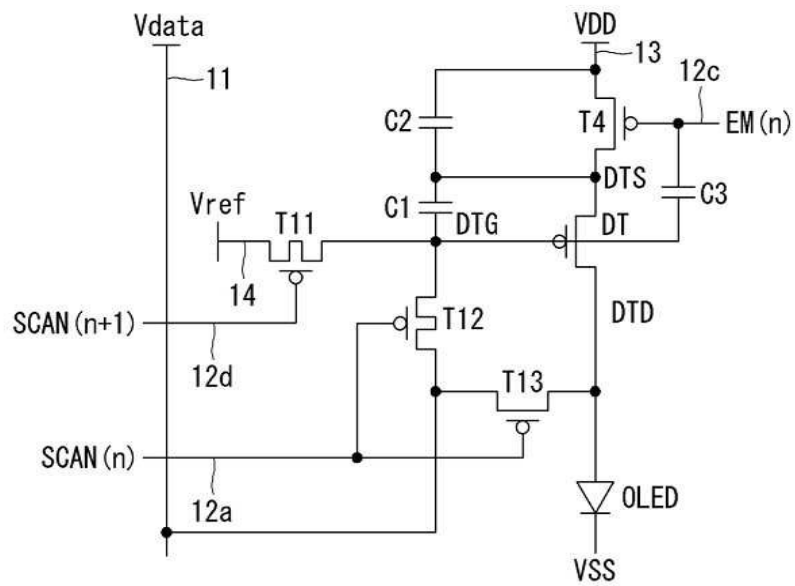


도면17

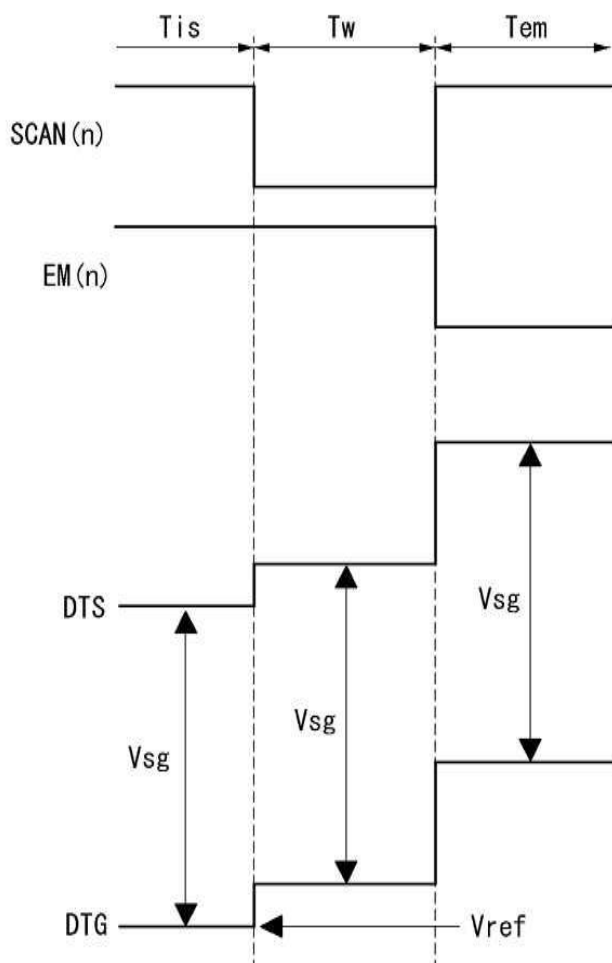


도면18

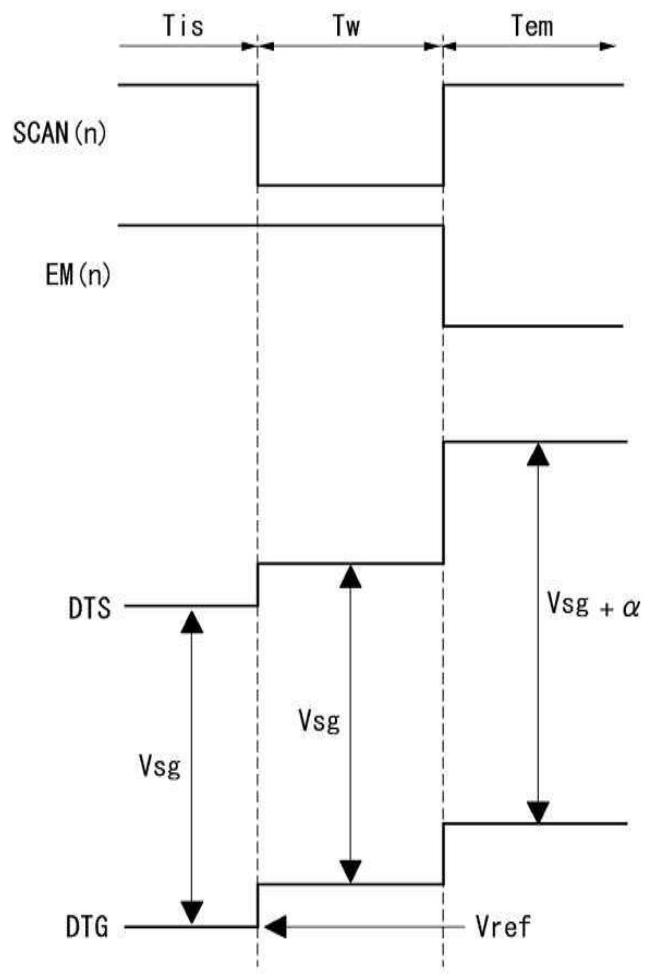
40-1



도면19

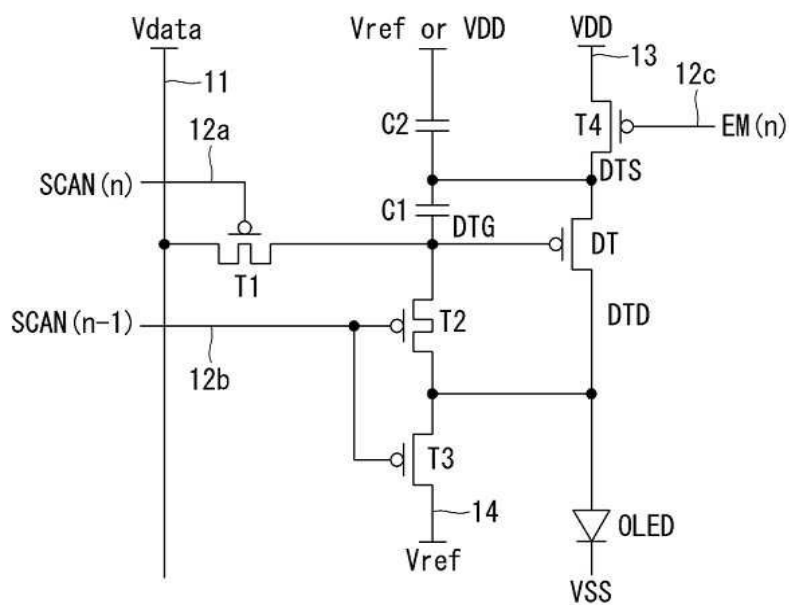


도면20



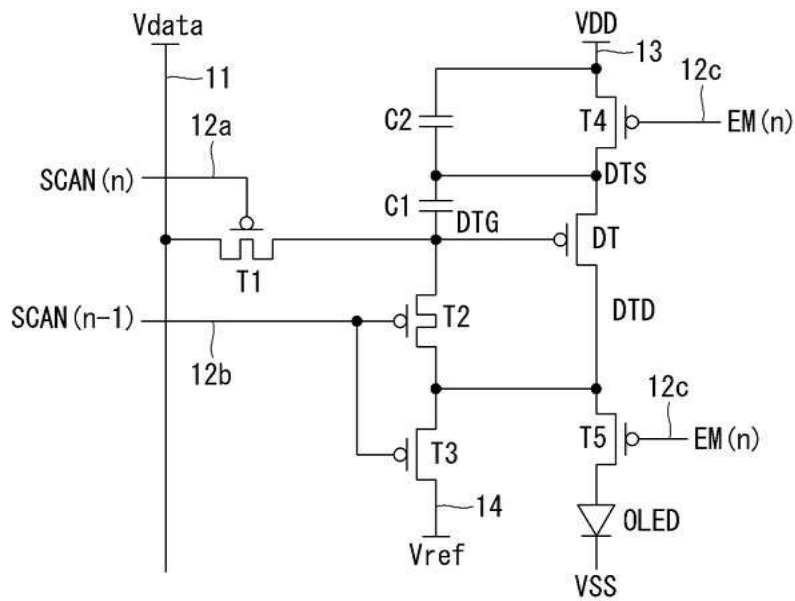
도면21

20-2



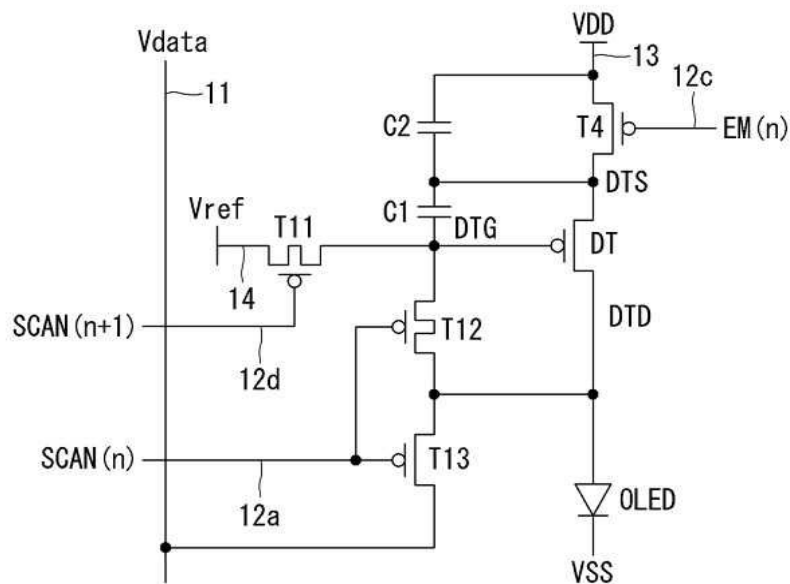
도면22

30-2



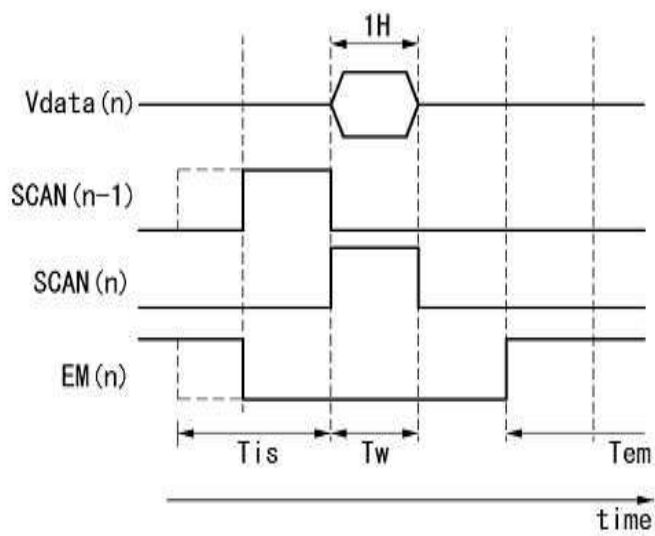
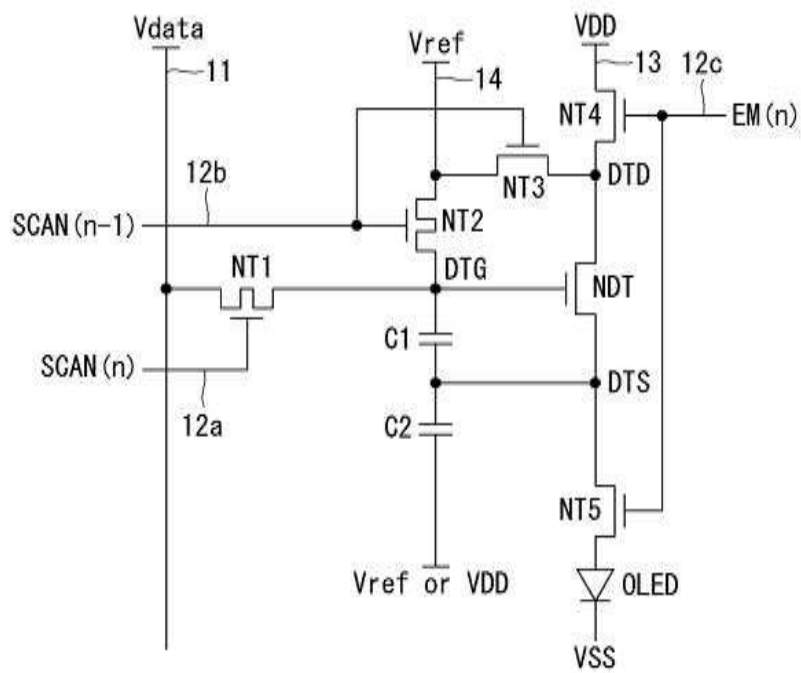
도면23

40-2

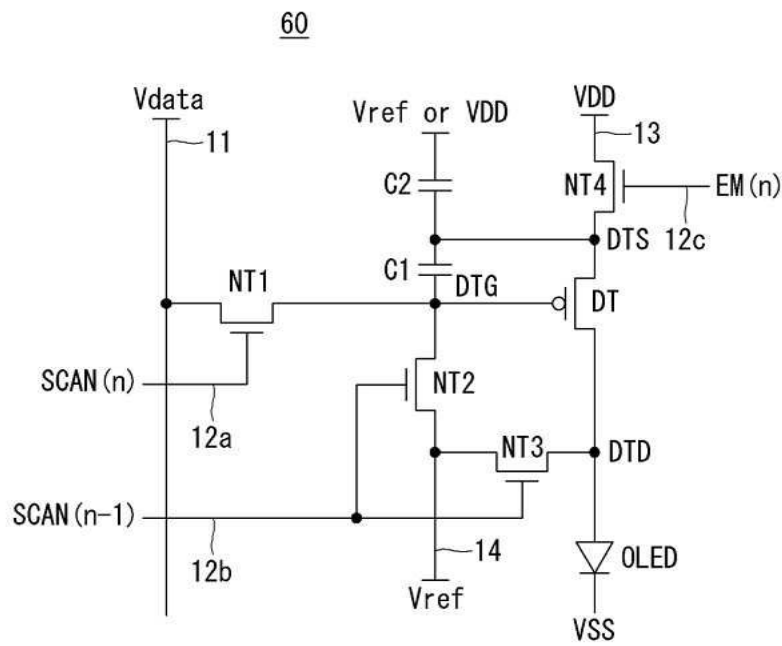


도면24

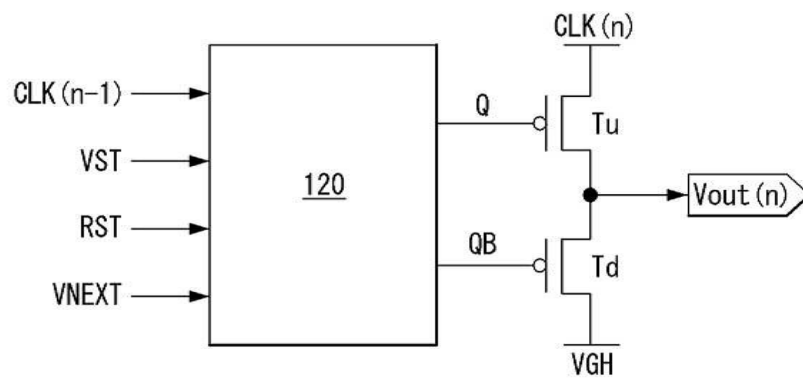
50



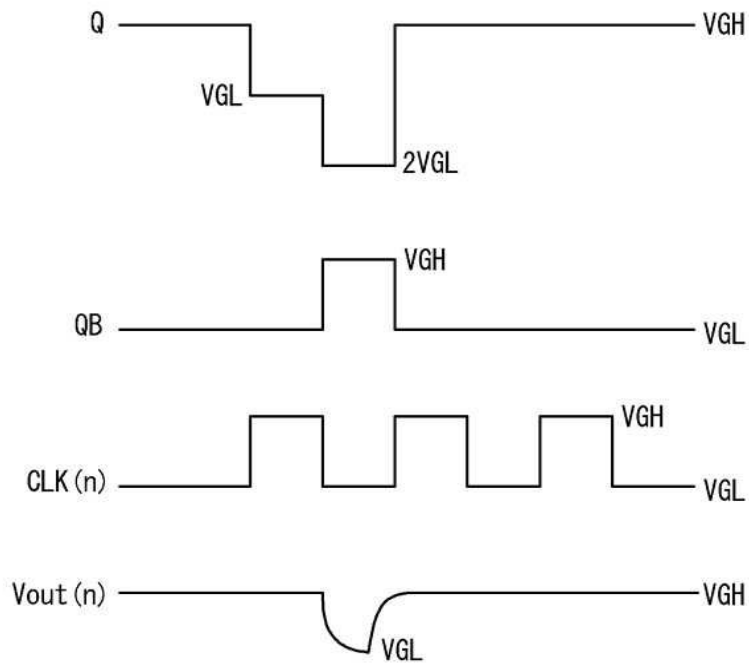
도면25



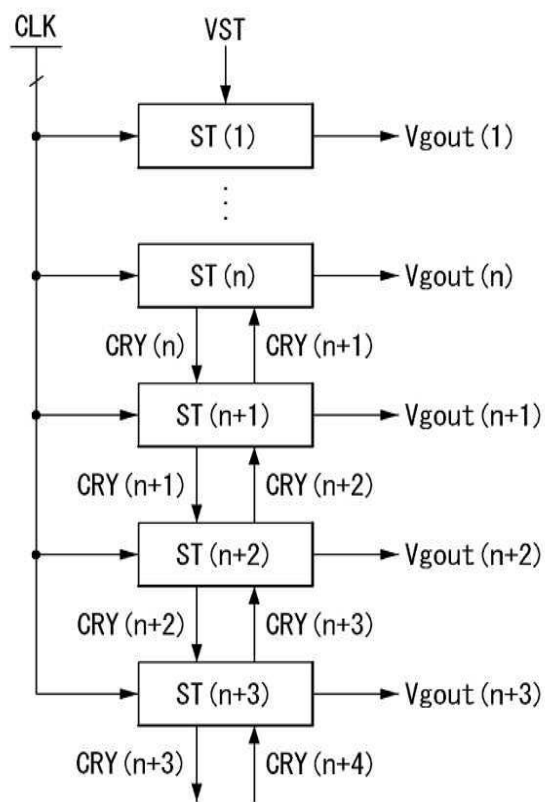
도면26



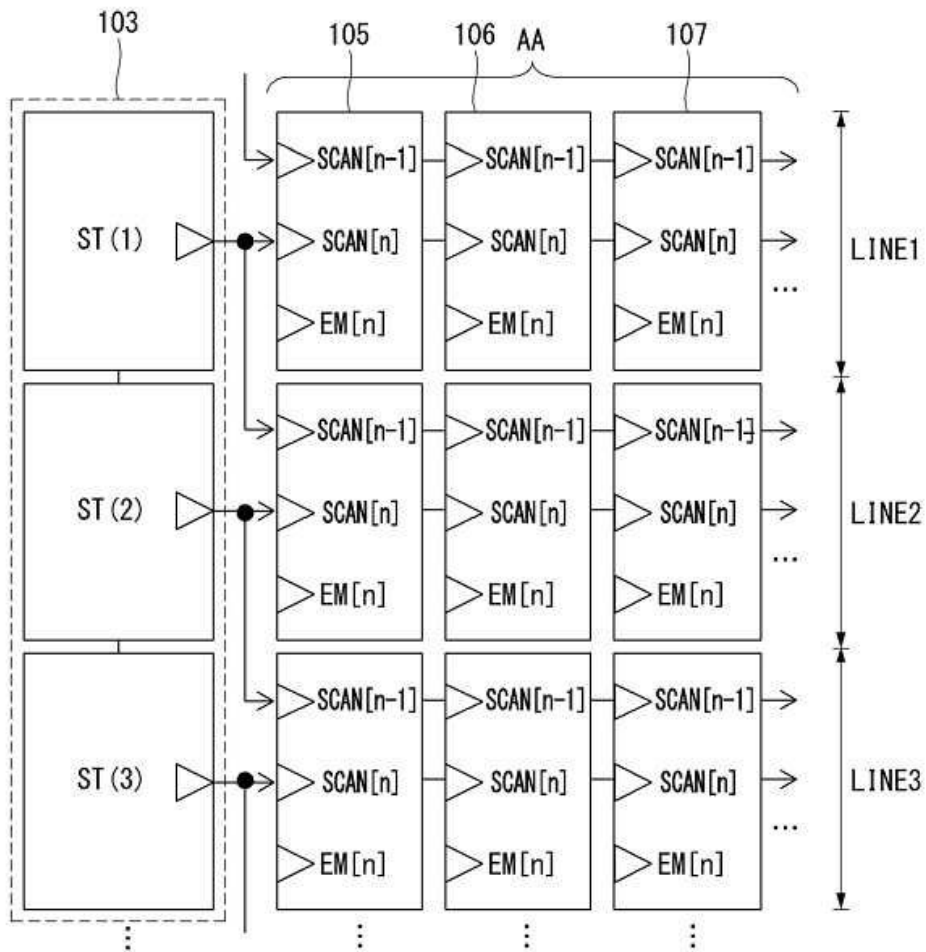
도면27



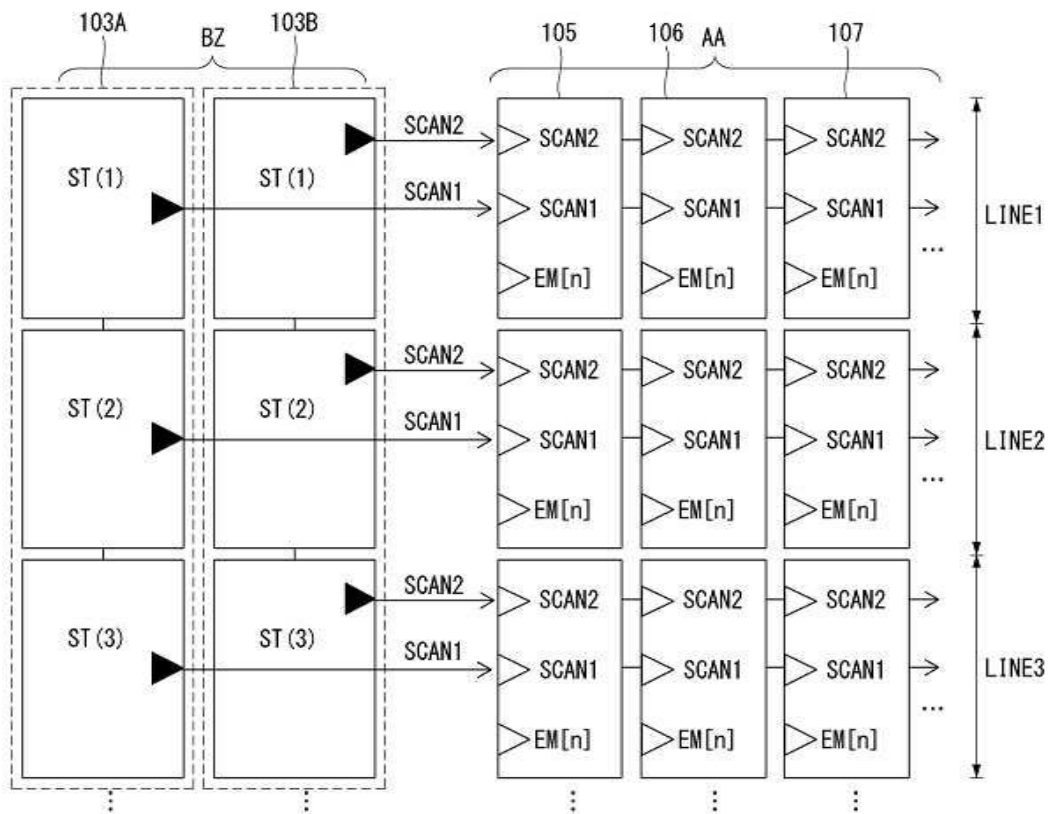
도면28



도면29



도면30



도면31

