



에 배치되며, 다결정 실리콘(LTPS)층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 구동 트랜지스터, 구동 트랜지스터의 제1 소스 전극 위에 위치하며, 제1 소스 전극과 함께 스토리지 커패시터를 구성하는 커패시터 전극을 포함한다.

또한, 유기발광 표시장치는 표시 영역에 구동 트랜지스터와 이격되어 배치되며, 산화물 반도체층, 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 스위칭 트랜지스터, 스위칭 트랜지스터 위에 위치하며, 커패시터 전극과 동일 물질로 동일 평면상에 배치되는 더미 전극을 포함하며, 더미 전극은 스위칭 트랜지스터의 제3 게이트 전극이다.

본 발명의 다른 특징에 따르면, 유기발광 표시장치는 표시 영역과 비표시 영역을 구비하는 플렉서블 기판, 표시 영역에 위치하며, 다결정 실리콘(LTPS)층이 액티브층인 구동 트랜지스터 및 표시 영역에 위치하며, 구동 트랜지스터와 이격되어 배치되는 스위칭 트랜지스터를 포함한다.

또한, 스위칭 트랜지스터는 제1 게이트 전극, 게이트 전극과 중첩하는 산화물 반도체층, 산화물 반도체층의 일 측부와 접촉하는 소스 전극, 제 산화물 반도체층의 타측부와 접촉하는 드레인 전극 및 제1 게이트 전극과 연결된 제2 게이트 전극을 포함한다.

(52) CPC특허분류

*H01L 27/3223* (2013.01)

*H01L 27/3265* (2013.01)

*H01L 27/3276* (2013.01)

*H01L 51/0097* (2013.01)

*H01L 51/5253* (2013.01)

*H01L 2251/5338* (2013.01)

## 명세서

### 청구범위

#### 청구항 1

표시 영역과 비표시 영역을 구비하는 플렉서블 기관;

상기 플렉서블 기관 전면에 걸쳐 배치되는 제1 버퍼층;

상기 표시 영역에 상기 제1 버퍼층 상에 배치되며, 다결정 실리콘(LTPS)층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 구동 트랜지스터;

상기 구동 트랜지스터의 제1 소스 전극 위에 위치하며, 상기 제1 소스 전극과 함께 스토리지 커패시터를 구성하는 커패시터 전극;

상기 표시 영역에 상기 구동 트랜지스터와 이격되어 배치되며, 산화물 반도체층, 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 스위칭 트랜지스터;

상기 스위칭 트랜지스터 위에 위치하며, 상기 커패시터 전극과 동일 물질로 동일 평면상에 배치되는 더미 전극을 포함하며,

상기 더미 전극은 상기 스위칭 트랜지스터의 제3 게이트 전극인, 유기발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 더미 전극은 상기 제2 소스 전극과 동일 물질로 동일 평면상에 위치하는 컨택 금속 패턴을 이용하여 상기 제2 게이트 전극과 연결되는, 유기발광 표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제1 버퍼층 위에 위치하며, 상기 구동 트랜지스터와 중첩되도록 배치되는 하부보호 금속 패턴을 더 포함하는, 유기발광 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 하부보호 금속 패턴은 상기 제1 소스 전극과 전기적으로 연결되어 상기 구동 트랜지스터의 전류 드랍(drop)을 최소화하는, 유기발광 표시장치.

#### 청구항 5

제 3 항에 있어서,

상기 표시 영역에서 상기 하부보호 금속 패턴 위에 위치하는 제2 버퍼층을 더 포함하는, 유기발광 표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 비표시 영역에서 상기 제1 소스 전극과 동일 물질로 동일 평면상에 형성된 신호 배선부를 더 포함하는, 유기발광 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 구동 트랜지스터와 상기 스위칭 트랜지스터를 덮도록 형성된 패시베이션층을 더 포함하는, 유기발광 표시장치.

**청구항 8**

제 7 항에 있어서,

상기 패시베이션층 위에 상기 커패시터 전극 및 상기 더미 전극이 위치하는, 유기발광 표시장치.

**청구항 9**

제 7 항에 있어서,

상기 패시베이션층은 상기 표시 영역 및 상기 비표시 영역에 걸쳐 형성된, 유기발광 표시장치.

**청구항 10**

제 9 항에 있어서,

상기 패시베이션층은 상기 비표시 영역에서 벤딩시 발생하는 크랙을 최소화하기 위한 패턴 형상을 갖는, 유기발광 표시장치.

**청구항 11**

제 1 항에 있어서,

상기 제1 버퍼층은 상기 비표시 영역의 일부 영역에서 홈 형상을 갖는, 유기발광 표시장치.

**청구항 12**

제 1 항에 있어서,

상기 플렉서블 기판은 폴리이미드(Polyimide)로 이루어진, 유기발광 표시장치.

**청구항 13**

제 1 항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극은 동일 평면상에 동시에 형성된, 유기발광 표시장치.

**청구항 14**

제 1 항에 있어서,

상기 제2 게이트 전극과 상기 더미 전극은 상기 스위칭 트랜지스터의 채널 상부 및 하부에 입사되는 외광을 차폐하는, 유기발광 표시장치.

**청구항 15**

제 1 항에 있어서,

상기 더미 전극은 상기 스위칭 트랜지스터의 바이어스 온도 스트레스(Bias Temperature Stress:BTS)를 최소화하는, 유기발광 표시장치.

**청구항 16**

제 6 항에 있어서,

상기 비표시 영역에 위치하며, 상기 신호 배선부의 일부와 전기적으로 전기적으로 연결된 게이트 구동 박막트랜지스터를 더 포함하는, 유기발광 표시장치.

**청구항 17**

제 16 항에 있어서,

상기 게이트 구동 박막트랜지스터는 상기 다결정 실리콘(LTPS)층을 액티브층으로 하는, 유기발광 표시장치.

**청구항 18**

제 1 항에 있어서,

상기 다결정 실리콘(LTPS)층과 상기 제1 게이트 전극을 절연 시키는 게이트 절연층을 더 포함하는, 유기발광 표시장치.

**청구항 19**

제 18 항에 있어서,

상기 게이트 절연층 상면에 위치하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮도록 구성된 층간 절연층을 더 포함하는, 유기발광 표시장치.

**청구항 20**

제 19 항에 있어서,

상기 층간 절연층은 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중층 구조인, 유기발광 표시장치.

**청구항 21**

제 20 항에 있어서,

상기 산화막(SiO)은 후속 열처리 공정에 의해 상기 질화막(SiN)에서 방출되는 수소가 상기 스위칭 트랜지스터의 산화물 반도체층으로 확산되는 것을 최소화하는, 유기발광 표시장치.

**청구항 22**

표시 영역과 비표시 영역을 구비하는 플렉서블 기관;

상기 표시 영역에 위치하며, 다결정 실리콘(LTPS)층이 액티브층인 구동 트랜지스터; 및

상기 표시 영역에 위치하며, 상기 구동 트랜지스터와 이격되어 배치되는 스위칭 트랜지스터를 포함하며,

상기 스위칭 트랜지스터는,

제1 게이트 전극;

상기 제1 게이트 전극과 중첩하는 산화물 반도체층;

상기 산화물 반도체층의 일측부와 접촉하는 소스 전극;

상기 산화물 반도체층의 타측부와 접촉하는 드레인 전극; 및

상기 제1 게이트 전극과 연결된 제2 게이트 전극을 포함하는, 유기발광 표시장치.

**청구항 23**

제 22 항에 있어서,

상기 구동 트랜지스터는 제3 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 더 포함하는, 유기발광 표시장치.

**청구항 24**

제 23 항에 있어서,

상기 제2 게이트 전극과 동일 평면상에 동일 물질로 형성되며, 상기 제3 게이트 전극과 중첩하여 배치되는 더미 금속 패턴을 더 포함하는, 유기발광 표시장치.

**청구항 25**

제 24 항에 있어서,

상기 더미 금속 패턴은 상기 제2 소스 전극과 함께 스토리지 커패시터를 형성하는, 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 서로 다른 유형의 박막 트랜지스터들이 동일 플렉서블 기관 위에 배치된 하이브리드 타입의 박막 트랜지스터 및 이를 이용한 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다.

[0003] 평판 표시장치에는 액정 표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0004] 능동형으로 구동하는 액정 표시장치, 유기발광 표시장치 및 전기영동 표시장치의 경우, 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기관을 포함한다.

[0005] 액정 표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 유기발광 표시장치는 매트릭스 방식으로 배열된 화소 자체에 유기발광소자를 형성함으로써, 화상을 표시한다.

[0006] 유기발광 표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0007] 특히, 에너지 효율이 우수한 유기발광소자의 특징을 이용한 유기발광 표시장치(Organic Light Emitting display: OLED)에는 패시브 매트릭스 타입의 유기발광 표시장치(Passive Matrix type Organic Light Emitting display, PMOLED)와 액티브 매트릭스 타입의 유기발광 표시장치(Active Matrix type Organic Light Emitting display, AMOLED)로 대별된다.

[0008] 유기발광 표시장치는 유기발광소자와 화소 회로를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 구동되는 화소들에 의해 영상의 휘도가 조절된다.

[0009] 또한, 유기발광 표시장치는 복수개의 게이트 전극라인, 복수개의 데이터 라인 및 복수개의 전원라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소를 구비한다. 각 화소는 애노드 및 캐소드 사이의 유기 발광층으로 구성된 유기발광소자와, 유기발광소자를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 주로 데이터 신호를 전달하기 위한 스위칭 트랜지스터와, 데이터 신호에 따라 유기발광소자를 구동시키기 위한 구동 트랜지스터와, 데이터 전압을 유지시키기 위한 하나의 커패시터로 이루어진다. 스위칭 트랜지스터는 스캔 펄스에 응답하여 데이터 전압을 커패시터에 충전한다. 구동 트랜지스터는 커패시터에 충전된 데이터 전압에 따라 유기발광소자로 공급되는 전류량을 제어하여 유기발광소자의 발광량을 조절한다. 또한, 스위칭 트랜지스터의 턴-온 시간을 구동 트랜지스터 보다 짧게 할 수 있다. 이러한, 트랜지스터의 턴-온 시간은 유기발광 표시장치의 소비전력과 관계가 있다.

[0010] 개인용 전자기기의 개발이 활발해짐에 따라, 표시장치도 휴대성 및/또는 착용성이 우수한 제품으로 개발되고 있다. 이와 같이, 휴대용 혹은 웨어러블 장치에 적용하기 위해서는 저 소비 전력을 구현한 표시장치가 필요하다. 현재까지 개발된 표시장치에 관련된 기술로는 저 소비 전력을 구현하는 데 한계가 있다.

[0011] 이에 최근 들어 이러한 문제점을 극복하기 위하여, 화소를 저 소비 전력으로 구동하기 위한 새로운 화소 구조 및 유기발광 표시장치에 대한 필요성이 존재한다.

**발명의 내용**

**해결하려는 과제**

- [0012] 본 발명의 발명자들은 상술한 바와 같이, 유기발광 표시장치의 화소를 저 소비 전력으로 구동하기 위한 새로운 화소 구조 및 유기발광 표시장치를 발명하였다.
- [0013] 이에, 본 발명이 해결하고자 하는 과제는 다결정 실리콘(LTPS)층을 액티브층으로 하는 구동 트랜지스터와 산화물 반도체층을 액티브층으로 하는 스위칭 트랜지스터가 형성된 새로운 화소 구조 및 유기발광 표시장치를 제공하는 데 있다.
- [0014] 또한, 본 발명이 해결하고자 하는 다른 과제는 산화물 반도체층을 포함하는 스위칭 트랜지스터 상에 더미 금속 패턴을 형성하여 스위칭 트랜지스터가 이중 게이트 전극 구조를 구비함으로써, 바이어스 온도 스트레스(Bias Temperature Stress) 개선 및 채널(Channel) 상부 및 하부에 입사하는 외광을 차폐하는 새로운 구조 및 유기발광 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

- [0015] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광 표시장치는 표시 영역과 비표시 영역을 구비하는 플렉서블 기판, 플렉서블 기판 전면에 걸쳐 배치되는 제1 버퍼층, 표시 영역에 버퍼층 상에 배치되며, 다결정 실리콘(LTPS)층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함하는 구동 트랜지스터, 구동 트랜지스터의 제1 소스 전극 위에 위치하며, 제1 소스 전극과 함께 스토리지 커패시터를 구성하는 커패시터 전극을 포함한다.
- [0016] 또한, 표시 영역에 구동 트랜지스터와 이격되어 배치되며, 산화물 반도체층, 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 포함하는 스위칭 트랜지스터, 스위칭 트랜지스터 위에 위치하며, 커패시터 전극과 동일 물질로 동일 평면상에 배치되는 더미 전극을 포함하며, 더미 전극은 스위칭 트랜지스터의 제3 게이트 전극인 것을 특징으로 한다.
- [0017] 본 발명의 다른 특징에 따르면, 유기발광 표시장치는 표시 영역과 비표시 영역을 구비하는 플렉서블 기판, 표시 영역에 위치하며, 다결정 실리콘(LTPS)층이 액티브층인 구동 트랜지스터 그리고 표시 영역에 위치하며, 구동 트랜지스터와 이격되어 배치되는 스위칭 트랜지스터를 포함한다.
- [0018] 또한, 스위칭 트랜지스터는 제1 게이트 전극, 게이트 전극과 중첩하는 산화물 반도체층, 산화물 반도체층의 일 측부와 접촉하는 소스 전극, 제 산화물 반도체층의 타측부와 접촉하는 드레인 전극 및 제1 게이트 전극과 연결된 제2 게이트 전극을 포함한다.

**발명의 효과**

- [0019] 본 발명에 의한 유기발광 표시장치는, 다결정 실리콘(LTPS)층을 액티브층으로 한 구동 트랜지스터와 산화물 반도체층을 액티브층으로 한 스위칭 트랜지스터를 동일 기판 위에 형성하여, 어느 한 박막 트랜지스터의 단점을 다른 박막 트랜지스터가 보완하는 특징을 가질 수 있다. 특히, 산화물 반도체 박막 트랜지스터를 구비함으로써, 저속 구동을 구현하고, 소비 전력을 저감함으로써, 휴대용 및/또는 웨어러블 기기에 적합한 유기발광 표시장치를 제공할 수 있다. 또한, 구동 트랜지스터의 소스 전극과 더미 금속 패턴의 일부 전극이 스토리지 커패시터(Cst)를 형성함으로써, 고해상도를 갖는 표시장치의 스토리지 커패시터(Cst) 면적을 크게 할 수 있다. 또한, 스위칭 트랜지스터 상에 더미 금속 패턴을 형성하여 이중 게이트 전극 구조를 갖는 스위칭 트랜지스터를 이용하여 바이어스 온도 스트레스(Bias Temperature Stress) 개선 및 채널(Channel) 상부 및 하부에 입사하는 외광을 차폐할 수 있다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치의 구성도이다.
- 도 2는 본 발명의 실시예에 따른 도 1에 도시된 화소 구조를 개략적으로 보여주는 단면도이다.
- 도 3은 본 발명의 실시예에 따른 도 1에 도시된 화소 제조과정을 나타내는 순서도이다.
- 도 4a 내지 도 4c는 본 발명의 실시예에 따른 도 1에 도시된 화소 제조 과정을 설명하기 위한 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.
- [0023] 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0025] 소자 또는층이 다른 소자 또는층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0026] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0027] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0028] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0030] 본 발명에서 트랜지스터는 P 타입 또는 N 타입으로 구성될 수 있으며, 이하의 실시예에서는 설명의 편의를 위해 트랜지스터를 N 타입으로 구성하여 설명한다.
- [0031] 이하, 본 발명의 실시예에 따른 유기발광 표시장치 및 그의 구동 방법을 첨부된 도면을 참조하여 상세히 설명한다.
- [0032] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치의 구성도이다.
- [0033] 도 1에 도시된 유기발광 표시장치(10)는 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)이 교차되어 각 화소(1)를 정의하는 표시 패널(2)과, 복수의 게이트 라인(GL)에 화소(1) 구동 신호를 전송하는 게이트 드라이버(4)와, 복수의 데이터 라인(DL)에 화소(1) 구동 전압을 전송하는 데이터 드라이버(3)와, 외부로부터 입력된 영상 데이터(RGB)를 정렬하여 데이터 드라이버(3)에 공급하고, 게이트 제어 신호(GCS) 및 데이터 제어 신호(DCS)를 출력하여 게이트 드라이버(4) 및 데이터 드라이버(3)를 제어하는 타이밍 컨트롤러(5)를 구비한다.
- [0034] 본 발명의 실시예에서 각 화소(1)는 유기발광소자(OLED)와, 유기발광소자(OLED)에 구동 전류를 공급하는 구동 트랜지스터를 포함하여 유기발광소자(OLED)를 독립적으로 구동하는 화소 구동 회로를 구비한다. 그리고, 화소 구동 회로는 문턱전압(Vth) 및 이동도(mobility)와 같은 구동 트랜지스터의 전기적 특성 편차를 보상하고, 유기발광소자(OLED)에 공급되는 전류 차이로 인한 각 화소(1) 간의 휘도 편차를 줄일 수 있다. 이러한 본 발명의 실시예에 따른 화소(1)에 관해서는 도 2 내지 도 4c를 참조하여 구체적으로 후술한다.
- [0035] 표시 패널(2)은 서로 교차하는 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)을 구비하고, 이들(GL, DL)의 교차 영역에는 복수의 화소(1)들이 배치된다. 각 화소(1)는 유기발광소자(OLED)와 화소 구동 회로를 구비한다. 그리고, 각 화소(1)는 게이트 라인(GL), 데이터 라인(DL), 제1 전압(VDD) 공급 라인(VDDL) 및 제2 전압(VSS)

공급 라인(VSSL) 라인에 접속된다.

- [0036] 게이트 드라이버(4)는 타이밍 컨트롤러(5)로부터 제공된 복수의 게이트 제어 신호(GCS)에 따라 복수의 게이트 라인(GL)에 복수의 게이트 전극 신호를 공급한다. 복수의 게이트 전극 신호는 제1 및 제2 스캔 신호(SCAN1, SCAN2)를 포함하며, 이들 신호는 복수의 게이트 라인(GL)을 통해 각 화소(1)에 공급된다. 제1 전압(VDD)은 고전위 전압으로 저전위 전압인 제2 전압(VSS)보다 상대적으로 높은 전압을 갖는다. 제2 전압(VSS)은 접지 전압일 수 있다.
- [0037] 데이터 드라이버(3)는 타이밍 컨트롤러(5)로부터 제공된 복수의 데이터 제어 신호(DCS)에 따라 타이밍 컨트롤러(5)로부터 입력되는 디지털 영상 데이터(RGB)를 기준 감마 전압을 이용하여 데이터 전압(Vdata)으로 변환한다. 그리고 변환된 데이터 전압(Vdata)을 복수의 데이터 라인(DL)에 공급한다. 한편, 데이터 드라이버(3)는 각 화소(1)의 프로그래밍 기간에 데이터 전압(Vdata)을 출력한다.
- [0038] 타이밍 컨트롤러(5)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(2)의 크기 및 해상도에 알맞게 정렬하여 데이터 드라이버(3)에 공급한다. 타이밍 컨트롤러(5)는 외부로부터 입력되는 동기 신호들(SYNC), 예를 들어 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용해 복수의 게이트 제어 신호 및 데이터 제어 신호(GCS, DCS)를 생성한다. 그리고 생성된 복수의 게이트 제어 신호 및 데이터 제어 신호(GCS, DCS)를 게이트 드라이버(4) 및 데이터 드라이버(3)에 각각 공급함으로써, 게이트 드라이버(4) 및 데이터 드라이버(3)를 제어한다.
- [0039] 이하, 본 발명의 실시예에 따른 화소를 구체적으로 설명한다. 도 2는 도 1에 도시된 화소 구조를 개략적으로 보여주는 단면도이다.
- [0040] 도 2를 참조하여 유기발광 표시장치의 화소(1) 구조를 설명한다. 도2에 도시한 바와 같이, 본 발명의 실시예에 따른 화소(1)는 하부기관(110), 버퍼층(111), 하부보호금속(Bottom Shield Metal: BSM, 120), 액티브 버퍼층(112), LTPS 박막 트랜지스터(130), 산화물 반도체 박막 트랜지스터(140), 더미 금속층(150), 유기발광소자(160), 및 신호배선(170)를 포함한다.
- [0041] 또한, 본 발명의 실시예에 따른 화소(1)는 게이트 절연층(113), 층간 절연층(114), 패시베이션층(115), 평탄화층(116), बैं크(117) 및 봉지부(118)를 포함한다.
- [0042] 하부기관(110)은 폴리이미드(PI)와 같은 플라스틱 계열의 고분자 물질로 이루어질 수 있다. 하부기관(110)에는 복수개의 스위칭 트랜지스터(ST) 및 유기발광소자(OLED)의 구동에 관여하는 구동 트랜지스터(DT)가 형성된다.
- [0043] 하부기관(110)은 보조기관(미도시)상에 부착되어 있을 수 있다. 보조기관은 유리기관과 회생층으로 구성될 수 있다. 보조기관은 레이저 릴리즈 공정을 통하여 유기발광소자가 형성된 하부기관(110)으로부터 분리될 수 있다.
- [0044] 또한, 하부기관(110)은 표시 영역과 비표시 영역을 포함할 수 있다. 표시 영역에는 복수 개의 화소 영역들이 매트릭스 방식으로 배열된다. 화소 영역에는 표시 기능을 위한 표시 소자들이 배치된다. 비표시 영역은 표시 영역의 주변에 배치되며, 화소 영역에 형성된 표시 소자들을 구동하기 위한 구동 소자들이 배치될 수 있다. 또한, 하부기관(110)의 비표시 영역의 일부는 필요에 의하여 벤딩(Bending)이 될 수 있다.
- [0045] 표시 영역은 제1 영역과 제1 영역에서 이격된 제2 영역으로 구분될 수 있다. 본 발명에 의한 유기발광 표시장치 화소(1)는, 하부기관(110) 위에서 제1 영역에 배치된 제1 박막 트랜지스터와 제2 영역에 배치된 제2 박막 트랜지스터를 포함한다. 제1 박막 트랜지스터는 LTPS 박막 트랜지스터(130)가 될 수 있고, 제2 박막 트랜지스터는 산화물 반도체 박막 트랜지스터(140)가 될 수 있다. 특히, 단일 화소 영역 내에 복수 개의 박막 트랜지스터를 포함하는 경우, 제1 박막 트랜지스터와 제2 박막 트랜지스터는 서로 인접하여 배치될 수 있다. 특히, 다결정 반도체 물질을 포함하는 제1 박막 트랜지스터는 구동 박막 트랜지스터에, 산화물 반도체 물질을 포함하는 제2 박막 트랜지스터는 스위칭 박막 트랜지스터에 적용할 수 있다.
- [0046] 또한, 제1 박막 트랜지스터는 비표시 영역에 형성된 게이트 구동 소자용 박막 트랜지스터이고, 제2 박막 트랜지스터는 표시 영역의 화소 영역 내에 배치된 표시 소자용 박막 트랜지스터일 수 있다. 또한, 비표시 영역에 게이트 구동 소자를 형성하는 경우, 다결정 실리콘(LTPS)층을 포함하는 C-MOS 형 박막 트랜지스터로 구현할 수 있다. 즉, 다결정 실리콘(LTPS)층을 포함하는 P-MOS 형 및 N-MOS 형 박막 트랜지스터를 모두 비표시 영역 내의 게이트 구동부에 형성한다. 이 경우, N-MOS 형에는 저 밀도 도핑 영역을 형성하기 위해 마스크 공정이 복수 필요하다. 여기서, 다결정 실리콘(LTPS)층을 포함하는 N-MOS 형 박막 트랜지스터를 산화물 반도체층을 포함하는 박막 트랜지스터로 대체한 이중 박막 트랜지스터로 구성할 수 있다. 그러면, 저 밀도 도핑 영역을 배제할 수도

있으므로, 마스크 공정 수를 줄일 수 있다는 장점이 있다.

- [0047] 이와 같이 이중 박막 트랜지스터를 구비한 기판은, 유기발광 표시장치에 응용될 수 있다. 예를 들어, 유기발광 표시장치의 경우, 제2 박막 트랜지스터는 화소를 선택하는 스위칭 박막 트랜지스터이고, 제1 박막 트랜지스터는 선택한 화소를 구동하는 구동 박막 트랜지스터 일 수 있다. 경우에 따라서는, 반대로 구성할 수도 있다.
- [0048] 이어서, 버퍼층(111)은 하부 기판(110)의 전체 표면 위에 형성된다.
- [0049] 즉, 버퍼층(111)은 하부 기판(110)의 표시 영역 및 비표시 영역 전체에 걸쳐 형성된다. 버퍼층(111)은 복수 개의 박막이 증착된 구조일 수도 있다. 여기서는 편의상 단일층으로 설명한다. 버퍼층(111)은 소자에 특별한 영향을 주지 않는 산화 실리콘(SiOx)을 사용하는 것이 더 바람직하다.
- [0050] 또한, 도 2에 도시된 바와 같이, 비표시 영역에 위치하는 버퍼층(111)의 일부분은 벤딩시에 발생 할 수 있는 크랙(Crack)을 최소화하기 위하여 홈이 형성 될 수 있다.
- [0051] 이어서, BSM(120)은 버퍼층(111) 위에서 필요한 영역에만 선택적으로 형성된다. 또한, BSM(120)은 몰리브덴(Mo) 물질을 이용하여 형성될 수 있다. BSM(120)은 버퍼층(111) 상에 위치하며, 화소(1)의 구동 박막 트랜지스터인 LTPS 박막 트랜지스터(130)와 중첩되도록 배치될 수 있다.
- [0052] BSM(120)은 하부기판(110) 표면의 포텐셜(potential) 발생 및 외부로부터 유입되는 빛을 근본적으로 차단할 수 있다.
- [0053] 구체적으로 살펴보면, 본 발명의 실시예에 따른 화소(1)에서는 레이저 릴리즈 공정에 의해 구동 트랜지스터(DT)를 포함한 각종 트랜지스터들의 액티브층이 손상될 수 있다. 또한, 레이저 및 외부로부터 유입되는 빛에 의해 희생층에 네가티브 차지 트랩(negative charge trap)이 발생되고, 이에 따라, 하부기판(110)을 형성하는 폴리이미드(PI)에서 +전하(charge)들이 희생층 쪽으로 이동할 수 있다. 이에 따라, 하부기판(110) 표면의 포텐셜(potential)이 올라갈 수 있다. 그 결과, 트랜지스터에 흐르는 전류가 감소될 수 있다.
- [0054] 또한, 유기발광소자(OLED)와 연결되어 있는 LTPS 박막 트랜지스터(130)의 소스 전극(133)은, LTPS 박막 트랜지스터(130)가 턴-오프 된 경우에는 플로팅(Floating) 상태로 유지된다. 이 경우, 하부기판(110) 표면의 포텐셜(potential)이 올라감에 따라, 하부기판(110)과 LTPS 박막 트랜지스터(130)의 소스 전극(133) 사이에 기생 커패시턴스가 발생될 수 있으며, 기생 커패시턴스에 의해 소스 전극(133)이 지속적으로 영향을 받을 수 있다. 따라서, LTPS 박막 트랜지스터(130)의 소스 전극을 흐르는 전류가, 기생 커패시턴스에 의해 변동될 수 있으며, 이에 따라, 복원 시에도 잔상이 발생될 수 있다.
- [0055] 또한, 레이저 릴리즈 공정 진행 후, 폴리이미드(PI)와 같은 플라스틱 계열의 고분자 물질로 구성된 하부기판(110)을 포함한 유기발광 표시장치(100)의 화소(1)가 구동되면, 하부기판(110)에서 열이 발생될 수 있다. 그 결과, 하부기판(110)에서 발생한, 전하를 띤 입자는 상부로 이동하게 된다. 전하를 띤 입자는 박막 트랜지스터들의 액티브층에 영향을 주어 유기발광 표시장치(100)의 신뢰성을 저하시킬 수 있다.
- [0056] 따라서, 도 2에 도시한 바와 같이, BSM(120)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 전기적으로 연결되어, 화소(1)를 구동하는 박막 트랜지스터의 채널에 흐르는 전하가 받는 영향을 최소화할 수 있으며, 그 결과, 박막 트랜지스터의 구동 전류가 낮아지는 전류 드랍(Current Drop) 현상, 복원 잔상 문제점 그리고 유기발광 표시장치(100)의 신뢰성을 해결 할 수 있다.
- [0057] 이어서, 버퍼층(111) 위에는 BSM(120)을 둘러 싸며, LTPS 박막 트랜지스터(130)의 액티브층을 보호하는 액티브 버퍼층(112)이 위치한다. 액티브 버퍼층(112)은 하부기판(110)의 표시 영역에만 형성된다. 액티브 버퍼층(112)은 버퍼층(111)과 동일 물질로 구성할 수 있다.
- [0058] 이어서, LTPS 박막 트랜지스터(130)는 액티브 버퍼층(112) 상에 위치한다. LTPS 박막 트랜지스터(130)는 액티브층(131), 게이트 전극(132), 소스 전극(133) 그리고 드레인 전극(134)으로 구성될 수 있다.
- [0059] LTPS 박막 트랜지스터(130)의 액티브층(131)은 다결정 실리콘(LTPS) 물질로 구성된다. LTPS 물질은 이동도가 높아(100cm<sup>2</sup>/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용할 수 있다. 또는 유기발광 표시장치(100)에서 화소 내 구동 박막 트랜지스터로 적용하는 것이 좋다. LTPS 물질로 반도체층을 형성하는 경우, 불순물 주입공정 및 고온 열처리 공정을 필요로 한다. 반면에, 산화물 반도체 물질로 반도체층을 형성하는 경우에는 상대적으로 낮은 온도에서 공정을 수행한다. 따라서, 가혹한 조건에서 공정을 수행하는 LTPS층을 먼저 형성한 후, 산화물

반도체층을 나중에 형성하는 것이 바람직하다. 또한, 제조 공정의 단순화를 위해 LTPS층을 포함하는 LTPS 박막 트랜지스터(130)와 산화물 반도체층을 포함하는 산화물 반도체 박막 트랜지스터(140)의 구성요소들을 동일한 층에 형성하는 것이 바람직하다. 예를 들어, LTPS 박막 트랜지스터(130)의 게이트 전극(132) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)을 동일한 층에 동일한 금속물질로 형성하고, 각 박막 트랜지스터의 소스-드레인 전극도 동일한 층에서 동일한 금속 물질로 형성하는 것이 바람직하다. 특히, 반도체 소자의 특성을 확보하기 위해서는, 채널 영역을 정확하게 정의할 수 있는, 탑-게이트 구조를 갖도록 형성하는 것이 바람직하다.

[0060] 액티브층(131)은 액티브 버퍼층(112) 상면에 형성된다. 액티브층(131)은 LTPS 박막 트랜지스터(130)의 채널 영역(CA)을 포함한다. 채널 영역(CA)은 게이트 전극(132)과 액티브층(131)이 중첩되는 영역으로 정의된다. 게이트 전극(132)이 LTPS 박막 트랜지스터(130)의 중앙부와 중첩하므로, LTPS 박막 트랜지스터(130)의 중앙부가 채널 영역(CA)이 된다. 채널 영역(CA)의 양 측면 부는 불순물이 도핑된 영역으로서, 소스 영역(SA)과 드레인 영역(DA)으로 정의된다.

[0061] 불순물을 주입하여 소스 영역(SA)과 드레인 영역(DA)을 포함하는 도핑 영역이 정의된다. 소스 영역(SA)과 드레인 영역(DA)은 각각 고 농도 도핑 영역(High Density Dopping area;HDD)과 저 농도 도핑 영역(Low Density Dopping area; LDD)을 포함할 수 있다.

[0062] 또한, 액티브층(131)은 다결정 실리콘 (Poly-Silicon)과 같은 다결정 반도체 물질을 저온 결정화로 형성한다. LTPS 박막 트랜지스터(130)가 구동 박막 트랜지스터(DT)인 경우, 고속 구동 처리를 수행하는 데 적합한 특성을 갖는 것이 바람직하다. 예를 들어, P-MOS 혹은 N-MOS 형의 박막 트랜지스터를 이용하거나, 이 두 개를 모두 포함하는 C-MOS 형의 박막 트랜지스터를 구비할 수 있다. P-MOS, N-MOS 및/또는 C-MOS 형의 박막 트랜지스터들은 다결정 실리콘 (Poly-Silicon)과 같은 다결정 반도체 물질을 포함하는 것이 바람직하다.

[0063] 또한, 액티브층(131)의 채널 영역(CA)과 중첩되게 게이트 전극(132)이 형성된다. 그 결과, LTPS 박막 트랜지스터(130)는 탑-게이트 (Top-Gate) 구조를 갖게 된다.

[0064] 또한, 도 2에 도시된 바와 같이, LTPS 박막 트랜지스터(130)의 소스 전극(133)은 액티브층(131)의 도핑 영역에 컨택되고, 유기발광소자(160)와 전기적으로 연결되어 있다. 또한, 소스 전극(133)은 BSM(120)과 전기적으로 연결될 수 있다. LTPS 박막 트랜지스터(130)의 드레인 전극(134)은 산화물 반도체 박막 트랜지스터(140)의 소스 전극과 전기적으로 연결되어 있다.

[0065] 이어서, LTPS 박막 트랜지스터(130)의 게이트 절연층(113)은 하부 기관(110)의 표시 영역에서, LTPS 박막 트랜지스터(130)의 액티브층(131) 위에 형성된다. 게이트 절연층(113)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성될 수 있다. 게이트 절연층(113)의 경우, 소자의 안정성 및 특성을 고려하여 1,000Å ~ 1,500Å 정도의 두께를 갖는 것이 바람직하다. 게이트 절연층(113)을 질화 실리콘(SiNx)으로 형성할 경우, 제조 공정상 게이트 절연층(113) 내에 수소를 다량 포함할 수 있다. 이러한 수소들은 후속 공정에서 게이트 절연층(113) 외부로 확산될 수 있어, 게이트 절연층(113)을 산화 실리콘(SiOx) 물질로 형성하는 것이 바람직하다.

[0066] 이어서, 산화물 반도체 박막 트랜지스터(140)는 하부 기관(110)의 표시 영역에서, 게이트 절연층(113) 상에 위치한다. 산화물 반도체 박막 트랜지스터(140)는 액티브층(141), 게이트 전극(142), 소스 전극(143) 그리고 드레인 전극(144)으로 구성 될 수 있다.

[0067] 또한, 도 2에 도시된 바와 같이, 게이트 절연층(113) 위에는 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)이 형성된다.

[0068] 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 산화물 반도체 물질로 구성된다. 예를 들어, 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐-아연 산화물(Indium Zinc Oxide: IZO)와 같은 산화물 반도체 물질을 포함하는 것이 바람직하다. 산화물 반도체 물질은, Off-전류(Off-Current)가 낮은 특성이 있어, 화소의 전압 유지 기간이 길어지므로 저속 구동 및 저 소비 전력을 요구하는 표시장치에 적합하다. 산화물 반도체 물질을 포함하는 경우, 본 발명의 실시예에 의한 서로 다른 종류의 박막 트랜지스터들을 하나의 기관에 포함하는 구조를 고려했을 때, 소자의 안정성을 좀 더 효과적으로 확보할 수 있는 바텀-게이트 (Bottom-Gate) 구조를 갖는 것이 바람직하다.

[0069] 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)은 게이트 전극(142) 상에 위치하고, 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)은 액티브층(141)과 전기적으로 컨택된다. 또한, 소스

전극(143)은 LTPS 박막 트랜지스터(130)의 드레인 전극(134)과 서로 연결되어 있다.

- [0070] 또한, 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)과 동일 물질로 하부기판(110)의 비표시 영역에 신호배선(170)이 형성될 수 있다.
- [0071] 또한, 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)은 LTPS 박막 트랜지스터(130)의 게이트 전극(132)과 동시에 동일 물질로 동일 평면상에 형성된다. 또한, 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)은 BSM(120)과 동일 물질로 형성될 수도 있다.
- [0072] 이어서, 층간 절연층(114)은 하부기판(110)의 표시 영역에서, LTPS 박막 트랜지스터(130)의 게이트 전극(132)과 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142) 위에 위치한다. 층간 절연층(114)은, 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중 층 구조를 갖는 것이 바람직하다. 층간 절연층(114)은 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정의 후속 열처리 공정에 이전에 형성된다.
- [0073] 층간 절연층(114)의 질화막(SiN)은, 후속 열처리 공정을 통해 내부에 포함된 수소를 확산하여 다결정 실리콘을 포함하는 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 처리를 수행하기 위해 증착된다. 수소화 공정은 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정을 통해 결합이 덜된 공간들을 수소로 채워 주는 공정을 의미한다.
- [0074] 반면에, 층간 절연층(114)의 산화막(SiO)은, 후속 열처리 공정에 의해 질화막(SiN)에서 방출되는 수소가 산화물 반도체 박막 트랜지스터(140)의 반도체 물질, 즉, 액티브층(141)으로 너무 많이 확산되는 것을 방지하기 위해 증착된다.
- [0075] 예를 들어, 층간 절연층(114)의 질화막(SiN)에서 방출되는 수소는 그 아래에 게이트 절연층(113)을 사이에 두고 배치된 LTPS 박막 트랜지스터(130)의 액티브층(131)으로 확산되는 것이 바람직하다. 따라서, 질화막(SiN)은 게이트 절연층(113) 바로 위에 증착되는 것이 바람직하다. 따라서, 질화막(SiN) 위에는 산화막(SiO)을 증착하는 것이 바람직하다. 제조 공정을 고려할 때, 층간 절연층(114)의 전체 두께는 2,000Å ~ 6,000Å의 두께를 갖는 것이 바람직하다. 따라서, 질화막(SiN) 및 산화막(SiO) 각각의 두께가 1,000Å ~ 3,000Å인 것이 바람직하다. 또한, 층간 절연층(114)의 질화막(SiN) 내의 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 다량 확산될 수 있다. 특히, 층간 절연층(114)의 산화막(SiO)은 질화막(SiN)에서 방출되는 수소의 확산 정도를 조절하기 위한 것으로, 산화막(SiO)의 두께는 게이트 절연층(113)보다 두꺼운 것이 바람직하다.
- [0076] 또한, 층간 절연층(114)의 산화막(SiO)은 상대적으로 많은 수소를 포함하고 있는 질화막(SiN)으로부터 수소가 산화물 반도체 박막 트랜지스터(141)의 액티브층(141)으로 이동하는 것을 억제시킨다. 질화막(SiN)으로부터 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 이동하는 경우, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)의 환원이 진행되고 산화물 반도체 박막 트랜지스터(140)의 임계 전압(threshold voltage; Vth)에 변화가 생기게 된다.
- [0077] 따라서, 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중 층 구조를 갖는 층간 절연층(114)을 LTPS 박막 트랜지스터(130)의 게이트 전극(132) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(132) 상부에 배치한다.
- [0078] 이에 따라, 후속 열처리 공정 기간에, 층간 절연층(114)으로부터 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 수소가 이동하는 것이 억제될 수 있다.
- [0079] 또한, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 직접 접하는 층간 절연층(114)의 산화막(SiO)은 수소 함량이 낮은 산화 실리콘(SiOx)으로 이루어지기 때문에, 질화 실리콘(SiNx)으로 이루어지는 절연층이 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 직접 접하는 경우보다 수소에 의한 영향성이 저감될 수 있다.
- [0080] 특히, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정이 층간 절연층(114)이 형성된 직후에 수행되는 것이 아니고 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된 이후에 수행되는 경우에는, 활성화 공정 및 수소화 공정 시 가해지는 고온에 의해 층간 절연층(114)으로부터 보다 많은 수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)으로 이동할 수 있다.
- [0081] 이에, 본 발명의 일 실시예에 따른 유기발광 표시장치(100)에서는 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중 층 구조의 층간 절연층(114)을 이용하여,

수소가 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)에 확산되는 것을 저감할 수 있다.

- [0082] 따라서, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 환원되는 것을 최소화하고 산화물 반도체 박막 트랜지스터(140)의 임계 전압( $V_{th}$ )에 변화가 생기는 것을 최소화할 수 있다.
- [0083] 또한, 게이트 절연층(113) 및 층간 절연층(114)에는 LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA)을 노출시키기 위한 컨택홀이 형성된다.
- [0084] 이어서, 패시베이션층(115)은 하부기관(110)의 표시 영역 및 비표시 영역 전체에 형성된다.
- [0085] 또한, 패시베이션층(115)은 층간 절연층(114)의 상면에 위치하고, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 덮도록 형성되어 보호층 역할을 할 수 있다. 패시베이션층(115)은 하부기관(110)의 비표시 영역에서 벤딩시 크랙 발생이 최소화될 수 있도록, 패턴 형상으로 신호배선(170)을 덮을 수 있다.
- [0086] 더미 금속 패턴(150)은 패시베이션층(115) 상면에 위치한다. 더미 금속 패턴(150)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 함께 스토리지 커패시터(Cst)를 생성하는 스토리지 커패시터 전극(151)과 산화물 반도체 박막 트랜지스터(140)의 제2 게이트 전극 역할을 하는 더미 전극(152)으로 구성된다. 더미 금속 패턴(150)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 동일 물질로 구성 될 수 있다.
- [0087] 스토리지 커패시터 전극(151)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 중첩하며, 넓은 면적을 갖고 위치한다. 또한, 더미 금속 패턴(150)은 상기 소스 전극(133)과 함께 스토리지 커패시터(Cst)를 생성한다. 스토리지 커패시터(Cst)는 넓은 면적의 스토리지 커패시터 전극(151)을 이용하여 스토리지 커패시터(Cst)의 용량을 크게 할 수 있어, 고해상도를 필요로 하는 유기발광 표시장치에 활용 될 수 있다.
- [0088] 더미 전극(152)은 산화물 반도체 박막 트랜지스터(140)의 상부에 위치한다. 또한, 더미 전극(152)은 컨택 금속 패턴(미도시)을 통해 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)과 연결되어 산화물 반도체 박막 트랜지스터(140)의 제2 게이트 전극이 될 수 있다. 따라서, 더미 전극(152)은 산화물 반도체 박막 트랜지스터(140)의 채널(Channel)으로 입사되는 외광을 차폐하는 역할을 할 수 있으며, 산화물 반도체 박막 트랜지스터(140) 소자가 제조 공정상 받는 BTS(Bias Temperature Stress)에 유리한 특징이 있다.
- [0089] 다음으로, 평탄화층(116)은 더미 금속 패턴(150)이 형성된 패시베이션층(115) 상에 배치된다.
- [0090] 본 발명의 실시예에 따른 유기발광 표시장치(100)의 경우, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 완성한 후에 유기발광소자(160)를 형성할 수 있다. 유기발광소자(160)는 유기발광층(162)을 포함하는 데, 유기발광층(162)은 평탄화층(116)에 의한 평탄한 표면 위에 형성하는 것이 바람직하다. 평탄화층(116)은 하부기관(110)의 상부 표면을 평탄하게 만들기 위해 배치되는 층으로서, 유기 절연 물질을 포함할 수 있으며, 두께는 5,000Å 이상으로 두껍게 도포하는 것이 바람직하다.
- [0091] 다음으로, 유기발광소자(160)는 평탄화층(116)의 상면에 위치한다. 유기발광소자(160)는 화소 전극인 애노드 전극(161), 유기발광층(162) 그리고 캐소드 전극(163)으로 구성된다.
- [0092] 애노드 전극(161)은 더미 금속 패턴(150) 중 컨택 금속 패턴(미도시)을 이용하여 구동 박막 트랜지스터(DT) 역할을 하는 LTPS 박막 트랜지스터(130)와 전기적으로 연결된다.
- [0093] 애노드 전극(161)이 형성된 평탄화층(116) 위에는 बैं크(117)가 형성된다. बैं크(117)는 애노드 전극(161)상에서 발광 영역을 노출하고 나머지 부분을 덮는 구조를 갖는다. 따라서, बैं크(117)가 형성된 평탄화층(116) 위에 유기발광층(162)을 형성하면, 유기발광층(162)은 발광 영역 내에 노출된 애노드 전극(161)과 직접 면 접촉하도록 적층될 수 있다. 이후, 캐소드 전극(163)을 유기발광층(162) 위에 적층함으로써, 발광 영역에서 애노드 전극(161), 유기발광층(162) 및 캐소드 전극(163)이 적층된 유기발광소자(160)를 완성할 수 있다.
- [0094] 다음으로, 유기발광소자(160) 상에 봉지부(118)를 형성한다. 또한, 봉지부(118)는 하부기관(110)의 비표시 영역 상에도 위치한다. 봉지부(118)는 외부에서 유입되는 이물질 및 수분을 차단하는 역할을 할 수 있다.
- [0095] 마지막으로, 하부기관(110)의 비표시 영역에 신호배선(170)을 형성한다. 신호배선(170)은 산화물 반도체 박막 트랜지스터(140)의 소스 및 드레인 전극(143, 144)과 동일 물질로 형성될 수 있다. 또한, 신호배선(170)은 화소(1)에 구동 신호에 전송하는 게이트 드라이버(4)와 전기적으로 연결되어 있다.
- [0096] 도 3은 본 발명의 일 실시예에 따른 도 1에 도시된 화소를 설명하기 위한 개략적인 순서도이다. 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 도 1에 도시된 화소 제조 방법을 설명하기 위한 공정 단면도이다. 도 3 및 도

4a 내지 도 4c는 도 2에 도시된 유기발광 표시장치(100)의 화소(1)에 대한 제조 방법을 설명하기 위한 순서도 및 공정 단면도로서, 중복 설명은 생략한다.

- [0097] 먼저, 하부기관(110) 상에 버퍼층(111)을 형성한다(S1000).
- [0098] 도 4a를 참조하면, 하부기관(110) 표면 상에 버퍼층(111)을 증착한다. 구체적으로, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx) 중 어느 하나를 증착하여 단일층의 버퍼층(111)을 형성하거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)을 교대 적층하여 다중 층의 버퍼층(111)을 형성할 수도 있다.
- [0099] 이어서, 버퍼층(111) 표면 상에 BSM(120)을 형성한다(S1010).
- [0100] 도 4a를 참조하면, 버퍼층(111) 상에 BSM(120)을 증착한다. 예를 들어, LTPS 박막 트랜지스터(130)의 게이트 전극(132)과 동일 물질을 사용하여 단일층의 BSM(120)을 형성할 수 있다.
- [0101] 이어서, 버퍼층(111) 상에 액티브 버퍼층(112)을 형성한다(S1020).
- [0102] 도 4b를 참조하면, 버퍼층(111) 표면 상에 BSM(120)을 덮도록 액티브 버퍼층(112)을 증착한다. 구체적으로, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx) 중 어느 하나를 증착하여 단일층의 액티브 버퍼층(112)을 형성하거나, 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)을 교대 적층하여 다중 층의 액티브 버퍼층(111)을 형성할 수도 있다.
- [0103] 이어서, 액티브 버퍼층(112) 상에 LTPS 박막 트랜지스터(130)의 액티브층(131)을 형성한다(S1030).
- [0104] 도 4b를 참조하면, 액티브 버퍼층(112) 표면 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하여, a-Si층을 형성하고(S1031), a-Si층에 대한 탈수소화 공정(S1032)을 수행한다. a-Si층 내에 수소가 많이 존재하는 경우 후속 공정인 결정화 공정(S1033)에서 a-Si층 내의 수소가 폭발하여 불량이 발생할 수 있다. 이에, 탈수소화 공정(S1032)은 a-Si층으로부터 수소를 제거하는 공정으로서, a-Si층을 형성한 후 결정화 공정(S1033)이 수행되기 전에 수행된다.
- [0105] 이어서, 도 3을 참조하면, 탈수소화 공정(S1032)이 완료된 후, a-Si층에 대한 결정화 공정을 수행한다(S1033).
- [0106] 결정화 공정은 a-Si층의 아몰퍼스 실리콘(a-Si)을 결정화하여 폴리 실리콘을 형성하는 공정으로서, 예를 들어, ELA(excimer laser annealing) 공정을 통해 수행될 수 있다.
- [0107] 이어서, LTPS 박막 트랜지스터(130)의 액티브층(131)을 형성하기 위해, 결정화가 완료된 p-Si층을 패터닝한다(S1034).
- [0108] 이어서, LTPS 박막 트랜지스터(130)의 게이트 절연층(113)을 형성하고(S1040), LTPS 박막 트랜지스터(130)의 게이트 전극(132) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)을 형성한다(S1050).
- [0109] 도 4b를 참조하면, LTPS 박막 트랜지스터(130)의 액티브층(131) 상에 게이트 절연층(113)을 형성한다. 구체적으로, 게이트 절연층(113)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성할 수 있다. 게이트 절연층(113)의 경우, 소자의 안정성 및 특성을 고려하여 1,000Å ~ 1,500Å 정도의 두께를 갖는 것이 바람직하다. 게이트 절연층(113)을 질화 실리콘(SiNx)으로 형성할 경우, 제조 공정상 게이트 절연층(113) 내에 수소를 다량 포함할 수 있다. 이러한 수소들은 후속 공정에서 게이트 절연층(113) 외부로 확산될 수 있어, 게이트 절연층(113)을 산화 실리콘(SiOx) 물질로 형성하는 것이 바람직하다.
- [0110] 이어서, 게이트 절연층(113) 상에 게이트 전극용 물질을 증착하고, 게이트 전극용 물질을 패터닝하여 LTPS 박막 트랜지스터(130)의 게이트 전극(132) 및 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142)을 형성한다(S1050).
- [0111] 게이트 전극용 물질은 몰리브덴(Mo) 등과 같은 다양한 금속 물질일 수 있다.
- [0112] 이어서, LTPS 박막 트랜지스터(130)의 게이트 전극(132)을 마스크로 하여 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 도핑 공정을 수행한다(S1060).
- [0113] 도 4b를 참조하면, LTPS 박막 트랜지스터(130)의 게이트 전극(132)을 마스크로 하여 하부에 배치된 LTPS 박막 트랜지스터(130)의 액티브층(131)에 불순물을 주입하여, LTPS 박막 트랜지스터(130)의 액티브층(131)의 소스 영역(SA) 및 드레인 영역(DA), 즉, 도핑 영역이 정의될 수 있다. 도핑 영역의 정의 과정은 P-MOS 박막 트랜지스터, N-MOS 박막 트랜지스터 또는 C-MOS 박막 트랜지스터에 따라 상이할 수 있다.
- [0114] 예를 들어, N-MOS 박막 트랜지스터의 경우, 고 농도 도핑 영역을 먼저 형성하고 난 후, 저 농도 도핑 영역을 나

중에 형성할 수 있다. 구체적으로, LTPS 박막 트랜지스터(130)의 게이트 전극(132)보다 더 큰 크기를 갖는 포토 레지스트를 이용하여 고농도 도핑 영역을 정의한 후, 포토레지스트를 제거하고 LTPS 박막 트랜지스터(130)의 게이트 전극(132)을 마스크로 하여, 저농도 도핑 영역(Low Density Doping area; LDD)을 정의할 수도 있다.

- [0115] 몇몇 실시예에서, 소스 영역(SA) 및 드레인 영역(DA)을 포함하는 도핑 영역은 게이트 절연층(113)을 형성하기 이전에 정의될 수도 있다. LTPS 박막 트랜지스터(130)의 액티브층(131)을 형성한 직후, 포토레지스트를 이용하여 불순물이 도핑될 수도 있다.
- [0116] 이어서, LTPS 박막 트랜지스터(130)의 게이트 전극(132), 산화물 반도체 박막 트랜지스터(140)의 게이트 전극(142) 상에 층간 절연층(114)을 형성한다(S1070).
- [0117] 층간 절연층(114)은 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정 및 수소화 공정의 후속 열처리 공정에 이전에 형성된다.
- [0118] 도 4b를 참조하면, 층간 절연층(114)은, 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중 층 구조로 형성될 수 있다.
- [0119] 층간 절연층(114)의 질화막(SiN)은, 후속 열처리 공정을 통해 내부에 포함된 수소를 확산하여 다결정 실리콘을 포함하는 박막 트랜지스터(130)의 액티브층(131)을 수소화 처리를 수행하기 위해 증착한다.
- [0120] 반면에, 층간 절연층(114)의 산화막(SiO)은, 후속 열처리 공정에 의해 질화막(SiN)에서 방출되는 수소가 산화물 반도체 박막 트랜지스터(140)의 반도체 물질로 너무 많이 확산되는 것을 방지하기 위해 증착한다.
- [0121] 이어서, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정을 수행하고 (S1080), LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정을 수행한다(S1090).
- [0122] 먼저, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정에 대해 살펴보면, 상술한 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 도핑 공정 결과, 주입된 불순물(도펀트)이 무작위로 존재한다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정은 불순물을 실리콘(Si) 격자에 위치하게 하는 공정이다. 또한, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 도핑 공정은 불순물을 인위적으로 액티브층에 주입하는 공정이므로, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 도핑 공정 결과 실리콘(Si)에 손상이 발생할 수 있다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 활성화 공정을 수행하여 실리콘(Si)의 손상을 큐어링(curing)할 수 있다.
- [0123] 다음으로, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정에 대해 살펴보면, 폴리 실리콘에는 공극(vacancy)이 존재할 경우 특성이 저하된다. 이에, LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정은 폴리 실리콘의 공극을 수소로 채워주는 공정이다. LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정은 열처리 공정을 통해 LTPS 박막 트랜지스터(130)의 층간 절연층(114)에 포함된 수소를 확산시키는 방식으로 수행되며, 예를 들어, 약 350°C 내지 380°C 에서의 열처리 공정을 통해 수행할 수 있다. 이와 같은 LTPS 박막 트랜지스터(130)의 액티브층(131)에 대한 수소화 공정에 의해 LTPS 박막 트랜지스터(130)의 액티브층(131)이 안정화될 수 있다.
- [0124] 이어서, 층간 절연층(114) 상에 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)을 형성한다(S1100).
- [0125] 도 3을 참조하면, 층간 절연층(114) 상에 금속 산화물, 예를 들어, IGZO를 증착(S1101)하여 IGZO층이 형성된다. 도 3에서는 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 다양한 금속 산화물 중 IGZO로 이루어지는 것을 가정하여 IGZO층(1292)이 형성되는 것으로 설명하였으나, 이에 제한되지 않고 IGZO가 아닌 다른 금속 산화물이 사용될 수도 있다.
- [0126] IGZO 증착은 고온 상태에서 수행된다. 따라서, IGZO 증착 과정에서 IGZO가 결정화될 수 있다. 상온에서 IGZO를 증착하는 경우 IGZO는 아몰포스 상태일 수 있으나, 고온 상태에서 IGZO를 증착하는 경우 인듐(In), 갈륨(Ga), 아연(Zn)이층 구조를 이루면서 네트워크를 형성하게 된다. 또한, 고온에서 결정화를 진행함에 따라, IGZO층 내에 산소 공극이 감소된다. IGZO층 내에 산소 공극이 많이 존재하는 경우, 터널링 현상이 발생하고 이에 따라 IGZO층이 도체화되므로, IGZO 증착 시에 고온에서 결정화를 진행함에 따라 산화물 반도체 박막 트랜지스터(140)의 BTS 특성이 개선되고, 신뢰성이 증가될 수 있다.
- [0127] 이어서, IGZO층의 안정화를 위해 IGZO층을 열처리하고(S1102), 도 4b에 도시된 바와 같이 IGZO층을 패터닝하여(S1103) 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 형성된다.

- [0128] 이어서, LTPS 박막 트랜지스터(130)의 소스 전극(133) 및 드레인 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)을 형성한다(S1110).
- [0129] 도 4b에 도시된 바와 같이, LTPS 박막 트랜지스터(130)의 소스 전극(133)은층간 절연층(114), 게이트 절연층(113) 및 액티브 버퍼층(112)의 컨택홀을 통해 BSM(120)과 전기적으로 연결되어 있다. 또한, LTPS 박막 트랜지스터(130)의 소스 전극(133) 및 드레인 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)이 형성 될때, 상기 소스 전극 및 드레인 전극과 동일 물질로 하부기판(110)의 비표시 영역에 신호배선(170)이 형성된다.
- [0130] 도 4b를 참조하면, 게이트 절연층(114) 및 산화물 반도체 박막 트랜지스터(140)의 액티브층(141) 상에 소스 전극 및 드레인 전극용 물질을 증착 및 패터닝하는 방식으로 LTPS 박막 트랜지스터(130)의 소스 전극(133) 및 드레인 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)이 형성될 수 있다. 이 때, LTPS 박막 트랜지스터(130)의 소스 전극(133) 및 드레인 전극(134)과 산화물 반도체 박막 트랜지스터(140)의 소스 전극(143) 및 드레인 전극(144)이 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어지므로, 드라이 에칭을 통해 패터닝 공정이 수행될 수 있다. 또한, 소스 전극(143) 및 드레인 전극(144)의 패터닝 공정은, 동시에 하부기판(110)의 비표시 영역에 형성된 버퍼층(111)의 일 부분이 흡이 형성되고 나머지 절연층들을 제거한다.
- [0131] 몇몇 실시예에서, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 손상되는 것을 방지하기 위해, 드라이 에칭을 2단계로 적용하여, 높은 에칭 레이트 조건으로 1차 드라이 에칭을 수행하고, 낮은 에칭 레이트 조건으로 2차 드라이 에칭을 수행하여, 산화물 반도체 박막 트랜지스터(140)의 액티브층(141)이 손상되는 것이 저감될 수도 있다.
- [0132] 이어서, LTPS 박막 트랜지스터(130) 및 산화물 반도체 박막 트랜지스터(140)를 덮도록 패시베이션층(115)을 형성한다(S1120).
- [0133] 패시베이션층(115)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성할 수 있다. 또한, 패시베이션층(115)은 하부기판(110)의 표시 영역 및 비표시 영역 전체에 형성된다. 구체적으로, 비표시 영역에 형성된 패시베이션층(115)은 신호배선(170)을 둘러싸고 있다. 이는 패시베이션층(115)이 신호배선(170)을 보호하는 역할을 한다고 볼 수 있다.
- [0134] 이어서, 패시베이션층(115) 표면 상에 더미 금속 패턴(150)을 형성한다(S1130).
- [0135] 도 4c를 참조하면, 더미 금속 패턴(150)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 함께 스토리지 커패시터(Cst)을 생성하는 스토리지 커패시터 전극(151)과 산화물 반도체 박막 트랜지스터(140)의 제2 게이트 전극 역할을 하는 더미 전극(152)으로 구성된다. 더미 금속 패턴(150)은 LTPS 박막 트랜지스터(130)의 소스 전극(133)과 동일 물질로 구성 될 수 있다.
- [0136] 이어서, 더미 금속 패턴(150)을 드라이 에칭으로 형성 할 때, 하부 기판(110)의 비표시 영역에 형성된 패시베이션층(115)도 함께 패터닝 한다(S1140).
- [0137] 그 결과, 비표시 영역의 일부가 벤딩될 때, 크랙 발생을 최소화 할 수 있다.
- [0138] 이어서, 패시베이션층(115) 및 더미 금속 패턴(150) 상에 평탄화층(116)을 형성하고(S1150), 평탄화층(116) 상에 유기발광소자(160)의 애노드 전극(161)를 형성하며(S1160), 평탄화층(116) 및 애노드 전극(161) 상에 बैं크(117)를 형성하고(S1170), 애노드 전극 상면에 유기발광층(162)을 형성하고(S1180), 유기발광층 상면에 캐소드 전극(163)을 형성한다(S1190).
- [0139] 도 4c를 참조하면, 유기발광소자(160)를 패터닝 하는 공정 시점에 비표시 영역에 형성된 평탄화층(116)도 제거된다.
- [0140] 마지막으로, 유기발광소자(180) 상에 봉지부(190)를 형성한다(S1200).
- [0141] 본 발명의 실시예에 따른 유기발광 표시장치의 더미 전극은 제2 소스 전극과 동일 물질로 동일 평면상에 위치하는 컨택 금속 패턴을 이용하여 제2 게이트 전극과 연결 되는 것을 특징으로 한다.
- [0142] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치는 제1 버퍼층 위에 위치하며, 구동 트랜지스터와 중첩되도록 배치되는 하부보호 금속 패턴을 더 포함한다.

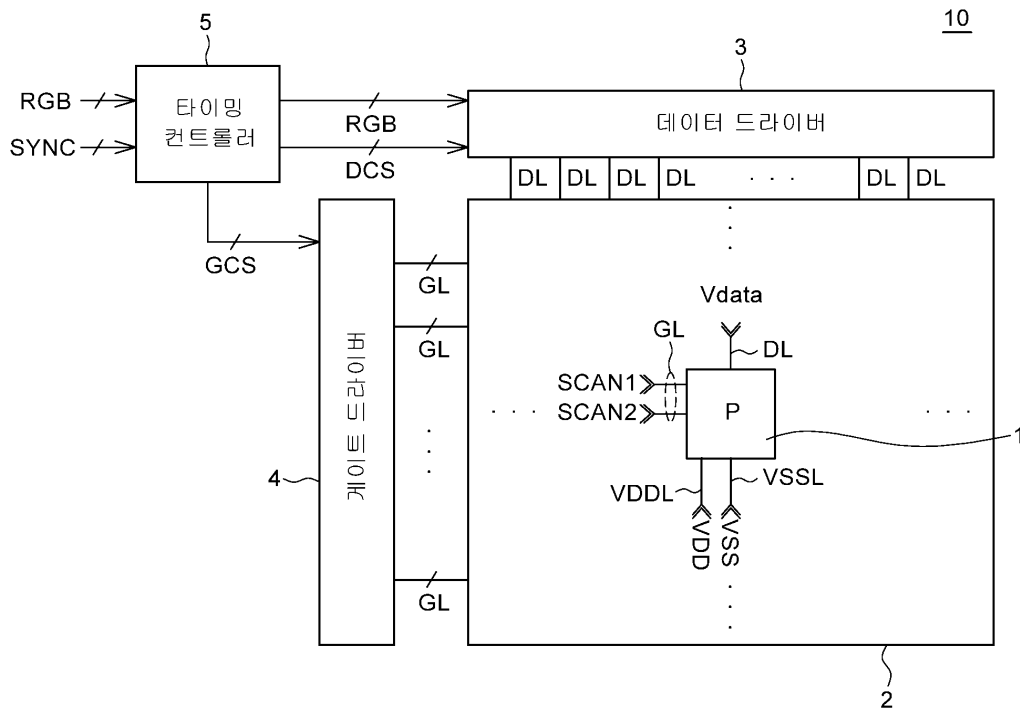
- [0143] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 하부보호 금속 패턴은 제1 소스 전극과 전기적으로 연결되어 구동 트랜지스터의 전류 드랍(drop)을 최소화 할 수 있다.
- [0144] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 표시 영역에 하부보호 금속 패턴 위에 위치하는 제2 버퍼층을 더 포함한다.
- [0145] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 비표시 영역에 제1 소스 전극과 동일 물질로 동일 평면상에 형성된 신호 배선부를 더 포함한다.
- [0146] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치는 구동 트랜지스터와 스위칭 트랜지스터를 덮도록 형성된 패시베이션층을 더 포함한다.
- [0147] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 패시베이션층 위에 커패시터 전극 및 더미 전극이 위치한다.
- [0148] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 패시베이션층은 표시 영역 및 비표시 영역에 걸쳐 형성된다.
- [0149] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 패시베이션층은 비표시 영역에서 벤딩시 발생하는 크랙을 최소화하기 위한 패턴 형상을 갖는다.
- [0150] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 제1 버퍼층은 비표시 영역의 일부 영역에서 홈 형상을 갖는다.
- [0151] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 플렉서블 기판은 폴리 이미드(Polyimide)인 것을 특징으로 한다.
- [0152] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 제1 게이트 전극과 제2 게이트 전극은 동일 평면상에 동시에 형성된다.
- [0153] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 제2 게이트 전극과 더미 전극은 스위칭 트랜지스터의 채널 상부 및 하부에 입사되는 외광을 차폐하는 것을 특징으로 한다.
- [0154] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 더미 전극은 스위칭 트랜지스터의 바이어스 온도 스트레스(Bias Temperature Stress:BTS)를 최소화 할 수 있다.
- [0155] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 비표시 영역에 위치하며, 신호 배선부의 일부와 전기적으로 연결된 게이트 구동 박막트랜지스터를 더 포함한다.
- [0156] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 게이트 구동 박막트랜지스터는 다결정 실리콘(LTPS)층을 액티브층으로 한다.
- [0157] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 구동 트랜지스터의 다결정 실리콘(LTPS)층과 제1 게이트 전극을 절연 시키는 게이트 절연층을 더 포함한다.
- [0158] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치는 게이트 절연층 상면에 위치하고, 제1 게이트 전극 및 제2 게이트 전극을 덮도록 구성된 층간 절연층을 더 포함한다.
- [0159] 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 층간 절연층은 질화 실리콘(SiNx)을 포함하는 질화막(SiN)과 산화 실리콘(SiOx)을 포함하는 산화막(SiO)이 순차적으로 증착된 이중 층 구조를 갖는다.
- [0160] 끝으로, 본 발명의 또 다른 특징에 따르면, 유기발광 표시장치의 산화막(SiO)은 후속 열처리 공정에 의해 질화막(SiN)에서 방출되는 수소가 스위칭 트랜지스터의 산화물 반도체층으로 확산되는 것을 최소화 할 수 있다.
- [0161] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

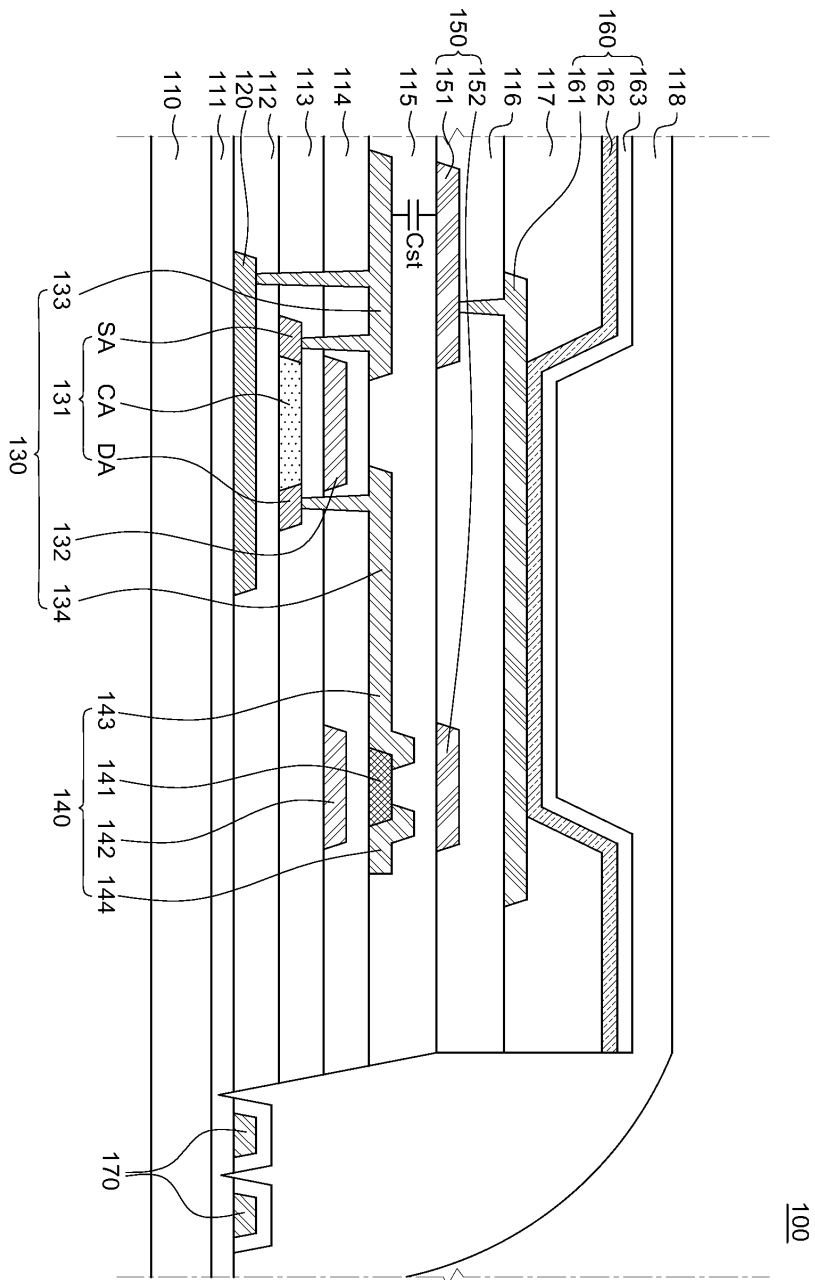
- [0162] 110: 하부기판 120: BSM(Bottom Shield Metal)  
 130: LTPS 박막 트랜지스터 140: 산화물 반도체 박막 트랜지스터  
 150: 터미금속 패턴 160: 유기발광소자  
 111: 버퍼층 112: 액티브 버퍼층  
 113: 게이트 절연층 114: 층간 절연층  
 115: 패시베이션층 116: 평탄화층  
 117: बैं크 118: 봉지부

**도면**

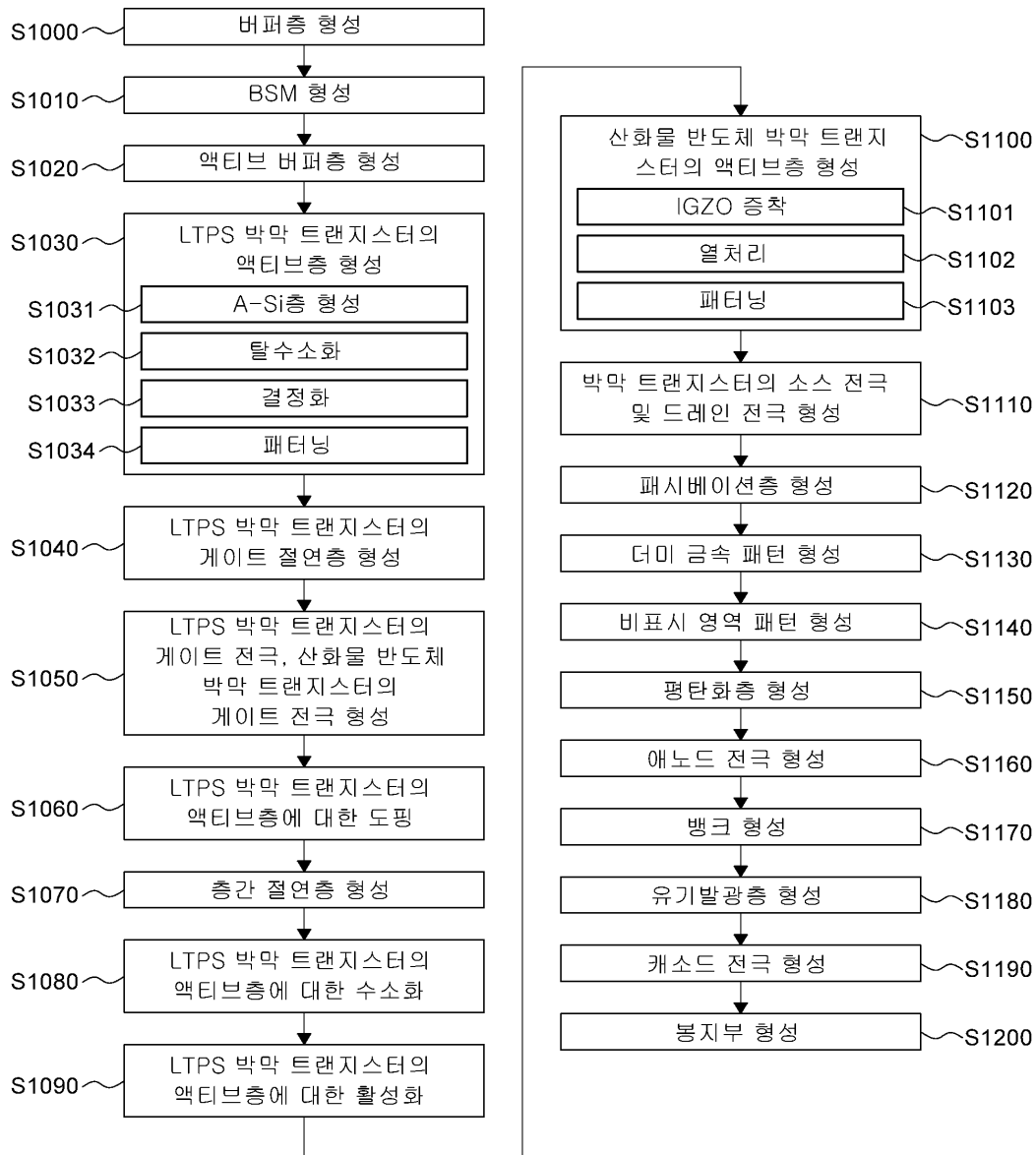
**도면1**



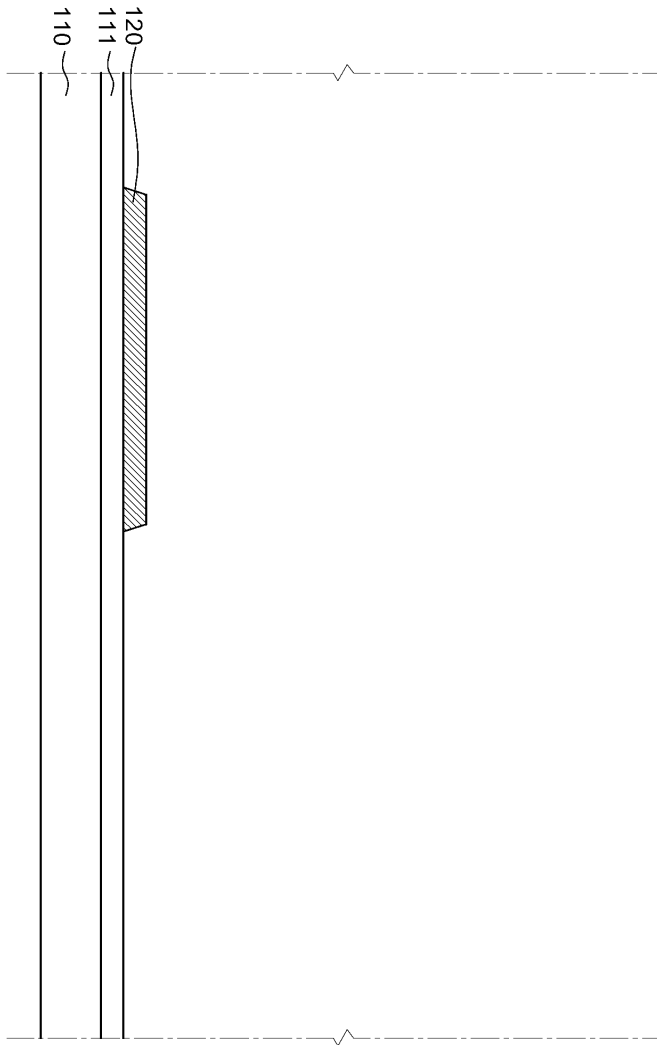
도면2



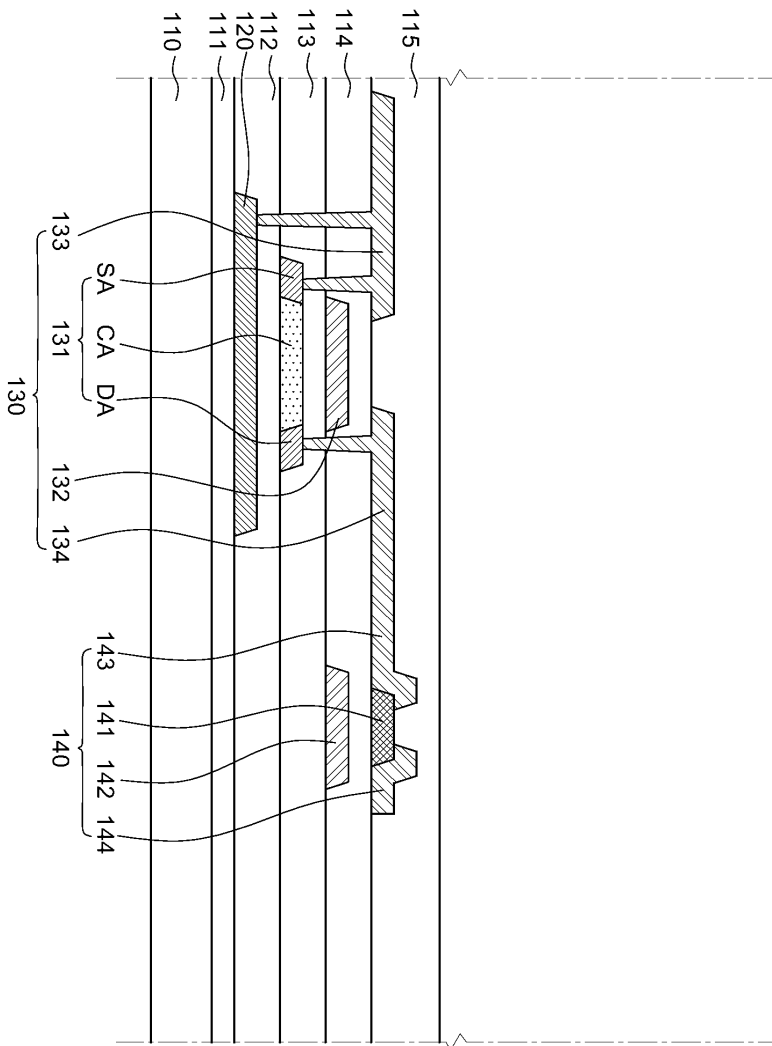
도면3



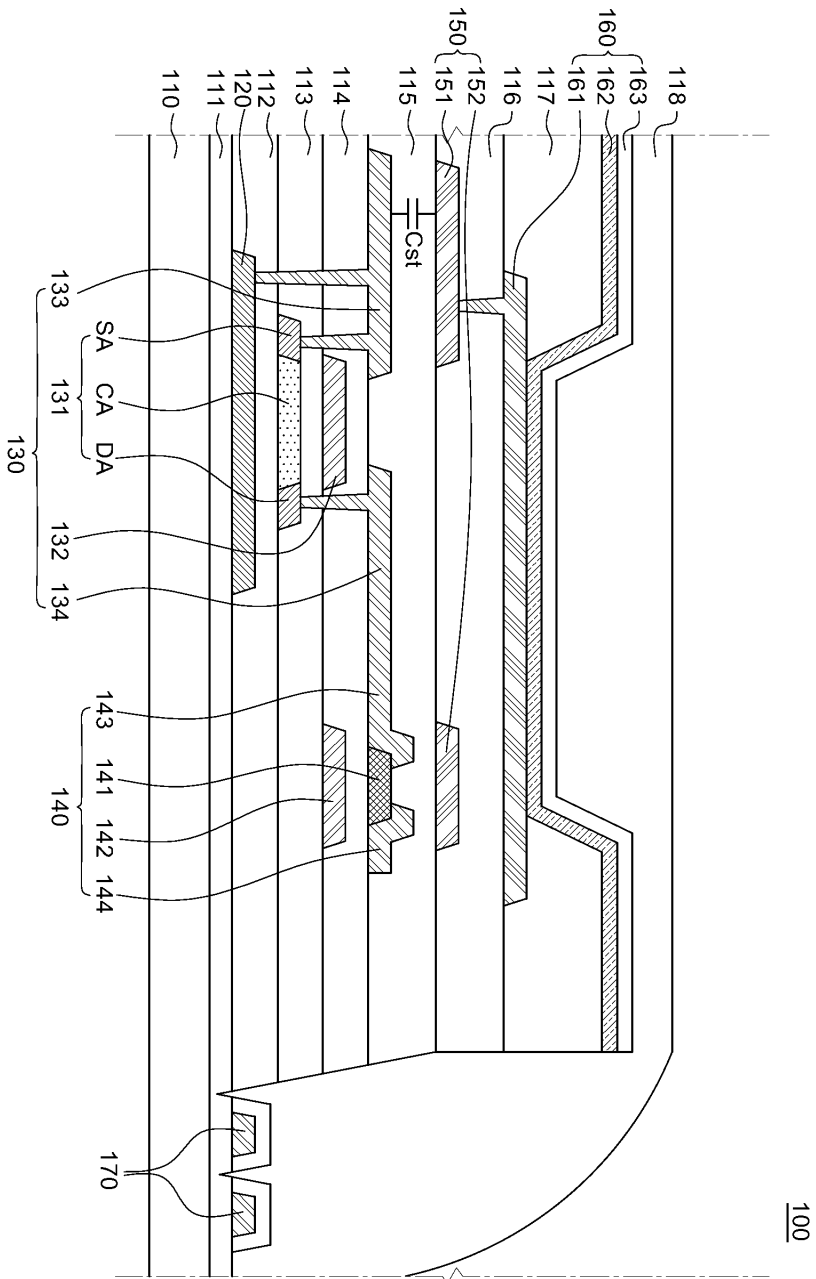
도면4a



도면4b



도면4c



专利名称(译)	混合型薄膜晶体管和使用其的有机发光显示器		
公开(公告)号	<a href="#">KR1020180012442A</a>	公开(公告)日	2018-02-06
申请号	KR1020160095249	申请日	2016-07-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NOH SO YOUNG 노소영 JEON JIN CHAE 전진채 SHIN HYUN SOO 신현수		
发明人	노소영 전진채 신현수		
IPC分类号	H01L27/32 H01L27/12 H01L51/00 H01L51/52		
CPC分类号	H01L27/3262 H01L27/3265 H01L27/1251 H01L27/3276 H01L27/3223 H01L51/5253 H01L51/0097 H01L2251/5338 H01L27/3272 H01L27/1222 H01L27/1225 H01L27/124 H01L27/1255 H01L27/3248 H01L27/3258 H01L29/41733 H01L29/42384 H01L29/78633 H01L29/78675 H01L29/7869 H01L2227 /323		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

混合型薄膜晶体管及使用该混合型薄膜晶体管的有机发光显示器技术领  
根据本发明所述的有机发光显示器被设置在所述第一缓冲层上的缓冲层  
上，所述显示区域被布置在柔性基板，柔性印刷布线板正面具有显示区  
域和非显示区域中，多晶硅(LTPS)层，第一一种驱动晶体管，包括栅  
电极，第一源电极和第一漏电极，以及位于驱动晶体管的第一源电极上  
方并与第一源电极一起构成存储电容器的电容器电极。此外，有机发光  
显示装置设置在显示区域上，其间具有间隙，开关晶体管包括氧化物半  
导体层，第二栅电极，第二源电极和第二漏电极，并且虚设电极是开关  
晶体管的第三栅电极。在根据本发明的另一个特征，所述OLED显示器  
位于在柔性基板上，显示区域包括显示区域和非显示区域中，多晶硅  
(LTPS)层位于所述驱动晶体管的有源层和在显示区域上，并且开关晶  
体管与驱动晶体管分开设置。此外，开关晶体管被连接到第一栅电极，  
与栅电极，源电极，漏电极和第一栅电极接触的氧化物半导体层的另一  
侧与氧化物半导体层的一侧接触重叠的氧化物半导体层和第二个栅电  
极。

