



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080933
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 27/3223 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2015-0190901
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김성빈
경상남도 양산시 연호2길 5 서창양조장 (삼호동)
김수현
경기도 파주시 월롱면 엘씨디로 201 정다운마을
B동 225호
김혜숙
서울특별시 관악구 남부순환로151길 45 405호 (신
림동)
(74) 대리인
특허법인 대아

전체 청구항 수 : 총 5 항

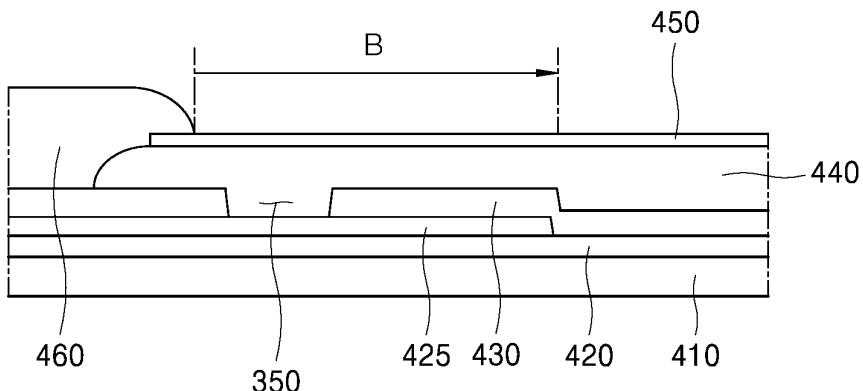
(54) 발명의 명칭 디스플레이 장치의 하부 기판 및 이를 이용한 유기발광다이오드 디스플레이 장치

(57) 요 약

본 발명은 디스플레이 장치의 하부 기판 및 이를 이용한 유기발광디스플레이 장치에 관한 것이다.

본 발명에 따르면, 드레인 전극과 유기발광다이오드의 전극이 되는 픽셀 전극이 도전성 오버코트를 통하여 연결되는 하부 기판을 포함한다. 이를 통하여, 뱅크층 면적을 감소시킬 수 있어, 개구율이 높아 수명 특성이 우수한 유기발광다이오드 디스플레이 장치를 제공할 수 있다.

대 표 도 - 도5



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/5237 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기판 상에 게이트, 소스 및 드레인 전극을 구비하는 트랜지스터;

상기 트랜지스터 상에 구비되며, 상기 드레인 전극 상에서 컨택홀을 구비하는 절연층;

상기 절연층 상에 구비되는 픽셀 전극;

상기 절연층과 픽셀 전극 사이에 구비되며, 상기 컨택홀을 통해 상기 드레인 전극과 픽셀 전극을 전기적으로 연결하는 도전성 오버코트층; 및

상기 픽셀 전극의 상면 가장자리 및 측면을 덮으며, 상기 컨택홀과 중첩되지 않는 뱅크층을 포함하는, 디스플레이 장치의 하부 기판.

청구항 2

게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터 및 제1 전극, 발광층 및 제2 전극을 구비하는 유기발광다이오드를 포함하되, 상기 박막 트랜지스터의 드레인 전극과 상기 유기발광다이오드의 제1 전극이 연결되어 있고,

상기 드레인 전극 상에는 상기 드레인 전극의 일부분이 노출되는 컨택홀이 구비된 패시베이션층이 배치되어 있고,

상기 패시베이션층 및 노출된 드레인 전극 상에는 평탄화된 표면을 포함하는 오버코트층이 배치되어 있고, 상기 오버코트층의 재질이 도전성 재질이고, 상기 오버코트층 상부에 상기 유기발광다이오드의 제1 전극이 배치되어 있는, 유기발광다이오드 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 오버코트층의 재질이 도전성 고분자 재질인, 유기발광다이오드 디스플레이 장치.

청구항 4

제2항에 있어서,

상기 오버코트층의 재질이 상기 유기발광다이오드의 발광층 재질인, 유기발광다이오드 디스플레이 장치.

청구항 5

제2항에 있어서,

상기 오버코트층 및 상기 제1 전극 각각의 상면 일부분 및 측면을 덮는 뱅크층을 더 포함하는, 유기발광다이오드 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 도전성 오버코트(overcoat)를 포함하는 디스플레이 장치의 하부 기판 및 이를 이용한 유기 발광다이오드(Organic Light Emitting Diode; OLED) 디스플레이 장치에 관한 것이다.

배경기술

[0002] 최근 가장 널리 개발되고 있는 디스플레이 장치로는 액정 디스플레이(Liquid Crystal Display) 장치, 유기발광다이오드 디스플레이 장치 등이 있다.

[0003] 이 중에서 액정 디스플레이 장치의 경우, 디스플레이 패널에 자체 발광 수단이 존재하지 않아, 디스플레이 패널에 광을 공급하는 별도의 백라이트를 구비하여야 한다.

[0004] 반면, 유기발광다이오드 디스플레이 장치의 경우, 스스로 발광하는 유기발광다이오드를 구비하여 별도의 백라이트가 필요하지 않으며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0005]

[0006] 도 1은 종래의 유기발광다이오드 디스플레이 장치의 예를 개략적으로 나타낸 것이다.

[0007] 도 1을 참조하면, 도시된 유기발광다이오드 디스플레이 장치는 기판(SUB) 상에 스캔 라인(SL), 스캔 라인(SL)에서 분기된 스위칭 박막트랜지스터(SWTFT)의 게이트 전극(GSW) 및 구동 박막트랜지스터(DRTFT)의 게이트 전극(GDR)이 배치되어 있다. 스위칭 박막트랜지스터(SWTFT)는 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 부분에 배치된다.

[0008] 그리고, 스캔 라인(SL)과 게이트 전극(GSW, GDR)은 게이트 절연층(GI)으로 덮혀 있다. 각각의 게이트 전극(GSW, GDR)과 중첩되는 게이트 절연층(GI)의 일부에 액티브층(ASW, ADR)이 배치된다. 액티브층(ASW, ADR) 위에는 소스 전극(SSW, DSW)과 드레인 전극(DSW, DDR)이 서로 마주보도록 이격 배치된다.

[0009] 스위칭 박막트랜지스터(SWTFT)의 드레인 전극(DSW)은 게이트 절연층(GI)에 형성된 컨택홀을 통해 구동 박막트랜지스터(DRTFT)의 게이트 전극(GDR)과 접촉한다. 구동 박막트랜지스터(DRTFT)의 소스 전극(SDR)은 구동 전류 배선(VDD)에서 분기된다. 이와 같은 구조를 갖는 스위칭 박막트랜지스터(SWTFT) 및 구동 박막트랜지스터(DRTFT)을 덮는 패시베이션층(PASSI)이 전면에 배치된다.

[0010] 이와 같이 패시베이션층(PASSI)이 형성된 기판은 여러 구성요소들이 형성되어 표면이 평坦하지 못하고, 단자가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트층(OC)을 패시베이션층(PASSI) 상에 배치한다. 오버코트층(OC)은 그 하부에 단차진 영역들을 평탄화시키는 기능을 하기 때문에, 오버코트층(OC) 윗면은 기판 전면에 걸쳐서 거의 평탄한 표면을 갖는다.

[0011] 그리고, 오버코트층(OC) 상에 유기 발광다이오드(OLED)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 구동 박막트랜지스터(DRTFT)의 드레인 전극(DDR)과 연결된다.

[0012] 애노드 전극(ANO)이 형성된 기판 위에, 픽셀 영역을 정의하기 위해 스위칭 박막트랜지스터(SWTFT), 구동 박막트랜지스터(DRTFT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크층(BANK)을 형성한다.

[0013] 뱅크층(BANK)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다. 뱅크층(BANK)에 의해 노출된 애노드 전극(ANO) 위에 백색발광층(WOEL)과 캐소드 전극(CAT)이 순차적으로 적층된다.

[0014] 한편, 애노드 전극(ANO)과 드레인 전극(DDR)의 연결을 위해서는 공정 측면에서 1차적으로 패시베이션층(PASSI)에 컨택홀을 형성하고, 다시 오버코트층(OC)에 컨택홀을 형성하여야 한다.

[0015] 도 2는 종래 유기발광다이오드 디스플레이 장치의 픽셀 영역과 개구 영역을 개략적으로 나타낸 것이다.

[0016] 유기발광다이오드 디스플레이 장치의 픽셀 영역(130)은 평면에서 볼 때 서로 교차하는 형태의 데이터 라인(110)과 게이트 라인(120)에 의해 정해진다. 그리고, 개구 영역(140)은 픽셀 영역(130) 내측에 정해지며, 이는 뱅크층 내부 영역에 대응된다.

[0017] 픽셀 전극, 즉 유기발광다이오드의 애노드 전극(ANO)을 구동 박막트랜지스터(DRTFT)의 드레인 전극(DDR)에 연결하기 위해서는 1차적으로 패시베이션층(PASSI)을 형성한 상태에서 드레인 전극(DDR)을 노출시키기 위한 컨택홀

(150)을 형성하고, 이후 오버코트층(OC)을 형성한 상태에서 다시 컨택홀(160)을 형성하여야 한다.

[0018] 도 3은 도 2의 A-A 단면을 나타낸 것이다.

[0019] 도 3을 참조하면, 기판(210) 상에 게이트 절연층(220), 드레인 전극(225), 패시베이션층(230) 및 오버코트층(240)이 순차적으로 배치되어 있다.

[0020] 그리고, 오버코트층(240) 상부에는 픽셀 전극(250)이 배치된다. 픽셀 전극(250)은 유기발광다이오드의 제1 전극(주로, 애노드 전극)이 된다.

[0021] 그리고, 픽셀 전극(250)의 일부분은 뱅크층(260)에 의해 덮히고, 뱅크층(260)에 의해 덮히지 않은 픽셀 전극의 상부 부분(A)이 개구부가 되며, 이 개구부 상에 유기발광다이오드의 발광층 및 제2 전극이 배치된다.

[0022] 도 3을 참조하면, 픽셀 전극(250)을 드레인 전극(225)에 전기적으로 연결하기 위해서는 우선 패시베이션층(230)에 컨택홀(150)이 구비되어야 한다. 아울러, 이 패시베이션층의 컨택홀(150)을 둘러싸는 형태로 오버코트층(240)에 컨택홀(160)이 구비되어야 한다.

[0023] 박막트랜지스터 구조의 평탄화를 위하여, 두꺼운 오버코트층이 요구되는데, 오버코트층의 두꺼운 두께로 인하여 오버코트층의 컨택홀은 사이즈가 커지게 된다. 더불어 드레인 전극과 픽셀 전극이 연결되도록 하기 위하여 오버코트 컨택홀의 테이퍼를 낮게하면 컨택홀 사이즈는 더욱 커지게 된다.

[0024] 이러한 컨택홀 부분은 도 3에 도시된 예와 같이, 오목한 형태로 형성되어 상부에 픽셀 전극이 형성되어도 개구부로 활용이 불가능하기 때문에, 컨택홀 영역 만큼의 패널 개구율 감소가 발생한다.

발명의 내용

해결하려는 과제

[0025] 본 발명은 상기의 문제점을 해결하기 위한 것으로, 유기발광다이오드 디스플레이 장치에서 개구율을 높일 수 있는 하부 기판을 제공하는 것을 과제로 한다.

[0026] 또한, 본 발명은 상기의 하부기판을 이용한 유기발광다이오드 디스플레이 장치를 제공하는 것을 다른 과제로 한다.

과제의 해결 수단

[0027] 상기 과제를 달성하기 위한 본 발명의 실시예에 따른 유기발광다이오드 디스플레이 장치의 하부 기판은 트랜지스터, 절연층, 픽셀 전극, 도전성 오버코트층 및 뱅크층을 포함한다. 트랜지스터는 기판 상에 게이트, 소스 및 드레인 전극을 구비한다. 절연층은 상기 트랜지스터 상에 구비되며, 상기 드레인 전극 상에서 컨택홀을 구비한다. 픽셀 전극은 상기 절연층 상에 구비된다. 오버코트층은 상기 절연층과 픽셀 전극 사이에 구비된다. 이때, 상기 오버코트층은 도전성으로서, 상기 컨택홀을 통해 상기 드레인 전극과 픽셀 전극을 전기적으로 연결한다.

[0028] 일반적으로, 오버코트층은 패시베이션층 상부에 평탄화를 위해 배치되는 것으로서, 주로 절연성의 폴리이미드(PI) 재질이다. 이와 같이 절연성 오버코트층이 개재된 경우, 오버코트층의 컨택홀이 필수적이고, 이 컨택홀은 오목한 형태로 형성되어 있을 뿐만 아니라 사이즈가 크기 때문에 개구부로 사용될 수 없다.

[0029] 그러나, 본 발명의 경우, 도전성 오버코트층을 적용한다. 이에 따라, 오버코트층 상에 배치된 제1 전극이 도전성 오버코트층을 통하여 드레인 전극과 연결될 수 있어, 오버코트층의 컨택홀이 요구되지 않는다. 그 결과, 패시베이션층의 컨택홀 상부 부분을 개구부로 활용할 수 있어, 유기발광다이오드 디스플레이 장치의 개구율을 높일 수 있다.

[0030] 상기 과제를 달성하기 위한 본 발명의 실시예에 따른 유기발광다이오드 디스플레이 장치는 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터 및 제1 전극, 발광층 및 제2 전극을 구비하는 유기발광다이오

드를 포함한다. 상기 박막 트랜지스터의 드레인 전극과 상기 유기발광다이오드의 제1 전극은 서로 연결된다.

[0031] 상기 드레인 전극 상에는 상기 드레인 전극의 일부분이 노출되는 컨택홀이 구비된 패시베이션층이 배치된다. 그리고, 상기 패시베이션층 상에는 평탄화된 표면을 포함하는 오버코트층이 배치되어 있다.

[0032] 이때, 상기 오버코트층의 재질이 도전성 재질이다. 이러한 도전성 오버코트층을 통하여, 박막 트랜지스터의 드레인 전극과 유기발광다이오드의 제1 전극이 전기적으로 연결될 수 있다.

[0033] 본 발명의 경우 오목한 형태의 오버코트층 컨택홀이 존재하지 않은 바, 뱅크층 면적을 감소시킬 수 있으며, 이에 따라 박막 트랜지스터의 드레인 전극과 유기발광다이오드의 제1 전극이 연결되는 경우에 비하여 개구율이 높아, 단위면적당 집중되는 전류 양이 적어서 전류 밀도가 작아질 수 있다. 그 결과, 유기발광다이오드에 가해지는 데미지의 정도가 적어 수명 특성이 우수한 유기발광다이오드 디스플레이 장치를 제공할 수 있다.

[0034] 이때, 상기 오버코트층의 재질이 도전성 고분자 재질일 수 있다. 이러한 도전성 고분자들의 경우, 중착에 의해 쉽게 배치될 수 있고, 또한 쉽게 평탄화될 수 있다.

[0035] 또한, 상기 오버코트층의 재질이 유기발광다이오드의 발광층 재질일 수 있다. 오버코트층의 재질을 전도성 고분자 중에서도 유기 발광층 재질과 동일하게 함으로써 유기발광다이오드 디스플레이 장치의 재질 단순화에 기여할 수 있다.

[0036] 한편, 상기 오버코트층 및 상기 제1 전극 각각의 상면 일부분 및 측면을 덮는 뱅크층을 더 포함할 수 있다. 본 발명의 경우, 오버코트층이 도전성 재질인 바, 서브픽셀 단위의 구동을 위해서는 오버코트층이 서브픽셀 단위로 단절될 필요성이 있다. 따라서, 이러한 점을 고려하여 뱅크층이 오버코트층의 측면까지 덮을 수 있다.

발명의 효과

[0037] 본 발명에 따르면, 박막 트랜지스터의 드레인 전극과 유기발광다이오드의 제1 전극이 도전성 오버코트층을 통하여 연결되는 전극 연결 구조를 갖는다.

[0038] 본 발명의 경우 오목한 형태의 오버코트층 컨택홀이 존재하지 않은 바, 뱅크층 면적을 감소시킬 수 있다. 이에 따라, 본 발명은 오버코트층 컨택홀을 통하여 박막 트랜지스터의 드레인 전극과 유기발광다이오드의 제1 전극이 연결되는 경우에 비하여 개구율이 높아, 단위면적당 집중되는 전류 양이 적어서 전류 밀도가 작아질 수 있다. 그 결과, 유기발광다이오드에 가해지는 데미지의 정도가 적어 수명 특성이 우수한 유기발광다이오드 디스플레이 장치를 제공할 수 있다.

도면의 간단한 설명

[0039] 도 1은 종래의 유기발광다이오드 디스플레이 장치의 예를 개략적으로 나타낸 것이다.

도 2는 종래 유기발광다이오드 디스플레이 장치의 픽셀 영역과 개구 영역을 개략적으로 나타낸 것이다.

도 3은 도 2의 A-A 단면을 나타낸 것이다.

도 4는 본 발명에 따른 유기발광다이오드 디스플레이 장치의 픽셀 영역과 개구 영역을 개략적으로 나타낸 것이다.

도 5는 도 4의 B-B 단면을 나타낸 것이다.

도 6은 기판 상에 게이트 절연층, 드레인 전극 및 패시베이션층이 순차로 배치된 예를 나타낸 것이다.

도 7은 패시베이션층에 컨택홀을 형성한 후, 오버코트층을 배치한 예를 나타낸 것이다.

도 8은 오버코트층 상에 픽셀 전극을 배치한 예를 나타낸 것이다.

도 9는 픽셀 전극 및 오버코트층 각각의 상면 일부분 및 측면을 덮는 뱅크층을 배치한 예를 나타낸 것이다.

도 10는 본 발명에 따른 유기발광다이오드 디스플레이 장치의 예를 개략적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 도면을 참조하여 본 발명에 따른 디스플레이 장치의 하부 기판 및 이를 이용한 유기발광다이오드 디스플레이 장치에 대하여 상세히 설명한다.
- [0041] 이하에서 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0042] 또한, 본 발명에서 "~~ 상에 있다"라고 함은 "어떠한 부분이 다른 부분과 접촉한 상태로 바로 위에 있다"를 의미할 뿐만 아니라 "어떠한 부분이 다른 부분과 비접촉한 상태이거나 제3의 부분이 중간에 더 형성되어 있는 상태로 다른 부분의 위에 있다"를 의미할 수도 있다.
- [0043] 도 4는 본 발명에 따른 유기발광다이오드 디스플레이 장치의 픽셀 영역과 개구 영역을 개략적으로 나타낸 것이다.
- [0044] 본 발명에 따른 유기발광다이오드 디스플레이 장치의 픽셀 영역(340)은 평면에서 볼 때 서로 교차하는 형태의 데이터 라인(310)과 게이트 라인(320)에 의해 정해진다. 그리고, 개구 영역(330)은 픽셀 영역(340) 내측에 정해지며, 이는 뱅크층 내부 영역에 대응된다.
- [0045] 다만, 도 4에 도시된 예의 경우, 도 2에 도시된 예에 비하여 개구 영역(330)의 면적이 상대적으로 넓다. 이는, 박막 트랜지스터의 드레인 전극과 픽셀 전극, 즉 유기발광다이오드의 제1 전극의 연결 구조에 기인한다.
- [0046] 도 5는 도 4의 B-B 단면을 나타낸 것이다.
- [0047] 도 5을 참조하면, 기판(410) 상에 게이트 절연층(420), 드레인 전극(425), 패시베이션층(430) 및 오버코트층(440)이 순차적으로 배치되어 있다.
- [0048] 그리고, 오버코트층(440) 상부에는 픽셀 전극(450)이 배치된다. 픽셀 전극(450)은 유기발광다이오드의 제1 전극(주로, 애노드 전극)이 된다.
- [0049] 그리고, 픽셀 전극(450)의 일부분은 뱅크층(460)에 의해 덮히고, 뱅크층(460)에 의해 덮히지 않은 픽셀 전극의 상부 부분(B)이 개구 영역이 되며, 이 개구 영역 상에 유기발광다이오드의 발광층 및 제2 전극(주로 캐소드 전극)이 배치된다.
- [0050] 종래의 경우, 전술한 바와 같이, 박막 트랜지스터의 드레인 전극과 픽셀 전극의 연결을 위하여 절연성 오버코트층의 컨택홀이 요구되는데, 이 컨택홀의 경우 오목한 형태가 되는 바, 상부에 픽셀 전극이 배치되어도 개구 영역으로 활용될 수 없으며, 이에 따라 오버코트층의 컨택홀 상부 부분은 뱅크층으로 덮힌다.
- [0051] 그러나, 도 5에 도시된 구조의 경우, 박막 트랜지스터의 드레인 전극(425)과 픽셀 전극(450), 즉 유기발광다이오드의 제1 전극이 도전성 오버코트층(440)을 통하여 연결된다.
- [0052] 드레인 전극(425)과 픽셀 전극(450) 사이에 도전성 오버코트층(440)이 개재되어 있음에 따라, 종래와 같은 오버코트층의 컨택홀이 요구되지 않는다. 이에 따라, 뱅크층(460)의 면적을 줄일 수 있고, 패시베이션층의 컨택홀 상부 부분까지 개구 영역(B)으로 활용할 수 있다.
- [0053] 도 3에 도시된 예에서의 개구 영역(A)와 도 5에 도시된 예에서의 개구 영역(B)를 비교할 때, 도 5에 도시된 예에서의 개구 영역(B)의 면적이 상대적으로 넓은 것을 볼 수 있다.
- [0054] 이와 같이, 유기발광다이오드 디스플레이 장치의 개구율을 높일 수 있음에 따라, 유기발광다이오드에 단위면적 당 집중되는 전류의 양을 감소시킬 수 있어, 유기물에 가해지는 테미지의 정도를 저감할 수 있다.
- [0055] 본 발명에 적용되는 도전성 오버코트층(440)은 PEDOT(poly(3,4-ethylenedioxythiophene)), 폴리피롤, 폴리티오펜, P3HT(poly(3-hexylthiophene)) 등과 같은 도전성 고분자 재질일 수 있다. 이러한 도전성 고분자들의 경우, 증착에 의해 쉽게 배치될 수 있고, 또한 쉽게 평탄화될 수 있다.

- [0056] 보다 바람직하게, 본 발명에 적용되는 도전성 오버코트층(440)은 예를 들어 P3HT 등과 같은 유기발광다이오드의 발광층 재질과 동일할 재질일 수 있다. 오버코트층(440)의 재질을 전도성 고분자 중에서도 유기 발광층 재질과 동일하게 함으로써 유기발광다이오드 디스플레이 장치의 재질 단순화에 기여할 수 있다.
- [0057] 한편, 도 5를 참조하면, 뱅크층(460)은 오버코트층(440) 및 픽셀 전극(450) 각각의 상면 일부분 및 측면을 덮는 형태로 배치될 수 있다.
- [0058] 본 발명의 경우, 오버코트층(440)이 도전성 재질인 바, 서브픽셀 단위의 구동을 위해서는 도전성의 오버코트층(440)이 서브픽셀 단위로 단절될 필요성이 있다. 따라서, 이러한 점을 고려하여 뱅크층(460)이 오버코트층(440)의 측면까지 덮는 것이 바람직하다.
- [0059]
- [0060] 도 6 내지 도 9는 드레인 전극과 픽셀 전극의 연결을 위한 공정도이다.
- [0061] 우선, 도 6에 도시된 예와 같이, 클래스나 고분자 재질의 기판(410) 상에 게이트 절연층(420), 드레인 전극(425) 및 패시베이션층(430)을 순차로 배치한다. 도면에 도시되어 있지는 않지만, 기판(410) 상에는 게이트 라인이 배치되며, 게이트 절연층(420)은 게이트 라인을 덮는 형태가 된다. 또한, 드레인 전극(425) 배치시에는 데이터 라인이 동시에 배치될 수 있으며, 데이터 라인의 일부가 내측으로 돌출하여 박막 트랜지스터 구조를 구현할 수 있다.
- [0062] 다음으로, 도 7에 도시된 예와 같이, 드레인 전극의 노출을 위하여, 식각 공정을 통하여 패시베이션층(430)에 컨택홀(350)을 형성한 후, 그 위에 평탄화된 표면을 포함하는 오버코트층(440)을 배치한다. 본 발명의 경우, 오버코트층(440)이 도전성 재질로 배치되기 때문에, 별도의 오버코트층 컨택홀을 형성할 필요가 없다.
- [0063] 다음으로, 도 8에 도시된 예와 같이, 오버코트층(440) 상, 보다 구체적으로는 오버코트층(440)의 평탄화된 표면 상에 픽셀 전극(450)을 배치한다. 픽셀 전극(450)은 유기발광다이오드의 제1전극이 된다.
- [0064] 이후, 도 9에 도시된 예와 같이, 픽셀 전극(450) 및 오버코트층(440) 각각의 상면 일부분 및 측면을 덮는 뱅크층(460)을 배치한다. 뱅크층(460)에 의해 노출되는 픽셀 전극이 배치된 영역(도 9에서 뱅크층(460)의 오른쪽 영역)이 개구 영역이 되며, 이 부분의 픽셀 전극(450) 상에 유기발광다이오드의 발광층 및 제2 전극이 배치된다.
- [0065] 도 10는 본 발명에 따른 유기발광다이오드 디스플레이 장치의 예를 개략적으로 나타낸 것이다.
- [0066] 도 10을 참조하면, 도시된 유기발광다이오드 디스플레이 장치는, 기판(SUB) 상에 스캔 라인(SL), 스캔 라인(SL)에서 분기된 스위칭 박막트랜지스터(SWTFT)의 게이트 전극(GSW), 및 구동 박막트랜지스터(DRTFT)의 게이트 전극(GDR)이 배치되어 있다.
- [0067] 그리고, 스캔 라인(SL)과 게이트 전극(GSW, GDR) 상에는 게이트 절연층(GI)이 배치되어 있다. 게이트 전극(GSW, GDR)과 중첩되는 게이트 절연층(GI)의 일부에 액티브층(ASW, ADR)이 배치되어 있다. 액티브층(ASW, ADR) 상에는 일정 간격을 두고 소스 전극(SSW, DSW)과 드레인 전극(DSW, DDR)이 마주보고 형성된다. 스위칭 박막트랜지스터(SWTFT)의 드레인 전극(DSW)은 게이트 절연층(GI)에 형성된 컨택홀을 통해 구동 박막트랜지스터(DRTFT)의 게이트 전극(GDR)과 접촉한다. 구동 박막트랜지스터(DRTFT)의 소스 전극(SDR)은 구동 전류 배선(VDD)에서 분기된다.
- [0068] 이와 같은 구조를 갖는 스위칭 박막트랜지스터(SWTFT) 및 구동 박막트랜지스터(DRTFT) 상에는 패시베이션층(PASSI)이 배치된다. 패시베이션층(PASSI)에는 드레인 전극(DDR)의 노출을 위한 컨택홀이 구비된다.
- [0069] 한편, 도 10에 도시된 예에서는 도시되어 있지 않으나, 컬러필터가 유기 발광다이오드(OLED) 상부에 배치될 수 있으며, 반대로 유기 발광다이오드(OLED) 하부에 배치될 수도 있다.
- [0070] 패시베이션층(PASSI)까지 배치된 이후에는 표면 평탄화를 위하여 오버코트층(OC)을 배치한다. 그리고, 오버코트층(OC) 위에 유기 발광 다이오드(OLED)의 애노드 전극(ANO)이 배치된다.
- [0071] 본 발명의 경우, 오버코트층(OC)이 도전성 재질로 배치되며, 이에 따라, 구동 박막트랜지스터(DRTFT)의 드레인 전극(DDR)과 유기 발광 다이오드(OLED)의 애노드 전극(ANO)이 오버코트층(OC)을 통하여 전기적으로 연결된다.
- [0072] 애노드 전극(ANO)이 형성된 기판 위에, 픽셀 영역을 정의하기 위해 스위칭 박막트랜지스터(SWTFT), 구동 박막트

랜지스터(DRTFT), 그리고 각종 배선들(DL, SL, VDD)이 배치된 영역 위에 뱅크패턴(BANK)을 배치한다. 본 발명의 경우, 오버코트층(OC)에 컨택홀이 구비되지 않기 때문에 뱅크패턴(BANK)의 면적을 감소시킬 수 있다.

[0073] 뱅크 패턴(BANK)에 의해 노출된 애노드 전극(ANO) 위에 발광층 (WOEL)과 캐소드 전극(CAT)이 순차적으로 적층된다.

[0074] 도 10에 도시된 유기발광다이오드 디스플레이 장치를 구동 트랜지스터 및 유기발광다이오드 관점에서만 본다면, 본 발명에 따른 유기발광다이오드 디스플레이 장치는 게이트 전극(GDR), 소스 전극(SDR) 및 드레인 전극(DDR)을 구비하는 박막 트랜지스터(DRTFT) 및 제1 전극(ANO), 발광층(WOEL) 및 제2 전극(CAT)을 구비하는 유기 발광다이오드(OLED)를 포함한다. 그리고, 박막 트랜지스터(DRTFT)의 드레인 전극(DDR)과 유기 발광다이오드(OLED)의 제1 전극(ANO)이 연결되어 있다.

[0075] 이때, 드레인 전극(DDR) 상에는, 드레인 전극(DDR)의 일부분이 노출되는 컨택홀이 구비된 패시베이션층(PASSI)이 배치된다. 그리고, 패시베이션층(PASSI) 상에는 평탄화된 표면을 포함하는 오버코트층(OC)이 배치되어 있다. 이때, 본 발명의 경우, 오버코트층(OC)의 재질이 도전성 재질이다. 이러한 도전성 오버코트층(OC)을 통하여, 박막 트랜지스터(DRTFT)의 드레인 전극(DDR)과 유기 발광다이오드(OLED)의 제1 전극(ANO)이 이 전기적으로 연결될 수 있다.

[0076] 상술한 바와 같이, 본 발명의 경우 오목한 형태의 오버코트층 컨택홀이 존재하지 않은 바, 해당 부분 역시 개구 영역으로 활용 가능한 바, 뱅크층 면적을 감소시킬 수 있다.

[0077] 이에 따라, 본 발명은 개구율이 높아, 단위면적당 집중되는 전류 양이 적어서 전류 밀도가 작아질 수 있다. 그 결과, 유기발광다이오드에 가해지는 테미지의 정도가 적어 수명 특성이 우수한 유기발광다이오드 디스플레이 장치를 제공할 수 있다.

[0078] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 통상의 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 따라서, 이러한 변경과 변형이 본 발명의 범위를 벗어나지 않는 한 본 발명의 범주 내에 포함되는 것으로 이해할 수 있을 것이다.

부호의 설명

[0079] SUB : 기판 SL : 스캔 라인

SWTFT : 스위칭 박막트랜지스터

DRTDT : 구동 박막트랜지스터

GSW, GDR : 게이트 전극 GI : 게이트 절연층

ASW, ADR : 액티브층 SSW, DSW : 소스 전극

DSW, DDR : 드레인 전극 VDD : 구동 전류 배선

PASSI : 패시베이션층 ANO : 제1 전극(애노드 전극)

CAT : 제2 전극(캐소드 전극)

OC : 오버코트층 OLED : 유기 발광다이오드

WOEL : 발광층 BANK : 뱅크패턴

310 : 데이터 라인 320 : 게이트 라인

330 : 개구 영역 340 : 꼭셀 영역

350 : 컨택홀

410 : 기판 420 : 게이트 절연층

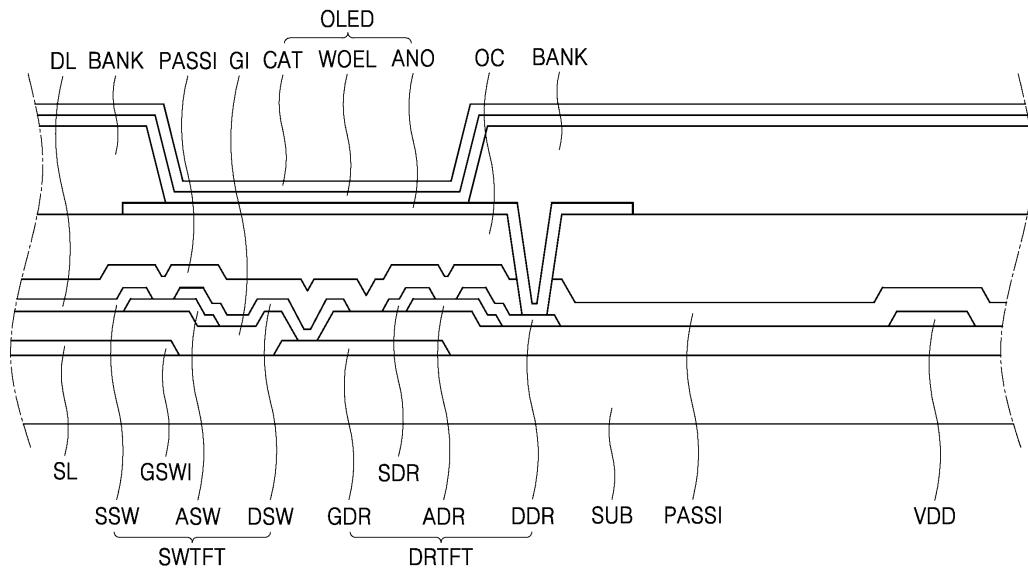
425 : 드레인 전극 430 : 패시베이션층

440 : 오버코트층 450 : 픽셀 전극

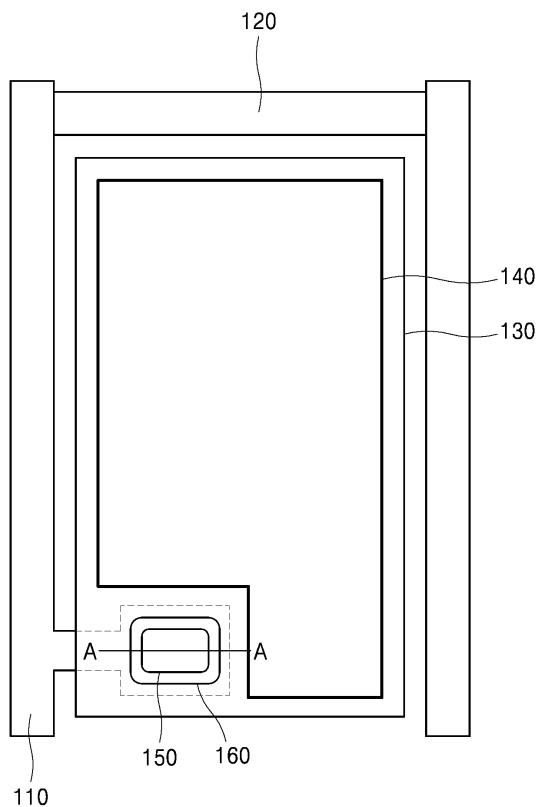
460 : 뱅크층

도면

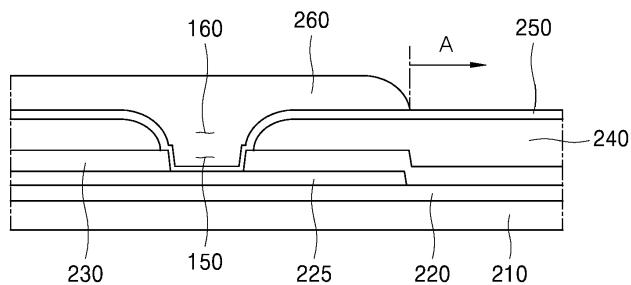
도면1



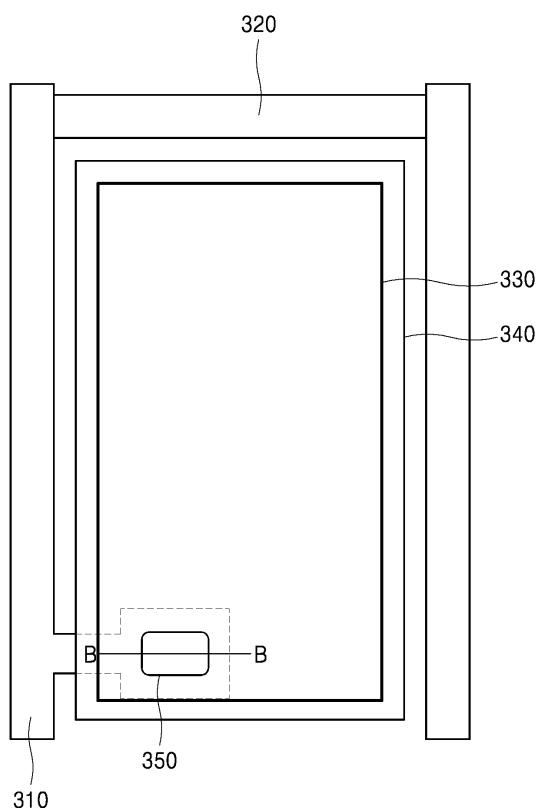
도면2



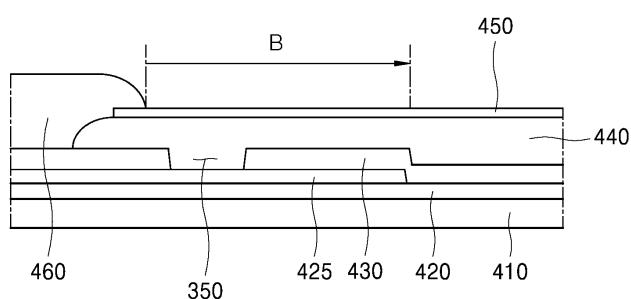
도면3



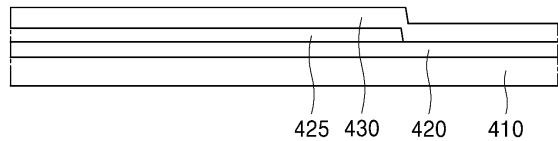
도면4



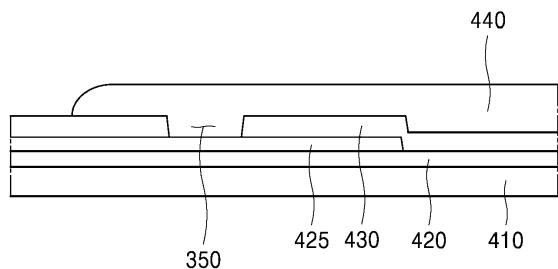
도면5



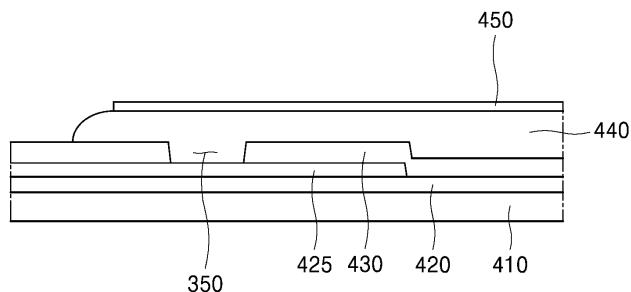
도면6



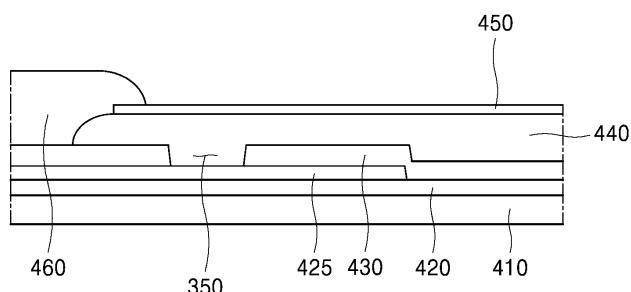
도면7



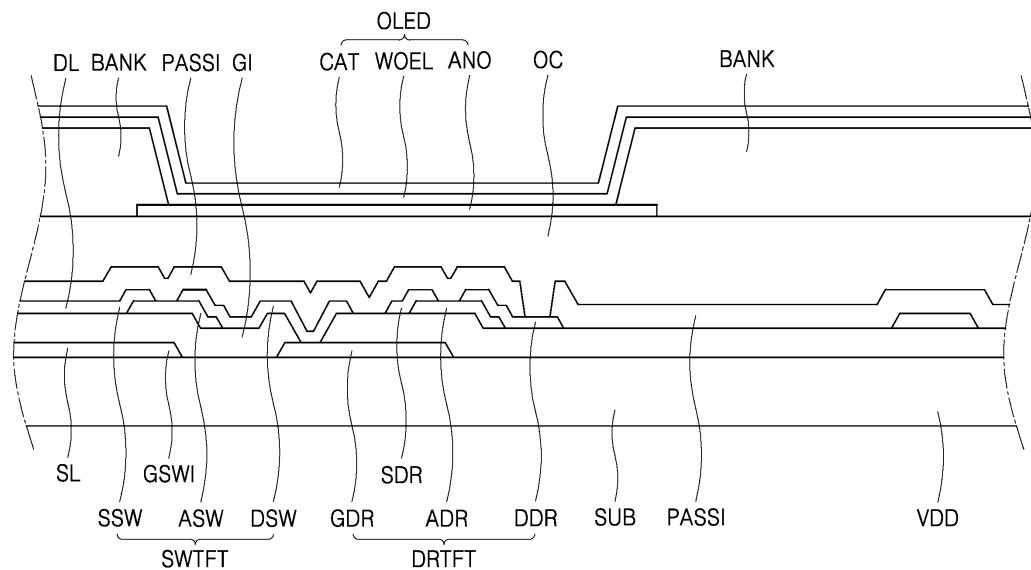
도면8



도면9



도면10



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题 : 显示装置的下基板和使用其的有机发光二极管显示装置 | | |
| 公开(公告)号 | KR1020170080933A | 公开(公告)日 | 2017-07-11 |
| 申请号 | KR1020150190901 | 申请日 | 2015-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | SUNG BIN SHIM 심성빈 SU HYEON KIM 김수현 HYE SOOK KIM 김혜숙 | | |
| 发明人 | 심성빈 김수현 김혜숙 | | |
| IPC分类号 | H01L27/32 H01L51/52 | | |
| CPC分类号 | H01L27/3223 H01L27/3276 H01L27/3262 H01L27/3246 H01L27/3248 H01L51/5237 H01L51/5203 H01L2227/32 | | |
| 外部链接 | Espacenet | | |

摘要(译)

显示装置的下基板和使用该下基板的有机发光显示装置技术领域 根据本发明，漏电极和下基板通过导电外涂层彼此连接，该像素电极用作有机发光二极管的电极。结果，可以减小堤层的面积，并且可以提供具有高孔径比和优异的寿命特性的有机发光二极管显示装置。

