



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0094560
(43) 공개일자 2016년08월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/32 (2013.01)
H01L 51/56 (2013.01)
(21) 출원번호 10-2015-0015450
(22) 출원일자 2015년01월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김창희
대구광역시 달서구 장기로 115 102동 1803호 (성당동, 성당포스코더샵아파트)
반명호
서울특별시 중랑구 검재로13길 3 301호 (면목동)
(74) 대리인
특허법인천문

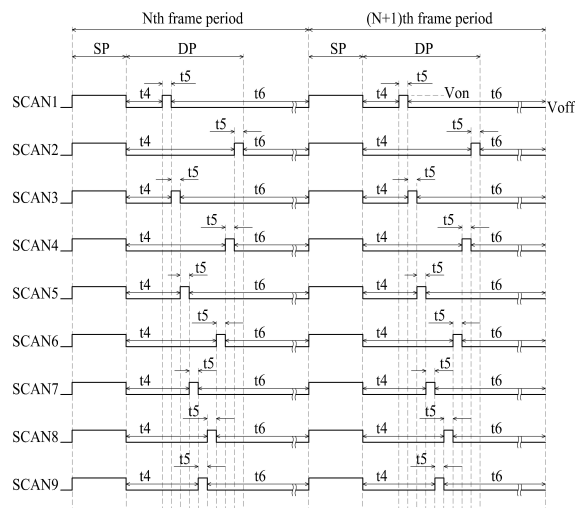
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광표시장치는 표시패널과 스캔 구동부를 포함한다. 상기 표시패널은 q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되며, 상기 블록들 각각에는 p (p 는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소들이 마련된다. 상기 스캔 구동부는 1 프레임 기간을 문턱전압 센싱기간과 데이터전압 공급기간을 포함하는 q 개의 서브 프레임 기간들로 분할하여 구동하고, 상기 p 개의 스캔라인들에 상기 문턱전압 센싱기간 동안 게이트 온 전압의 스캔신호들을 동시에 공급하고, 상기 데이터전압 공급기간 동안 상기 게이트 온 전압의 스캔신호들을 비순차적인 순서로 공급한다.

대표도 - 도10



명세서

청구범위

청구항 1

q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되며, 상기 블록들 각각에는 p (p 는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소들이 마련된 표시패널; 및

1 프레임 기간을 문턱전압 센싱기간과 데이터전압 공급기간을 포함하는 q 개의 서브 프레임 기간들로 분할하고, 상기 p 개의 스캔라인들에 상기 문턱전압 센싱기간 동안 게이트 온 전압의 스캔신호들을 동시에 공급하고, 상기 데이터전압 공급기간 동안 상기 게이트 온 전압의 스캔신호들을 비순차적인 순서로 공급하는 스캔 구동부를 포함하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 스캔 구동부는 상기 데이터전압 공급기간 동안 상기 p 개의 스캔라인들 중 기수 스캔라인들에 상기 게이트 온 전압의 스캔신호들을 순차적으로 공급한 후 우수 스캔라인들에 상기 게이트 온 전압의 스캔신호들을 역순으로 공급하는 유기발광표시장치.

청구항 3

제 1 항에 있어서,

제 i (i 는 $1 \leq i \leq p$ 를 만족하는 양의 정수) 내지 제 $i+3$ 스캔라인들에 접속된 화소들에 동일한 데이터전압들이 공급되는 경우, 제 i 및 제 $i+1$ 스캔라인들에 접속된 화소들의 평균 휘도와 제 $i+2$ 및 제 $i+3$ 스캔라인들에 접속된 화소들의 평균 휘도는 동일한 유기발광표시장치.

청구항 4

제 1 항에 있어서,

상기 스캔 구동부는,

상기 p 개의 스캔라인들에 접속되는 스테이지들;

상기 스테이지들을 제어하기 위한 스테이지 제어신호들을 출력하는 복수의 출력단자들을 포함하는 스테이지 제어부; 및

상기 스테이지 제어신호들을 논리합 연산하여 상기 스테이지들로 출력하는 논리합 게이트 연산부를 포함하는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 스테이지들 각각은,

게이트 온 전압의 신호가 스타트 단자로 입력되는 경우 클럭 단자로 입력되는 클럭 신호를 출력 단자로 출력하고, 상기 게이트 온 전압의 신호가 리셋 단자로 입력되는 경우 게이트 오프 전압을 상기 출력 단자로 출력하는 유기발광표시장치.

청구항 6

제 5 항에 있어서,

상기 스테이지 제어부는,

상기 문턱전압 센싱기간 동안 게이트 온 전압의 제1 스테이지 제어신호를 출력하는 제1 출력 단자;
 상기 문턱전압 센싱기간 이후에 상기 데이터전압 공급기간의 초기 기간 동안 상기 게이트 온 전압의 제2 스테이지 제어신호를 출력하는 제2 출력 단자; 및
 상기 데이터전압 공급기간의 초기 기간 이후에 상기 게이트 온 전압의 제3 내지 제p+4 스테이지 제어신호들을 출력하는 제3 내지 제p+4 출력 단자들을 포함하는 유기발광표시장치.

청구항 7

제 6 항에 있어서,
 상기 논리합 게이트 연산부는 제1 논리합 게이트들과 제2 논리합 게이트들을 포함하고,
 상기 제1 논리합 게이트들 각각은 상기 제1 출력 단자로부터 출력된 상기 제1 스테이지 제어신호와 상기 제3 내지 제p+2 출력 단자들로부터 출력된 상기 제3 내지 제p+2 스테이지 제어신호들 중 어느 하나를 논리합 연산한 결과를 상기 스테이지들 중 어느 하나의 스타트 단자에 출력하고,
 상기 제2 논리합 게이트들 각각은 상기 제2 출력 단자로부터 출력된 상기 제2 스테이지 제어신호와 상기 제5 내지 제p+4 출력 단자들로부터 출력된 상기 제5 내지 제p+4 스테이지 제어신호들 중 어느 하나를 논리합 연산한 결과를 상기 스테이지들 중 어느 하나의 리셋 단자에 출력하는 유기발광표시장치.

청구항 8

제 7 항에 있어서,
 상기 스테이지들의 출력 단자들은 상기 스캔라인들에 비순차적인 순서로 접속되고, 상기 제3 내지 제p+4 출력 단자들은 상기 제1 및 제2 논리합 게이트들에 순차적으로 접속되는 유기발광표시장치.

청구항 9

제 7 항에 있어서,
 상기 스테이지들의 출력 단자들은 상기 스캔라인들에 순차적인 순서로 접속되고, 상기 제3 내지 제p+4 출력 단자들은 상기 제1 및 제2 논리합 게이트들에 비순차적인 순서로 접속되는 유기발광표시장치.

청구항 10

제 1 항에 있어서,
 상기 화소들은 초기화신호들이 공급되는 초기화라인들, 데이터전압들이 공급되는 데이터라인들, 기준전압이 공급되는 기준전압라인들, 및 구동전압이 공급되는 구동전압라인들에 접속되고,
 상기 화소는,
 유기발광다이오드;

게이트 전극과 소스 전극간 전압 차에 따라 상기 구동전압라인으로부터 상기 유기발광다이오드로 흐르는 전류를 제어하는 구동 트랜지스터;

상기 스캔라인의 상기 스캔신호에 의해 턴-온되어 상기 데이터라인의 전압을 상기 구동 트랜지스터의 게이트 전극에 공급하는 제1 트랜지스터;

상기 초기화라인의 상기 초기화신호에 의해 턴-온되어 상기 기준전압라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하는 제2 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함하는 커패시터를 포함하는 유기발광표시장치.

청구항 11

제 10 항에 있어서,
 상기 문턱전압 센싱기간은 제1 내지 제3 기간들을 포함하고, 상기 데이터전압 공급기간은 제4 및 제5 기간들을

포함하며,

상기 제1 기간 동안 상기 제1 및 제2 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 보상전압이 공급되고, 상기 구동 트랜지스터의 소스 전극에는 상기 기준전압 라인의 기준전압이 공급되고,

상기 제2 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 보상전압이 공급되며,

상기 제3 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 턴-오프전압이 공급되고,

상기 제4 기간 동안 상기 제1 및 제2 트랜지스터들은 턴-오프되어 상기 구동 트랜지스터의 게이트 전압과 소스 전압은 유지되며,

상기 제5 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 데이터전압이 공급되고,

상기 제5 기간 이후의 제6 기간 동안 상기 제1 및 제2 트랜지스터들은 턴-오프되고, 상기 유기발광다이오드가 상기 구동 트랜지스터의 전류에 따라 발광하는 유기발광표시장치.

청구항 12

제 10 항에 있어서,

상기 문턱전압 센싱기간은 제1 내지 제3 기간들을 포함하고, 상기 데이터전압 공급기간은 제4 및 제5 기간들을 포함하며,

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부; 및

상기 초기화라인들에 초기화신호들을 공급하는 초기화 구동부를 더 구비하고,

상기 데이터 구동부는 상기 데이터라인에 상기 제1 및 제2 기간들 동안 보상전압을 공급하고, 상기 제3 및 제4 기간들 동안 턴-오프전압을 공급하며, 상기 제5 기간 동안 상기 데이터전압을 공급하고,

상기 스캔 구동부는 상기 스캔라인에 상기 제1 내지 제3 기간들 및 상기 제5 기간 동안 게이트 온 전압을 갖는 스캔신호를 공급하고, 상기 제4 및 제5 기간들과 상기 제5 기간 이후의 제6 기간 동안 게이트 오프 전압을 갖는 스캔신호를 공급하며,

상기 초기화 구동부는 상기 초기화라인에 상기 제1 기간 동안 게이트 온 전압을 갖는 초기화신호를 공급하고, 상기 제2 내지 제6 기간들 동안 게이트 오프 전압을 갖는 초기화신호를 공급하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 이들 중에서 유기발광표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터 전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터

(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

- [0004] 하지만, 제조 공정의 불균일성으로 인해, 구동 트랜지스터의 문턱전압(threshold voltage)이 화소마다 달라지는 문제가 있다. 이 경우, 화소들 각각에 동일한 데이터 전압을 인가하더라도, 화소들 사이의 구동 트랜지스터의 문턱전압 차이로 인하여, 유기발광다이오드가 발광하는 휘도가 화소마다 달라진다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압을 보상하는 보상 방법이 제안되었다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

- [0006] 본 발명의 실시예에 따른 유기발광표시장치는 표시패널과 스캔 구동부를 포함한다. 상기 표시패널은 q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되며, 상기 블록들 각각에는 p (p 는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소들이 마련된다. 상기 스캔 구동부는 1 프레임 기간을 문턱전압 센싱기간과 데이터전압 공급기간을 포함하는 q 개의 서브 프레임 기간들로 분할하여 구동하고, 상기 p 개의 스캔라인들에 상기 문턱전압 센싱기간 동안 게이트 온 전압의 스캔신호들을 동시에 공급하고, 상기 데이터전압 공급기간 동안 상기 게이트 온 전압의 스캔신호들을 비순차적인 순서로 공급한다.
- [0007] 상기 스캔 구동부는 상기 데이터전압 공급기간 동안 상기 p 개의 스캔라인들 중 기수 스캔라인들에 상기 게이트 온 전압의 스캔신호들을 순차적으로 공급한 후 우수 스캔라인들에 상기 게이트 온 전압의 스캔신호들을 역순으로 공급한다.
- [0008] 상기 스캔 구동부는 상기 p 개의 스캔라인들에 접속되는 스테이지들, 상기 스테이지들을 제어하기 위한 스테이지 제어신호들을 출력하는 복수의 출력단자들을 포함하는 스테이지 제어부, 및 상기 스테이지 제어신호들을 논리합 연산하여 상기 스테이지들로 출력하는 논리합 게이트 연산부를 포함한다.
- [0009] 상기 스테이지들 각각은 게이트 온 전압의 신호가 스타트 단자로 입력되는 경우 클럭 단자로 입력되는 클럭 신호를 출력 단자로 출력하고, 상기 게이트 온 전압의 신호가 리셋 단자로 입력되는 경우 게이트 오프 전압을 상기 출력 단자로 출력한다.
- [0010] 상기 스테이지 제어부는 상기 문턱전압 센싱기간 동안 게이트 온 전압의 제1 스테이지 제어신호를 출력하는 제1 출력 단자, 상기 문턱전압 센싱기간 이후에 상기 데이터전압 공급기간의 초기 기간 동안 상기 게이트 온 전압의 제2 스테이지 제어신호를 출력하는 제2 출력 단자, 및 상기 데이터전압 공급기간의 초기 기간 이후에 상기 게이트 온 전압의 제3 내지 제 $p+4$ 스테이지 제어신호들을 출력하는 제3 내지 제 $p+4$ 출력 단자들을 포함한다.
- [0011] 상기 논리합 게이트 연산부는 제1 논리합 게이트들과 제2 논리합 게이트들을 포함한다. 상기 제1 논리합 게이트들 각각은 상기 제1 출력 단자로부터 출력된 상기 제1 스테이지 제어신호와 상기 제3 내지 제 $p+2$ 출력 단자들로부터 출력된 상기 제3 내지 제 $p+2$ 스테이지 제어신호들 중 어느 하나를 논리합 연산한 결과를 상기 스테이지들 중 어느 하나의 스타트 단자에 출력한다. 상기 제2 논리합 게이트들 각각은 상기 제2 출력 단자로부터 출력된 상기 제2 스테이지 제어신호와 상기 제5 내지 제 $p+4$ 출력 단자들로부터 출력된 상기 제5 내지 제 $p+4$ 스테이지 제어신호들 중 어느 하나를 논리합 연산한 결과를 상기 스테이지들 중 어느 하나의 리셋 단자에 출력한다.
- [0012] 상기 스테이지들의 출력 단자들은 상기 스캔라인들에 비순차적인 순서로 접속되고, 상기 제3 내지 제 $p+4$ 출력 단자들은 상기 제1 및 제2 논리합 게이트들에 순차적으로 접속된다.
- [0013] 상기 스테이지들의 출력 단자들은 상기 스캔라인들에 순차적인 순서로 접속되고, 상기 제3 내지 제 $p+4$ 출력 단자들은 상기 제1 및 제2 논리합 게이트들에 비순차적인 순서로 접속된다.
- [0014] 상기 화소들은 초기화신호들이 공급되는 초기화라인들, 데이터전압들이 공급되는 데이터라인들, 및 구동전압이

공급되는 구동전압라인들에 접속된다. 상기 화소는 유기발광다이오드, 구동 트랜지스터, 제1 및 제2 트랜지스터들, 및 커패시터를 포함한다. 상기 구동 트랜지스터는 게이트 전극과 소스 전극간 전압 차에 따라 상기 구동 전압라인으로부터 상기 유기발광다이오드로 흐르는 전류를 제어한다. 상기 제1 트랜지스터는 상기 스캔라인의 상기 스캔신호에 의해 턴-온되어 상기 데이터라인의 전압을 상기 구동 트랜지스터의 게이트 전극에 공급한다. 상기 제2 트랜지스터는 상기 초기화라인의 상기 초기화신호에 의해 턴-온되어 상기 기준전압라인의 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급한다. 상기 커패시터는 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 전극과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 전극을 포함한다.

[0015] 상기 문턱전압 센싱기간은 제1 내지 제3 기간들을 포함하고, 상기 데이터전압 공급기간은 제4 및 제5 기간들을 포함한다. 상기 제1 기간 동안 상기 제1 및 제2 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 보상전압이 공급되고, 상기 구동 트랜지스터의 소스 전극에는 상기 기준전압 라인의 기준전압이 공급된다. 상기 제2 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 보상전압이 공급된다. 상기 제3 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 턴-오프전압이 공급된다. 상기 제4 기간 동안 상기 제1 및 제2 트랜지스터들은 턴-오프되어 상기 구동 트랜지스터의 게이트 전압과 소스 전압은 유지된다. 상기 제5 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 데이터전압이 공급된다. 상기 제5 기간 이후의 제6 기간 동안 상기 제1 및 제2 트랜지스터들은 턴-오프되고, 상기 유기발광다이오드가 상기 구동 트랜지스터의 전류에 따라 발광된다.

[0016] 본 발명의 실시예에 따른 유기발광표시장치는 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부, 및 상기 초기화라인들에 초기화신호들을 공급하는 초기화 구동부를 더 구비한다. 상기 데이터 구동부는 상기 데이터라인에 상기 제1 및 제2 기간들 동안 보상전압을 공급하고, 상기 제3 및 제4 기간들 동안 턴-오프전압을 공급하며, 상기 제5 기간 동안 상기 데이터전압을 공급한다. 상기 스캔 구동부는 상기 스캔라인에 상기 제1 내지 제3 기간들 및 상기 제5 기간 동안 게이트 온 전압을 갖는 스캔신호를 공급하고, 상기 제4 및 제5 기간들과 상기 제5 기간 이후의 제6 기간 동안 게이트 오프 전압을 갖는 스캔신호를 공급한다. 상기 초기화 구동부는 상기 초기화라인에 상기 제1 기간 동안 게이트 온 전압을 갖는 초기화신호를 공급하고, 상기 제2 내지 제6 기간들 동안 게이트 오프 전압을 갖는 초기화신호를 공급한다.

발명의 효과

[0017] 본 발명의 실시예는 소정의 기간 동안 구동 트랜지스터의 소스 전극에 구동 트랜지스터의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류에 따라 유기발광다이오드를 발광할 수 있다.

[0018] 또한, 본 발명의 실시예는 표시패널을 복수의 블록들로 분할하고, 블록들을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터의 문턱전압 센싱을 동시에 실시하고, 화소들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간을 충분히 확보할 수 있는 장점이 있다.

[0019] 또한, 본 발명의 실시예는 구동 트랜지스터의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(V_s)을 " α "만큼 상승시킨다. 이때, 소스 전극의 전압의 상승량인 " α "는 구동 트랜지스터의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 구동 트랜지스터의 전자이동도에 따라 게이트 전극과 소스 전극 간의 전압차를 조정할 수 있으므로, 구동 트랜지스터의 전자이동도를 보상할 수 있다.

[0020] 또한, 본 발명의 실시예는 서브 프레임 기간들 각각의 데이터전압 공급기간 동안 게이트 온 전압의 스캔신호들을 비순차적인 순서로 공급한다. 그 결과, 본 발명의 실시예는 서브 프레임 기간들 각각의 데이터전압 공급기간 동안 게이트 온 전압의 스캔신호들을 순차적으로 공급할 때보다 제1 블록의 제p 스캔라인에 접속된 화소의 발광 기간과 제2 블록의 제1 스캔라인에 접속된 화소의 발광 기간 사이의 차이를 줄일 수 있다. 그 결과, 본 발명의 실시예는 블록들 각각의 스캔라인들의 개수를 줄이지 않더라도 블록들 간의 경계에서 휘도 차이를 시인하는 문제를 해결할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도.
 도 2는 도 1의 표시패널의 블록들을 보여주는 일 예시도면.
 도 3은 도 1의 화소의 일 예를 보여주는 회로도.
 도 4는 도 3의 화소에 공급되는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도.
 도 5는 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도.
 도 6a 내지 도 6f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들.
 도 7은 제N 및 제N+1 프레임 기간들 동안 표시패널에 공급되는 스캔신호들과 초기화신호들의 일 예를 보여주는 파형도.
 도 8은 블록들 각각의 스캔라인들의 개수에 따른 1 수평 기간의 길이를 보여주는 그래프.
 도 9는 제N 및 제N+1 프레임 기간들 동안 표시패널에 공급되는 스캔신호들과 초기화신호들의 또 다른 예를 보여주는 파형도.
 도 10은 제1 블록의 제1 내지 제9 스캔신호들을 보여주는 파형도.
 도 11은 스캔 구동부의 제1 블록의 스테이지들과 스테이지 제어부의 일 예를 보여주는 블록도.
 도 12는 도 11의 제i 스테이지를 상세히 보여주는 블록도.
 도 13은 제1 내지 제4 스타트 제어신호들, 제1 내지 제4 클럭신호들, 및 제1 내지 제9 스테이지들의 제1 내지 제9 출력신호들을 보여주는 파형도.
 도 14는 스캔 구동부의 제1 블록의 스테이지들과 스테이지 제어부의 또 다른 예를 보여주는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 및 타이밍 제어부(50)를 포함한다.
- [0024] 표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 및 초기화라인들(IL1~ILn)이 형성된다. 데이터라인들(D1~Dm)은 스캔라인들(S1~Sn) 및 초기화라인들(IL1~ILn)과 교차되도록 형성될 수 있다. 스캔라인들(S1~Sn)과 초기화라인들(IL1~ILn)은 서로 나란하게 형성될 수 있다. 또한, 표시패널(10)에는 도 3과 같이 구동전압라인(EVDL)들과 기준전압라인(VRL)들이 형성될 수 있다.
- [0025] 표시패널(10)의 화소(P)들 각각은 도 1과 같이 데이터라인들(D1~Dm) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 초기화라인들(IL1~ILn) 중 어느 하나에 접속될 수 있다. 또한, 표시패널(10)의 화소(P)들 각각은 도 3과 같이 구동전압라인(VDL)들 중 어느 하나, 기준전압라인(VRL)들 중 어느 하나에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 의해 제어되는 제1 트랜지스터, 초기화라인의 초기화신호에 의해 제어되는 제2 트랜지스터, 유기발광다이오드(organic light emitting diode), 및 커패시터(capacitor)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 3을 결부하여 후술한다.
- [0026] 표시패널(10)은 도 2와 같이 복수의 블록들로 분할될 수 있다. 도 2에서는 설명의 편의를 위해 표시패널(10)의 스캔라인들(S1~S3p), 초기화라인들(IL1~IL3p), 화소(P)들, 스캔 구동부(30), 및 초기화 구동부(40)만을 예시하

였다. 또한, 도 2에서는 설명의 편의를 위해 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0027] 도 2를 참조하면, 블록들(BL1, BL2, BL3) 각각은 동일한 개수의 화소(P)들을 포함할 수 있다. 구체적으로, 표시패널(10)이 q (q 는 2 이상의 양의 정수) 개의 블록들로 분할되는 경우, q 개의 블록들 각각은 p (p 는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 이때, " p "는 " n "(스캔라인들의 총 개수)을 " q "(블록들의 개수)로 나눈 값일 수 있다.

[0028] 예를 들어, 표시패널(10)이 도 2와 같이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 블록들(BL1, BL2, BL3) 각각은 p 개의 스캔라인들(초기화라인들 또는 구동전압 라인들)에 접속된 화소(P)들을 포함할 수 있다. 도 2와 같이 제1 블록(BL1)은 제1 내지 제 p 스캔라인들($S1 \sim Sp$)에 접속된 화소(P)들을 포함하고, 제2 블록(BL2)은 제 $p+1$ 내지 제 $2p$ 스캔라인들($Sp+1 \sim S2p$)에 접속된 화소(P)들을 포함하며, 제3 블록(BL3)은 제 $2p+1$ 내지 제 $3p$ 스캔라인들($S2p+1 \sim S3p$)에 접속된 화소(P)들을 포함할 수 있다. 한편, 스캔라인들($S1 \sim Sn$)과 초기화라인들($IL1 \sim ILn$)은 서로 나란하므로, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 초기화라인들에 접속된 화소(P)들과 실질적으로 동일한 화소(P)들을 지시한다.

[0029] 데이터 구동부(20)는 적어도 하나의 소스 드라이브 집적회로(integrated circuit 이하 "IC"라 칭함)를 포함한다. 소스 드라이브 IC는 데이터라인들($D1 \sim Dm$)에 접속되어 데이터 전압들을 공급한다. 소스 드라이브 IC는 타이밍 제어부(50)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력 받는다. 소스 드라이브 IC는 소스 타이밍 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 데이터전압들로 변환하여 데이터라인들($D1 \sim Dm$)에 공급한다. 또한, 소스 드라이브 IC는 데이터전압들 이외에 보상전압 및 턴-오프전압을 데이터라인들($D1 \sim Dm$)에 공급할 수 있다. 소스 드라이브 IC의 보상전압, 턴-오프전압 및 데이터전압 공급에 대한 자세한 설명은 도 4를 결부하여 후술한다.

[0030] 스캔 구동부(30)는 스캔라인들($S1 \sim Sn$)에 접속되어 스캔신호들을 공급한다. 스캔 구동부(30)는 타이밍 제어부(50)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들($S1 \sim Sn$)에 스캔신호들을 공급한다. 스캔 구동부(30)의 스캔신호 공급에 대한 자세한 설명은 도 4, 도 7 및 도 9를 결부하여 후술한다.

[0031] 초기화 구동부(40)는 초기화라인들($IL1 \sim ILn$)에 접속되어 초기화신호들을 공급한다. 구체적으로, 초기화 구동부(40)는 타이밍 제어부(50)로부터 입력되는 초기화 타이밍 제어신호(ICS)에 따라 초기화라인들($IL1 \sim ILn$)에 초기화신호들을 공급한다. 초기화 구동부(40)의 초기화신호 공급에 대한 자세한 설명은 도 4, 도 7 및 도 9를 결부하여 후술한다.

[0032] 타이밍 제어부(50)는 외부로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(50)는 데이터 구동부(20), 스캔 구동부(30), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS, 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 및 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 초기화 타이밍 제어신호(ICS)를 포함한다.

[0033] 타이밍 제어부(50)는 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(50)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력한다. 타이밍 제어부(50)는 초기화 타이밍 제어신호(ICS)를 초기화 구동부(40)로 출력한다.

[0034] 도 3은 도 1의 화소의 일 예를 보여주는 회로도이다. 도 3에서는 설명의 편의를 위해 제 k (k 는 $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인(Sk), 제 k 초기화라인(ILk), 제 j (j 는 $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(Dj), 구동전압라인(VDL), 및 기준전압라인(VRL)에 접속된 화소(P)를 예시하였다. 도 3을 참조하면, 화소(P)는 유기발광다이오드(OLED)와 유기발광다이오드(OLED)에 구동전류를 공급하기 위한 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 커패시터(C)를 포함할 수 있다.

[0035] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 흐르는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 구동전압보다 낮은 저전위 구동전압이 공급되는 저전위 구동전압라인(EVSL)에 접속될 수 있다.

[0036] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode

electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

- [0037] 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 구동전압이 공급되는 구동전압라인(VDL)에 접속된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차에 따라 제k 구동전압라인(VDLk)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 제어한다.
- [0038] 제1 트랜지스터(T1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속된다. 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)에 게이트 온 전압의 제k 스캔신호가 공급되는 경우 턴-온되어 제j 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다.
- [0039] 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(ILk)에 접속되고, 제1 전극은 기준전압라인(VRL)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속된다. 제2 트랜지스터(ST2)는 제k 초기화라인(ILk)에 게이트 온 전압의 제k 초기화신호가 공급되는 경우 턴-온되어 기준전압라인(VRL)의 기준전압을 구동 트랜지스터(DT)의 소스 전극에 공급한다.
- [0040] 도 3에서 제1 및 제2 트랜지스터들(ST1, ST2)의 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.
- [0041] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 전극과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 전극을 포함한다. 커패시터(C)에는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차가 저장된다.
- [0042] 도 3에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 4, 도 7, 도 9 및 도 10의 파형도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.
- [0043] 이상에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 화소(P)는 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1)와, 기준전압라인(VRL)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2)를 포함한다. 그 결과, 본 발명의 실시예는 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-온과 제j 데이터라인(Dj)에 공급되는 전압을 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 도 3에 도시된 화소(P)의 구동 트랜지스터(DT)의 문턱전압 보상에 대한 자세한 설명은 도 4, 도 5 및 도 6a 내지 도 6f를 결부하여 후술한다.
- [0044] 도 4는 도 3의 화소에 공급되는 제k 스캔신호, 제k 초기화신호, 제j 데이터신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다. 도 4에는 1 서브 프레임 기간 동안 도 3의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 초기화라인(ILk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트 전압(Vg)과 소스 전압(Vs)이 나타나 있다. 1 프레임 기간은 도 7과 같이 복수의 서브 프레임 기간들로 분할될 수 있다.
- [0045] 도 4를 참조하면, 1 서브 프레임 기간은 제1 내지 제6 기간들(t1~t6)로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 게이트 전극을 보상전압(Vcomp)으로 초기화하는 기간이다. 제2 기간(t2)은 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극에 턴-오프 전압(Vt)을 공급하는 기간이다. 제4 기간(t4)은 구동 트랜지스터(DT)의 게이트-소스 간 전압(Vgs)을 유지하는 기간이다. 제5 기간(t5)은 구동 트랜지스터(DT)의 게이트 전극에 데이터 전압(Vdata)을 공급하는 기간이다. 제6 기간(t6)은 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광하는 기간이다. 제2 기간(t2)은 제1, 제3 및 제5 기간들(t1, t3, t5) 각각보다 길게 구현되는 것이 바람직하다.
- [0046] 데이터 구동부(20)는 제1 및 제2 기간들(t1, t2) 동안 제j 데이터라인(Dj)에 보상전압(Vcomp)을 공급한다. 보

상전압(V_{comp})은 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 보상전압(V_{comp})은 도 4와 같이 기준전압(V_{ref})보다 높은 전압일 수 있다.

[0047] 데이터 구동부(20)는 제3 및 제4 기간들(t_3 , t_4) 동안 제j 데이터라인(D_j)에 턴-오프전압(V_t)을 공급한다. 턴-오프전압(V_t)은 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 턴-오프전압(V_t)은 도 4와 같이 보상전압(V_{comp})보다 낮은 전압일 수 있으며, 턴-오프 전압(V_t)은 기준전압(V_{ref})과 동일한 전압으로 설정될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 구체적으로, 구동 트랜지스터(DT)를 턴-오프시키기 위해서, 턴-오프전압(V_t)과 제3 기간(t_3) 동안 구동 트랜지스터(DT)의 소스 전압($V_{comp} - V_{th} - \beta$) 간의 전압 차는 구동 트랜지스터(DT)의 문턱전압보다 낮게 설정되는 것이 바람직하다.

[0048] 데이터 구동부(20)는 제5 기간(t_5) 동안 제j 데이터라인(D_j)에 데이터전압(V_{data})을 공급한다. 데이터전압(V_{data})은 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 공급되는 전압이다. 예를 들어, 데이터 구동부(20)에 공급되는 디지털 비디오 데이터(DATA)가 8 비트인 경우, 데이터전압(V_{data})은 256 개의 전압들 중 어느 하나로 공급될 수 있다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 데이터전압(V_{data})은 도 4와 같이 보상전압(V_{comp})보다 높은 전압일 수 있다.

[0049] 스캔 구동부(30)는 도 4와 같이 제1 내지 제3 및 제5 기간들($t_1 \sim t_3$, t_5) 동안 제k 스캔라인(S_k)에 게이트 온 전압(V_{on})의 제k 스캔신호(SCANK)를 공급한다. 스캔 구동부(30)는 제4 및 제6 기간들(t_4 , t_6) 동안 제k 스캔라인(S_k)에 게이트 오프 전압(V_{off})의 제k 스캔신호(SCANK)를 공급한다.

[0050] 초기화 구동부(40)는 도 4와 같이 제1 기간(t_1) 동안 제k 초기화라인(ILk)에 게이트 온 전압(V_{on})의 제k 초기화신호(SENSk)를 공급한다. 초기화 구동부(40)는 제2 내지 제6 기간들($t_2 \sim t_6$) 동안 제k 초기화라인(ILk)에 게이트 오프 전압(V_{off})의 제k 초기화신호(SENSk)를 공급한다.

[0051] 도 5는 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도이다. 도 6a 내지 도 6f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들이다.

[0052] 화소(P)의 구동 트랜지스터(DT)의 문턱전압을 보상하는 보상방법은 크게 내부 보상방법과 외부 보상방법으로 구분된다. 내부 보상방법은 화소(P)의 내부에서 구동 트랜지스터(DT)의 문턱전압을 센싱하여 보상하는 방법이다. 외부 보상방법은 화소(P)에 미리 설정된 전압을 공급하고, 상기 미리 설정된 전압에 따라 상기 화소(P)의 구동 트랜지스터(DT)의 소스 전극의 전압을 소정의 센싱라인을 통해 센싱하며, 센싱된 전압을 이용하여 상기 화소(P)에 공급될 디지털 비디오 데이터를 보상하는 방법이다. 본 발명의 실시예는 내부 보상방법에 의해 구동 트랜지스터(DT)의 문턱전압을 보상한다.

[0053] 이하에서는 도 4, 도 5 및 도 6a 내지 도 6f를 결부하여 본 발명의 일 실시예에 따른 화소(P)의 구동방법을 상세히 살펴본다. 도 6a 내지 도 6f에서 설명의 편의를 위해 턴-오프되는 트랜지스터는 점선으로 도시하였다.

[0054] 첫 번째로, 제1 기간(t_1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(V_{ref})으로 초기화하고, 게이트 전극을 보상전압(V_{comp})으로 초기화한다.

[0055] 제1 기간(t_1) 동안 제k 스캔라인(S_k)에는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제1 기간(t_1) 동안 제k 초기화라인(ILk)에는 게이트 온 전압(V_{on})을 갖는 제k 초기화신호(SENSk)가 공급된다. 제1 기간(t_1) 동안 제j 데이터라인(D_j)에는 보상전압(V_{comp})이 공급된다.

[0056] 제1 기간(t_1) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 4 및 도 6a와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(D_j)의 보상전압(V_{comp})이 공급된다. 제1 기간(t_1) 동안 제2 트랜지스터(ST2)는 게이트 온 전압(V_{on})을 갖는 제k 초기화신호(ILk)에 의해 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 도 4 및 도 6a와 같이 구동 트랜지스터(DT)의 소스 전극에는 기준전압 라인(VRL)의 기준전압(V_{ref})이 공급된다. (도 5의 S101)

[0057] 두 번째로, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 문턱전압을 센싱한다.

[0058] 제2 기간(t_2) 동안 제k 스캔라인(S_k)에는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제2 기간(t_2) 동안 제k 초기화라인(ILk)에는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSk)가 공급된다. 제2 기간(t_2) 동안 제j 데이터라인(D_j)에는 보상전압(V_{comp})이 공급된다.

- [0059] 제2 기간(t_2) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 4 및 도 6b와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 보상전압(V_{comp})이 공급된다. 제2 기간(t_2) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(ILK)에 의해 턴-오프된다.
- [0060] 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차($V_{gs}=V_{comp}-V_{ref}$)가 구동 트랜지스터(DT)의 문턱전압(threshold voltage, V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류를 흘리게 된다. 이로 인해, 구동 트랜지스터(DT)의 소스 전압(V_s)은 도 4 및 도 6b와 같이 " $V_{comp}-V_{th}$ "까지 상승한다. 따라서, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압이 센싱된다. (도 5의 S102)
- [0061] 세 번째로, 제3 기간(t_3) 동안 구동 트랜지스터(DT)의 게이트 전극에 턴-오프전압(V_t)을 공급한다.
- [0062] 제3 기간(t_3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제3 기간(t_3) 동안 제k 초기화라인(ILK)에는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSK)가 공급된다. 제3 기간(t_3) 동안 제j 데이터라인(Dj)에는 턴-오프전압(V_t)이 공급된다.
- [0063] 제3 기간(t_3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 4 및 도 6c와 같이 구동 트랜지스터(DT)의 게이트 전극에는 턴-오프 전압(V_t)이 공급된다. 제3 기간(t_3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(ILK)에 의해 턴-오프된다.
- [0064] 한편, 제3 기간(t_3) 동안 도 4 및 도 6c와 같이 구동 트랜지스터(DT)의 게이트 전압(V_g)은 턴-오프전압(V_t)이고, 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극의 전압 변화량이 반영되므로 소스 전압(V_s)은 " $V_{comp}-V_{th}-\beta$ "로 하강한다. (도 5의 S103)
- [0065] 네 번째로, 제4 기간(t_4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압(V_s)을 유지한다.
- [0066] 제4 기간(t_4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(V_{off})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제4 기간(t_4) 동안 제k 초기화라인(ILK)에는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSK)가 공급된다. 제4 기간(t_4) 동안 제j 데이터라인(Dj)에는 턴-오프전압(V_t)이 공급된다.
- [0067] 제4 기간(t_4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(V_{off})을 갖는 제k 스캔신호(SCANK)에 의해 턴-오프된다. 제4 기간(t_4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(ILK)에 의해 턴-오프된다.
- [0068] 제4 기간(t_4) 동안 구동 트랜지스터(DT)의 게이트 전극의 전압(V_g)은 도 4 및 도 6d와 같이 제3 기간(t_3) 동안 공급된 턴-오프 전압(V_t)을 유지한다. 따라서, 제4 기간(t_4) 동안 구동 트랜지스터(DT)는 제3 기간(t_3)에 이어서 턴-오프된 상태를 유지한다.
- [0069] 한편, 도 7을 참조하면, 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 p 개의 스캔 신호들은 순차적으로 공급되기 때문에, p 개의 스캔신호들의 제4 기간(t_4)들의 길이들은 서로 다르다. 즉, 블록들 각각에서 화소가 어느 스캔라인에 접속되었는지에 따라 제4 기간(t_4)의 길이가 달라질 수 있다. 제3 및 제4 기간들(t_3 , t_4) 동안 구동 트랜지스터(DT)를 턴-오프시키지 않고, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 제2 기간(t_2)과 동일하게 유지하는 경우, 구동 트랜지스터(DT)를 통해 미세하게 전류가 흐를 수 있다. 그러므로, 제4 기간(t_4) 동안 구동 트랜지스터(DT)를 턴-오프시키지 않는다면, 구동 트랜지스터(DT)를 통해 미세하게 흐르는 전류로 인하여 소스전극의 전압(V_s)이 변동되는 문제가 발생할 수 있다.
- [0070] 하지만, 본 발명의 실시예는 제4 기간(t_4) 동안 구동 트랜지스터(DT)를 턴-오프시키므로써, 구동 트랜지스터(DT)의 소스 전극의 전압(V_s)을 그대로 유지할 수 있다. 따라서, 제4 기간(t_4) 동안 도 4 및 도 6d와 같이 구동 트랜지스터(DT)의 소스전압(V_s)은 " $V_{comp}-V_{th}-\beta$ "를 유지한다. (도 5의 S104)
- [0071] 다섯 번째로, 제5 기간(t_5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다.
- [0072] 제5 기간(t_5) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)가 공급된다. 제5 기간(t_5) 동안 제k 초기화라인(ILK)에는 게이트 오프 전압(V_{off})을 갖는 제k 초기화신호(SENSK)가 공급된다. 제5 기간(t_5) 동안 제j 데이터라인(Dj)에는 데이터전압(V_{data})이 공급된다.
- [0073] 제5 기간(t_5) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(V_{on})을 갖는 제k 스캔신호(SCANK)에 의해 턴-온된다.

제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 데이터전압(Vdata)이 공급된다. 제5 기간(t5) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(ILk)에 의해 턴-오프된다.

[0074] 한편, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자 이동도(mobility, μ)를 보상할 수 있다. 제5 기간(t5) 동안 구동 트랜지스터(DT)는 게이트 전극과 소스 전극간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta)$)가 문턱전압(V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차가 문턱 전압에 도달할 때까지 전류를 흘리게 된다. 하지만, 제5 기간(t5)은 제2 기간(t2)보다 짧으며, 이로 인해 구동 트랜지스터(DT)의 소스 전압(V_s)이 " $V_{data}-V_{th}$ "에 도달하기 전에 제5 기간(t5)이 끝나게 된다.

[0075] 구동 트랜지스터(DT)의 전류는 수학식 2와 같이 구동 트랜지스터(DT)의 전자이동도(K)에 비례하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압(V_s)의 상승량은 구동 트랜지스터(DT)의 전자이동도(K)에 비례한다. 즉, 구동 트랜지스터(DT)의 전자이동도가 클수록 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스 전압(V_s)의 상승량은 더욱 커진다.

[0076] 결국, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 소스 전압(V_s)의 상승량이 달라지며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})가 달라진다. 즉, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다. 예를 들어, 제5 기간(t5) 동안 도 4 및 도 6e와 같이 구동 트랜지스터의 게이트 전압(V_g)은 " V_{data} "이고, 소스 전압(V_s)은 " $V_{comp}-V_{th}-\beta+\alpha$ "까지 상승한다. 이때, " α "는 제5 기간(t5) 동안 소스 전압(V_s)의 상승량으로 정의될 수 있다. 그러므로, 제5 기간(t5) 동안 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(V_{gs})인 " $V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$ "를 저장한다. (도 5의 S105)

[0077] 여섯 번째로, 제6 기간(t6) 동안 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광한다.

[0078] 제6 기간(t6) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제6 기간(t6) 동안 제k 초기화라인(ILk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다.

[0079] 제6 기간(t6) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제6 기간(t6) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(ILk)에 의해 턴-오프된다.

[0080] 제6 기간(t6) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차($V_{gs}=V_{data}-(V_{comp}-V_{th}-\beta+\alpha)$)는 일정하게 유지될 수 있다. 그 결과, 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(I_{ds})는 수학식 1과 같이 정의될 수 있다.

수학식 1

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - (V_{comp} - V_{th} - \beta + \alpha) - V_{th})^2$$

[0081]

[0082] 수학식 1을 정리하면, 수학식 2가 도출된다.

수학식 2

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (V_{data} - V_{comp} + \beta - \alpha)^2$$

[0083]

[0084] 결국, 수학식 2와 같이 구동 트랜지스터(DT)의 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상된다. 결국, 유기발광다이오드(OLED)는 도 6f와 같이 구동 트랜지스터(DT)의 문턱전압(V_{th})이 보상된 구동 트랜지스터(DT)의 전류(I_{ds})에 따라 발광한다. (도 5

의 S106)

- [0085] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t_1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(V_{ref})으로 초기화하고, 제2 기간(t_2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 수식식 2와 같이 문턱전압이 보상된 구동 트랜지스터의 전류(I_{ds})에 따라 유기발광다이오드(OLED)를 발광할 수 있다.
- [0086] 또한, 본 발명의 실시예는 제5 기간(t_5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(V_s)을 " α "만큼 상승시킨다. 이때, 소스 전극의 전압(V_s)의 상승량인 " α "는 구동 트랜지스터(DT)의 전하이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제5 기간(t_5) 동안 구동 트랜지스터(DT)의 전하이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(V_{gs})를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전하이동도(K)를 보상할 수 있다.
- [0087] 도 7은 제N 및 제N+1 프레임 기간들 동안 표시패널에 공급되는 스캔신호들과 초기화신호들의 일 예를 보여주는 파형도이다. 도 7에는 제N(N은 양의 정수) 및 제N+1 프레임 기간들 동안 도 2의 제1 내지 제3p 스캔라인들($S_1 \sim S_{3p}$)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 및 제1 내지 제3p 초기화라인들($S_1 \sim S_{3p}$)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.
- [0088] 도 7을 참조하면, 1 프레임 기간은 q 개의 서브 프레임 기간들을 포함한다. 예를 들어, 도 2와 같이 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 1 프레임 기간은 3 개의 서브 프레임 기간들(SF1, SF2, SF3)을 포함할 수 있다.
- [0089] q 개의 서브 프레임 기간들 각각은 도 7과 같이 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 블록의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이고, 데이터전압 공급기간(DP)은 블록의 화소(P)들에 데이터전압들을 공급하는 기간이다. 문턱전압 센싱기간(ST)은 도 4의 제1 내지 제3 기간들($t_1 \sim t_3$)을 포함하고, 데이터전압 공급기간(DP)은 도 4의 제4 및 제5 기간들(t_4, t_5)을 포함할 수 있다. 제1 내지 제5 기간들($t_1 \sim t_5$)에 대하여는 도 4를 결부하여 이미 자세히 설명하였다.
- [0090] 스캔 구동부(30)와 초기화 구동부(40)는 제1 블록(BL1)의 화소(P)들에 접속된 스캔라인들($S_1 \sim S_p$)과 초기화라인들($SEN_1 \sim SEN_p$)에 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN1~SCANp)과 게이트 온 전압(V_{on})의 초기화신호들(SENS1~SENSp)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN1~SCANp)을 순차적으로 공급한다. 이로 인해, 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(ST) 동안 제1 블록(BL1)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제1 블록(BL1)의 화소(P)들 각각에 데이터전압이 공급되므로 제1 블록(BL1)의 화소(P)들은 발광한다.
- [0091] 스캔 구동부(30)와 초기화 구동부(40)는 제2 블록(BL2)의 화소(P)들에 접속된 스캔라인들($S_{p+1} \sim S_{2p}$)과 초기화라인들($SEN_{p+1} \sim SEN_{2p}$)에 제2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN $_{p+1}$ ~SCAN $_{2p}$)과 게이트 온 전압(V_{on})의 초기화신호들(SENS $_{p+1}$ ~SENS $_{2p}$)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN $_{p+1}$ ~SCAN $_{2p}$)을 순차적으로 공급한다. 이로 인해, 제2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(ST) 동안 제2 블록(BL2)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제2 블록(BL2)의 화소(P)들 각각에 데이터전압이 공급되므로 제2 블록(BL2)의 화소(P)들은 발광한다.
- [0092] 스캔 구동부(30)와 초기화 구동부(40)는 제3 블록(BL3)의 화소(P)들에 접속된 스캔라인들($S_{2p+1} \sim S_{3p}$)과 초기화라인들($SEN_{2p+1} \sim SEN_{3p}$)에 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN $_{2p+1}$ ~SCAN $_{3p}$)과 게이트 온 전압(V_{on})의 초기화신호들(SENS $_{2p+1}$ ~SENS $_{3p}$)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(V_{on})의 스캔신호들(SCAN $_{2p+1}$ ~SCAN $_{3p}$)을 순차적으로 공급한다. 이로 인해, 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(ST) 동안 제3 블록(BL3)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제3 블록(BL3)의 화소(P)들 각각에 데이터전압이 공급되므로 제3 블록(BL3)의 화소(P)들은 발광한다.
- [0093] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시패널(10)을 복수의 블록들(BL1, BL2, BL3)로 분할하고, 블록들(BL1, BL2, BL3)을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터(DT)의 문턱전압 센싱을 동시에 실시하고, 화소(P)들에 데이터전압들을 순차적으로 공급할

수 있다. 따라서, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간(DP)을 충분히 확보할 수 있는 장점이 있다.

[0094] 한편, 도 2 및 도 7을 참조하면, 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들은 스캔라인들에 순차적으로 공급되기 때문에, 제4 기간(t4)의 길이는 제1 스캔라인(S1)으로부터 제p 스캔라인(Sp)으로 갈수록, 제p+1 스캔라인(Sp+1)으로부터 제2p 스캔라인(S2p)으로 갈수록, 제2p+1 스캔라인(S2p+1)으로부터 제3p 스캔라인(S3p)으로 갈수록 길어진다. 이로 인해, 제p 스캔신호(SCANp)가 공급되는 제1 블록(BL1)의 제p 스캔라인(Sp)에 접속된 화소(P)의 발광 기간(t6')은 가장 짧고, 제p+1 스캔신호(SCANp+1)가 공급되는 제2 블록(BL2)의 제1 스캔라인(S1)에 접속된 화소(P)의 발광 기간(t6'')은 가장 길다. 그러므로, 시청자는 제1 블록(BL1)과 제2 블록(BL2)의 경계에서 휘도 차이를 시인하는 문제가 발생할 수 있다. 이러한 문제는 제2 블록(BL2)과 제3 블록(BL3)의 경계에서도 발생할 수 있다.

[0095] 블록들(BL1~BL3) 각각의 스캔라인들의 개수를 줄이는 경우, 제1 블록(BL1)의 제p 스캔라인(Sp)에 접속된 화소(P)의 발광 기간(t6')과 제2 블록(BL2)의 제1 스캔라인(S1)에 접속된 화소(P)의 발광 기간(t6'') 사이의 차이가 줄어들기 때문에, 제1 블록(BL1)과 제2 블록(BL2)의 경계에서 휘도 차이를 시인하는 문제를 해결할 수 있다. 하지만, 도 8과 같이 블록들(BL1~BL3) 각각의 스캔라인들의 개수가 증가함에 따라 1 수평기간의 길이(1HT)는 길어진다. 특히, 데이터전압을 화소(P)에 안정적으로 공급하기 위해서는, 1 수평기간의 길이(1HT)가 도 8과 같이 2.56 μ s 이상이어야 하므로, 블록들(BL1~BL3) 각각의 스캔라인들의 개수를 줄이는데는 한계가 있다. 따라서, 블록들(BL1~BL3) 간의 경계에서 휘도 차이를 시인하는 문제를 해결할 수 있는 근본적인 해결방안이 필요하다.

[0096] 도 9는 제N 및 제N+1 프레임 기간들 동안 표시패널에 공급되는 스캔신호들과 초기화신호들의 또 다른 예를 보여주는 파형도이다. 도 9에는 제N 및 제N+1 프레임 기간들 동안 도 2의 제1 내지 제3p 스캔라인들(S1~S3p)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 및 제1 내지 제3p 초기화라인들(S1~S3p)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.

[0097] 도 9에 도시된 제N 및 제N+1 프레임 기간들 동안 표시패널에 공급되는 스캔신호들과 초기화신호들은 도 7을 결부하여 설명한 바와 실질적으로 동일하다. 다만, 도 9의 스캔신호들이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)을 비순차적인 순서로 공급하는 것이 도 7의 스캔신호들과 다름에 주의하여야 한다.

[0098] 즉, 본 발명의 실시예는 도 9와 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)을 비순차적인 순서로 공급함으로써, 도 7과 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)을 순차적으로 공급할 때보다 제1 블록(BL1)의 제p 스캔라인(Sp)에 접속된 화소(P)의 발광 기간(t6')과 제2 블록(BL2)의 제1 스캔라인(S1)에 접속된 화소(P)의 발광 기간(t6'') 사이의 차이를 줄일 수 있다. 그 결과, 본 발명의 실시예는 블록들(BL1~BL3) 각각의 스캔라인들의 개수를 줄이지 않더라도 블록들(BL1~BL3) 간의 경계에서 휘도 차이를 시인하는 문제를 해결할 수 있다. 이에 대하여는 10을 결부하여 자세히 설명한다.

[0099] 도 10은 제1 블록의 제1 내지 제9 스캔신호들을 보여주는 파형도이다. 도 10에는 설명의 편의를 위해 도 2의 제1 블록(BL1)의 스캔라인들의 개수(p)가 9 개인 경우를 중심으로 설명하였다. 즉, 도 10에는 제N 및 제N+1 프레임 기간들 동안 도 2의 제1 블록(BL1)의 제1 내지 제9 스캔라인들(S1~S9)에 공급되는 제1 내지 제9 스캔신호들(SCAN1~SCAN9)이 나타나 있다.

[0100] 도 2 및 도 10을 참조하면, 스캔 구동부는 문턱전압 센싱기간(SP) 동안 제1 내지 제9 스캔라인들(S1~S9)에 게이트 온 전압(Von)의 스캔신호들(SCAN1~SCAN9)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 제1 내지 제9 스캔라인들(S1~S9)에 게이트 온 전압(Von)의 스캔신호들(SCAN1~SCAN9)을 비순차적인 순서로 공급한다. 스캔 구동부는 비순차적인 순서의 일 예로, 도 10과 같이 제1 블록(BL1)의 제1 내지 제9 스캔라인들(S1~S9) 중 기수 스캔라인들(S1, S3, S5, S7, S9)에 게이트 온 전압(Von)의 스캔신호들(SCAN1, SCAN3, SCAN5, SCAN7, SCAN9)을 순차적으로 공급하고, 우수 스캔라인들(S2, S4, S6, S8)에 게이트 온 전압(Von)의 스캔신호들(SCAN2, SCAN4, SCAN6, SCAN8)을 역순으로 공급할 수 있다. 이 경우, 스캔 구동부는 도 10과 같이 데이터전압 공급기간(DP) 동안 제1 스캔신호(SCAN1), 제3 스캔신호(SCAN3), 제5 스캔신호(SCAN5), 제7 스캔신호(SCAN7), 제9 스캔신호(SCAN9), 제8 스캔신호(SCAN8), 제6 스캔신호(SCAN6), 제4 스캔신호(SCAN4), 및 제2 스캔신호(SCAN2)의 순서로

게이트 온 전압(Von)을 출력할 수 있다.

- [0101] 한편, 제1 및 제2 스캔라인들(S1, S2)에 접속된 화소(P)들의 발광 기간들(t6-1, t6-2)의 평균값, 제3 및 제4 스캔라인들(S3, S4)에 접속된 화소(P)들의 발광 기간들(t6-3, t6-4)의 평균값, 제5 및 제6 스캔라인들(S5, S6)에 접속된 화소(P)들의 발광 기간들(t6-5, t6-6)의 평균값, 제7 및 제8 스캔라인들(S7, S8)에 접속된 화소(P)들의 발광 기간들(t6-7, t6-8)의 평균값, 및 제9 스캔라인(S9)에 접속된 화소(P)들의 발광 기간은 서로 거의 유사하다. 이 경우, 사람의 눈은 화소(P) 각각의 밝기를 인식하기 보다 인접한 화소(P)들의 평균 밝기를 인식하기 때문에, 제1 블록(BL1)의 화소(P)들에 동일한 데이터전압들이 공급되는 경우, 제1 및 제2 스캔라인들에 접속된 화소(P)들의 휘도 평균값, 제3 및 제4 스캔라인들(S3, S4)에 접속된 화소(P)들의 휘도 평균값, 제5 및 제6 스캔라인들(S5, S6)에 접속된 화소(P)들의 휘도 평균값, 제7 및 제8 스캔라인들(S7, S8)에 접속된 화소(P)들의 휘도 평균값, 및 제9 스캔라인(S9)에 접속된 화소(P)들의 휘도 평균값은 실질적으로 동일하다.
- [0102] 즉, 제i(i는 $1 \leq i \leq p$ 를 만족하는 양의 정수) 내지 제i+3 스캔라인들에 접속된 화소(P)들에 동일한 데이터전압들이 공급되는 경우, 제i 및 제i+1 스캔라인들에 접속된 화소(P)들의 평균 휘도와 제i+2 및 제i+3 스캔라인들에 접속된 화소(P)들의 평균 휘도는 실질적으로 동일할 수 있다. 따라서, 본 발명의 실시예는 블록들(BL1~BL3) 간의 경계뿐만 아니라 각 블록 내 휘도 차이를 최소화할 수 있다. 그 결과, 본 발명의 실시예는 블록들(BL1~BL3) 간의 경계에서 휘도 차이를 시인하는 문제를 해결할 수 있다.
- [0103] 이하에서는, 도 11 내지 도 14를 결부하여 스캔신호들을 출력하는 스캔 구동부를 상세히 살펴본다.
- [0104] 도 11은 스캔 구동부의 제1 블록의 스테이지들과 스테이지 제어부의 일 예를 보여주는 블록도이다. 표시패널(10)이 도 2와 같이 q 개의 블록들로 분할되는 경우, 스캔 구동부(30)도 q 개의 블록들로 분할될 수 있다. 도 11에서는 설명의 편의를 위해 제1 블록(BL1)의 스캔라인들의 개수(p)가 9 개인 경우를 중심으로 설명하였으며, 이로 인해 표시패널(10)의 제1 블록(BL1)의 제1 내지 제9 스캔라인들(S1~S9)에 접속된 스캔 구동부(30)의 제1 블록만을 예시하였다.
- [0105] 도 11을 참조하면, 스캔 구동부(30)는 스캔라인들(S1~S9)에 접속된 스테이지들(STA1~STA9), 스테이지들(STA1~STA9)을 제어하기 위한 스테이지 제어신호들을 출력하는 스테이지 제어부(STAC), 및 스테이지들(STA1~STA9)과 스테이지 제어부(STAC) 사이에 마련된 논리합 게이트 연산부(ORU)를 포함한다. 또한, 스캔 구동부(30)에는 복수의 클럭신호들이 공급되는 복수의 클럭라인들(CLs)과 복수의 출력라인들(OL1~OL9)이 마련될 수 있다. 스테이지들(STA1~STA9) 각각은 복수의 클럭라인들(CLs) 중 어느 하나에 접속된다. 복수의 클럭신호들은 도 1의 타이밍 제어부(50)로부터 공급될 수 있다.
- [0106] 이하의 설명에서, "전단 스테이지"는 기준이 되는 스테이지의 앞에 위치한 스테이지를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 뒤에 위치한 스테이지를 지시한다. 예를 들어, 제3 스테이지(STA3)의 전단 스테이지들은 제1 및 제2 스테이지들(STA1, STA2)을 지시하고, 제3 스테이지(STA3)의 후단 스테이지들은 제4 내지 제9 스테이지들(STA4~STA9)을 지시한다.
- [0107] 스테이지들(STA1~STA9) 각각은 스타트 단자(ST), 리셋 단자(RT), 클럭 단자(CT), 및 출력 단자(OT)를 포함한다. 스테이지들(STA1~STA9) 각각은 게이트 온 전압의 신호가 스타트 단자(ST)로 입력되는 경우 클럭 단자(CT)로 입력되는 클럭신호를 출력 단자(OT)로 출력하고, 게이트 온 전압의 신호가 리셋 단자(RT)로 입력되는 경우 게이트 오프 전압을 출력 단자(OT)로 출력한다. 스테이지들(STA1~STA9) 각각의 구조 및 동작에 대한 자세한 설명은 도 12 및 도 13을 결부하여 후술한다.
- [0108] 스테이지들(STA1~STA9)의 스타트 단자(ST)들은 논리합 게이트 연산부(ORU)의 제1 논리합 게이트들(OR11~OR19)의 출력 단자들에 접속되어 제1 논리합 게이트들(OR11~OR19)의 출력신호들을 입력받을 수 있다. 제1 논리합 게이트들은 제1-1 내지 제1-9 논리합 게이트들(OR11~OR19)을 포함한다. 예를 들어, 제1 스테이지(STA1)의 스타트 단자(ST)는 제1-1 논리합 게이트(OR11)의 출력 단자에 접속되어 제1-1 논리합 게이트(OR11)의 출력신호를 입력받을 수 있으며, 제2 스테이지(STA2)의 스타트 단자(ST)는 제1-2 논리합 게이트(OR12)의 출력 단자에 접속되어 제1-2 논리합 게이트(OR12)의 출력신호를 입력받을 수 있다. 즉, 제i 스테이지(STAi)의 스타트 단자(ST)는 제1-i 논리합 게이트(OR1i)의 출력 단자에 접속되어 제1-i 논리합 게이트(OR1i)의 출력신호를 입력받을 수 있다.
- [0109] 스테이지들(STA1~STA9)의 리셋 단자(RT)들은 논리합 게이트 연산부(ORU)의 제2 논리합 게이트들(OR21~OR29)의 출력 단자들에 접속되어 제2 논리합 게이트들(OR21~OR29)로부터 출력되는 신호들을 입력받을 수 있다. 제2 논리합 게이트들은 제2-1 내지 제2-9 논리합 게이트들(OR21~OR29)을 포함한다. 예를 들어, 제1 스테이지(STA1)의

리셋 단자(RT)는 제2-1 논리합 게이트(OR21)의 출력 단자에 접속되어 제2-1 논리합 게이트(OR21)의 출력신호를 입력받을 수 있으며, 제2 스테이지(STA2)의 스타트 단자(ST)는 제2-2 논리합 게이트(OR22)의 출력 단자에 접속되어 제2-2 논리합 게이트(OR22)의 출력신호를 입력받을 수 있다. 제 i 스테이지(STA i)의 리셋 단자(RT)는 제2- i 논리합 게이트(OR2 i)의 출력 단자에 접속되어 제2- i 논리합 게이트(OR2 i)의 출력신호를 입력받을 수 있다.

[0110] 스테이지들(STA1~STA9) 각각의 클럭 단자(CT)는 복수의 클럭라인들(CLs) 중 어느 하나에 접속된다. 클럭신호들은 고속 구동시 충분한 충전시간 확보를 위해 순차적으로 위상이 지연되는 i (i 는 4 이상의 양의 정수)상 클럭신호들인 것이 바람직하다. 본 발명의 실시 예에서는 도 13과 같이 클럭신호들(CLK1~CLK4)이 4 상 클럭신호들인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 클럭신호들(CLK1~CLK4) 각각은 도 13과 같이 게이트 온 전압(Von)과 게이트 오프 전압(Voff) 사이에서 스윙한다.

[0111] 스테이지들(STA1~STAn)의 클럭 단자(CT)들에는 클럭신호들(CLK1~CLK4)이 순차적으로 공급된다. 예를 들어, 제1 스테이지(STA1)의 클럭 단자(CT)는 제1 클럭신호(CLK1)를 입력받고, 제2 스테이지(STA2)의 클럭 단자(CT)는 제2 클럭신호(CLK2)를 입력받으며, 제3 스테이지(STA3)의 클럭 단자(CT)는 제3 클럭신호(CLK3)를 입력받고, 제4 스테이지(STA4)의 클럭 단자(CT)는 제4 클럭신호(CLK4)를 입력받을 수 있다. 또한, 제5 스테이지(STA1)의 클럭 단자(CT)는 제5 클럭신호(CLK5)를 입력받고, 제6 스테이지(STA6)의 클럭 단자(CT)는 제6 클럭신호(CLK6)를 입력받으며, 제7 스테이지(STA7)의 클럭 단자(CT)는 제7 클럭신호(CLK7)를 입력받고, 제8 스테이지(STA8)의 클럭 단자(CT)는 제8 클럭신호(CLK8)를 입력받으며, 제9 스테이지(STA9)의 클럭 단자(CT)는 제9 클럭신호(CLK9)를 입력받을 수 있다.

[0112] 스테이지들(STA1~STA9)의 출력단자(OT)들은 제1 내지 제9 스캔라인들(S1~S9)에 비순차적인 순서로 접속된다. 예를 들어, 도 11과 같이 스테이지들(STA1~STA9)의 출력단자(OT)들은 제1 내지 제9 스캔라인들(S1~S9) 중 기수 스캔라인들(S1, S3, S5, S7, S9)에 순차적으로 접속된 후 우수 스캔라인들(S2, S4, S6, S8)에 역순으로 접속될 수 있다. 이로 인해, 스테이지들(STA1~STA9)은 데이터전압 공급기간(DP) 동안 제1 스캔신호(SCAN1), 제3 스캔신호(SCAN3), 제5 스캔신호(SCAN5), 제7 스캔신호(SCAN7), 제9 스캔신호(SCAN9), 제8 스캔신호(SCAN8), 제6 스캔신호(SCAN6), 제4 스캔신호(SCAN4), 및 제2 스캔신호(SCAN2)의 순서로 게이트 온 전압을 출력할 수 있다.

[0113] 특히, 스테이지들(STA1~STA9)의 출력단자(OT)들은 제1 내지 제9 스캔라인들(S1~S9)에 비순차적인 순서로 접속되기 위해, 도 11과 같이 출력라인들(OL1~OL9)에 접속될 수 있다. 예를 들어, 도 11과 같이 제1 스테이지(STA1)의 출력단자(OT)는 제1 출력라인(OL1)을 통해 제1 스캔라인(S1)에 접속되고, 제2 스테이지(STA2)의 출력단자(OT)는 제2 출력라인(OL2)을 통해 제3 스캔라인(S2)에 접속되며, 제3 스테이지(STA3)의 출력단자(OT)는 제3 출력라인(OL3)을 통해 제5 스캔라인(S5)에 접속되고, 제4 스테이지(STA4)의 출력단자(OT)는 제4 출력라인(OL4)을 통해 제7 스캔라인(S7)에 접속되며, 제5 스테이지(STA5)의 출력단자(OT)는 제5 출력라인(OL5)을 통해 제9 스캔라인(S9)에 접속될 수 있다. 또한, 도 11과 같이 제6 스테이지(STA6)의 출력단자(OT)는 제6 출력라인(OL6)을 통해 제8 스캔라인(S8)에 접속되고, 제7 스테이지(STA7)의 출력단자(OT)는 제7 출력라인(OL7)을 통해 제6 스캔라인(S6)에 접속되며, 제8 스테이지(STA8)의 출력단자(OT)는 제8 출력라인(OL8)을 통해 제4 스캔라인(S4)에 접속되고, 제9 스테이지(STA9)의 출력단자(OT)는 제9 출력라인(OL9)을 통해 제2 스캔라인(S2)에 접속될 수 있다. 한편, 출력라인들(OL1~OL9)은 생략될 수 있으며, 이 경우 스테이지들(STA1~STA9)의 출력단자(OT)들은 점핑 전극(jumping electrode)들을 이용하여 제1 내지 제9 스캔라인들(S1~S9)에 비순차적인 순서로 접속될 수 있다.

[0114] 스테이지들(STA1~STA9) 각각은 제1 및 제2 전원전압 단자들을 더 포함할 수 있다. 제1 전원전압 단자는 제1 전원전압라인에 접속되어 제1 전원전압을 공급받을 수 있고, 제2 전원전압 단자는 제2 전원전압라인에 접속되어 제1 전원전압보다 낮은 제2 전원전압을 공급받을 수 있다.

[0115] 한편, 스테이지들(STA1~STA9)은 문턱전압 센싱기간(SP) 동안 동시에 스캔신호들을 출력하고, 데이터전압 공급기간(DP) 동안 비순차적인 순서로 스캔신호들을 출력하기 때문에, 스테이지들(STA1~STA9)의 출력신호들을 캐리신호들로 이용하는 경우, 배선 설계가 복잡해질 뿐만 아니라 회로가 추가되어야 하는 등의 문제가 있다. 이를 위해, 본 발명의 실시예는 스테이지 제어부(STAC)를 이용하여 스테이지들(STA1~STA9)에 캐리신호들의 역할을 하는 스테이지 제어신호들을 공급한다. 스테이지들(STA1~STA9)은 스테이지 제어신호들에 의해 폴-업 또는 폴-다운으로 제어될 수 있다.

[0116] 스테이지 제어부(STAC)는 p 개의 스테이지들을 제어하기 위해 $p+4$ 개의 출력단자들을 포함한다. 예를 들어, 스테이지 제어부(STAC)는 도 11과 같이 9 개의 스테이지들(STA1~STA9)을 제어하기 위해 13 개의 출력단자들을 포함할 수 있다.

- [0117] 스테이지 제어부(STAC)의 제1 출력단자(out1)는 논리합 게이트 연산부(ORU)의 제1 논리합 게이트들(OR11~OR19)의 제1 입력단자들에 접속된다. 스테이지 제어부(STAC)의 제1 출력단자(out1)는 도 13과 같이 문턱전압 센싱기간(SP) 동안 게이트 온 전압의 제1 스테이지 제어신호(STCS1)를 출력한다.
- [0118] 스테이지 제어부(STAC)의 제2 출력단자(out2)는 논리합 게이트 연산부(ORU)의 제2 논리합 게이트들(OR21~OR29)의 제1 입력단자들에 접속된다. 스테이지 제어부(STAC)의 제2 출력단자(out2)는 도 13과 같이 문턱전압 센싱기간(SP) 이후에 데이터전압 공급기간(DP)의 초기 기간 동안 게이트 온 전압의 제2 스테이지 제어신호(STCS2)를 출력한다.
- [0119] 스테이지 제어부(STAC)의 제3 및 제4 출력단자들(out3, out4)은 제1 논리합 게이트들(OR11~OR19) 중 어느 하나의 제2 입력단자에 접속된다. 스테이지 제어부(STAC)의 제5 내지 제11 출력단자들(out5~out11) 각각은 제1 논리합 게이트들(OR11~OR19) 중 어느 하나의 제2 입력단자에 접속되고, 제2 논리합 게이트(OR2)들 중 어느 하나의 제2 입력단자에 접속된다. 스테이지 제어부(STAC)의 제12 및 제13 출력단자들(out12, out13)은 제2 논리합 게이트들(OR21~OR29) 중 어느 하나의 제2 입력단자에 접속된다. 스테이지 제어부(STAC)의 제3 내지 제13 출력단자들(out3~out13)은 도 13과 같이 데이터전압 공급기간(DP)의 초기 기간 이후에 게이트 온 전압의 제3 내지 제13 스테이지 제어신호들(STCS3~STCS13)을 순차적으로 출력한다.
- [0120] 구체적으로, 스테이지 제어부(STAC)의 제3 내지 제11 출력단자들(out3~out11)은 제1-1 내지 제1-9 논리합 게이트들(OR11~OR19)의 제2 입력단자들에 순차적으로 접속된다. 예를 들어, 스테이지 제어부(STAC)의 제3 출력단자(out3)는 제1-1 논리합 게이트(OR11)의 제2 입력단자에 접속되고, 제4 출력단자(out4)는 제1-2 논리합 게이트(OR12)의 제2 입력단자에 접속되며, 제5 출력단자(out5)는 제1-3 논리합 게이트(OR13)의 제2 입력단자에 접속되고, 제6 출력단자(out6)는 제1-4 논리합 게이트(OR14)의 제2 입력단자에 접속되고, 제7 출력단자(out7)는 제1-5 논리합 게이트(OR15)의 제2 입력단자에 접속되며, 제8 출력단자(out8)는 제1-6 논리합 게이트(OR16)의 제2 입력단자에 접속되고, 제9 출력단자(out9)는 제1-7 논리합 게이트(OR17)의 제2 입력단자에 접속되고, 제10 출력단자(out10)는 제1-8 논리합 게이트(OR18)의 제2 입력단자에 접속되며, 제11 출력단자(out11)는 제1-9 논리합 게이트(OR19)의 제2 입력단자에 접속될 수 있다.
- [0121] 또한, 스테이지 제어부(STAC)의 제5 내지 제13 출력단자들(out5~out13)은 제2-1 내지 제2-9 논리합 게이트들(OR21~OR29)의 제2 입력단자들에 순차적으로 접속된다. 예를 들어, 스테이지 제어부(STAC)의 제5 출력단자(out5)는 제2-1 논리합 게이트(OR21)의 제2 입력단자에 접속되고, 제6 출력단자(out6)는 제2-2 논리합 게이트(OR22)의 제2 입력단자에 접속되며, 제7 출력단자(out7)는 제2-3 논리합 게이트(OR23)의 제2 입력단자에 접속되고, 제8 출력단자(out8)는 제2-4 논리합 게이트(OR24)의 제2 입력단자에 접속되고, 제9 출력단자(out9)는 제2-5 논리합 게이트(OR25)의 제2 입력단자에 접속되며, 제10 출력단자(out10)는 제2-6 논리합 게이트(OR26)의 제2 입력단자에 접속되고, 제11 출력단자(out11)는 제2-7 논리합 게이트(OR27)의 제2 입력단자에 접속되고, 제12 출력단자(out12)는 제2-8 논리합 게이트(OR28)의 제2 입력단자에 접속되며, 제13 출력단자(out13)는 제2-9 논리합 게이트(OR29)의 제2 입력단자에 접속될 수 있다.
- [0122] 논리합 게이트 연산부(ORU)는 제1 논리합 게이트들(OR11~OR19)과 제2 논리합 게이트들(OR21~OR29)을 포함한다. 제1 논리합 게이트들(OR11~OR19)은 문턱전압 센싱기간(SP) 동안 스테이지들(STA1~STA9)의 스타트 단자(ST)들에 스테이지 제어신호들을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 스테이지들(STA1~STA9)의 스타트 단자(ST)들에 스테이지 제어신호들을 순차적으로 공급하기 위한 구성이다. 또한, 제2 논리합 게이트들(OR21~OR29)은 문턱전압 센싱기간(SP) 이후에 스테이지들(STA1~STA9)의 리셋 단자(RT)들에 스테이지 제어신호들을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 스테이지들(STA1~STA9)의 리셋 단자(RT)들에 스테이지 제어신호들을 순차적으로 공급하기 위한 구성이다.
- [0123] 제1 논리합 게이트들(OR11~OR19) 각각은 스테이지 제어부(STAC)의 제1 출력단자(out1)로부터 출력되는 제1 스테이지 제어신호(STCS1)와 제3 내지 제11 출력 단자들(out3~out11) 중 어느 하나로부터 출력되는 스테이지 제어신호를 논리합 연산한 결과를 어느 한 스테이지의 스타트 단자(ST)에 출력한다. 즉, 제1-i 논리합 게이트(OR1i)는 스테이지 제어부(STAC)의 제1 출력단자(out1)로부터 출력되는 제1 스테이지 제어신호(STCS1)와 제i+2 출력단자(outi+2)로부터 출력되는 제i+2 스테이지 제어신호(STCSi+2)를 논리합 연산한 결과를 제i 스테이지(STAi)의 스타트 단자(ST)로 출력한다. 예를 들어, 제1-1 논리합 게이트(OR11)은 스테이지 제어부(STAC)의 제1 출력단자(out1)로부터 출력되는 제1 스테이지 제어신호(STCS1)와 제3 출력단자(out3)로부터 출력되는 제3 스테이지 제어신호(STCS3)를 논리합 연산한 결과를 제1 스테이지(STA1)의 스타트 단자(ST)로 출력한다.
- [0124] 제2 논리합 게이트들(OR21~OR29) 각각은 스테이지 제어부(STAC)의 제2 출력단자(out2)로부터 출력되는 제2 스테

이지 제어신호(STCS2)와 제5 내지 제13 출력 단자들(out5~out13) 중 어느 하나로부터 출력되는 스테이지 제어신호를 논리합 연산한 결과를 어느 한 스테이지의 리셋 단자(RT)에 출력한다. 즉, 제2-i 논리합 게이트(OR2i)는 스테이지 제어부(STAC)의 제2 출력단자(out2)로부터 출력되는 제2 스테이지 제어신호(STCS2)와 제i+4 출력단자(outi+4)로부터 출력되는 제i+4 스테이지 제어신호(STCSi+4)를 논리합 연산한 결과를 제i 스테이지(STAi)의 리셋 단자(RT)로 출력한다. 예를 들어, 제2-1 논리합 게이트(OR21)은 스테이지 제어부(STAC)의 제2 출력단자(out2)로부터 출력되는 제2 스테이지 제어신호(STCS2)와 제5 출력단자(out5)로부터 출력되는 제5 스테이지 제어신호(STCS5)를 논리합 연산한 결과를 제1 스테이지(STA1)의 리셋 단자(RT)로 출력한다.

[0125] 결국, 제1 논리합 게이트들(OR11~OR19) 각각은 제1 스테이지 제어신호(STCS1)와 제3 내지 제11 스테이지 제어신호들(out3~out11) 중 어느 하나가 게이트 온 전압을 갖는 경우, 게이트 온 전압의 신호를 출력하고, 그렇지 않은 경우 게이트 오프 전압의 신호를 출력한다. 제2 논리합 게이트들(OR21~OR29) 각각은 제2 스테이지 제어신호(STCS2)와 제5 내지 제13 스테이지 제어신호들(out5~out13) 중 어느 하나가 게이트 온 전압을 갖는 경우, 게이트 온 전압의 신호를 출력하고, 그렇지 않은 경우 게이트 오프 전압의 신호를 출력한다.

[0126] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력단자(OT)들을 제1 내지 제9 스캔 라인들(S1~S9)에 비순차적인 순서로 접속한다. 그 결과, 본 발명의 실시예는 스캔라인들에 스캔신호들을 비순차적인 순서로 출력할 수 있다.

[0127] 또한, 본 발명의 실시예는 캐리신호들의 역할을 하는 스테이지 제어신호들을 출력하는 스테이지 제어부(STAC)를 포함한다. 그 결과, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력신호들을 캐리신호들로 이용하지 않으므로, 스테이지들(STA1~STA9)의 배선 설계를 간단하게 할 수 있는 장점이 있다.

[0128] 나아가, 본 발명의 실시예는 문턱전압 센싱기간(SP) 동안 동시에 공급되는 제1 스테이지 제어신호(STCS1)와 데이터전압 공급기간(DP) 동안 순차적으로 공급되는 제3 내지 제11 스테이지 제어신호들(STCS3~STCS11) 각각을 논리곱 연산하여 스테이지들(STA1~STA9) 각각의 스타트 단자(ST)에 출력하는 제1 논리곱 게이트들(OR11~OR19)을 포함한다. 또한, 본 발명의 실시예는 문턱전압 센싱기간(SP) 이후에 동시에 공급되는 제2 스테이지 제어신호(STCS2)와 데이터전압 공급기간(DP) 동안 순차적으로 공급되는 제5 내지 제13 스테이지 제어신호들(STCS5~STCS13) 각각을 논리곱 연산하여 스테이지들(STA1~STA9) 각각의 리셋 단자(RT)에 출력하는 제2 논리곱 게이트들(OR21~OR29)을 포함한다. 그 결과, 본 발명의 실시예는 문턱전압 센싱기간(SP) 동안 스테이지들(STA1~STA9)을 동시에 풀-업시키고, 문턱전압 센싱기간(SP) 이후에 스테이지들(STA1~STA9)을 동시에 풀-다운시키며, 데이터전압 공급기간(DP) 동안 스테이지들(STA1~STA9)을 순차적으로 풀-업시킬 수 있다. 따라서, 본 발명의 실시예는 도 13과 같이 스테이지들(STA1~STA9)의 출력 단자(OT)들이 문턱전압 센싱기간(SP) 동안 동시에 게이트 온 전압의 출력신호들(STO1~STO9)을 출력하고, 데이터전압 공급기간(DP) 동안 순차적으로 게이트 온 전압의 출력신호들(STO1~STO9)을 출력하도록 제어할 수 있다. 이에 대한 자세한 설명은 도 13을 결부하여 후술한다.

[0129] 도 12는 도 11의 제i 스테이지를 상세히 보여주는 블록도이다. 도 12를 참조하면, 제i 스테이지(STAi)는 풀-업 노드(Q), 풀-다운 노드(QB), 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 노드 제어 회로(NC)를 포함한다.

[0130] 풀-업 트랜지스터(TU)는 풀-업 노드(Q)가 게이트 온 전압으로 충전되는 경우 턴-온되어 출력 단자(OUT)에 클럭 단자(CLK)로 입력되는 클럭신호를 공급한다. 풀-업 트랜지스터(TU)는 풀-업 노드(Q)가 게이트 오프 전압으로 방전되는 경우 턴-오프된다. 풀-업 트랜지스터(TU)의 게이트 전극은 풀-업 노드(Q)에 접속되고, 소스 전극은 출력 단자(OUT)에 접속되며, 드레인 전극은 클럭 단자(CLK)에 접속된다.

[0131] 풀-다운 트랜지스터(TD)는 풀-다운 노드(QB)가 게이트 온 전압으로 충전되는 경우 턴-온되어 출력 단자(OUT)에 게이트 오프 전압을 공급한다. 풀-다운 트랜지스터(TD)는 풀-다운 노드(QB)가 게이트 오프 전압으로 방전되는 경우 턴-오프된다. 풀-다운 트랜지스터(TD)의 게이트 전극은 풀-다운 노드(QB)에 접속되고, 소스 전극은 게이트 오프 전압이 공급되는 제2 전원전압 단자(VGLT)에 접속되며, 드레인 전극은 출력 단자(OUT)에 접속된다.

[0132] 노드 제어 회로(NC)는 스타트 단자(ST)와 리셋 단자(RT)를 통해 입력되는 신호들에 따라 풀-업 노드(Q)와 풀-다운 노드(QB)의 전압을 게이트 온 전압 또는 게이트 오프 전압으로 제어한다. 노드 제어 회로(NC)는 스타트 단자(START)를 통해 게이트 온 전압의 신호가 입력되고, 리셋 단자(RT)를 통해 게이트 오프 전압의 신호가 입력되는 경우 풀-업 노드(Q)를 게이트 온 전압으로 충전하고, 풀-다운 노드(QB)를 게이트 오프 전압으로 방전한다.

노드 제어 회로(NC)는 스타트 단자(START)를 통해 게이트 오프 전압의 신호가 입력되고, 리셋 단자(RT)를 통해 게이트 온 전압의 신호가 입력되는 경우 풀-업 노드(Q)를 게이트 오프 전압으로 방전하고, 풀-다운 노드(QB)를 게이트 온 전압으로 충전한다. 노드 제어 회로(NC)는 클럭 단자(CLK)를 통해 입력되는 클럭신호를 노드 제어 회로(NC)를 제어하는 제어 신호로도 이용할 수 있다.

- [0133] 도 2에서 풀-업 트랜지스터(TU)와 풀-다운 트랜지스터(TD)는 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0134] 이상에서 설명한 바와 같이, 제i 스테이지(STAi)는 게이트 온 전압의 신호가 스타트 단자(ST)로 입력되는 경우 클럭 단자(CT)로 입력되는 클럭신호를 출력 단자(OT)로 출력하고, 게이트 온 전압의 신호가 리셋 단자(RT)로 입력되는 경우 게이트 오프 전압을 출력 단자(OT)로 출력한다.
- [0135] 도 13은 제1 내지 제13 스테이지 제어신호들, 제1 내지 제4 클럭신호들, 및 제1 내지 제9 스테이지들의 제1 내지 제9 출력신호들을 보여주는 파형도이다. 도 11 및 도 13을 참조하면, 제1 내지 제13 스테이지 제어신호들(STCS1~STCS13)은 스테이지 제어부(STCS)의 제1 내지 제13 출력 단자(out1~out13)에서 출력되는 신호들을 나타내고, 제1 내지 제4 클럭신호들(CLK1~CLK4)은 복수의 클럭라인들(CLS)에 공급되는 신호들을 나타내며, 제1 내지 제9 출력신호들(STO1~STO9)은 제1 내지 제9 스테이지들(STA1~STA9)의 출력단자(OT)들의 출력신호들을 나타낸다.
- [0136] 첫 번째로, 문턱전압 센싱기간(SP) 동안 도 13과 같이 게이트 온 전압(Von)의 제1 스테이지 제어신호(STCS1)가 스테이지 제어부(STC)의 제1 출력단자(out1)로 출력된다. 또한, 문턱전압 센싱기간(SP) 동안 도 13과 같이 게이트 온 전압(Von)의 제1 내지 제4 클럭신호들(CLK1~CLK4)들이 클럭라인들(CLS)에 공급된다.
- [0137] 제1 스테이지 제어신호(STCS1)는 제1 논리합 게이트들(OR11~OR19) 모두에 입력되므로, 제1 논리합 게이트들(OR11~OR19)은 게이트 온 전압(Von)의 신호를 스테이지들(STA1~STA9)의 스타트 단자(ST)들에 출력한다. 그러므로, 스테이지들(STA1~STA9)의 스타트 단자(ST)들은 게이트 온 전압(Von)의 신호를 입력받고, 클럭단자(CT)들은 게이트 온 전압(Von)의 클럭신호들(CLK1~CLK4) 중 어느 하나를 입력받는다.
- [0138] 스테이지들(STA1~STA9)은 문턱전압 센싱기간(SP) 동안 스타트 단자(ST)들로 입력되는 게이트 온 전압(Von)의 신호에 따라 풀-업되어 클럭단자(CT)들로 입력되는 게이트 온 전압(Von)의 클럭신호를 출력한다. 그러므로, 스테이지들(STA1~STA9)의 출력 단자(OT)들은 도 13과 같이 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 출력신호들(STO1~STO9)을 동시에 출력한다. 그 결과, 스캔라인들(S1~S9)에는 도 9와 같이 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN~SCAN9)이 동시에 출력된다.
- [0139] 두 번째로, 문턱전압 센싱기간(SP) 이후에 데이터전압 공급기간(DP)의 초기 기간 동안 도 13과 같이 게이트 온 전압(Von)의 제2 스테이지 제어신호(STCS2)가 스테이지 제어부(STC)의 제2 출력단자(out2)로 출력되며, 게이트 오프 전압(Voff)의 제1 내지 제4 클럭신호들(CLK1~CLK4)들이 클럭라인들(CLS)에 공급된다.
- [0140] 제2 스테이지 제어신호(STCS2)는 제2 논리합 게이트들(OR21~OR29) 모두에 입력되므로, 제2 논리합 게이트들(OR21~OR29)은 게이트 온 전압(Von)의 신호를 스테이지들(STA1~STA9)의 리셋 단자(RT)들에 출력한다. 그러므로, 스테이지들(STA1~STA9)의 리셋 단자(RT)들은 게이트 온 전압(Von)의 신호를 입력받고, 클럭단자(CT)들은 게이트 오프 전압(Voff)의 클럭신호들(CLK1~CLK4) 중 어느 하나를 입력받는다.
- [0141] 스테이지들(STA1~STA9)은 문턱전압 센싱기간(SP) 이후에 데이터전압 공급기간(DP)의 초기 기간 동안 리셋 단자(RT)들로 입력되는 게이트 온 전압(Von)의 신호에 따라 풀-다운되어 게이트 오프 전압(Voff)을 출력한다. 그러므로, 스테이지들(STA1~STA9)의 출력 단자(OT)들은 도 13과 같이 문턱전압 센싱기간(SP) 이후에 게이트 오프 전압(Voff)의 출력신호들(STO1~STO9)을 동시에 출력한다. 그 결과, 스캔라인들(S1~S9)에는 도 9와 같이 데이터전압 공급기간(DP)의 제4 기간(t4) 동안 게이트 오프 전압(Voff)의 스캔신호들(SCAN~SCAN9)이 동시에 출력된다.
- [0142] 세 번째로, 데이터전압 공급기간(DP)의 초기 기간 이후에 도 13과 같이 게이트 온 전압(Von)의 제3 내지 제13 스테이지 제어신호들(STCS3~STCS13)이 스테이지 제어부(STC)의 제3 내지 제13 출력단자들(out3~out13)로 순차적으로 출력되며, 위상이 순차적으로 지연되는 제1 내지 제4 클럭신호들(CLK1~CLK4)들이 클럭라인들(CLS)에 공급된다.
- [0143] 제3 내지 제11 스테이지 제어신호들(STCS3~STCS11)은 제1 논리합 게이트들(OR11~OR19)에 순차적으로 입력되므로, 제1 논리합 게이트들(OR11~OR19)은 게이트 온 전압(Von)의 신호들을 스테이지들(STA1~STA9)의 스타트 단자(ST)들에 순차적으로 출력한다. 또한, 제5 내지 제13 스테이지 제어신호들(STCS5~STCS13)은 제2 논리합

게이트들(OR21~OR29)에 순차적으로 입력되므로, 제2 논리합 게이트들(OR21~OR29)은 게이트 온 전압(Von)의 신호들을 스테이지들(STA1~STA9)의 리셋 단자(RT)들에 순차적으로 출력한다. 스테이지들(STA1~STA9) 각각은 데이터 전압 공급기간(DP)의 초기 기간 이후에 스타트 단자(ST)로 입력되는 게이트 온 전압(Von)의 신호에 따라 폴-업되어 클럭단자(CT)로 입력되는 게이트 온 전압(Von)의 클럭신호를 출력한 후, 리셋 단자(RT)로 입력되는 게이트 온 전압(Von)의 신호에 따라 폴-다운 되어 게이트 오프 전압(Voff)을 출력한다. 그러므로, 스테이지들(STA1~STA9)의 출력 단자(OT)들은 도 13과 같이 데이터전압 공급기간(DP)의 초기 기간 이후에 게이트 온 전압(Von)의 출력신호들(STO1~STO9)을 순차적으로 출력한다. 그 결과, 스캔라인들(S1~S9)에는 도 9와 같이 데이터 전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN~SCAN9)이 순차적으로 출력된다.

[0144] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력 단자(OT)들을 스캔라인들(S1~S9)에 비순차적인 순서로 접속한다. 그 결과, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력 단자(OT)들이 게이트 온 전압(Von)의 출력신호들(STO1~STO9)을 순차적으로 출력하더라도, 스캔라인들(S1~S9)에는 게이트 온 전압(Von)의 스캔신호들(SCAN~SCAN9)이 순차적으로 출력될 수 있다.

[0145] 도 14는 스캔 구동부의 제1 블록의 스테이지들과 스테이지 제어부의 또 다른 예를 보여주는 블록도이다. 표시패널(10)이 도 2와 같이 q 개의 블록들로 분할되는 경우, 스캔 구동부(30)도 q 개의 블록들로 분할될 수 있다. 도 14에서는 설명의 편의를 위해 제1 블록(BL1)의 스캔라인들의 개수(p)가 9 개인 경우를 중심으로 설명하였으며, 이로 인해 표시패널(10)의 제1 블록(BL1)의 제1 내지 제9 스캔라인들(S1~S9)에 접속된 스캔 구동부(30)의 제1 블록만을 예시하였다.

[0146] 도 14를 참조하면, 스캔 구동부(30)는 스캔라인들(S1~S9)에 접속된 스테이지들(STA1~STA9), 스테이지들(STA1~STA9)을 제어하기 위한 스테이지 제어신호들을 출력하는 스테이지 제어부(STAC), 및 스테이지들(STA1~STA9)과 스테이지 제어부(STAC) 사이에 마련된 논리합 게이트 연산부(ORU)를 포함한다. 또한, 스캔 구동부(30)에는 복수의 클럭신호들이 공급되는 복수의 클럭라인들(CLS)과 복수의 출력라인들(OL1~OL9)이 마련될 수 있다. 스테이지들(STA1~STA9) 각각은 복수의 클럭라인들(CLS) 중 어느 하나에 접속된다. 복수의 클럭신호들은 도 1의 타이밍 제어부(50)로부터 공급될 수 있다.

[0147] 도 14에 도시된 스테이지들(STA1~STA9)는 출력 단자(OT)들이 스캔라인들(S1~S9)에 순차적으로 접속되는 것을 제외하고는, 도 11을 결부하여 설명한 바와 실질적으로 동일하다.

[0148] 도 14에 도시된 스테이지 제어부(STAC)는 제3 내지 제11 출력단자들(out3~out11)이 제1-1 내지 제1-9 논리합 게이트들(OR11~OR19)의 제2 입력단자들에 비순차적인 순서로 접속되고, 제5 내지 제13 출력단자들(out5~out13)은 제2-1 내지 제2-9 논리합 게이트들(OR21~OR29)의 제2 입력단자들에 순차적으로 접속되는 것을 제외하고는, 도 11을 결부하여 설명한 바와 실질적으로 동일하다.

[0149] 예를 들어, 스테이지 제어부(STAC)의 제3 출력단자(out3)는 제1-1 논리합 게이트(OR11)의 제2 입력단자에 접속되고, 제4 출력단자(out4)는 제1-3 논리합 게이트(OR13)의 제2 입력단자에 접속되며, 제5 출력단자(out5)는 제1-5 논리합 게이트(OR15)의 제2 입력단자에 접속되고, 제6 출력단자(out6)는 제1-7 논리합 게이트(OR17)의 제2 입력단자에 접속되고, 제7 출력단자(out7)는 제1-9 논리합 게이트(OR19)의 제2 입력단자에 접속되며, 제8 출력단자(out8)는 제1-8 논리합 게이트(OR18)의 제2 입력단자에 접속되고, 제9 출력단자(out9)는 제1-6 논리합 게이트(OR16)의 제2 입력단자에 접속되고, 제10 출력단자(out10)는 제1-4 논리합 게이트(OR14)의 제2 입력단자에 접속되며, 제11 출력단자(out11)는 제1-2 논리합 게이트(OR12)의 제2 입력단자에 접속될 수 있다. 또한, 스테이지 제어부(STAC)의 제5 출력단자(out5)는 제2-1 논리합 게이트(OR21)의 제2 입력단자에 접속되고, 제6 출력단자(out6)는 제2-3 논리합 게이트(OR23)의 제2 입력단자에 접속되며, 제7 출력단자(out7)는 제2-5 논리합 게이트(OR25)의 제2 입력단자에 접속되고, 제8 출력단자(out8)는 제2-7 논리합 게이트(OR27)의 제2 입력단자에 접속되고, 제9 출력단자(out9)는 제2-9 논리합 게이트(OR29)의 제2 입력단자에 접속되며, 제10 출력단자(out10)는 제2-8 논리합 게이트(OR28)의 제2 입력단자에 접속되고, 제11 출력단자(out11)는 제2-6 논리합 게이트(OR26)의 제2 입력단자에 접속되고, 제12 출력단자(out12)는 제2-4 논리합 게이트(OR24)의 제2 입력단자에 접속되며, 제13 출력단자(out13)는 제2-2 논리합 게이트(OR22)의 제2 입력단자에 접속될 수 있다.

[0150] 도 14에 도시된 논리합 게이트 연산부(ORU)는 제1 논리합 게이트들(OR11~OR19)의 제2 입력단자들이 스테이지 제어부(STAC)의 출력단자들에 비순차적인 순서로 접속되고, 제2 논리합 게이트들(OR21~OR29)의 제2 입력단자들이 스테이지 제어부(STAC)의 출력단자들에 비순차적인 순서로 접속되는 것을 제외하고는, 도 11을 결부하여 설명한

바와 실질적으로 동일하다.

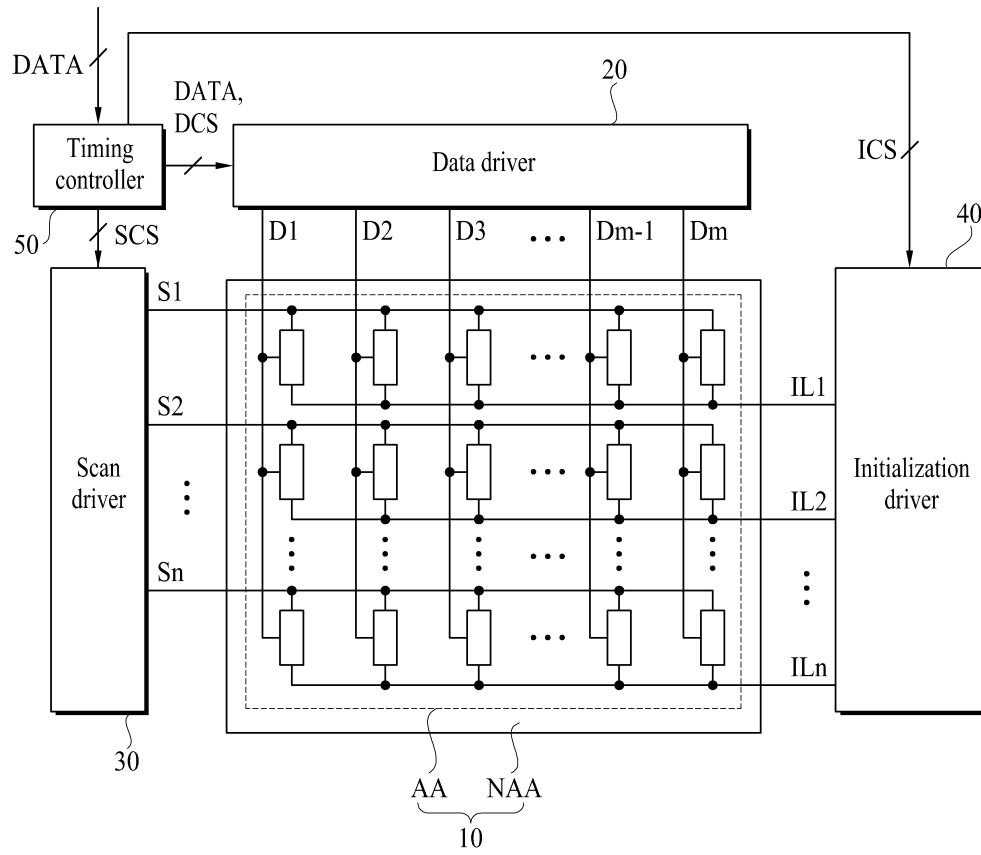
- [0151] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 스테이지 제어부(STAC)의 출력단자들을 제1 논리합 게이트들(OR11~OR19)과 제2 논리합 게이트들(OR21~OR29)에 비순차적인 순서로 접속한다. 그 결과, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력단자(OT)들이 스캔라인들(S1~S9)에 순차적으로 접속되더라도, 스캔라인들(S1~S9)에 스캔신호들(SCAN1~SCAN9)을 비순차적인 순서로 출력할 수 있다.
- [0152] 또한, 본 발명의 실시예는 캐리신호들의 역할을 하는 스테이지 제어신호들을 출력하는 스테이지 제어부(STAC)를 포함한다. 그 결과, 본 발명의 실시예는 스테이지들(STA1~STA9)의 출력신호들을 캐리신호들로 이용하지 않으므로, 스테이지들(STA1~STA9)의 배선 설계를 간단하게 할 수 있는 장점이 있다.
- [0153] 나아가, 본 발명의 실시예는 문턱전압 센싱기간(SP) 동안 동시에 공급되는 제1 스테이지 제어신호(STCS1)와 데이터전압 공급기간(DP) 동안 비순차적인 순서로 공급되는 제3 내지 제11 스테이지 제어신호들(STCS3~STCS11) 각각을 논리곱 연산하여 스테이지들(STA1~STA9) 각각의 스타트 단자(ST)에 출력하는 제1 논리곱 게이트들(OR11~OR19)을 포함한다. 또한, 본 발명의 실시예는 문턱전압 센싱기간(SP) 이후에 동시에 공급되는 제2 스테이지 제어신호(STCS2)와 데이터전압 공급기간(DP) 동안 비순차적인 순서로 공급되는 제5 내지 제13 스테이지 제어신호들(STCS5~STCS13) 각각을 논리곱 연산하여 스테이지들(STA1~STA9) 각각의 리셋 단자(RT)에 출력하는 제2 논리곱 게이트들(OR21~OR29)을 포함한다. 그 결과, 본 발명의 실시예는 문턱전압 센싱기간(SP) 동안 스테이지들(STA1~STA9)을 동시에 풀-업시키고, 문턱전압 센싱기간(SP) 이후에 스테이지들(STA1~STA9)을 동시에 풀-다운시키며, 데이터전압 공급기간(DP) 동안 스테이지들(STA1~STA9)을 비순차적인 순서로 풀-업시킬 수 있다. 따라서, 본 발명의 실시예는 도 13과 같이 스테이지들(STA1~STA9)의 출력단자(OT)들은 문턱전압 센싱기간(SP) 동안 동시에 게이트 온 전압(Von)의 출력신호들(STO1~STO9)을 출력하고, 데이터전압 공급기간(DP) 동안 비순차적인 순서로 게이트 온 전압(Von)의 출력신호들(STO1~STO9)을 출력하도록 제어할 수 있다.
- [0154] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

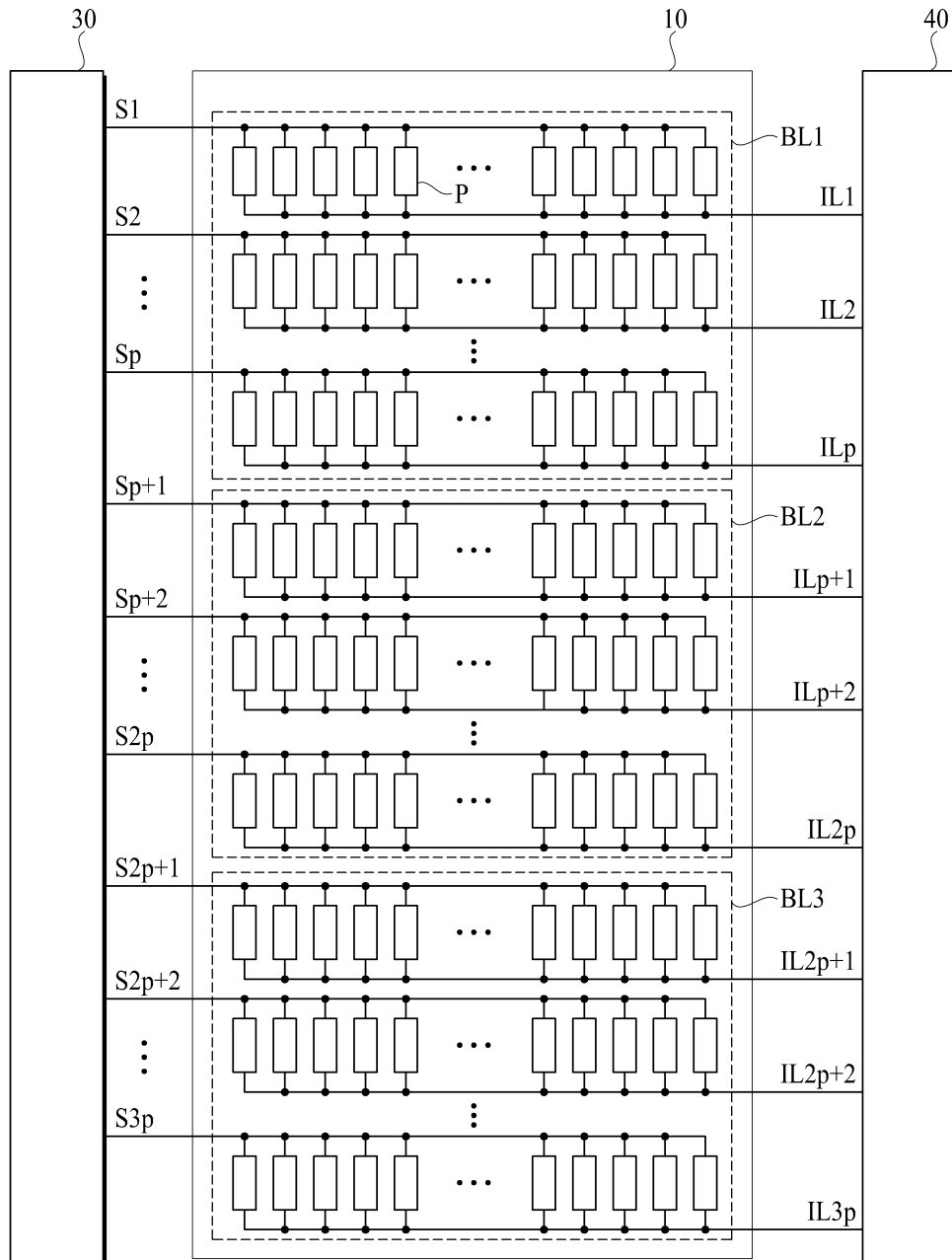
- [0155] 10: 표시패널 20: 데이터 구동부
30: 스캔 구동부 40: 초기화 구동부
50: 타이밍 제어부 P: 화소
DT: 구동 트랜지스터 ST1: 제1 트랜지스터
ST2: 제2 트랜지스터 OLED: 유기발광다이오드
C: 커패시터 EVSL: 저전위 구동전압라인
VRL: 기준전압 라인 EVDL: 구동전압라인
Sk: 제k 스캔라인 SENk: 제k 초기화라인
Dj: 제j 데이터라인 SCANk: 제k 스캔신호
SENSk: 제k 초기화신호 Vg: 게이트전압
Vs: 소스전압 Vref: 기준전압
Vcomp: 보상전압 Vt: 턴-오프전압
Vdata: 데이터전압 Von: 게이트 온 전압
Voff: 게이트 오프 전압 STAC: 스테이지 제어부
STA1: 제1 스테이지 ORU: 논리합 게이트 연산부

도면

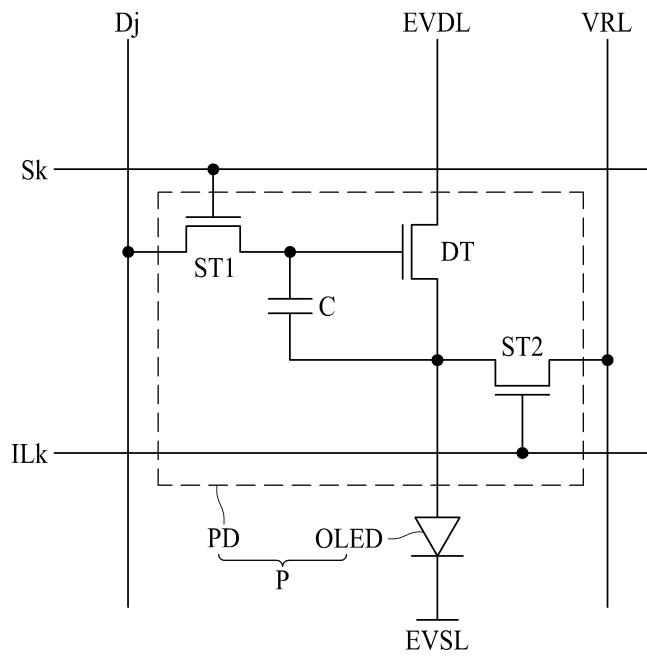
도면1



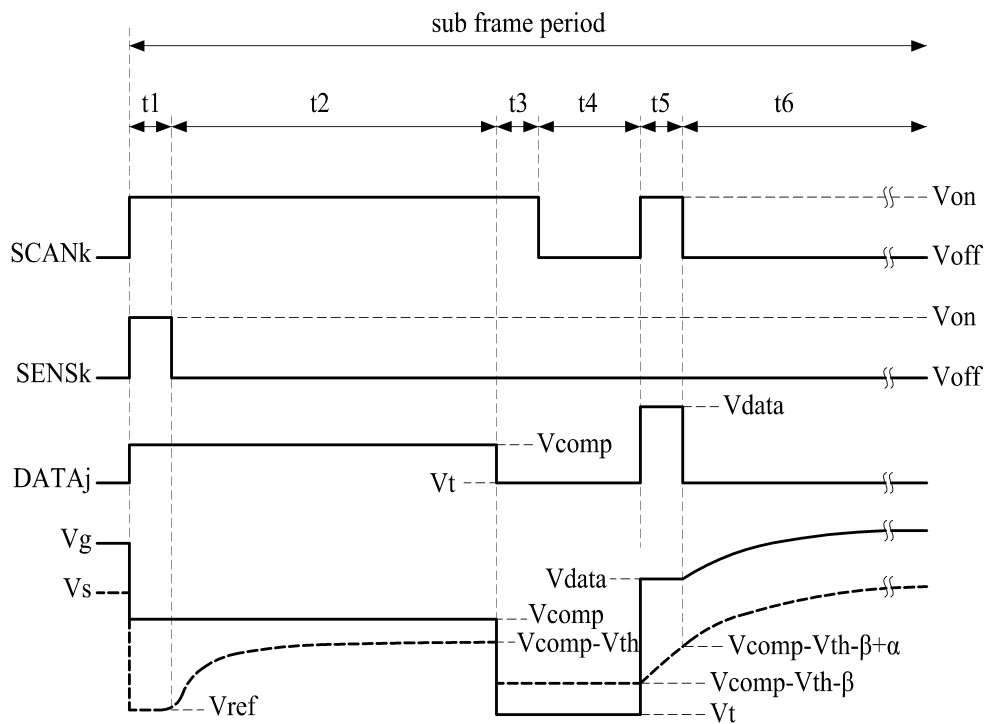
도면2



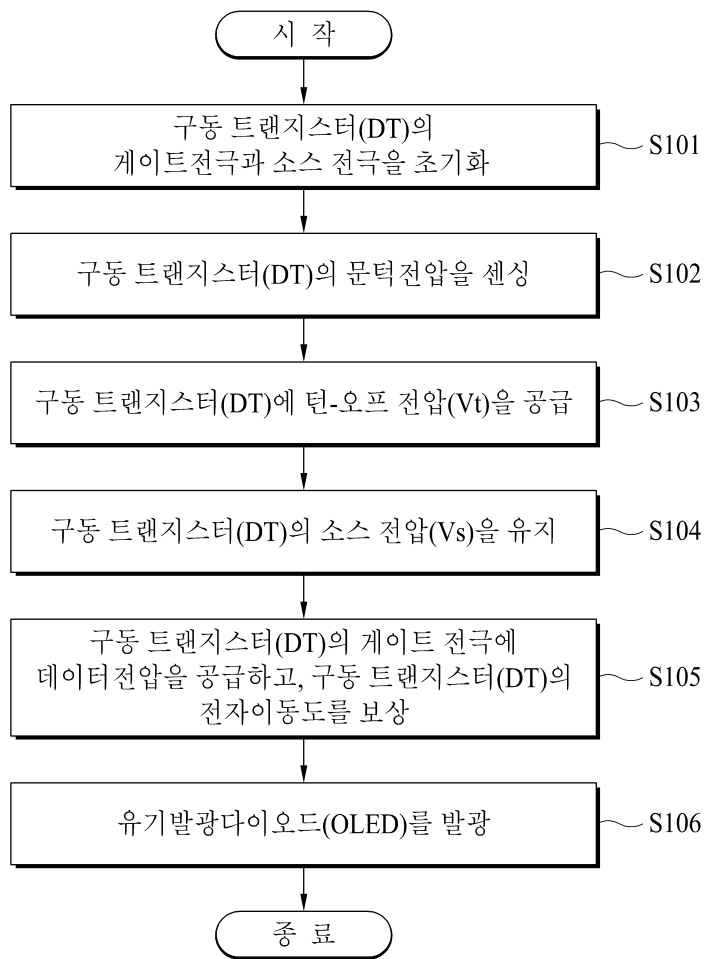
도면3



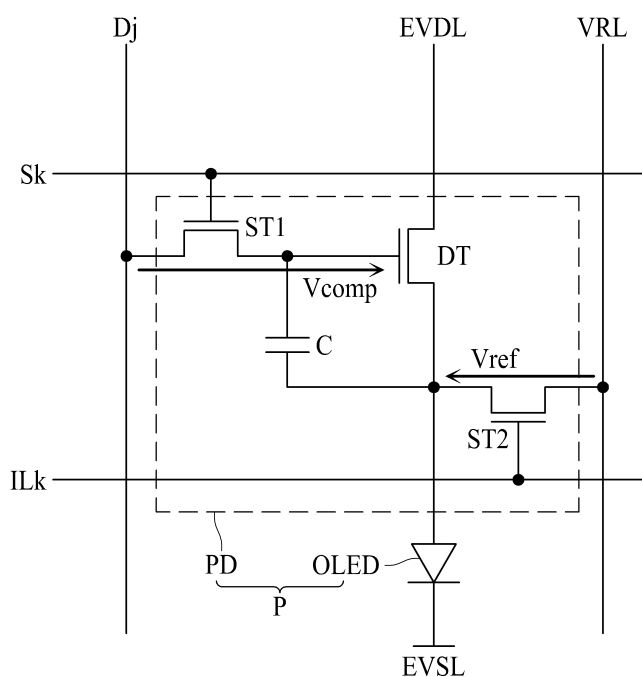
도면4



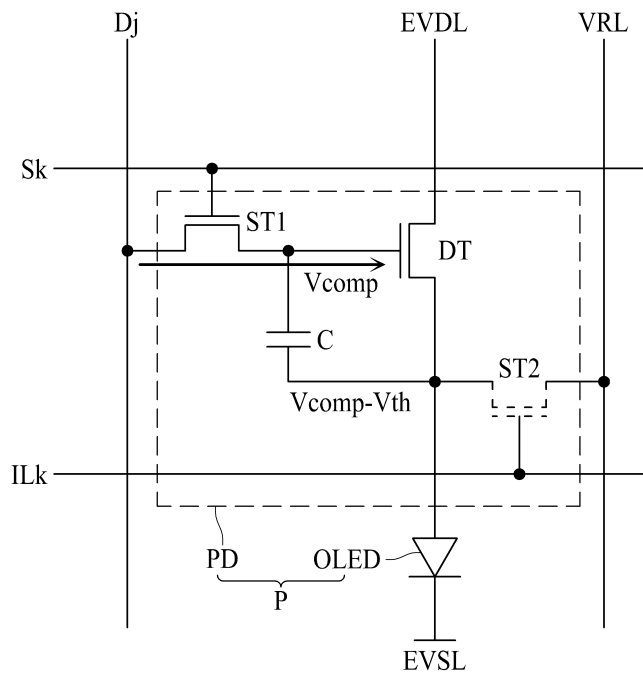
도면5



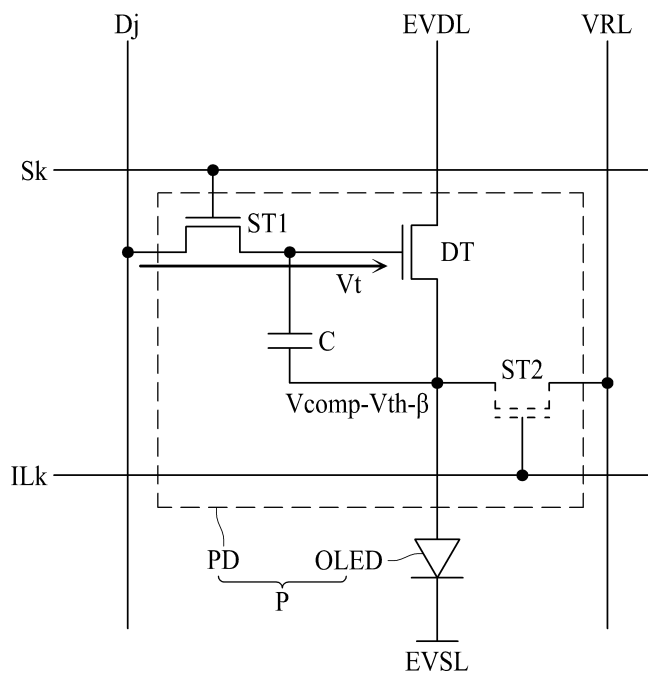
도면6a



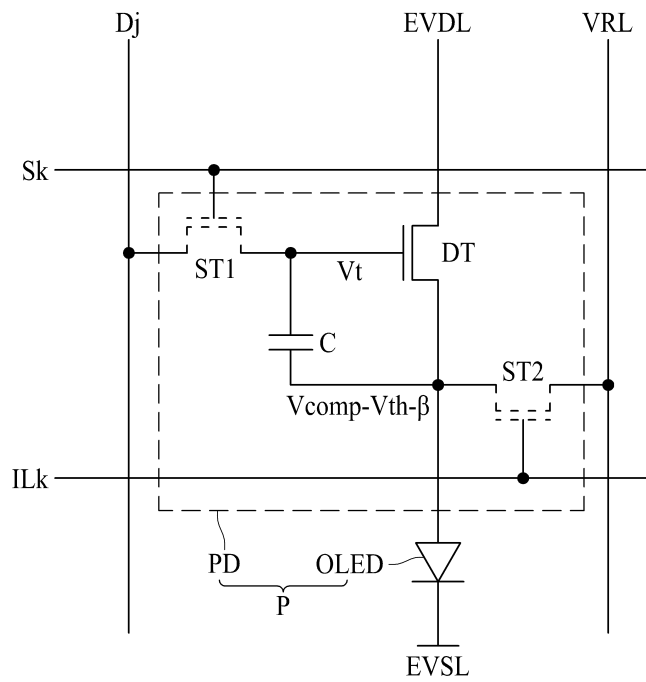
도면6b



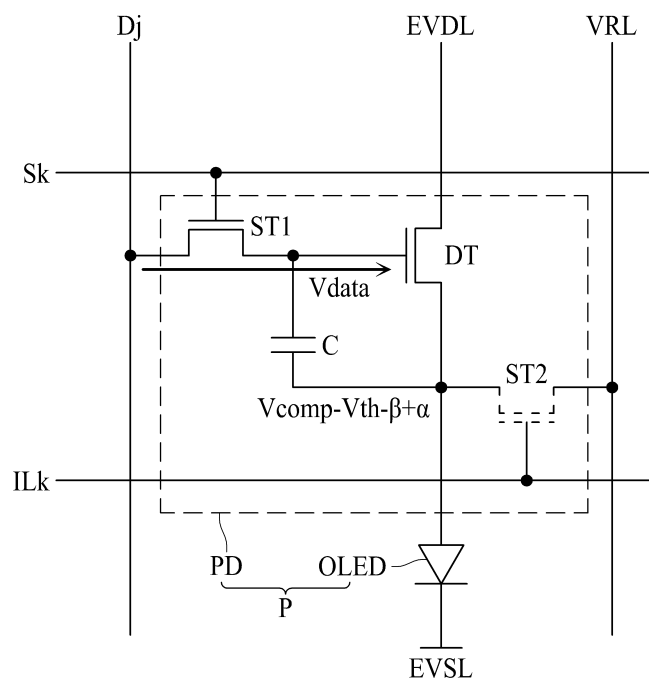
도면6c



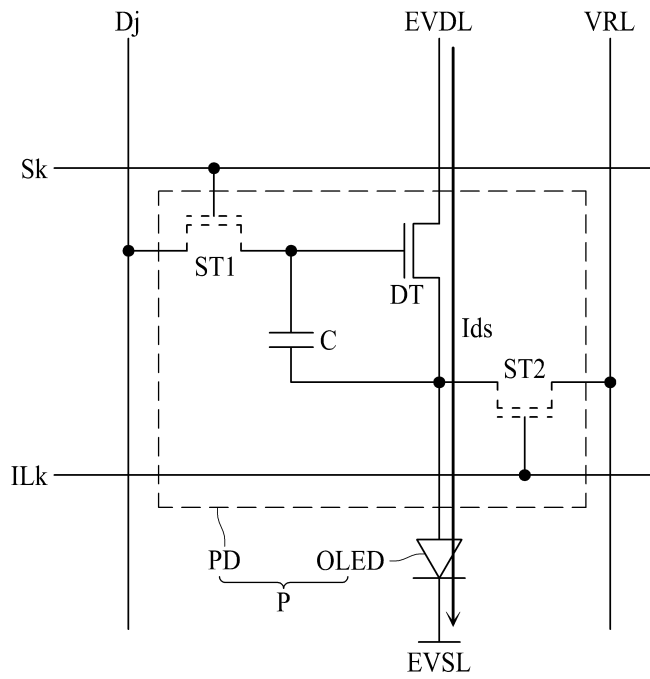
도면6d



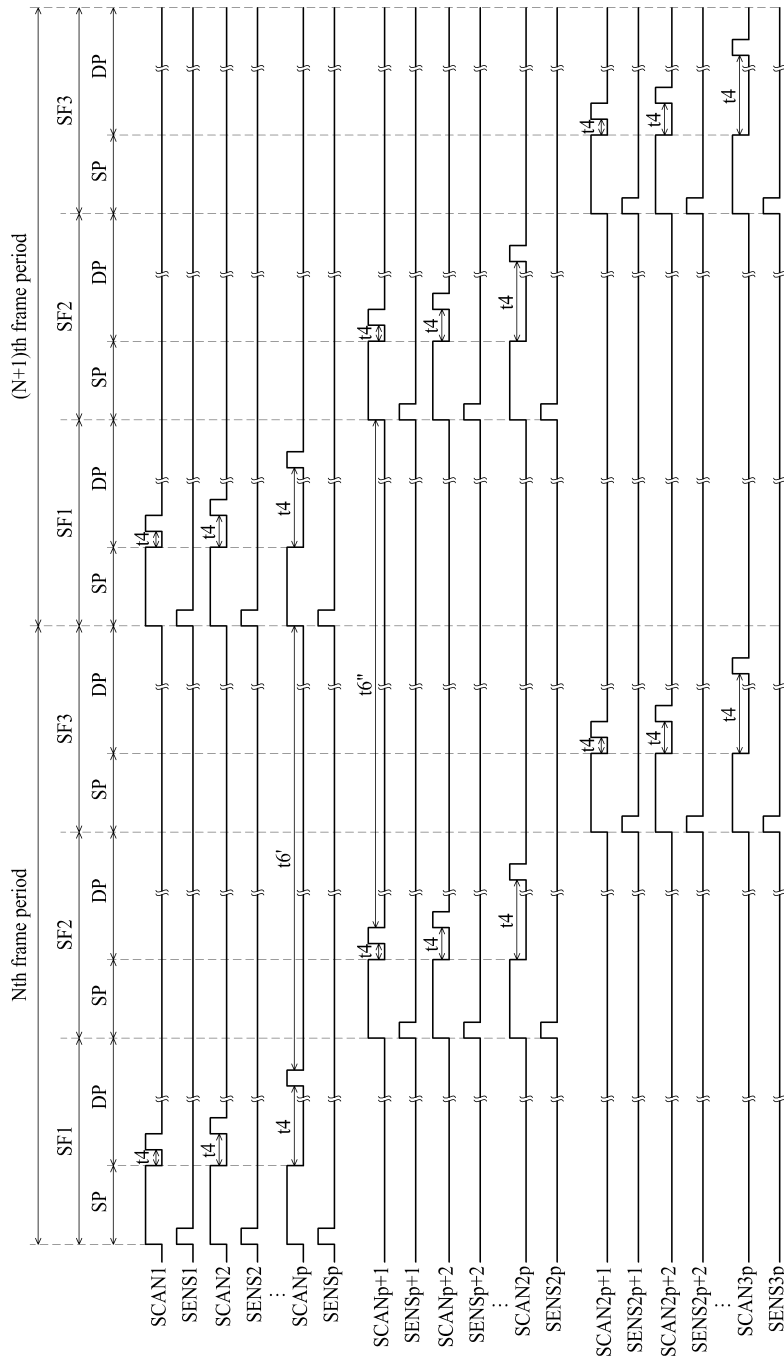
도면6e



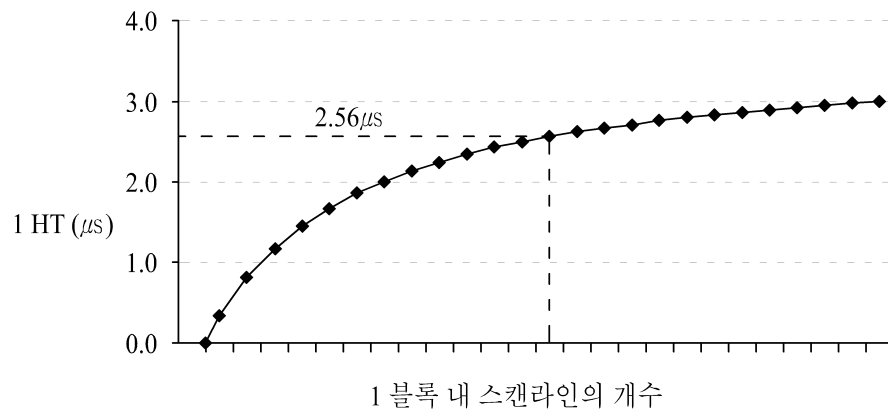
도면6f



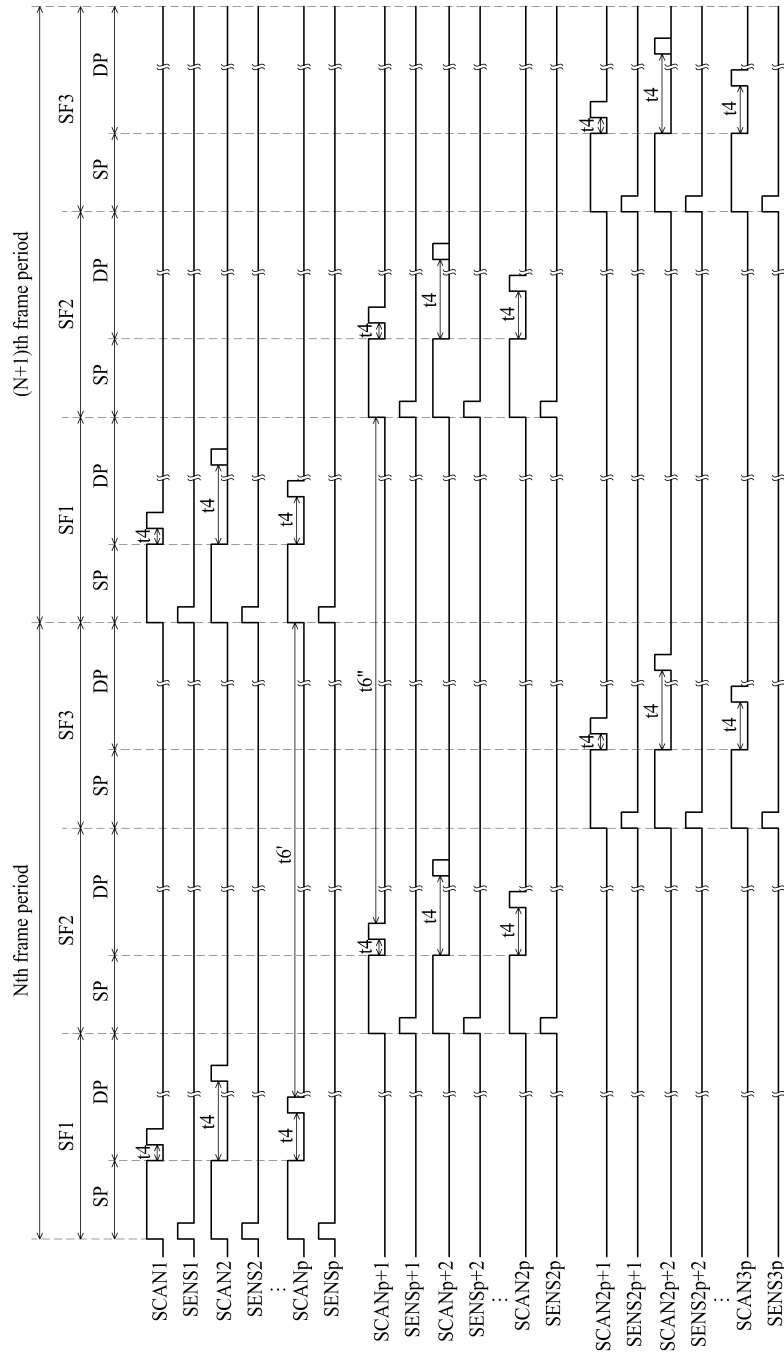
도면7



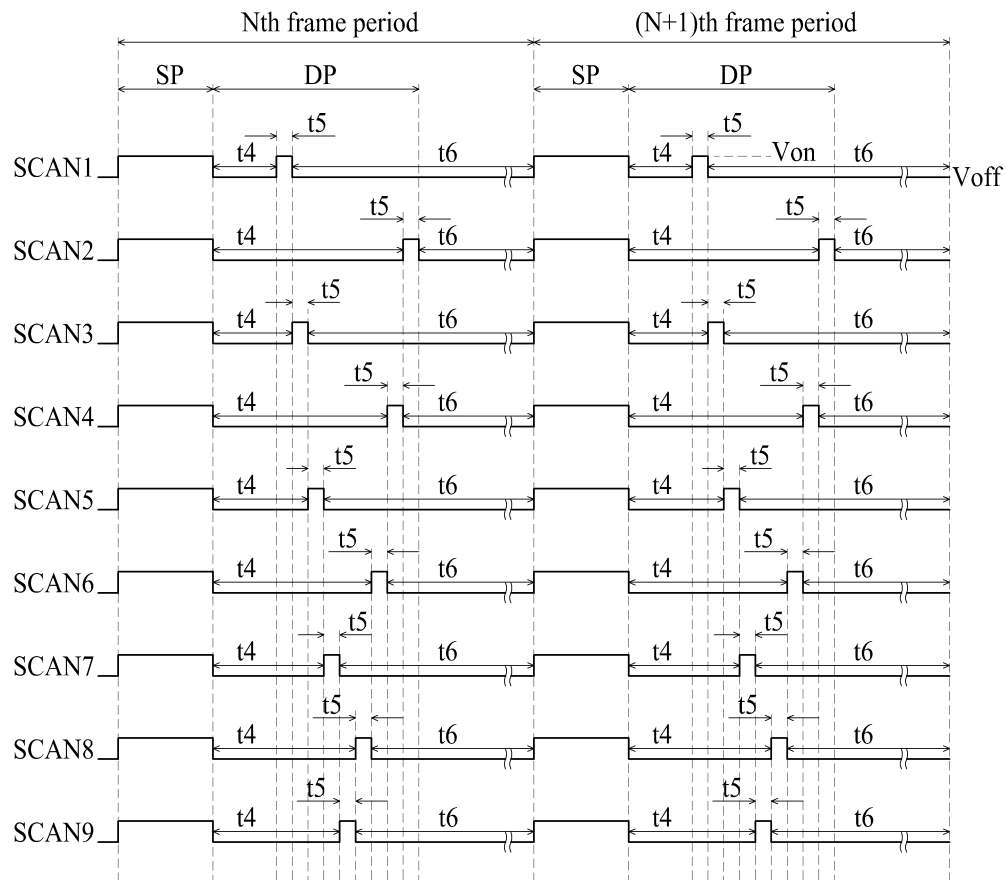
도면8



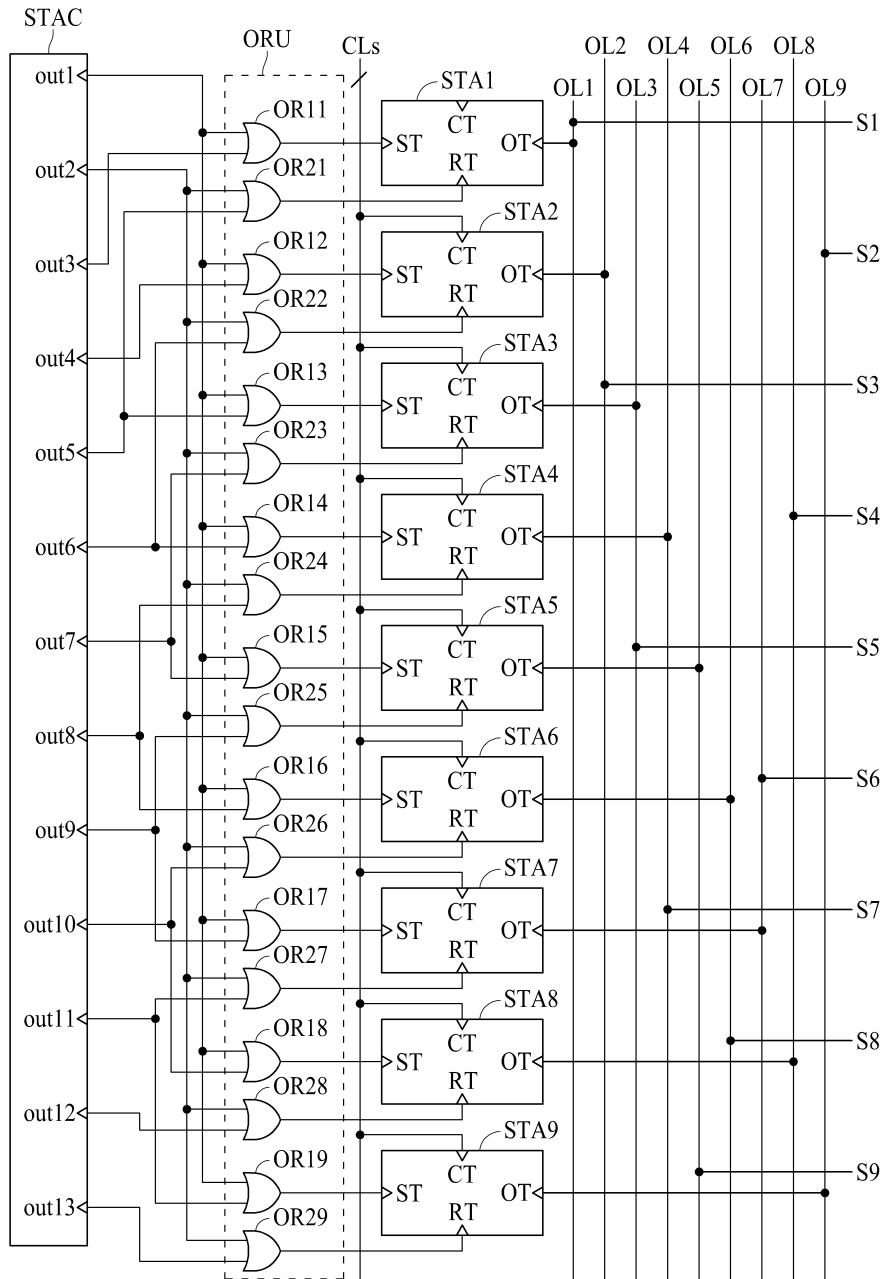
도면9



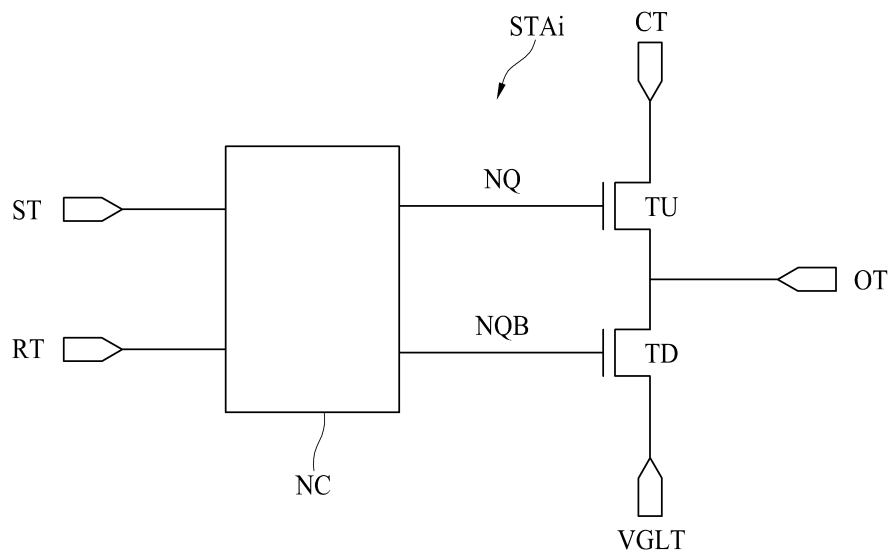
도면10



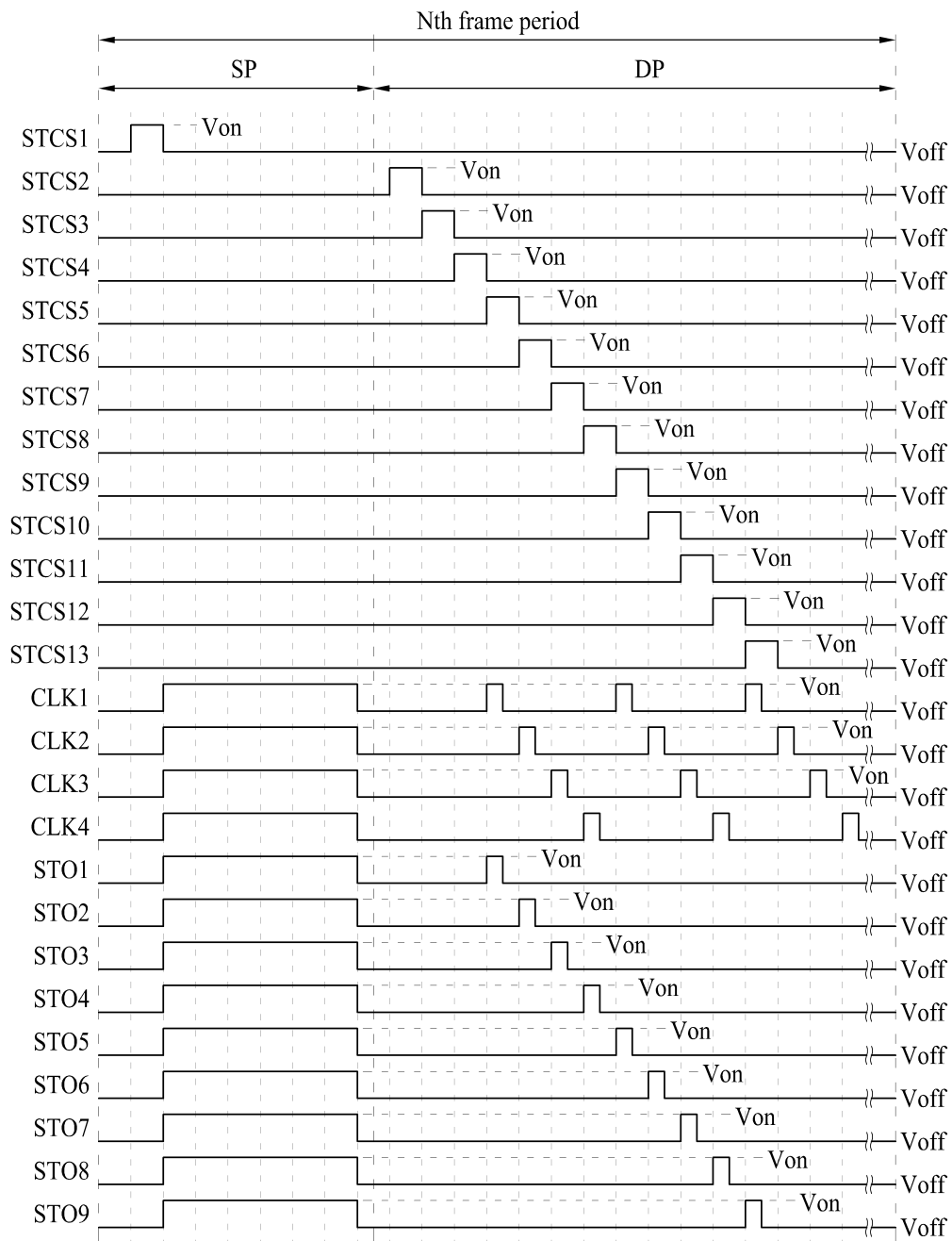
도면11



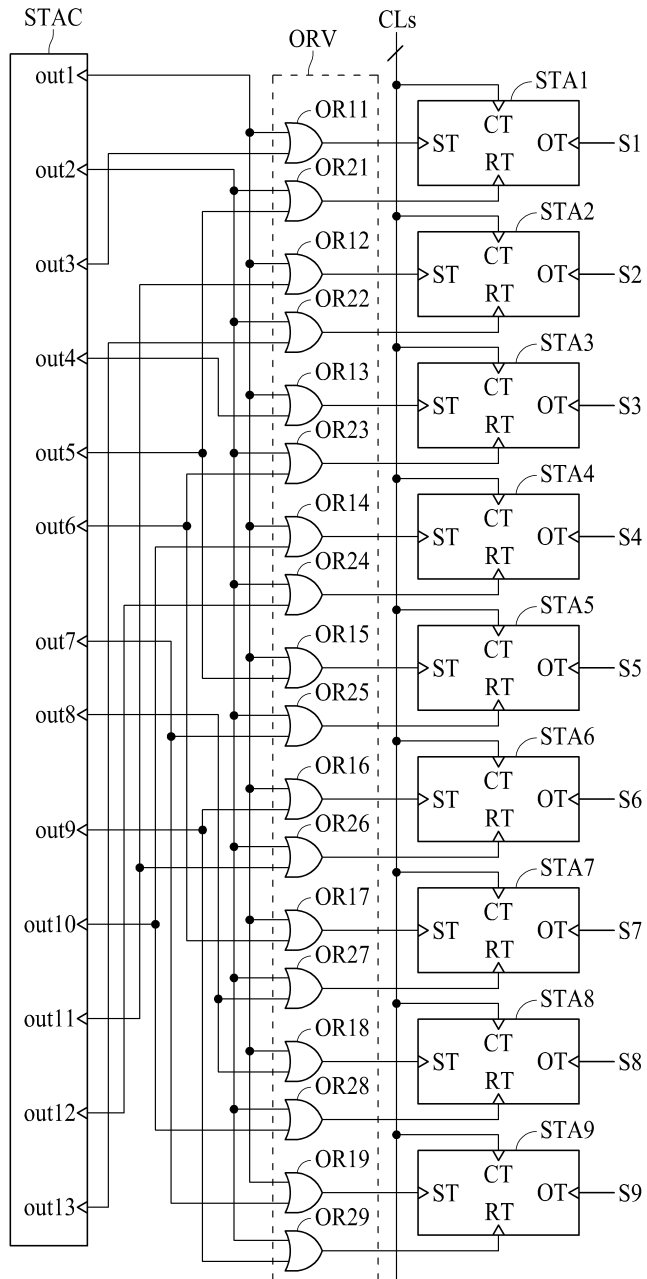
도면12



도면13



도면14



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160094560A	公开(公告)日	2016-08-10
申请号	KR1020150015450	申请日	2015-01-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHANGHEE KIM 김창희 MYUNGHO BAN 반명호		
发明人	김창희 반명호		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明的实施例涉及有机发光显示装置，其通过补偿驱动晶体管的阈值电压均匀地可以实现像素的亮度。根据本发明优选实施例的有机发光显示装置包括显示面板和扫描驱动器。显示面板被分成q的块（q是大于2的正整数），并且在块中准备连接到p的扫描线的像素（p是大于2的正整数）。阈值电压感测周期和数据电压供应周期被划分为q的子帧周期，并且包括扫描驱动器操作1帧持续时间，同时，栅极导通电压的扫描信号被提供给扫描线阈值电压感测周期的p和栅极导通电压的扫描信号被提供给数据电压供应周期的无序顺序。

