

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2016-0082768 (43) 공개일자 2016년07월11일
(51) 국제특허분류(Int. Cl.) H01L 27/32 (2006.01)		(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동)
(21) 출원번호	10-2014-0191992	(72) 발명자 이효문 경기도 광주시 회안대로 350-29 207동 1101호 (태전동,쌍용2단지아파트)
(22) 출원일자	2014년12월29일	(74) 대리인 김은구, 송해모
심사청구일자	없음	

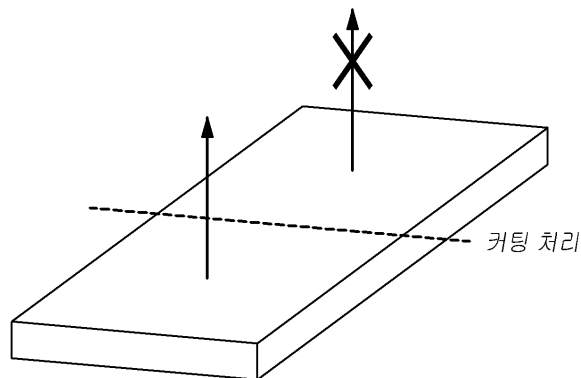
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 리페어 구조를 갖는 유기발광표시장치

(57) 요약

본 발명은 다수의 화소 중 임의의 두 화소인 제1화소 및 제2화소 각각의 화소영역에 유기발광다이오드와 구동회로가 배치되는 표시패널을 포함하되, 표시패널에는, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 배치되어 있거나, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 배치되어 있는 것을 특징으로 하는 유기발광표시장치에 관한 것이다.

대표도 - 도6



OLED의 제1전극

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 배치되어 정의된 다수의 화소가 배치되는 표시패널;

상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및

상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되,

상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고,

상기 다수의 화소 중 적어도 하나의 화소에서,

상기 유기발광다이오드의 제1전극이 대각방향으로 두개 이상의 분할전극들로 분할되어 있으며 두개의 분할전극들은 커팅 포인트로 연결되어 있거나 커팅 포인트가 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 발광다이오드는 상기 커팅 포인트와 인접하여 마커(marker)를 추가로 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

분할된 두개의 분할전극들이 커팅 포인트로 커팅되어 있는 경우, 상기 화소에서의 휘도를 보상하되, 상기 화소의 구동회로가 정해진 휘도에 대응되는 전류 값보다 크거나 작은 전류 값의 전류를 출력하도록 데이터 전압 보상을 결정하는 보상부를 포함하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 다수의 화소 중 제1화소 및 제2화소에서,

상기 유기발광다이오드의 제1전극이 두개 이상의 분할전극들로 분할되어 있으며 두개의 분할전극들은 커팅 포인트로 연결되어 있거나 커팅 포인트가 커팅되어 있으며,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 배치되어 있거나,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 배치되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 다수의 화소 중 제1화소 및 제2화소에서,

상기 유기발광다이오드의 제1전극이 두개 이상의 분할전극들로 분할되어 있으며 두개의 분할전극들은 커팅 포인트로 연결되어 있거나 커팅 포인트가 커팅되어 있으며,

상기 제1화소의 유기발광다이오드의 제1전극의 분할전극들 중 하나와 상기 제2화소의 구동회로 중 적어도 하나와 절연된 플로팅 패턴이 배치되어 있거나,

상기 제1화소의 유기발광다이오드의 제1전극의 분할전극들 중 하나와 상기 제2화소의 구동회로를 전기적으로 연

결해주는 연결 패턴이 배치되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제4항 또는 제5항에 있어서,

상기 연결 패턴은,

상기 플로팅 패턴에 대한 레이저 웰딩 처리를 통해 웰딩(Welding) 되어 배치된 것을 특징으로 하는 유기발광표시장치.

청구항 7

제4항 또는 제5항에 있어서,

상기 연결 패턴이 배치된 경우,

상기 제1화소의 유기발광다이오드의 제1전극의 분할전극들 중 다른 하나와 상기 제1화소의 구동회로가 전기적으로 단선되어 있거나, 상기 제2화소의 유기발광다이오드의 제1전극의 분할전극들 중 다른 하나와 상기 제2화소의 구동회로가 전기적으로 단선되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제7항에 있어서,

상기 제1화소의 유기발광다이오드의 제1전극의 분할전극들 중 다른 하나와 상기 제1화소의 구동회로가 전기적으로 단선된 경우, 상기 제2화소의 구동회로가 상기 연결 패턴을 통해 상기 제1화소의 유기발광다이오드와 상기 제2화소의 유기발광다이오드를 병렬 구동하고,

상기 제2화소의 유기발광다이오드의 제1전극의 분할전극들 중 다른 하나와 상기 제2화소의 구동회로가 전기적으로 단선된 경우, 상기 제1화소의 구동회로가 상기 연결 패턴을 통해 상기 제1화소의 유기발광다이오드와 상기 제2화소의 유기발광다이오드를 병렬 구동하는 것을 특징으로 하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 플로팅 패턴은, 소스-드레인 물질인 것을 특징으로 하는 유기발광표시장치.

청구항 10

제4항에 있어서,

상기 연결 패턴이 배치된 경우, 상기 제1화소 및 상기 제2화소 각각에서의 휘도를 보상하되, 상기 제1화소 또는 상기 제2화소의 구동회로가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 전압 보상량을 결정하는 보상부를 포함하는 유기발광표시장치.

청구항 11

데이터 라인과 게이트 라인이 교차하는 지점에 위치하는 구동회로; 및

상기 구동회로와 전기적으로 연결되며, 제1전극 및 제2전극, 상기 제1전극과 상기 제2전극 사이에 위치하는 유기층을 포함하는 유기발광다이오드를 포함하며,

상기 유기발광다이오드의 제1전극이 대각방향으로 두개 이상의 분할전극들로 분할되어 있으며 두개의 분할전극들은 커팅 포인트로 연결되어 있거나 커팅 포인트가 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 유기발광다이오드는 상기 커팅 포인트와 인접하여 마커(marker)를 추가로 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 13

제11항에 있어서,

분할된 두개의 분할전극들이 커팅 포인트로 커팅되어 있는 경우, 상기 화소 에서의 휘도를 보상하되, 상기 화소의 구동회로가 정해진 휘도에 대응되는 전류 값보다 크거나 작은 전류 값의 전류를 출력하도록 데이터 전압 보상을 결정하는 보상부를 포함하는 유기발광표시장치.

발명의 설명**기술 분야**

[0001] 본 발명은 리페어 구조를 갖는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 제조에 따라 제어한다.

[0004] 이러한 유기발광표시장치의 각 화소는, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동회로가 배치되는 화소 구조를 갖는다.

[0005] 이러한 화소 구조를 갖는 다수의 화소가 정의된 표시패널을 제조하기 위해서는, 매우 많은 공정을 거쳐야 하고, 이때, 공정 기인성 이물(들)이 화소에서 발생할 수 있는데, 이 경우, 해당 화소는 휘점이 되거나 암점이 되는 불량 화소가 된다.

[0006] 이와 같은 화소 불량은 화질을 심각하게 저하할 수 있으며, 심각한 경우에는, 표시패널 자체를 폐기시켜야 한다.

[0007] 따라서, 화소 불량에 대한 리페어(Repair)를 효율적으로 할 수 있는 방안이 매우 절실한 실정이다.

발명의 내용**해결하려는 과제**

[0008] 이러한 배경에서, 본 발명의 목적은, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어된 유기발광표시장치를 제공하는 데 있다.

[0009] 본 발명의 또 다른 목적은, 화소 불량의 원인 중 발광부 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 발광부 불량이 리페어된 유기발광표시장치를 제공하는 데 있다.

[0010] 본 발명의 또 다른 목적은, 발광부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

[0011] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 배치되어 정의된 다수의 화소가 배치되는 표시패널; 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및 상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되, 상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고, 상기 다수의 화소 중 제1화소 및 제2화소에서, 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 배치되어 있거나, 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 배치되어 있는 것을 특징으로 하는 유기발광표시장치를 제공한다.

[0012] 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 배치되어 정의된 다수의 화소가 배치되는 표시패널; 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및 상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되, 상기 다수의 화소 각각은 발광영역과 비 발광영역으로 이루어져 유기발광다이오드와 구동회로가 배치되고, 상기 표시패널에는, 상기 유기발광다이오드의 제1전극이 커팅되어 발광영역의 면적이 동일한 색을 발광하는 다른 화소의 발광영역의 면적보다 작은 적어도 하나의 화소가 존재하는 것을 특징으로 하는 유기발광표시장치를 제공한다.

발명의 효과

[0013] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어된 유기발광표시장치를 제공하는 효과가 있다.

[0014] 또한, 본 발명에 의하면, 화소 불량률의 원인 중 발광부 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 발광부 불량이 리페어된 유기발광표시장치를 제공하는 효과가 있다.

[0015] 또한, 본 발명에 의하면, 발광부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템을 나타낸 도면이다.
 도 2는 실시예들에 따른 유기발광표시장치의 기본적인 화소 구조를 나타낸 도면이다.
 도 3 및 도 4는 실시예들에 따른 유기발광표시장치의 화소의 등가회로도 예시도이다.
 도 5는 실시예들에 따른 유기발광표시장치의 화소 불량 유형을 나타낸 도면이다.
 도 6은 실시예들에 따른 유기발광표시장치의 화소 불량 유형별 리페어 방식을 설명하기 위한 개념도이다.
 도 7은 제1실시예에 따른 유기발광표시장치의 평면도이다.
 도 8은 제1실시예에 따른 유기발광표시장치에서, 발광부 불량에 대한 리페어 처리를 나타낸 도면이다.
 도 10a 내지 도 10c는 제2실시예에 따른 유기발광표시장치의 평면도들이다.
 도 11은 제2실시예에 따른 유기발광표시장치의 리페어 처리 전후의 평면도이다.
 도 12는 제2실시예에 따른 유기발광표시장치에서 마커를 추가된 것을 도시하고 있다.
 도 13은 도 12의 마커가 추가된 제2실시예에 따른 유기발광표시장치에서, 발광부 불량에 대한 리페어 처리를 나타낸 도면이다.
 도 14는 도 7의 리턴던시 구조의 화소들을 포함하는 표시패널의 일부를 도시하고 있다.
 도 15는 도 10의 리턴던시 구조의 화소들을 포함하는 표시패널의 일부를 도시하고 있다.
 도 16a 및 도 16b는 제3실시예에 따른 유기발광표시장치의 평면도들이다.
 도 17은 제3실시예에 따른 유기발광표시장치의 개념적인 단면도이다.
 도 18은 제3실시예에 따른 유기발광표시장치의 리페어 처리 후 평면도이다.
 도 19는 제3실시예에 따른 유기발광표시장치의 리페어 처리 후 개략적인 단면도이다.
 도 20은 제4실시예에 따른 유기발광표시장치의 휘도 보상을 위한 회로도이다.
 도 21은 제5실시예에 따른 유기발광표시장치의 휘도 보상을 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조

부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

- [0018] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0019] 도 1은 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템을 나타낸 도면이다.
- [0020] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 일방향으로 배치되는 다수의 데이터 라인(DL1~DLm)과 다수의 데이터 라인(DL1~DLm)과 교차하는 타방향으로 배치되는 다수의 게이트 라인(GL1~GLn)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 통해 데이터 전압을 공급하는 데이터 구동부(120)와, 다수의 게이트 라인(GL1~GLn)을 통해 스캔신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.
- [0021] 전술한 표시패널(110)에 배치되는 다수의 화소(P) 각각은, 유기발광다이오드(OLED: Organic Light-Emitting Diode)와 이를 구동하기 위한 구동회로(DRC: DRiving Circuit)가 배치된다.
- [0022] 각 화소에 배치된 구동회로는 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터 등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Storage Capacitor)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(Sensing Transistor) 등을 더 포함할 수도 있다. 이러한 각 화소 구조에 대하여, 도 2 및 도 3을 참조하여 더욱 상세하게 설명한다.
- [0023] 전술한 데이터 구동부(120)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있고, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0024] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다.
- [0025] 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있고, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0026] 전술한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하고 이를 위해 각종 제어 신호를 출력한다.
- [0027] 이하에서는, 위에서 간략하게 설명한 각 화소 내 화소구조에 대하여 더욱 상세하게 설명한다.
- [0028] 도 2는 실시예들에 따른 유기발광표시장치(100)의 기본적인 화소 구조를 나타낸 도면이다.
- [0029] 도 2를 참조하면, 실시예들에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 다수의 화소(P) 각각의 화소영역(PA: Pixel Area)은, 유기발광다이오드(OLED)에 빛이 나오는 발광영역(EA: Emission Area)과, 유기발광다이오드(OELD)를 구동하기 위한 구동회로(DRC)가 배치되는 회로영역(CA: Circuit Area)으로 이루어질 수 있다.
- [0030] 발광영역(EA)은 유기발광다이오드(OLED)를 포함하는 발광부가 배치된다. 회로영역(CA)은 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DRC)를 포함하는 회로부가 배치되고, 비 발광영역에 해당한다.
- [0031] 한편, 도 2에서는, 발광영역(EA)과 회로영역(CA)이 분리되는 영역처럼 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 경우에 따라서는, 발광영역(EA)과 회로영역(CA)이 중첩될 수도 있다. 예를 들어, 상부 발광 방식의

경우, 발광부 하부에 회로부가 배치되어 발광영역(EA)과 회로영역(CA)이 중첩되어 있을 수도 있다.

- [0032] 전술한 바와 같이, 각 발광영역(EA)에 배치되는 유기발광다이오드(OLED)는 구동회로와 전기적으로 연결되며, 제1전극 및 제2전극, 제1전극과 제2전극 사이에 위치하는 유기층을 포함한다.
- [0033] 전술한 바와 같이, 각 회로영역(CA)에 배치되는 구동회로(DRC)는, 일 예로, 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터(이하, 제2트랜지스터(T2)라고 함)등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Cstg)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(이하, 제1트랜지스터(T1)라고 함) 등을 포함한다.
- [0034] 이와 같이, 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(Cstg)를 갖는 3T(Transistor) 1C(Capacitor) 구조를 갖는 화소의 2가지 화소 구조를 도 3 및 도 4에 예시한다.
- [0035] 도 3 및 도 4는 실시예들에 따른 유기발광표시장치(100)의 화소의 등가회로도 예시도이다.
- [0036] 도 3를 참조하면, 각 화소영역(PA) 내 회로영역(CA)에는, 유기발광다이오드(OLED)로 전류를 공급하기 위한 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)의 공급을 위한 기준전압 라인(RVL: Reference Voltage Line) 사이에 연결되는 제1트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2노드(N2)와 데이터 라인(DL) 사이에 연결되는 제2트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어 한 프레임 동안의 전압을 유지해주는 역할을 하는 스토리지 캐패시터(Cstg) 등을 포함할 수 있다.
- [0037] 제1트랜지스터(T1)는, 제1게이트 라인(GL')을 통해 공급된 제1스캔신호(이하, 센싱신호(SENSE)"라 함)에 의해 제어되어 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)을 인가해주는 역할을 한다. 이러한 제1트랜지스터(T1)는, 화소 보상을 위해 해당 화소가 센싱 모드로 동작할 때 구동 트랜지스터(DT)의 제1노드(N1)의 전압을 센싱하기 위해 이용될 수도 있다. 이러한 의미에서, 제1트랜지스터(T1)를 센싱 트랜지스터(Sensing Transistor)라고도 한다.
- [0038] 제2트랜지스터(T2)는, 제2게이트 라인(GL)을 통해 공급된 제2스캔신호(이하, "스캔신호(SCAN)"라 함)에 의해 제어되어 데이터 전압(Vdata)를 구동 트랜지스터(DT)의 제2노드(N2)에 인가해주는 역할을 한다. 구동 트랜지스터(DT)의 제2노드(N2)에 인가된 데이터 전압에 의해 구동 트랜지스터(DT)의 턴 온 또는 턴 오프가 결정되어 유기발광다이오드(OLED)로 전류가 공급되는 것을 제어할 수 있다. 이러한 의미에서, 제2트랜지스터(T2)는 스위칭 트랜지스터(Switching Transistor)라고도 한다.
- [0039] 다시 말해, 도 3의 화소 구조에서는, 2개의 게이트 라인(GL, GL')이 필요하며, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는 각기 다른 게이트 라인(GL, GL')을 통해 각기 다른 게이트신호(센싱신호, 스캔신호)에 의해 제어된다. 이러한 의미에서, 도 3의 화소 구조를 "2 스캔 기반의 화소 구조"라고 한다.
- [0040] 이와 같이, 각 화소가 2 스캔 기반의 화소 구조를 갖는 경우, 도 1에서 도시된 게이트 구동부(130)는, 스캔신호를 출력하는 게이트 구동부와 센싱신호를 출력하는 게이트 구동부로 분리되어 구현될 수 있으며, n개의 게이트 라인(GL1~GLn)은 스캔신호를 공급하기 위한 게이트 라인(GL1~GLn)과 센싱신호를 공급하기 위한 게이트 라인(GL1'~GLn')으로 나누어져 배치될 수 있다.
- [0041] 한편, 도 4를 참조하면, 각 화소영역(PA) 내 회로영역(CA)에는, 유기발광다이오드(OLED)로 전류를 공급하기 위한 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)의 공급을 위한 기준전압 라인(RVL: Reference Voltage Line) 사이에 연결되는 제1트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2노드(N2)와 데이터라인(DL) 사이에 연결되는 제2트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되는 스토리지 캐패시터(Cstg) 등을 포함한다는 점에서, 도 3의 화소 구조와 동일하다.
- [0042] 하지만, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는, 하나의 게이트라인(GL)을 통해 공급된 1개의 스캔신호(SCAN)에 의해 공통으로 제어된다는 점에서, 도 4의 화소 구조는 도 3의 "2 스캔 기반의 화소 구조"와 차이점이 있다.
- [0043] 도 4의 화소 구조에서는, 1개의 게이트라인(GL)만 필요하며, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는 1개의 공통 게이트라인(GL)을 통해 동일한 게이트신호(스캔신호)에 의해 제어된다. 이러한 의미에서, 도 4의 화소 구

조를 "1 스캔 기반의 화소 구조"라고 한다.

- [0044] 실시예들에서 언급되는 구동 트랜지스터(DT)는 N 타입의 트랜지스터일 수도 있고, P 타입의 트랜지스터일 수도 있다. 또한, 제1트랜지스터(T1) 및 제2트랜지스터(T2)도 N 타입의 트랜지스터로 예시되었지만, P 타입으로 구현될 수도 있다.
- [0045] 도 5는 실시예들에 따른 유기발광표시장치(100)의 화소 불량 유형을 나타낸 도면이다.
- [0046] 도 5를 참조하면, 전술한 바와 같이, 각 화소영역(PA) 내 발광영역(EA)에서 불량이 발생할 수도 있다. 발광영역(EA) 내 불량은, 표시패널(110)의 제1전극(예: 애노드 또는 캐소드)이 공정상의 이물 등에 의해 단락(Short)이 되어 발생하거나, 표시패널(110)의 제1전극 중 어느 하나 이상에서 결손이 생겨 발생할 수 있다. 이뿐만 아니라, 발광영역(EA) 내 불량은 애기치 못하는 그 어떠한 이유에 의해서도 발생할 수 있다.
- [0047] 이와 같은 발광영역(EA) 내 불량이 발생한 경우, 표시패널(110)의 유기발광다이오드(OLED)에 전류가 과하게 흐르거나 흐리지 않거나 또는 약하게 흘러, 해당 화소는, 휘점화 또는 암점화 또는 약 암점화가 되어, 불량 화소가 된다.
- [0048] 본 명세서서 표시패널(110)의 제1전극은, 발광영역(EA)에 불량이 발생했을 때 리페어(Repair) 하기 위한 리던던시(Redundancy) 구조를 갖는다.
- [0049] 본 명세서에서 기재된 리페어(Repair)는, 제품 출하 이전에 패널 제작 공정 시에 이루어질 수도 있고, 제품 출하 이후에 고객으로부터 애프터 서비스 요청에 따라 이루어질 수도 있다.
- [0050] 먼저, 도 6를 참조하여, 발광부 불량이 발생한 화소의 리페어를 개념적으로 간략하게 설명한다.
- [0051] 도 6은 실시예들에 따른 유기발광표시장치(100)의 화소 불량 유형별 리페어 방식을 설명하기 위한 개념도이다.
- [0052] 도 6를 참조하면, 어떤 한 화소(P)의 유기발광다이오드(OLED)에서 발광부 불량이 발생한 경우, 발광부 불량에 대한 리페어는, 발광부 불량이 발생한 유기발광다이오드(OLED)의 제1전극(예: 애노드 또는 캐소드)에서 공정상의 이물 등에 의해 발광부 불량을 발생한 부분을 커팅(Cutting)하는 "커팅 처리"를 포함할 수 있다.
- [0053] 이러한 발광부 불량에 대한 리페어에 따라, 해당 화소(P)의 화소영역(PA) 내 발광영역(EA)이 감소할 수 있고, 이는, 해당 화소의 휘도를 떨어뜨릴 수 있다. 하지만, 이러한 휘도 감소는 해당 화소로 공급되는 데이터 전압을 변경하는 방식 등을 통해 내부 또는 외부 보상을 하여, 휘도 감소를 보상해줄 수 있다.
- [0054] 이상에서 전술한 바와 같이, 발광부 불량에 대한 리페어 시, 일 예로, 커팅 처리와 웰딩 처리가 이용된다.
- [0055] 따라서, 화소 불량에 대한 리페어 처리(커팅 처리, 웰딩 처리)가 주변 회로 등을 훼손시키지 않으면서 정확하고 쉽게 이루어지기 위해서는, 커팅 처리가 될 수 있는 위치와 웰딩 처리가 될 수 있는 위치가 면밀하게 정해져야 할 것이다.
- [0056] 커팅 처리가 될 수 있는 위치는, 발광부 불량에 대한 리페어 처리와 관련된 경우, 해당 화소의 유기발광다이오드의 제1전극에서 발광부 불량이 있는 영역 또는 지점을 커팅해낼 수 있는 위치를 의미한다. 아래에서, 커팅 처리가 될 수 있는 위치는, 커팅 포인트(CP: Cutting Point)라고 기재한다.
- [0057] 아래에서, 웰딩 처리가 될 수 있는 위치는 웰딩 포인트(WP: Welding Point)라고 기재한다.
- [0058] 이러한 커팅 포인트(CP)와 웰딩 포인트(WP)는, 화소의 구조, 배치 등에 따라서, 그 위치 또는 개수 등이 달라질 수 있을 것이다.
- [0059] 커팅 포인트(CP)는, 전술한 지점들뿐만 아니라, 화소 불량이 있는 화소의 구동회로가 유기발광다이오드로 전류를 공급하지 못하도록 하는 그 어떠한 지점이 될 수 있다.
- [0060] 발광부 불량에 대한 리페어가 가능하도록 해주는 리페어 구조와 이를 이용한 발광부 불량에 대한 리페어 처리에 대한 실시예를 설명한다.
- [0061] 단, 아래에서는, 설명의 편의를 위해, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 1개의 화소(P)에 대하여, 리페어 처리가 가능하도록 설계된 리페어 구조를 갖는 유기발광표시장치(100)와, 이러한 리페어 구조를 활용한 리페어 처리, 그리고, 이러한 리페어 처리를 통해 변경된 구조를 갖는 유기발광표시장치(100)에 대하여 설명한다.
- [0062] 그리고, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 1개의 화소(P)는, 표시패널(110)에 배치된 다수의

화소를 대변하는 화소일 수 있다.

- [0063] 즉, 임의의 1개의 화소(P)가 정상 화소라면, 표시패널(110)에 배치된 모든 화소가 정상 화소인 것으로 간주하면 되고, 임의의 1개의 화소(P)에서 화소 불량이 발생한 경우라면, 표시패널(110)에 배치된 모든 화소중 적어도 하나의 화소에서 화소 불량이 발생한 것으로 간주하면 된다. 또한, 화소 불량이 발생한 임의의 1개의 화소(P)에서 리페어가 되었다면, 표시패널(110)에 배치된 모든 화소 중 적어도 하나의 화소에서 화소 불량에 대한 리페어가 되었다고 간주하면 된다.
- [0064] 도 7은 제1실시예에 따른 유기발광표시장치(100)의 평면도이다. 도 8은 제1실시예에 따른 유기발광표시장치에서, 발광부부 불량에 대한 리페어 처리를 나타낸 도면이다.
- [0065] 도 7을 참조하면, 제1실시예에 따른 유기발광표시장치(100)는, 다수의 화소가 배치된 표시패널(110)을 포함하되, 표시패널(110)에 배치된 다수의 화소 중 임의의 화소들(P) 각각의 화소영역(PA)에 유기발광다이오드(OLED)와 구동회로(DRC)가 배치된다.
- [0066] 즉, 화소(P)의 화소영역(PA)에서, 화소영역(PA) 내 발광영역(EA)에 유기발광다이오드(OLED)가 배치되고, 화소영역(PA) 내 회로영역(CA)에 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DRC)가 배치된다.
- [0067] 화소(P) 각각에는, 구동회로(DCR)과 전기적으로 연결되며 다른 부분에 비해 폭이 좁은 커팅 포인트(CP)가 적어도 하나 존재하는 제1전극(710)이 위치한다. 여기서 폭(Width)은 도 7에서 가로 방향으로의 길이를 의미한다. 이때 커팅 포인트(CP)의 폭과 위치, 형상은 도 7에 도시한 바에 한정되지 않는다.
- [0068] 다시 말해 제1전극(710)이 두개의 제1 및 제2분할전극들(710a, 710b)로 분할되어 있고 두개의 제1 및 제2분할전극들(710a, 710b)은 커팅 포인트(CP)로 연결되어 있다. 전술한 바와 같이 제1전극(710)이 두개의 분할전극들(710a, 710b)로 분할되고 두개의 분할전극들(710a, 710b)은 커팅 포인트(CP)로 연결된 것으로 설명하였으나, 유기발광다이오드(OLED)의 제1전극(710)이 두개 이상의 분할전극들로 분할될 수 있으며 인접한 두개의 분할전극들은 각각 하나 이상의 커팅 포인트(CP)로 연결되어 있거나 발광부 불량시 커팅되어 있다.
- [0069] 도 8에 도시한 바와 같이 단선과 같은 화소 불량이 제2분할전극(710b)에 일어난 경우, 제1전극(710)의 폭이 좁은 커팅 포인트(CP)를 레이저 커팅하게 된다. 그런데, 대형의 표시장치, 예를 들어 55" FHD 표시장치에서 리턴던시 구조 적용시 반암점이 인지될 수 있다. 특히 도 9에 도시한 바와 같이 대형 표시장치 개발시 인지 수준이 증가할 수 있다. 제1전극(710)을 이분할할 경우 반암점의 크기가 사람 눈이 구별할 수 있는 최소 한계치보다 클 수 있기 때문이다. 특히 수평방향으로 이등분으로 암점 영역이 명확하여 시인성이 높아질 수 있다. 또한 화소 크기 및 개구 영역 크기가 증가할 수록 반암점 크기도 함께 증가하게 되고 암점 또는 반암점의 시인성이 증가할 수 있다.
- [0070] 도 10a 내지 도 10c는 제2실시예에 따른 유기발광표시장치(100)의 평면도들이다.
- [0071] 도 10a를 참조하면, 제2실시예에 따른 유기발광표시장치(100)는, 제1실시예에 따른 유기발광표시장치와 동일하게 표시패널(110)에 배치된 다수의 화소 중 임의의 화소들(P) 각각의 화소영역(PA)에 유기발광다이오드(OLED)와 구동회로(DRC)가 배치된다.
- [0072] 화소(P)의 유기발광다이오드(OLED)의 제1전극(1010)은 두개의 제1 및 제2분할전극들(1010a, 1010b)로 분할되어 있고 두개의 제1 및 제2분할전극들(1010a, 1010b)은 커팅 포인트(CP)로 연결되어 있거나 발광부 불량시 커팅 포인트(CP)가 커팅되어 있다. 이때 화소(P)의 유기발광다이오드(OLED)의 제1전극(1010)은 각각 대각방향으로 두개의 제1 및 제2분할전극들(1010a, 1010b)로 분할되어 있을 수 있다. 전술한 바와 같이 분할전극과 커팅 포인트의 개수는 각각 2개 이상일 수 있다.
- [0073] 도 10a에 도시한 바와 같이 두개의 제1 및 제2분할전극들(1010a, 1010b)은 대략의 직사각형 형상의 제1전극(1010)의 마주보는 모서리 방향으로 분할되어 있을 수 있으나 본 발명은 이에 한정되지 않는다. 예를 들어 도 10b 및 도 10c에 도시한 바와 같이 직사각형 형상의 제1전극(1010)의 모서리 방향을 기준으로 시계방향 또는 반시계방향으로 두개의 제1 및 제2분할전극들(1010a, 1010b)이 분할될 수 있다. 또한 두개의 제1 및 제2분할전극들(1010a, 1010b)이 대각방향으로 직선으로 분할된 것으로 도 10a 내지 도 10c에 도시하였으나, 곡선 등 일정 형상으로 분할될 수 있다.
- [0074] 도 11은 제2실시예에 따른 유기발광표시장치(100)의 리페어 처리 전후의 평면도이다. 도 12는 제2실시예에 따른 유기발광표시장치(100)에서 마커를 추가된 것을 도시하고 있다. 도 13은 도 12의 마커가 추가된 제2실시예에 따

른 유기발광표시장치에서, 발광부 불량에 대한 리페어 처리를 나타낸 도면이다.

- [0075] 도 11을 참조하면, 도 10에 도시된 제2실시예에 따른 유기발광표시장치(100)의 화소(P)에서 제2분할전극(1020b)에 불량이 발생한 경우, 화소(P)의 발광부 불량에 대한 리페어가 필요하다. 화소(P)에서 제2분할전극(1620b)에 불량이 발생한 경우 화소(P)의 두개의 제1 및 제2분할전극들(1020a, 1020b) 사이 커팅 포인트(CP)를 커팅한다.
- [0076] 이에 따라, 리페어 처리가 된 이후, 제2실시예에 따른 유기발광표시장치(100)는, 화소(P)의 유기발광다이오드(OLED)의 제1전극(1010)의 제1분할전극(1010a)만 구동회로(DRC)와 전기적으로 연결되어 있다.
- [0077] 도 12에 도시한 바와 같이 커팅 포인트(1210)가 ITO(Indium Tin Oxide)와 같은 투명 또는 반투명한 재질로 이루어진 경우, 리페어를 위한 마커(Marker, 1210)가 추가로 포함될 수 있다. 이 마커(1210)는 발광부 불량에 대한 리페어로 레이저로 커팅 포인트(1210)를 커팅할 때 가이드 역할을 할 수 있다. 이 마커(1210)는 커팅 포인트(1210)의 양쪽에 두개의 제1분할전극(1010a)와 제2분할전극(1010b) 사이에 위치할 수 있다. 마커(1210)는 투명 또는 반투명한 재질로 이루어진 제1전극(1010)과 달리 불투명한 재질로 이루어질 수 있다.
- [0078] 도 13에 도시한 바와 같이 레이저로 커팅 포인트(1210)를 커팅할 때 가이드 역할을 하는 마커(1210) 기준으로 레이저 커팅하므로 투명 또는 반투명한 재질로 이루어진 커팅 포인트(1210)를 정확하게 커팅할 수 있다.
- [0079] 도 14는 도 7의 리턴던시 구조의 화소들을 포함하는 표시패널의 일부를 도시하고 있다. 도 15는 도 10의 리턴던시 구조의 화소들을 포함하는 표시패널의 일부를 도시하고 있다.
- [0080] 도 14에 도시한 바와 같이 도 7의 리턴던시 구조의 화소들 중 하나의 화소에 발광부 불량이 발생하여 리페어된 경우 대형의 표시장치, 예를 들어 55" FHD 표시장치에서 리턴던시 구조 적용시 반암점의 크기가 사람 눈이 구별할 수 있는 최소 한계치보다 커서 리페어된 반암점이 인지될 수 있다. 특히 수평방향으로 이동분으로 암점 영역이 명확하지 않아 시인성이 높아질 수 있다. 또한 화소 크기 및 개구 영역 크기가 증가할 수록 반암점 크기도 함께 증가하게 되고 암점 또는 반암점의 시인성이 증가할 수 있다.
- [0081] 도 15에 도시한 바와 같이 도 10의 리턴던시 구조의 화소들 중 하나의 화소에 발광부 불량이 발생하여 리페어된 경우 대형의 표시장치, 예를 들어 55" FHD 표시장치에서도 반암점의 크기가 사람 눈이 구별할 수 있는 최소 한계치보다 크더라도 리페어된 반암점이 인지되지 않거나 덜 인지될 수 있다. 제1전극이 대각방향으로 분할되므로 구동되는 분할전극이 발광영역(EA) 전체에 발광하므로 암점 영역이 명확하여 시인성이 낮아지기 때문이다. 따라서 또한 도 10의 리턴던시 구조의 화소들 중 하나의 화소에 발광부 불량이 발생하여 리페어된 경우 화소 크기 및 개구 영역 크기가 증가하여 반암점 크기가 함께 증가하더라도 분할전극이 발광영역(EA) 전체에서 발광하므로 암점 또는 반암점의 시인성이 낮아지는 효과가 있다.
- [0082] 또한 리페어에 따라, 해당 화소(P)의 발광부(EP)의 면적이 감소하게 되고, 이는, 해당 화소(P)의 휘도를 떨어뜨린다. 하지만, 이러한 휘도 감소는 해당 화소로 공급되는 데이터 전압을 변경하는 방식 등을 통해 내부 또는 외부 보상을 하여, 휘도 감소를 보상한다. 휘도 보상과 관련하여 도 20 및 도 21을 참조하여 아래에서 설명한다.
- [0083] 이하, 설명의 편의를 위해, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)에 대하여, 리페어 처리가 가능하도록 설계된 리페어 구조를 갖는 유기발광표시장치(100)와, 이러한 리페어 구조를 활용한 리페어 처리, 그리고, 이러한 리페어 처리를 통해 변경된 구조를 갖는 유기발광표시장치(100)에 대하여 설명한다.
- [0084] 그리고, 임의의 2개의 화소(P1, P2) 모두는 화소 불량이 발생하지 않은 정상 화소일 수도 있고, 또는, 표시패널(110)에서의 다수의 화소 중 적어도 하나의 화소에서 화소 불량이 발생한 경우에, 설명의 편의를 위해, 다수의 화소 중 화소 불량이 발생한 적어도 하나의 화소를 제2화소(P2)로 가정한다.
- [0085] 그리고, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)는, 표시패널(110)에 배치된 다수의 화소를 대변하는 화소일 수 있다.
- [0086] 즉, 제1화소(P1)와 제2화소(P2)가 모두 정상 화소라면, 표시패널(110)에 배치된 모든 화소가 정상 화소인 것으로 간주하면 되고, 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)에서 화소 불량이 발생한 경우라면, 표시패널(110)에 배치된 모든 화소중 적어도 하나의 화소에서 화소 불량이 발생한 것으로 간주하면 된다. 또한, 제1화소(P1)와 제2화소(P2) 중 화소 불량이 발생한 제2화소(P2)에서 리페어가 되었다면, 표시패널(110)에 배치된 모든

화소 중 적어도 하나의 화소에서 화소 불량에 대한 리페어가 되었다고 간주하면 된다.

- [0087] 도 16a 및 도 16b는 제3실시예에 따른 유기발광표시장치(100)의 평면도들이다. 도 17은 제3실시예에 따른 유기발광표시장치(100)의 개념적인 단면도이다.
- [0088] 도 16a를 참조하면, 제3실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되며, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접한 경계 부근에 적어도 하나의 웰딩 포인트(WP)가 있다. 도 16b를 참조하면, 제3실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 구동 회로(DRC 2)가 인접하여 배치되며, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 구동 회로(DRC 2)가 인접한 경계 부근에 적어도 하나의 웰딩 포인트(WP)가 있다.
- [0089] 이때 제1화소 및 제2화소 각각은 도 10 또는 12를 참조하여 설명한 화소(P)와 실질적으로 동일할 수 있다.
- [0090] 다시 말해 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)은 각각 두개 이상의 분할전극들로 분할되어 있으며 두개의 분할전극들은 커팅 포인트(CP)로 연결되어 있거나 커팅 포인트(CP)가 커팅되어 있다. 이때 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)은 각각 대각방향으로 분할전극들로 분할되어 있을 수 있다. 한편 도 12에 도시한 바와 같이 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)은 각각 커팅 포인트(CP)와 인접하여 마커(marker)를 추가로 포함할 수 있다.
- [0091] 한편, 도 17을 참조하면, 제3실시예에 따른 유기발광표시장치(100)에서, 리페어 처리 시 웰딩되는 적어도 하나의 플로팅 패턴(1600)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620) 중 적어도 하나와 절연되어 배치되고, 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1) 간의 경계 부근에서 중첩되어 배치된다. 도 16a 및 도 17을 참조하면, 리페어 처리 시 웰딩되는 플로팅 패턴(1600)이 웰딩 포인트(WP)에 배치된다.
- [0092] 제3실시예에 따른 화소 배치 유형에서, 리페어 처리 시 웰딩되는 플로팅 패턴(1600)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620) 중 적어도 하나와 절연되어 배치되어 있을 수 있다.
- [0093] 단, 도 17의 예시에서는, 플로팅 패턴(1600)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과도 절연되고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)과도 절연되어 있다. 이와 같이, 플로팅 패턴(1600)이, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620) 중 적어도 하나와 절연되어 배치됨으로써, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)은, 전기적으로 연결되어 있지 않은 상태가 된다.
- [0094] 또한, 플로팅 패턴(1600)은, 도 16a 및 도 17에 도시된 바와 같이, 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1) 간의 경계 부근에서 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1)과 겹쳐져 배치될 수 있다. 이때 플로팅 패턴(1600)은, 구동회로(DT1, DT2)의 소스-드레인 물질로 구동회로의 소스-드레인 형성시 동시에 형성될 수 있다. 따라서, 다른 구성요소에 사용하는 물질로 동일한 공정중에 플로팅 패턴(1600)을 형성하므로 공정효율을 향상시킬 수 있다. 전술한 예에서 플로팅 패턴(1600)은, 구동회로(DT1, DT2)의 소스-드레인 물질로 구동회로의 소스-드레인 형성시 동시에 형성되는 것으로 설명하였으나, 화소의 전극 물질 또는 구동회로의 게이트 물질 등 표시패널을 형성하는데 사용되는 어떤 물질이거나 표시패널을 형성하는데 사용되지 않는 별도의 물질일 수 있다.
- [0095] 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되는 제3실시예의 경우, 전술한 바와 같이, 두 화소영역(두 발광영역)의 경계 부근에 웰딩 포인트(WP)가 존재하고, 웰딩 포인트(WP)에 작은 플로팅 패턴(1600)만을 형성하면 되기 때문에, 웰딩 포인트(WP)에 플로팅 패턴을 형성하기 위하여, 베젤(Bezel) 영역이나 화소열 사이에 별도의 리페어 라인(RL)을 형성하지 않아도 되기 때문에, 패널 설계 및 제조공정이 간단해지고 쉬워지는 장점이 있다.
- [0096] 한편, 도 16a 및 도 17을 참조하면, 제1화소(P1) 및 제2화소(P2) 각각에는, 발광부 불량이 발생한 경우, 자신의 유기발광다이오드와 구동회로(DRC) 간의 회로적인 연결을 끊기 위한 커팅 포인트(CP1, CP2)가 존재할 수 있다.

- [0097] 회로적인 관점에서, 도 17를 참조하면, 제1화소(P1)의 발광부 불량에 대한 리페어 처리 시, 제1화소(P1)의 구동 회로(DRC 1)에서 유기발광다이오드(OLED 1)로 전류가 공급되는 경로 상의 그 어떠한 지점에도 커팅 포인트(CP 1)가 위치할 수 있다. 또한, 제2화소(P2)의 발광부 불량에 대한 리페어 처리 시, 제2화소(P2)의 구동회로(DRC 2)에서 유기발광다이오드(OLED 2)로 전류가 공급되는 경로 상의 그 어떠한 지점에도 커팅 포인트(CP2)가 위치할 수 있다.
- [0098] 구조적인 관점에서, 제2화소(P1)에 대해서만 살펴보면, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP2)는, 커팅 처리가 정확하고 쉽게 이루어질 수 있는 위치에 있어야 한다.
- [0099] 이러한 점을 고려하면, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP2)는, 일 예로, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)이 회로영역(CA 2)까지 연장된 부분에 위치할 수 있다.
- [0100] 이러한 위치뿐만 아니라, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)과, 회로영역(CA 2)에 배치된 트랜지스터(도 3 및 도 4의 화소 구조의 경우, 구동 트랜지스터(DT 2)일 수 있음)가 연결된 그 어떠한 위치이어도 무관하다.
- [0101] 이와 마찬가지로, 제1화소(P1)의 유기발광다이오드(OLED 1)와 구동회로(DRC 1) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP1)는, 일 예로, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)이 회로영역(CA 1)까지 연장된 부분에 위치할 수 있다.
- [0102] 이러한 위치뿐만 아니라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과, 회로영역(CA 1)에 배치된 트랜지스터(도 3 및 도 4의 화소 구조의 경우, 구동 트랜지스터(DT 1)일 수 있음)가 연결된 그 어떠한 위치이어도 무관하다.
- [0103] 단, 도 16a 및 도 16b에서는, 1개의 플로팅 패턴(1410)이 한 지점(WP)에 배치되어 있는 것으로 도시되어 있지만, 이는 설명의 편의를 위한 것일 뿐, 경우에 따라서는, 2개 이상의 지점들에 2개 이상의 플로팅 패턴들이 존재할 수도 있다.
- [0104] 만약 도 16a 및 도 16b에 도시된 제3실시예에 따른 유기발광표시장치(100)의 각 화소, 예를 들어 제2화소(P2)에서 제2분할전극(1620b)에 불량이 발생한 경우 도 11을 참조하여 설명한 바와 동일하게 제2화소(P2)의 두개의 제1 및 제2분할전극들(1620a, 1620b) 사이 커팅 포인트(CP)를 커팅하므로 제2화소(P2)의 발광부 불량을 리페어할 수 있다. 그런데 유기발광표시장치(100)의 각 화소, 예를 들어 제2화소(P2)에서 제1분할전극(1610a)에 불량이 발생한 경우 커팅 포인트(CP)를 커팅하더라도 불량이 발생한 제1분할전극(1610a)는 구동회로와 전기적으로 연결되어 있고 제2분할전극(1620b)는 구동회로와 전기적으로 단선되어 발광부 불량을 리페어할 수 없다.
- [0105] 이상 도 16a에 도시한 제3실시예에 따른 유기발광표시장치(100)를 예시적으로 설명하나 도 16b에 도시한 제3실시예에 따른 유기발광표시장치(100)도 동일하게 적용할 수 있다. 예를 들어 다수의 화소 중 제1화소(P1) 및 제2화소(P2)에서, 유기발광다이오드(OLED 2)의 제1전극(1620)이 두개 이상의 분할전극들(1620a, 1620b)로 분할되어 있으며 두개의 분할전극들(1620a, 1620b)은 커팅 포인트(CP)로 연결되어 있거나 커팅 포인트가 커팅되어 있을 수 있다. 이때 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)의 분할전극들(1610a, 1610b) 중 하나와 제2화소의 구동회로(DRC 2) 중 적어도 하나와 절연된 플로팅 패턴(WP)이 배치되어 있거나, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)의 분할전극들(1610a, 1610b) 중 하나와 제2화소의 구동회로(DRC 2)를 전기적으로 연결해주는 연결 패턴이 배치되어 있다.
- [0106] 도 18은 제3실시예에 따른 유기발광표시장치(100)의 리페어 처리 후 평면도이다. 도 19은 제3실시예에 따른 유기발광표시장치의 리페어 처리 후 개략적인 단면도이다.
- [0107] 도 18을 참조하면, 도 16에 도시된 제3실시예에 따른 유기발광표시장치(100)의 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)에서 제1분할전극(1610b)에 불량이 발생한 경우, 제2화소(P2)의 발광부 불량에 대한 리페어가 필요하다.
- [0108] 도 16에 도시된 제3실시예에 따른 유기발광표시장치(100)의 제2화소(P2)에서 제1분할전극(1610b)에 불량이 발생한 경우 도 11을 참조하여 설명한 바와 동일하게 제2화소(P2)의 두개의 제1 및 제2분할전극들(1620a, 1620b) 사이 커팅 포인트(CP)를 커팅한다.
- [0109] 제2화소(P2)의 구동회로(DRC 2)와 유기발광다이오드(OLED 2)의 제1분할전극(1620a) 간의 전기적인 연결을 단선

시키기 위해, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극에서 제2화소(P2)의 구동회로(DRC 2)와 연결되는 지점(커팅 포인트 CP2)을 커팅(Cutting)시킨다.

- [0110] 그리고, 도 19를 참조하면, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제2분할전극(1620b)이 제1화소(P1)의 구동 회로(DRC 1)에 의해 구동되도록, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극 중 적어도 하나와 절연되어 웰딩 포인트(WP)에 배치된 1개의 플로팅 패턴(1600)에 대한 웰딩(Welding)을 통해 연결 패턴(1640)을 배치시킬 수 있다. 웰딩 포인트(WP)에 배치된 플로팅 패턴(1600)의 개수는 1개 이상일 수 있다.
- [0111] 연결 패턴(1640)이 배치됨에 따라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)의 제2분할전극(1620b)이 전기적으로 연결된다.
- [0112] 이에 따라, 리페어 처리가 된 이후, 제3실시예에 따른 유기발광표시장치(100)는, 도 18에 도시된 바와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)의 제2분할전극(1620b)을 전기적으로 연결해주는 연결 패턴(1640)이 배치되어 있다.
- [0113] 진술한 실시예에서 발광부 불량에 대한 리페어 처리만을 설명하였으나 회로부 불량에 대한 리페어도 제3실시예에 따른 유기발광표시장치에서 수행할 수 있다. 즉, 회로부 불량이 발생한 경우 구동회로와 유기발광다이오드 사이 커팅 포인트를 커팅하고 분할전극들 사이 커팅 포인트를 커팅하지 않은 상태에서 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극 중 적어도 하나와 절연되어 웰딩 포인트(WP)에 배치된 1개의 플로팅 패턴(1600)에 대한 웰딩(Welding)을 통해 연결 패턴(1640)을 배치시킬 수 있다.
- [0114] 한편, 이상에서 설명한 발광부 불량에 대한 리페어 처리를 하게 되면, 리페어 처리 이전에 비해, 휘도가 감소한다.
- [0115] 즉, 발광부 불량에 대한 리페어 처리를 하게 되면, 구동회로(DRC)에서 출력된 전류가 2개의 유기발광다이오드(OLED)로 분기되어 입력되기 때문에, 각 유기발광다이오드(OLED)에서 흐르는 전류는, 산술적으로 보면, OLED 1은 1/3, OLED 2는 2/3만큼 감소하게 되어, 리페어 처리에 관여된 2개의 화소 모두에서 휘도 감소가 발생한다.
- [0116] 따라서, 본 명세서에서는 발광부 불량에 대한 리페어 처리가 이루어진 화소에 대하여, 휘도 감소를 보상해줄 수 있는 제4실시예에 따른 유기발광표시장치(100)를 개시한다. 이러한 제4실시예에 따른 유기발광표시장치(100)를 도 20을 참조하여 설명한다.
- [0117] 단, 아래에서 휘도 보상과 관련하여 설명함에 있어, 제2화소(P2)에서 발광부 불량이 발생하여 리페어 처리가 된 것으로 가정한다. 이에 따라, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 병렬로 구동하는 것으로 가정한다.
- [0118] 또한, 아래에서 휘도 보상과 관련하여 설명함에 있어, 화소 구조는 도 4의 1 스캔 기반의 화소 구조인 것으로 가정한다. 물론, 도 3의 2 스캔 기반의 화소 구조가 되더라도 아래에서 설명하게 될 휘도 보상 개념은 동일하게 적용될 수 있다.
- [0119] 도 20는 제4실시예에 따른 유기발광표시장치(100)의 휘도 보상을 위한 회로도이다.
- [0120] 도 20를 참조하면, 제4실시예에 따른 유기발광표시장치(100)는 도 18 및 도 19에 도시한 바와 같이 제2화소(P2)에서 발광부 불량이 발생하여 리페어 처리가 된 상태이다.
- [0121] 제4실시예에 따른 유기발광표시장치(100)에서는, 제1화소(P1)의 구동회로(DRC 1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 전류를 병렬로 공급한다.
- [0122] 따라서, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2) 각각이 공급받는 전류량은 원하는 휘도를 내기 위해 공급받아야 하는 전류량보다 적게 된다.
- [0123] 이는, 제1화소(P1)와 제2화소(P2) 모두에서의 휘도 감소를 발생시킨다.
- [0124] 이에, 제4실시예에 따른 유기발광표시장치(100)는, 도 19에 도시된 바와 같이, 제2화소(P2)의 발광부 불량이 리페어된 경우, 즉, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1610)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1620)의 제2분할전극(1620b)을 전기적으로 연결하는 연결 패턴(1640)이 배치된 경우, 제1화소(P1) 및 제2화소(P2) 각각에서의 휘도를 보상하는 보상부(1900)를 포함할 수 있다. 여기서, 연결 패턴은 웰딩

포인트(WP)에 배치된 웰딩 패턴이 웰딩되어 배치된 것이다.

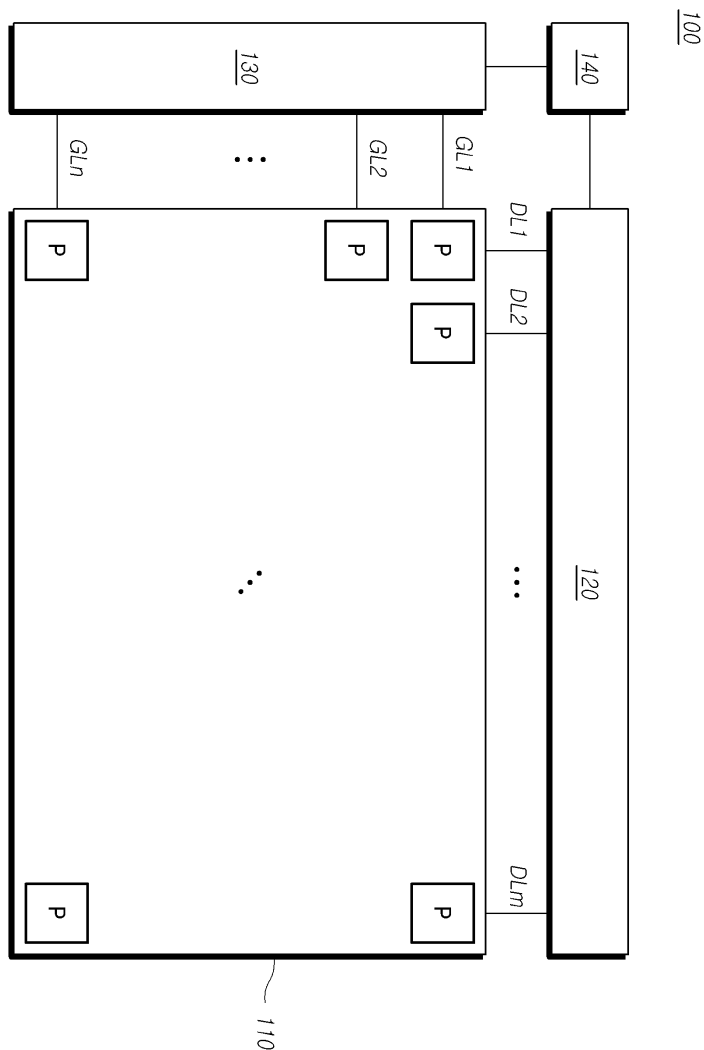
- [0125] 이러한 보상부(1900)는, 제1화소(P1)의 구동회로(DRC 1)가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 보상량을 결정한다. 보상부(1900)는 분할된 두개의 분할전극들이 커팅 포인트로 커팅되어 있는 경우, 화소 에서의 휘도를 보상하되, 화소의 구동회로(DRC)가 정해진 휘도에 대응되는 전류 값보다 크거나 작은 전류 값의 전류를 출력하도록 데이터 전압 보상량을 결정할 수 있다. 예를 들어 도 18에 도시한 바와 같이 구동회로(DRC)와 인접한 분할전극에 암점이 발생하여 분할된 두개의 분할전극들이 커팅 포인트로 커팅되어 있는 경우, 보상부(1900)는 화소 에서의 휘도를 보상하되, 화소의 구동회로(DRC)가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 전압 보상량을 결정할 수 있다. 한편 도 11 및 도 13에 도시한 바와 같이 구동회로(DRC)와 비인접한 분할전극에 암점이 발생하여 분할된 두개의 분할전극들이 커팅 포인트로 커팅되어 있는 경우, 보상부(1900)는 화소 에서의 휘도를 보상하되, 화소의 구동회로(DRC)가 정해진 휘도에 대응되는 전류 값보다 작은 전류 값의 전류를 출력하도록 데이터 전압 보상량을 결정할 수 있다.
- [0126] 이에 따라, 보상부(1900)는, 결정된 데이터 보상량에 따라 생성된 보상 데이터(Data') 또는 결정된 데이터 보상량을 데이터 구동부(120) 내 데이터 구동 집적회로(Data Driver IC, 1910)로 전달한다.
- [0127] 데이터 구동 집적회로(1910)는 전달받은 보상 데이터(Data') 또는 데이터 보상량에 대응되는 보상 데이터 전압(Vdata')을 해당 데이터 라인을 통해 제1화소(P1)의 구동회로(DRC 1)로 공급한다.
- [0128] 도 21은 제5실시예에 따른 유기발광표시장치(100)의 휘도 보상을 위한 회로도이다.
- [0129] 도 21을 참조하면, 제5실시예에 따른 유기발광표시장치(100)는 도 10 및 도 11에 도시한 화소(P)에서 발광부 불량이 발생하여 리페어 처리가 된 상태이다.
- [0130] 제5실시예에 따른 유기발광표시장치(100)는, 도 10 및 도 11에 도시된 바와 같이, 화소(P)의 유기발광다이오드(OLED)의 제1전극(1010)의 제2분할전극(1010a) 불량이 리페어된 경우 또는 도 19에 도시된 제1화소(P1)과 제2화소(P1) 중 하나, 예를 들어 제2화소의 유기발광다이오드(OLED 2)의 제1전극(1610)의 제2분할전극(1620a) 불량이 리페어된 경우, 즉, 화소(P)의 유기발광다이오드(OLED)의 제1전극의 제1 및 제2분할전극 사이 커팅 포인트(CP)가 커팅된 경우 화소(P)에서의 휘도를 보상하는 보상부(1900)를 포함할 수 있다.
- [0131] 이러한 보상부(1900)는, 제1전극(1010)의 제2분할전극(1010a) 불량이 리페어된 화소(P)가 정해진 휘도로 발광하도록 데이터 보상량을 결정한다.
- [0132] 이에 따라, 보상부(1900)는, 결정된 데이터 보상량에 따라 생성된 보상 데이터(Data') 또는 결정된 데이터 보상량을 데이터 구동부(120) 내 데이터 구동 집적회로(Data Driver IC, 1910)로 전달한다.
- [0133] 데이터 구동 집적회로(1910)는 전달받은 보상 데이터(Data') 또는 데이터 보상량에 대응되는 보상 데이터 전압(Vdata')을 해당 데이터 라인을 통해 화소의 구동회로(DRC)로 공급한다.
- [0134] 한편, 제4 및 제5실시예에 따른 유기발광표시장치(100)는, 리페어된 화소(들)에 대한 정보를 메모리(미도시)에 저장해두고, 전술한 휘도 보상시 이용할 수 있다.
- [0135] 전술한 보상부(1900)는, 타이밍 컨트롤러(140) 또는 데이터 구동부(120)의 내부에 포함될 수도 있고, 경우에 따라서, 타이밍 컨트롤러(140) 및 데이터 구동부(120)의 외부에 별도의 구성으로 포함될 수도 있다.
- [0136] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량률의 원인 중 발광부 불량률에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치(100)와 발광부 불량이 리페어된 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0137] 또한, 본 발명에 의하면, 발광부 불량률에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0138] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

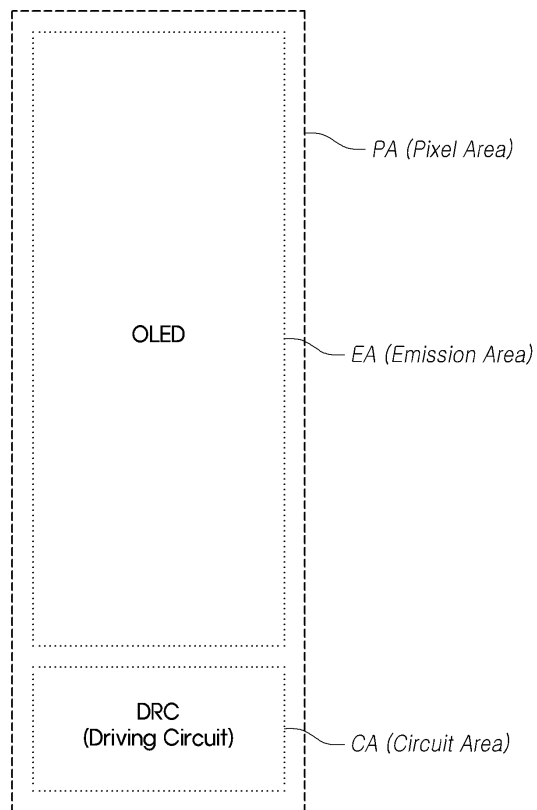
- [0139] 100: 유기발광표시장치 110: 표시패널
120: 데이터 구동부 130: 게이트 구동부
140: 타이밍 컨트롤러 1900: 보상부
1910: 데이터 구동 IC DRC: 구동회로(Driving Circuit)
PA: 화소영역(Pixel Area)
EA: 발광영역(Emission Area)
CA: 회로영역(Circuit Area)
WP: 웰딩 포인트(Welding Point)
CP: 커팅 포인트(Cutting Point)

도면

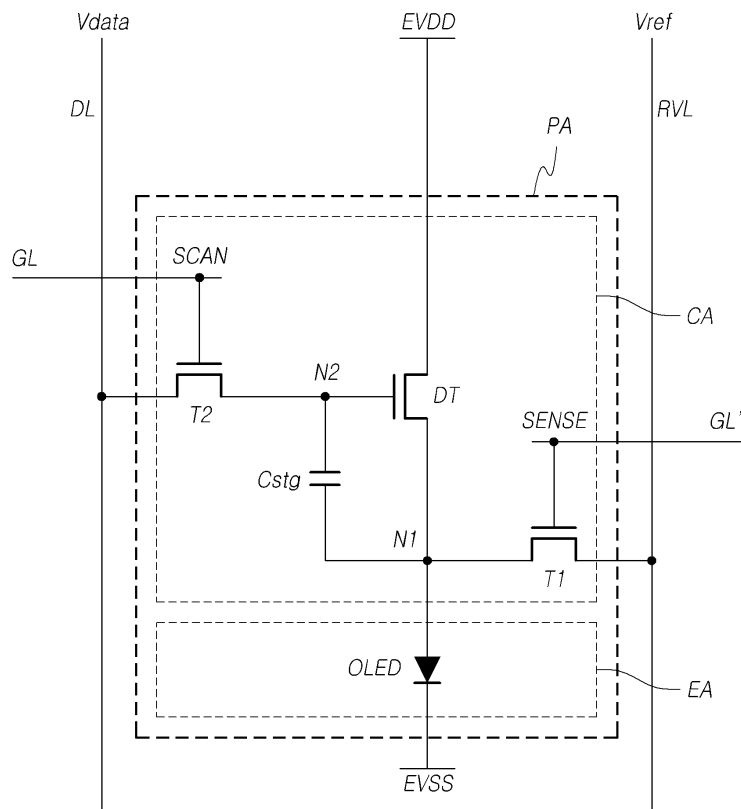
도면1



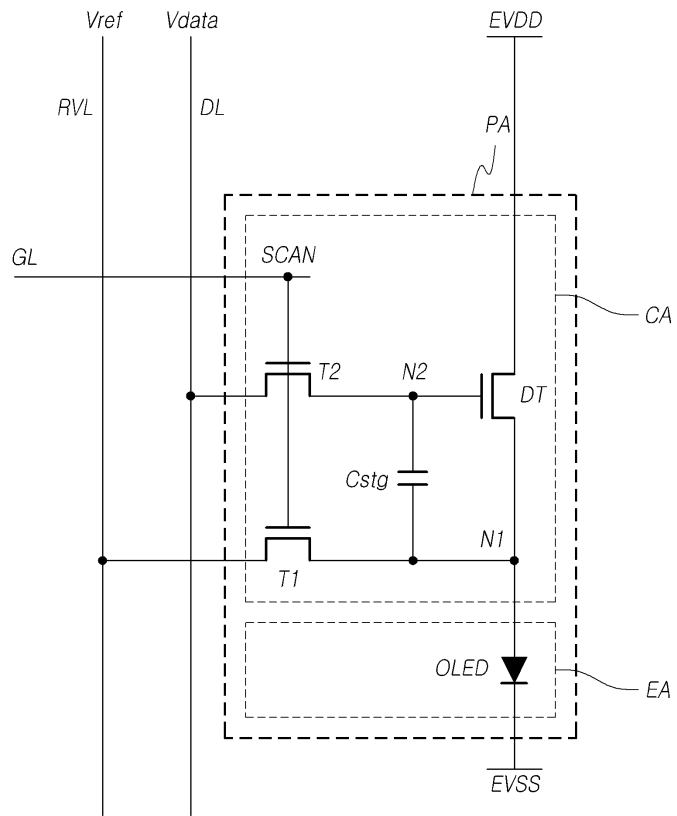
도면2



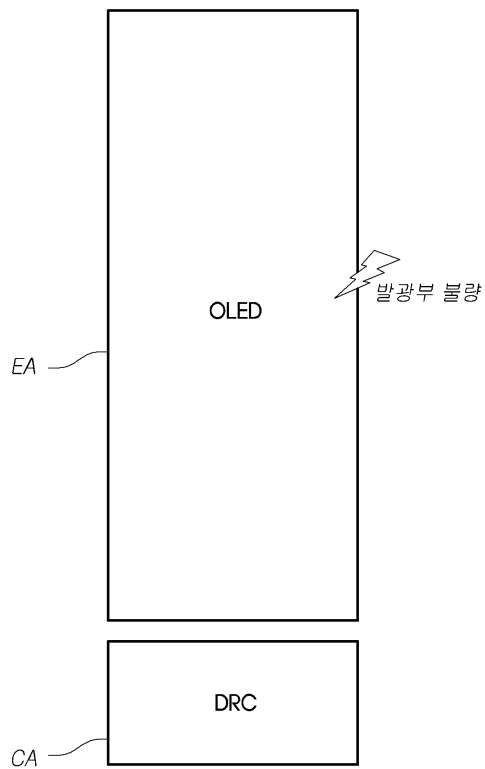
도면3



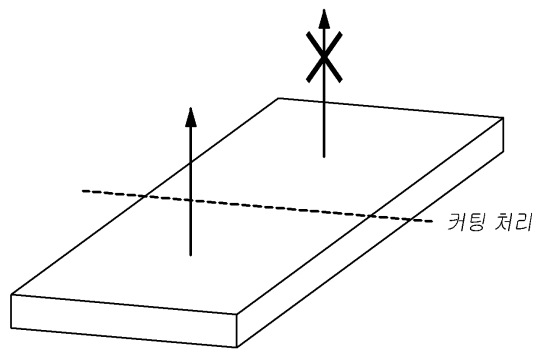
도면4



도면5

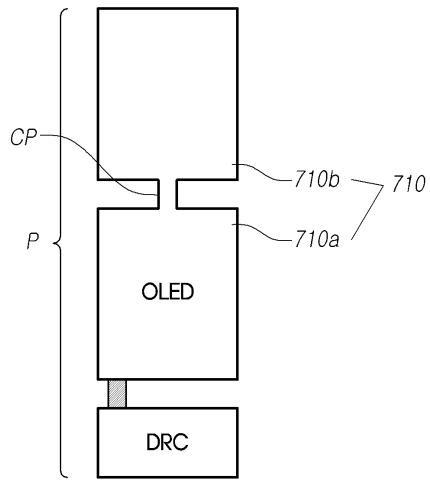


도면6

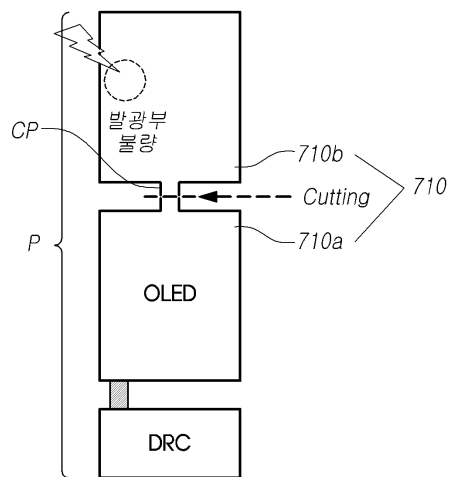


OLED의 제1전극

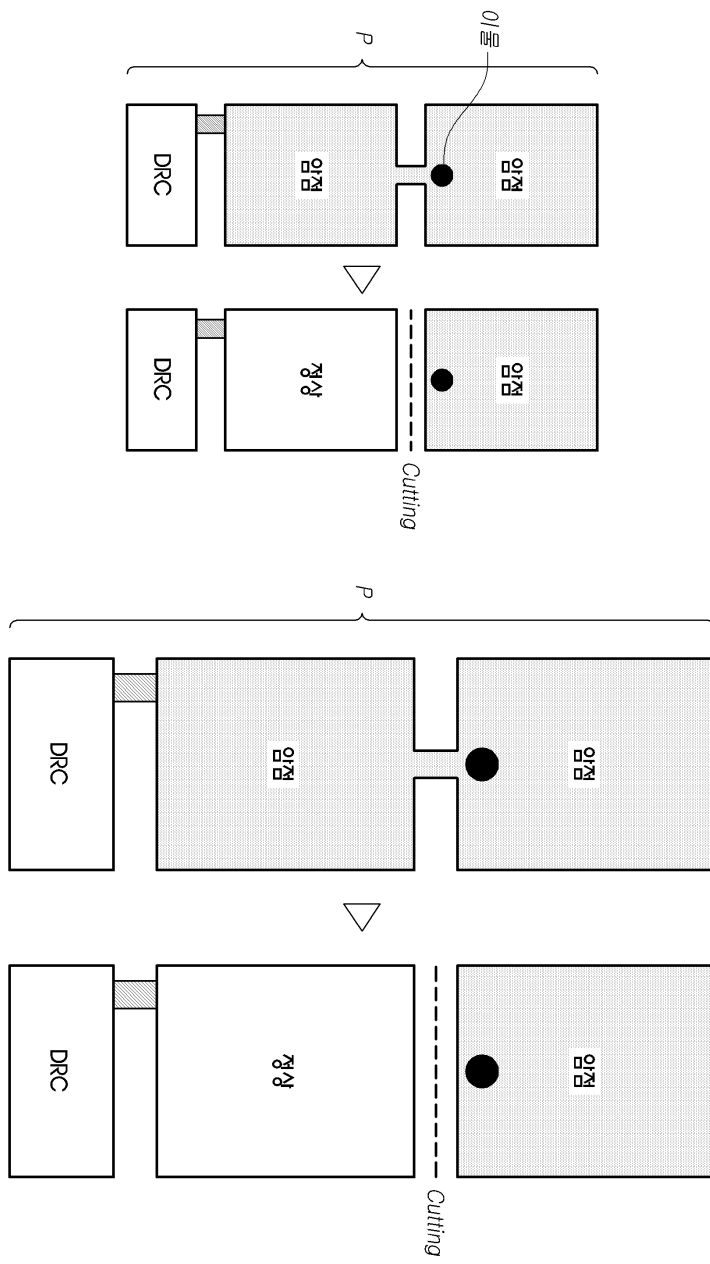
도면7



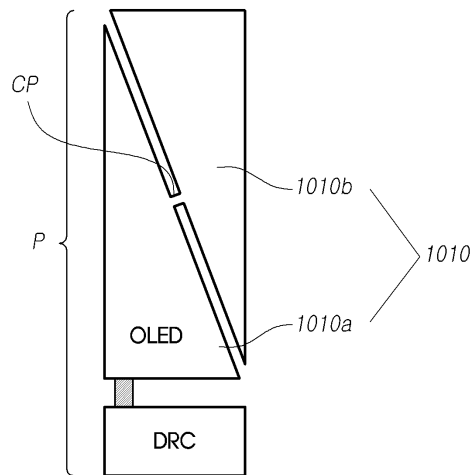
도면8



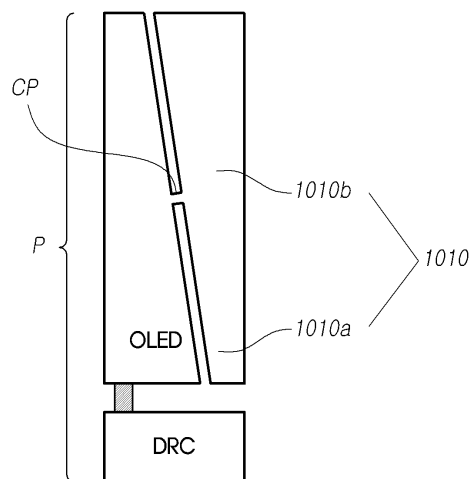
도면9



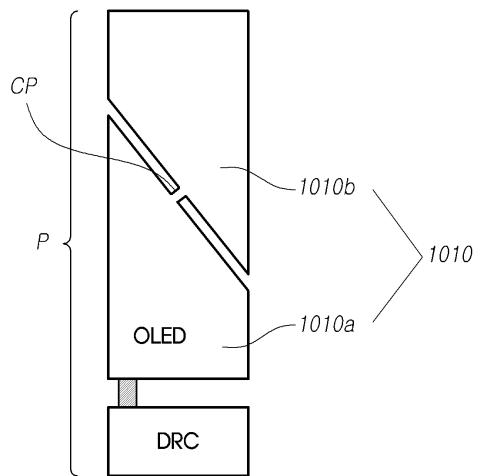
도면10a



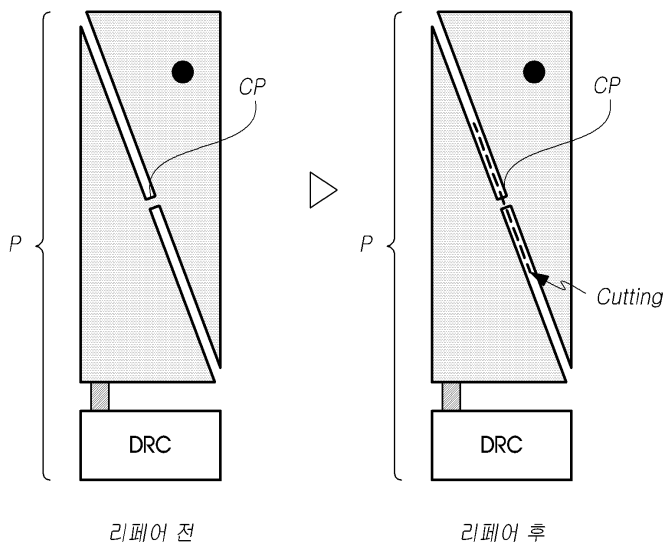
도면10b



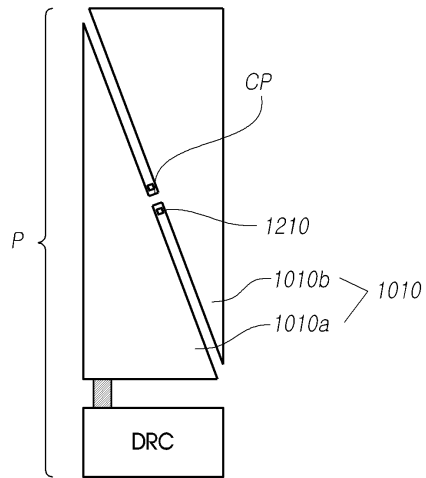
도면10c



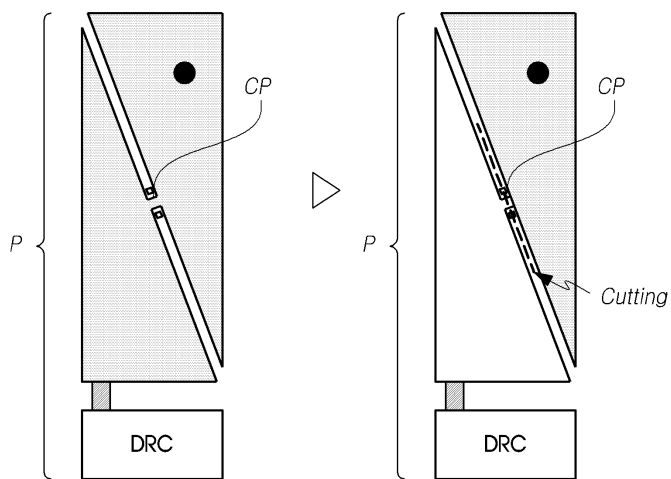
도면11



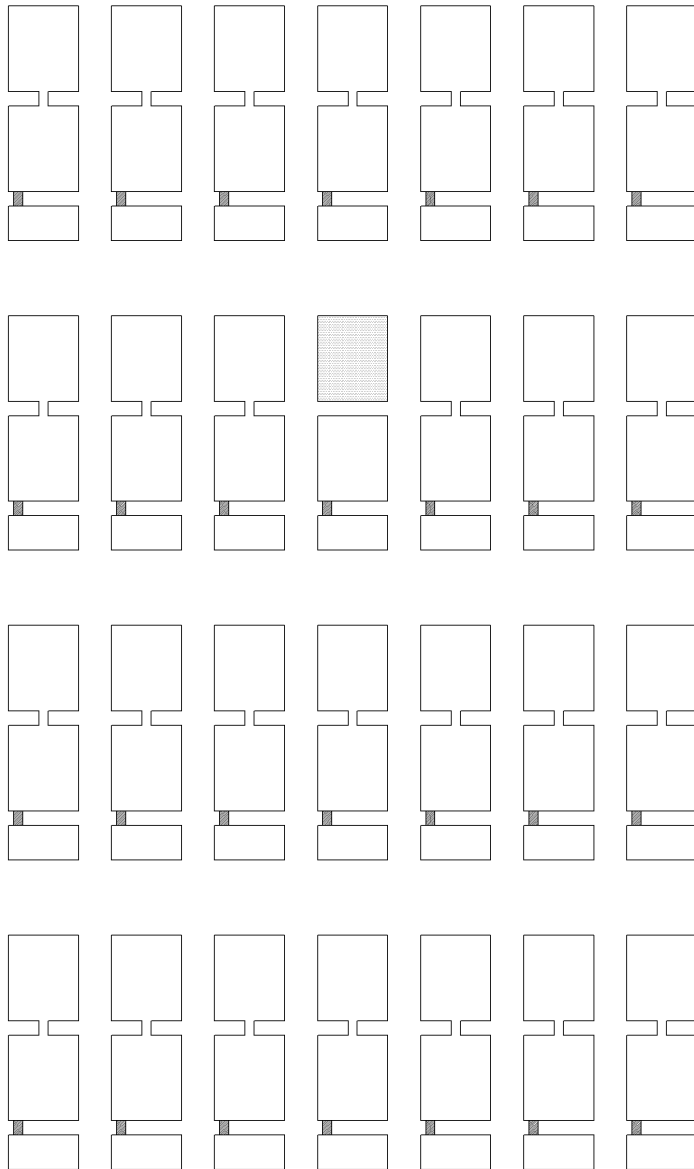
도면12



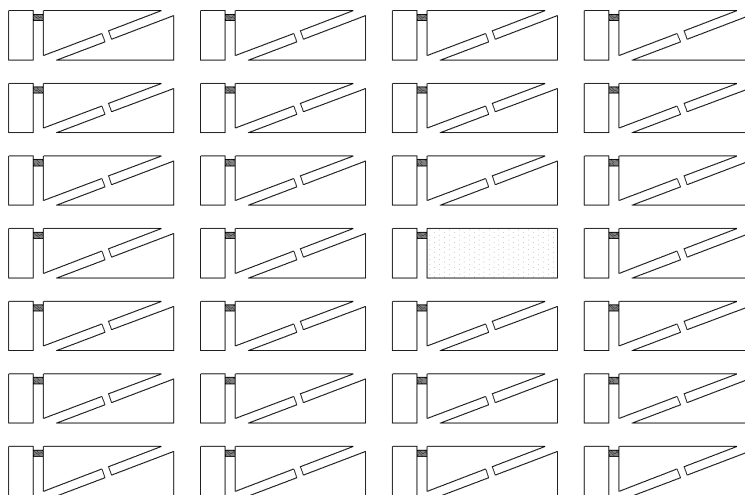
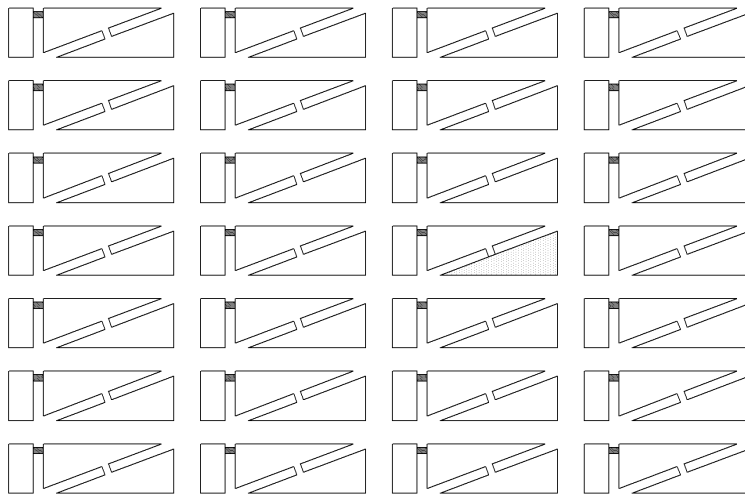
도면13



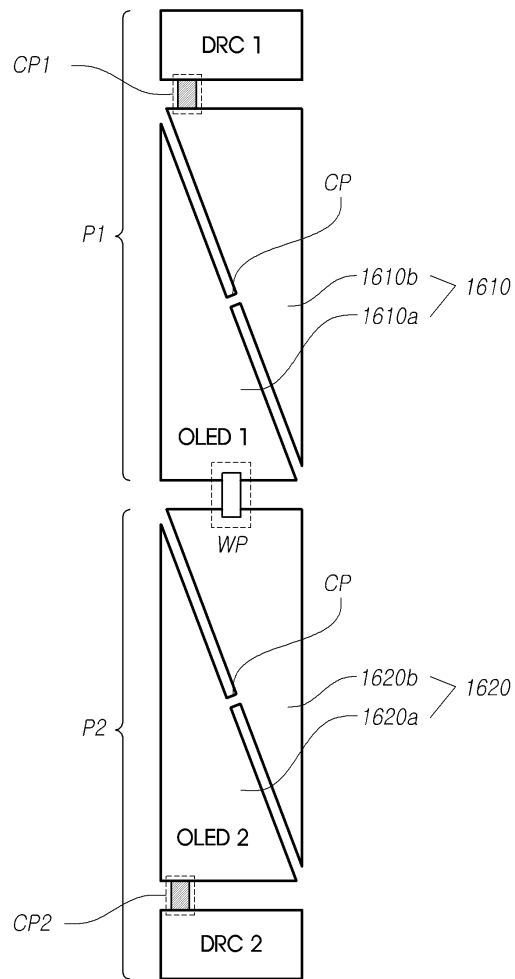
도면14



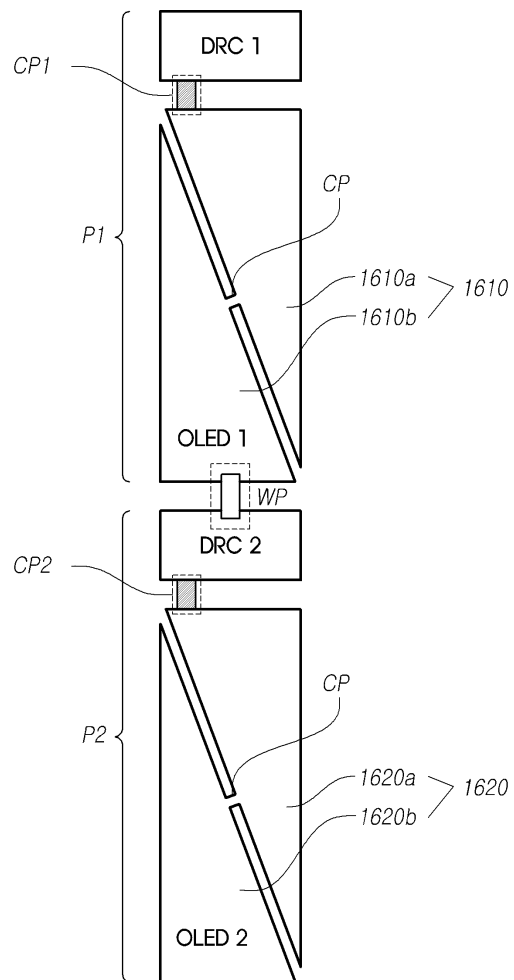
도면15



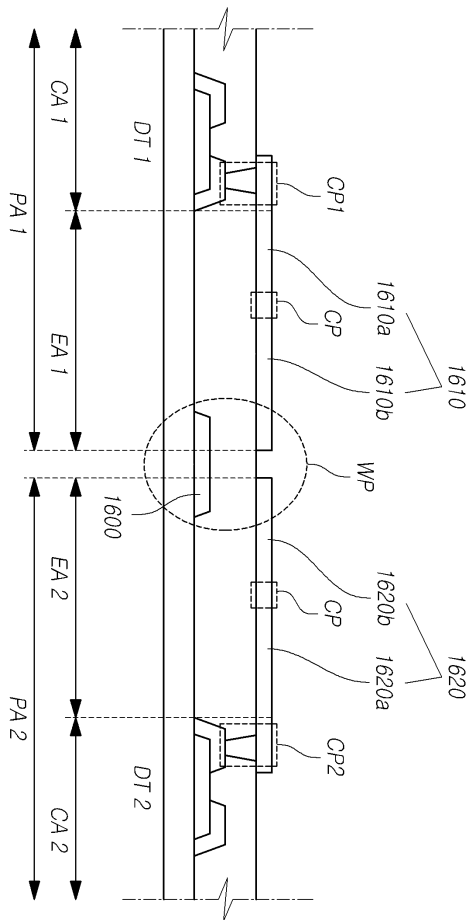
도면16a



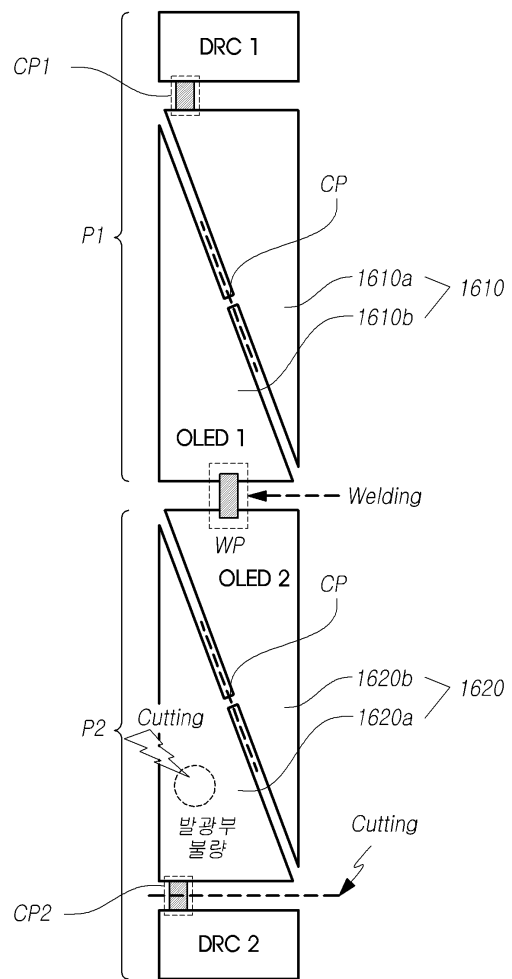
도면16b



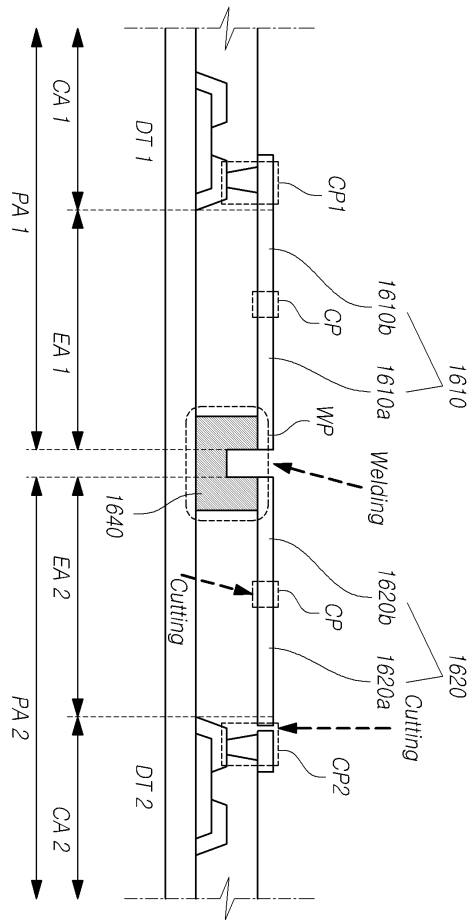
도면17



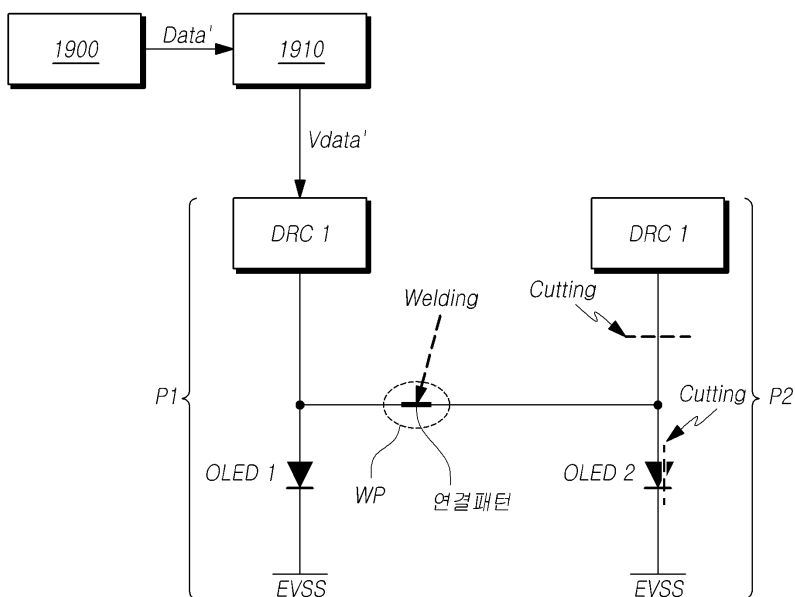
도면18



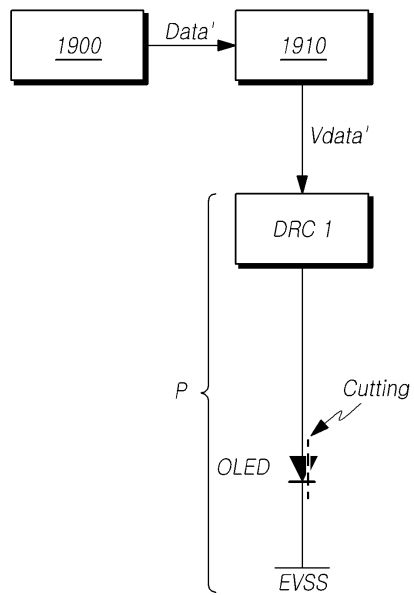
도면19



도면20



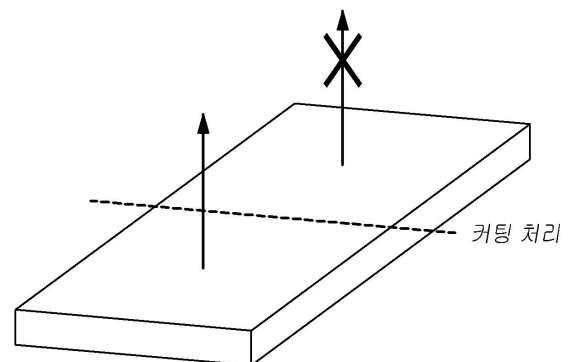
도면21



专利名称(译)	标题：具有修复结构的OLED显示装置		
公开(公告)号	KR1020160082768A	公开(公告)日	2016-07-11
申请号	KR1020140191992	申请日	2014-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYO MOON 이효문		
发明人	이효문		
IPC分类号	H01L27/32		
CPC分类号	H01L27/32 H01L27/3202 H01L27/3204		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明包括一种显示面板，其中有有机发光二极管和驱动电路设置在第一和第二像素的像素区域中，第一和第二像素是多个像素中的两个任意像素，第一像素的第一电极和第二像素的有机发光二极管的第一电极并且，用于电连接第一像素的有机发光二极管的第一电极和第二像素的有机发光二极管的第一电极的连接图案设置在浮动图案中，到有机发光显示装置。



OLED의 제1전극