



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0061474
(43) 공개일자 2016년06월01일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0163242

(22) 출원일자 2014년11월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박영주

서울 성동구 성수일로8길 47, 102동 2201호 (성수동2가, 성수롯데캐슬파크)

김도형

경기도 파주시 한빛로 67 (야당동, 한빛마을2단지 휴먼빌레이크팰리스) 207-803

나세환

경기 파주시 가람로116번길 130, 706동 1904호 (와동동, 가람마을7단지한라비발디)

(74) 대리인

특허법인로알

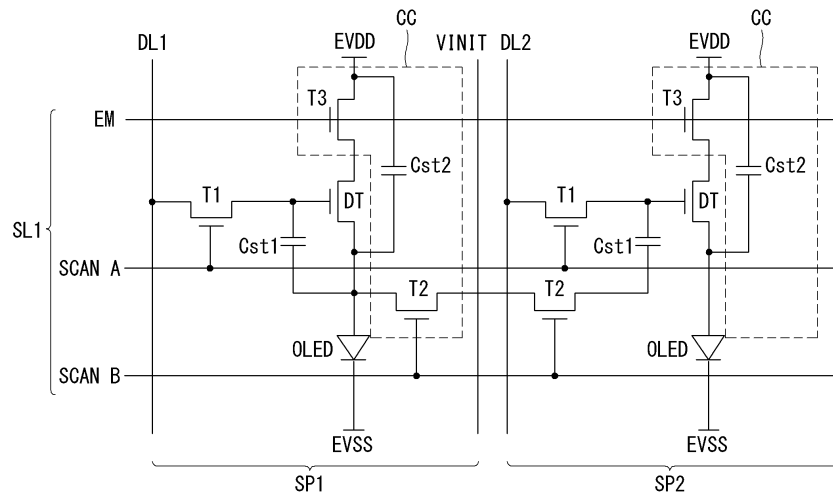
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명은 표시패널, 스캔구동부 및 데이터구동부를 포함하는 유기전계발광표시장치에 관한 것이다. 표시패널은 영상을 표시한다. 스캔구동부는 표시패널에 스캔신호를 공급한다. 데이터구동부는 표시패널에 데이터신호를 공급한다. 표시패널은 좌우로 인접하는 두 개의 서브 픽셀 사이에 수직 방향으로 배치되고 두 개의 서브 픽셀이 공유하는 보상라인을 포함한다.

대표도 - 도6



명세서

청구범위

청구항 1

표시패널;

상기 표시패널에 스캔신호를 공급하는 스캔구동부; 및

상기 표시패널에 데이터신호를 공급하는 데이터구동부를 포함하며,

상기 표시패널은 좌우로 인접하는 두 개의 서브 픽셀 사이에 수직 방향으로 배치되고 상기 두 개의 서브 픽셀이 공유하는 보상라인을 포함하고,

상기 표시패널에 포함된 서브 픽셀은

제1스캔라인에 게이트전극이 연결되고 제1데이터라인에 소오스전극이 연결되고 제1커패시터의 일단에 드레인전극이 연결되며 상기 서브 픽셀의 평면 상에서 상단에 배치된 제1트랜지스터와,

제2스캔라인에 게이트전극이 연결되고 상기 보상라인에 소오스전극이 연결되고 구동 트랜지스터의 드레인전극에 드레인전극이 연결되며 상기 서브 픽셀의 평면 상에서 상기 제1커패시터와 상기 제2스캔라인 사이에 위치하는 제2트랜지스터와,

제3스캔라인에 게이트전극이 연결되고 제1전원라인에 소오스전극이 연결되고 상기 구동 트랜지스터의 소오스전극에 드레인전극이 연결되며 상기 서브 픽셀의 평면 상에서 상기 제1트랜지스터와 상기 제1커패시터 사이에 배치된 제3트랜지스터와,

상기 제1트랜지스터의 드레인전극에 게이트전극이 연결되고 상기 제3트랜지스터의 드레인전극에 소오스전극이 연결되고 상기 제1커패시터에 드레인전극이 연결되며 상기 서브 픽셀의 평면 상에서 상기 제1트랜지스터와 상기 제2트랜지스터 사이에 배치된 상기 구동 트랜지스터와,

상기 제1트랜지스터의 드레인전극에 일단이 연결되고 상기 구동 트랜지스터의 드레인전극에 타단이 연결되며 상기 서브 픽셀의 평면 상에서 상기 제3트랜지스터와 제2커패시터 사이에 배치된 상기 제1커패시터와,

상기 제1전원라인에 일단이 연결되고 상기 구동 트랜지스터의 드레인전극에 타단이 연결되며 상기 서브 픽셀의 평면 상에서 상기 제1커패시터와 상기 제2스캔라인 사이에 배치된 상기 제2커패시터를 각각 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 보상라인은

상기 두 개의 서브 픽셀의 노드에 초기화전압을 공급하는 라인이거나 상기 두 개의 서브 픽셀의 노드를 센싱하는 라인인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 두 개의 서브 픽셀은

상기 보상라인을 기준으로 좌우 미러 형태로 배치된 트랜지스터들과 커패시터들을 각각 포함하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 보상라인은

상기 두 개의 서브 픽셀에 구분되어 연결된 데이터라인들과 동일한 층 및 동일한 재료로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 서브 픽셀 내에 포함된 구동 트랜지스터의 문턱전압이 이동하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소한다. 이에 따라, 유기전계발광표시장치는 구동 트랜지스터의 문턱전압 이동 특성에 대한 보상을 수행하기 위해 보상회로를 사용한다.

[0006] 그런데, 종래 유기전계발광표시장치는 서브 픽셀 내에 보상회로를 추가할 경우 한정된 면적 내에 회로를 구현해야 하는 어려움이 있어 고해상도 구현시 개구율 저하와 더불어 레이아웃 효율이 저하되는 단점 등이 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시패널의 내부에 배선된 전원라인의 개수를 절감하고 또한 서브 픽셀의 개구율을 향상하여 고해상도 구현이 가능한 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 표시패널, 스캔구동부 및 데이터구동부를 포함하는 유기전계발광표시장치에 관한 것이다. 표시패널은 영상을 표시한다. 스캔구동부는 표시패널에 스캔신호를 공급한다. 데이터구동부는 표시패널에 데이터신호를 공급한다. 표시패널은 좌우로 인접하는 두 개의 서브 픽셀 사이에 수직 방향으로 배치되고 두 개의 서브 픽셀이 공유하는 보상라인을 포함한다.

[0009] 표시패널에 포함된 서브 픽셀은 제1스캔라인에 게이트전극이 연결되고 제1데이터라인에 소오스전극이 연결되고 제1커패시터의 일단에 드레인전극이 연결되며 서브 픽셀의 평면 상에서 상단에 배치된 제1트랜지스터와, 제2스캔라인에 게이트전극이 연결되고 보상라인에 소오스전극이 연결되고 구동 트랜지스터의 드레인전극에 드레인전극이 연결되며 서브 픽셀의 평면 상에서 제1커패시터와 제2스캔라인 사이에 위치하는 제2트랜지스터와, 제3스캔라인에 게이트전극이 연결되고 제1전원라인에 소오스전극이 연결되고 구동 트랜지스터의 소오스전극에 드레인전극이 연결되며 서브 픽셀의 평면 상에서 제1트랜지스터와 제1커패시터 사이에 배치된 제3트랜지스터와, 제1트랜지스터의 드레인전극에 게이트전극이 연결되고 제3트랜지스터의 드레인전극에 소오스전극이 연결되고 제1커패시터에 드레인전극이 연결되며 서브 픽셀의 평면 상에서 제1트랜지스터와 제2트랜지스터 사이에 배치된 구동 트랜지스터와, 제1트랜지스터의 드레인전극에 일단이 연결되고 구동 트랜지스터의 드레인전극에 타단이 연결되며 서브 픽셀의 평면 상에서 제3트랜지스터와 제2커패시터 사이에 배치된 제1커패시터와, 제1전원라인에 일단이 연결되고 구동 트랜지스터의 드레인전극에 타단이 연결되며 서브 픽셀의 평면 상에서 제1커패시터와 제2스캔라인 사

이에 배치된 제2커패시터를 각각 포함할 수 있다.

- [0010] 보상라인은 두 개의 서브 픽셀의 노드에 초기화전압을 공급하는 라인이거나 두 개의 서브 픽셀의 노드를 센싱하는 라인일 수 있다.
- [0011] 두 개의 서브 픽셀은 보상라인을 기준으로 좌우 미러 형태로 배치된 트랜지스터들과 커패시터들을 각각 포함할 수 있다.
- [0012] 보상라인은 두 개의 서브 픽셀에 구분되어 연결된 데이터라인들과 동일한 층 및 동일한 재료로 이루어질 수 있다.

발명의 효과

- [0013] 본 발명은 인접하는 서브 픽셀이 하나의 전원라인을 공유하도록 설계 면적을 확보(레이아웃 효율 향상)하고 표시패널의 내부에 배선된 전원라인의 개수를 절감하고 또한 서브 픽셀의 개구율을 향상하여 고해상도 구현이 가능한 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도.
 도 2는 본 발명의 일 실시예에 따른 서브 픽셀을 개략적으로 나타낸 회로 구성도.
 도 3은 본 발명의 일 실시예에 따른 서브 픽셀을 구체적으로 나타낸 회로 구성도.
 도 4는 보상회로를 갖는 서브 픽셀의 회로 구성을 나타낸 실험예.
 도 5는 도 4에 도시된 실험예의 레이아웃을 블록 형태로 간략화하여 나타낸 평면도.
 도 6은 보상회로를 갖는 서브 픽셀의 회로 구성을 나타낸 실시예.
 도 7은 도 6에 도시된 실시예의 레이아웃을 블록 형태로 간략화하여 나타낸 평면도.
 도 8은 도 6에 도시된 실시예의 레이아웃을 더욱 상세히 나타낸 평면도.
 도 9는 실험예의 서브 픽셀 구조로 구현된 표시패널을 나타낸 도면.
 도 10은 실시예의 서브 픽셀 구조로 구현된 표시패널을 나타낸 도면.
 도 11은 실험예의 서브 픽셀과 실시예의 서브 픽셀 간의 개구율 차이를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 본 발명의 일 실시예에 따른 서브 픽셀을 개략적으로 나타낸 회로 구성도이며, 도 3은 본 발명의 일 실시예에 따른 서브 픽셀을 구체적으로 나타낸 회로 구성도이다.
- [0017] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터구동부(130), 스캔구동부(120) 및 표시패널(160)이 포함된다.
- [0018] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평 기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.
- [0019] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 생성한다. 스캔구동부(120)는 표시패널(160)에 포함된 서브 픽셀들(SP)에

연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.

- [0020] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압에 대응하여 디지털신호를 아날로그신호로 변환한다. 데이터구동부(130)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.
- [0021] 표시패널(160)은 다양한 색의 빛을 발광하는 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀 등이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 표시패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀의 내부에서 백색으로 발광된 빛은 색변환필터(예: RGB 컬러필터)에 의해 적색, 녹색 및 청색으로 변환되어 출사된다. 반면, 백색 서브 픽셀의 내부에서 백색으로 발광된 빛은 변환 없이 그대로 출사된다.
- [0022] 표시패널(160)에 포함된 서브 픽셀들(SP)은 데이터신호(DATA) 및 스캔신호와 더불어 제1전원라인(EVDD)을 통해 공급된 고전위전압, 제2전원라인(EVSS)을 통해 공급된 저전위전압을 기반으로 구동한다.
- [0023] 표시패널(160)에 포함된 서브 픽셀들(SP)은 보상라인(VINIT)을 통한 전압 공급 또는 전압 센싱 동작을 기반으로 보상 구동한다. 일례로, 보상라인(VINIT)은 특정 노드를 초기화하는 초기화전압라인이 될 수 있다. 다른 예로, 보상라인(VINIT)은 특정 노드를 센싱하는 센싱라인이 될 수 있다. 이하에서는 보상라인(VINIT)을 통해 특정 노드를 초기화하는 초기화전압이 공급되는 것을 일례로 설명한다.
- [0024] 표시패널(160)은 데이터구동부(130) 및 스캔구동부(120) 등으로부터 공급된 구동신호에 대응하여 빛을 발광하는 서브 픽셀들(SP)을 기반으로 특정 영상을 표시하게 된다.
- [0025] 도 2에 도시된 바와 같이, 표시패널(160)에 포함된 서브 픽셀은 제1트랜지스터(T1), 유기 발광다이오드(OLED), 구동 트랜지스터(DT), 제1커패시터(Cst1) 및 보상회로(CC)를 포함한다. 보상회로(CC)에 포함된 회로는 제2스캔라인(SCAN B)(또는 보상 스캔라인)과 보상라인(VINIT)에 연결된다.
- [0026] 도 3에 도시된 바와 같이, 보상회로(CC)는 예컨대, 제2 및 제3트랜지스터(T2, T3)와 제2커패시터(Cst2)를 포함할 수 있다. 표시패널(160)의 서브 픽셀에 보상회로(CC)가 포함된 경우를 일례로 이의 구성 및 접속관계를 개략적으로 설명하면 다음과 같다.
- [0027] 제1트랜지스터(T1)는 제1스캔라인(SCAN A)에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 제1커패시터(Cst1)의 일단에 제2전극이 연결된다. 제1트랜지스터(T1)는 제1스캔라인(SCAN A)을 통해 공급된 제1스캔신호에 대응하여 제1데이터라인(DL1)을 통해 공급된 데이터신호를 제1커패시터(Cst1)에 전달하는 역할을 한다.
- [0028] 제2트랜지스터(T2)(또는 제1보상 트랜지스터)는 제2스캔라인(SCAN B)에 게이트전극이 연결되고 보상라인(VINIT)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제2트랜지스터(T2)는 제2스캔라인(SCAN B)을 통해 공급된 제2스캔신호에 대응하여 보상라인(VINIT)을 통해 공급된 초기화전압을 유기 발광다이오드(OLED)의 애노드전극에 전달하는 역할을 한다.
- [0029] 제3트랜지스터(T3)(또는 제2보상 트랜지스터)는 제3스캔라인(EM)에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 구동 트랜지스터(DT)의 제1전극에 제2전극이 연결된다. 제3트랜지스터(T3)는 제3스캔라인(EM)을 통해 공급된 제3스캔신호에 대응하여 제1전원라인(EVDD)을 통해 공급된 고전위전압을 구동 트랜지스터(DT)에 전달하는 역할을 한다.
- [0030] 제1커패시터(Cst1)는 구동 트랜지스터(DT)의 게이트전극에 일단이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 타단이 연결된다. 제1커패시터(Cst1)는 제1데이터라인(DL1)을 통해 공급된 데이터신호를 데이터전압으로 저장하고, 저장된 데이터전압을 구동 트랜지스터(DT)의 게이트전극에 제공하는 역할을 한다.
- [0031] 제2커패시터(Cst2)는 제1전원라인(EVDD)에 일단이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 타단이 연결된다. 제2커패시터(Cst2)는 제1전원라인(EVDD)에 연결된 제3트랜지스터(T3)와 유기 발광다이오드(OLED)의 애노드전극 사이에 흐르는 노드전압을 저장하는 역할을 한다.
- [0032] 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소

드전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)에 의해 발생된 구동전류에 대응하여 빛을 발광하는 역할을 한다.

- [0033] 앞서 설명된 유기전계발광표시장치는 서브 픽셀 내에 포함된 구동 트랜지스터(DT)의 문턱전압이 이동하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소하는바, 이에 대한 보상을 수행하기 위해 보상회로(CC)를 사용한다.
- [0034] 그런데, 서브 픽셀 내에 보상회로(CC)를 추가할 경우 한정된 면적 내에 회로를 구현해야 하는 어려움이 있어 고 해상도 구현시 개구율 저하와 더불어 레이아웃 효율이 저하되는 단점 등이 있어 이의 개선이 요구된다.
- [0035] 이하, 보상회로(CC)를 갖는 실험예의 서브 픽셀을 기준으로 고해상도 구현시 개구율 저하와 더불어 레이아웃 효율이 저하되는 단점을 개선할 수 있는 방안을 모색한다.
- [0036] 도 4는 보상회로를 갖는 서브 픽셀의 회로 구성을 나타낸 실험예이고, 도 5는 도 4에 도시된 실험예의 레이아웃을 블록 형태로 간략화하여 나타낸 평면도이다.
- [0037] 도 4에 도시된 바와 같이, 첫 번째 스캔라인(SL1)에는 도 3을 참조하여 설명한 바와 같은 회로 구성 및 접속관계를 갖는 제1 및 제2서브 픽셀(SP1, SP2)이 배치된다. 제1 및 제2서브 픽셀(SP1, SP2)에는 보상회로(CC)가 각각 포함된다.
- [0038] 도면을 통해 알 수 있듯이, 첫 번째 스캔라인(SL1)에 포함된 스캔라인들(SCAN A, SCAN B, EM)은 수평 방향으로 배선된다. 그리고 보상라인(VINIT) 또한 첫 번째 스캔라인(SL1)에 포함된 스캔라인들(SCAN A, SCAN B, EM)과 동일하게 수평 방향으로 배선된다. 이와 달리, 데이터라인들(DL1, DL2) 및 보상라인(VINIT)은 수직 방향으로 배선된다.
- [0039] 도 4에 도시된 제1 및 제2서브 픽셀(SP1, SP2)을 기준으로 레이아웃을 하면 도 5에 도시된 바와 같이 제1전원라인(EVDD)과 데이터라인들(DL1, DL2)은 수직 방향(y 방향 참조)으로 배선되지만, 보상라인(VINIT)은 수평 방향(x 방향 참조)으로 배선된다.
- [0040] 실험예와 같이, 보상라인(VINIT)을 수평 방향으로 배선하는 이유는 서브 픽셀의 수평 방향의 길이가 수직 방향의 길이에 대해 1/3에 해당하기 때문에 제1전원라인(EVDD) 및 데이터라인들(DL1, DL2)과 더불어 보상라인(VINIT)을 수평 방향으로 배선할 수 있는 공간이 부족하기 때문이다.
- [0041] 또한, PPI(Pixels per inch)가 높아짐에 따라 스캔라인을 구성하는 금속으로 보상라인(VINIT)을 형성하기 어렵다. 이 때문에, 보상라인(VINIT)은 애노드전극을 구성하는 금속에 의해 형성되는데, 이 경우 하부 금속과 연결하기 위한 콘택홀을 형성해야 하는바 개구율 저하를 야기한다.
- [0042] 도 6은 보상회로를 갖는 서브 픽셀의 회로 구성을 나타낸 실시예이고, 도 7은 도 6에 도시된 실시예의 레이아웃을 블록 형태로 간략화하여 나타낸 평면도이며, 도 8은 도 6에 도시된 실시예의 레이아웃을 더욱 상세히 나타낸 평면도이다.
- [0043] 도 6에 도시된 바와 같이, 첫 번째 스캔라인(SL1)에는 도 3을 참조하여 설명한 바와 같은 회로 구성 및 접속관계를 갖는 제1 및 제2서브 픽셀(SP1, SP2)이 배치된다. 제1 및 제2서브 픽셀(SP1, SP2)에는 보상회로(CC)가 각각 포함된다.
- [0044] 도면을 통해 알 수 있듯이, 첫 번째 스캔라인(SL1)에 포함된 스캔라인들(SCAN A, SCAN B, EM)은 수평 방향으로 배선된다. 반면 제1전원라인(EVDD), 데이터라인들(DL1, DL2) 및 보상라인(VINIT)은 수직 방향으로 배선된다. 이때, 좌우로 인접하는 서브 픽셀(SP1, SP2) 사이에 하나의 보상라인(VINIT)을 배선하여 이들이 공유할 수 있도록 배치한다.
- [0045] 이처럼, 좌우로 인접하는 두 개의 서브 픽셀(SP1, SP2)씩 보상라인(VINIT)을 공유하도록 설계하면 두 개의 서브 픽셀마다 1개의 제3전원라인을 줄일 수 있게 된다. 그러므로, 실시예는 실험예 대비 보상라인(VINIT)의 개수를 반으로 절감할 수 있다.
- [0046] 도 6에 도시된 제1 및 제2서브 픽셀(SP1, SP2)을 기준으로 레이아웃을 하면 도 7에 도시된 바와 같이 제1전원라인(EVDD)과 데이터라인들(DL1, DL2)과 더불어 보상라인(VINIT)은 수직 방향(y 방향 참조)으로 배선된다.
- [0047] 실시예와 같이, 보상라인(VINIT)을 수직 방향으로 배선할 수 있는 이유는 좌우로 인접하는 제1 및 제2서브 픽셀(SP1, SP2) 사이에 하나의 보상라인(VINIT)을 배선하여 이들이 공유할 수 있도록 배치하였기 때문이다.

- [0048] 또한, 보상라인(VINIT)을 수직 방향으로 배치하고 데이터라인들(DL1, DL2)을 구성하는 금속과 동일한 층에 동일한 금속으로 보상라인(VINIT)을 구성하여 개구율 저하를 야기하는 콘택홀을 생략(콘택홀 불필요)할 수 있었기 때문이다.
- [0049] 이에 따라, 실시예는 실험예에서 수평 방향으로 배선된 보상라인(VINIT)을 수직 방향으로 변경함에 따라 생성된 여유공간(SPC)을 개구율 확장에 이용할 수 있다. 그리고 실시예는 데이터라인들(DL1, DL2)을 구성하는 금속과 동일한 금속으로 보상라인(VINIT)을 구성하므로 PPI가 높아지더라도 설계에 따른 제약 사항을 상당부분 해소할 수 있을 것으로 기대된다.
- [0050] 실시예는 앞서 설명된 제1 및 제2서브 픽셀(SP1, SP2)이 표시패널에 반복 배치되는 형태로 레이아웃되거나 다음과 같이 다른 실시예의 형태로 레이아웃될 수도 있다.
- [0051] 보상라인(VINIT)을 공유하는 제2서브 픽셀(SP2) 그리고 이와 인접하는 제3서브 픽셀(미도시)은 이들 사이에 배선된 제1전원라인(EVDD)을 공유할 수 있다. 그러나, 제3서브 픽셀은 자신과 인접하는 제4서브 픽셀(미도시) 간의 사이에 배선된 제1전원라인을 공유할 수도 있다. 이 경우, 제3서브 픽셀과 제4서브 픽셀은 제3전원라인과 제1전원라인 이상 두 개의 라인을 공유하는 구조가 된다.
- [0052] 그러므로, 좌우로 인접하는 서브 픽셀은 하나에 해당하는 보상라인(VINIT)을 공유하거나 두 개에 해당하는 보상라인(VINIT)과 제1전원라인(EVDD)을 공유하는 구조를 가질 수 있다. 이 때문에, 표시패널에는 보상라인(VINIT)을 공유하는 서브 픽셀들로 구성된 제1그룹과 보상라인(VINIT)과 제1전원라인(EVDD)을 공유하는 서브 픽셀들 구성된 제2그룹이 포함된다.
- [0053] 이하, 도 6에 도시된 실시예의 레이아웃을 더욱 상세히 나타내면 다음의 도 8과 같다. 다만, 도 8의 레이아웃은 서브 픽셀의 중요 회로와 더불어 신호 및 전원라인의 배치를 보여주기 위한 것임을 참조한다.
- [0054] [제1서브 픽셀: SP1]
- [0055] 제1전원라인(EVDD)은 제1서브 픽셀(SP1)의 좌측에 수직 방향으로 배치된다. 제1데이터라인(DL1)은 제1전원라인(EVDD)의 우측에 수직 방향으로 배치된다. 보상라인(VINIT)은 제1서브 픽셀(SP1)의 우측에 수직 방향으로 배치된다.
- [0056] 제1스캔라인(SCAN A)은 제1서브 픽셀(SP1)의 상측에 수평 방향으로 배치된다. 제2스캔라인(SCAN B)은 제1서브 픽셀(SP1)의 하측에 수평 방향으로 배치된다. 제3스캔라인(EM)은 제1스캔라인(SCAN A)과 제2스캔라인(SCAN B) 사이에 위치하되, 제1스캔라인(SCAN A)과 인접하여 수평 방향으로 배치된다.
- [0057] 제1트랜지스터(T1)는 제1서브 픽셀(SP1)의 상단에 배치된다. 제1트랜지스터(T1)는 제1스캔라인(SCAN A)에 게이트전극이 연결되고 제1데이터라인(DL1)에 소오스전극(S)이 연결되고 제1커패시터(Cst1)의 일단에 드레인전극(D)이 연결된다.
- [0058] 제3트랜지스터(T3)는 제1트랜지스터(T1)와 제1커패시터(Cst1) 사이에 배치된다. 제3트랜지스터(T3)는 제3스캔라인(EM)에 게이트전극(G1, G2)이 연결되고 제1전원라인(EVDD)에 소오스전극(S)이 연결되고 구동 트랜지스터(DT)의 소오스전극(S)에 드레인전극(D)이 연결된다. 제3트랜지스터(T3)는 제1 및 제2게이트전극(G1, G2)을 가질 수 있다.
- [0059] 구동 트랜지스터(DT)는 제1트랜지스터(T1)와 제2트랜지스터(T2) 사이에 배치된다. 구동 트랜지스터(DT)는 제1트랜지스터(T1)의 드레인전극(D)에 게이트전극이 연결되고 제3트랜지스터(T3)의 드레인전극(D)에 소오스전극(S)이 연결되고 제1커패시터(Cst1)에 드레인전극(D)이 연결된다.
- [0060] 제1커패시터(Cst1)는 제3트랜지스터(T3)와 제2커패시터(Cst2) 사이에 배치된다. 제1커패시터(Cst1)는 제1트랜지스터(T1)의 드레인전극(D)에 일단이 연결되고 구동 트랜지스터(DT)의 드레인전극(D)에 타단이 연결된다.
- [0061] 제2커패시터(Cst2)는 제1커패시터(Cst1)와 제2스캔라인(SCAN B) 사이에 배치된다. 제2커패시터(Cst2)는 제1전원라인(EVDD)에 일단이 연결되고 구동 트랜지스터(DT)의 드레인전극(D)에 타단이 연결된다.
- [0062] 제2트랜지스터(T2)는 제1커패시터(Cst1)와 제2스캔라인(SCAN B) 사이에 위치하되, 제2커패시터(Cst2) 대비 우측 하부에 배치된다. 제2트랜지스터(T2)는 제2스캔라인(SCAN B)에 게이트전극이 연결되고 보상라인(VINIT)에 소오스전극(S)이 연결되고 구동 트랜지스터(DT)의 드레인전극(D)에 드레인전극(D)이 연결된다.
- [0063] [제2서브 픽셀: SP2]

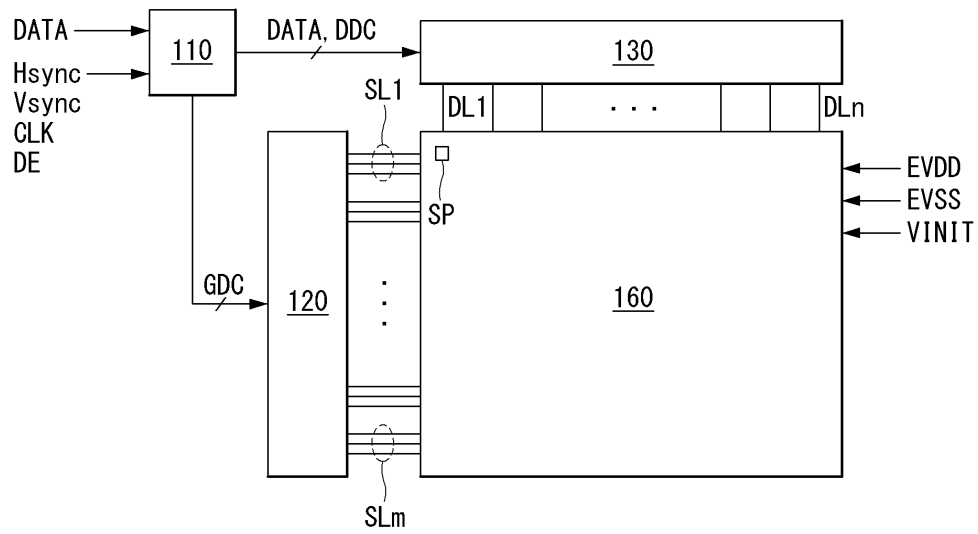
- [0064] 제2서브 픽셀(SP2)은 제1서브 픽셀(SP1)과 유사 또는 동일한 회로의 구성 및 접속 관계를 가질 수 있으나 제1서브 픽셀(SP1)과 미러(Mirror) 형태(좌우 미러 형태)로 배치된다. 그러므로, 제2서브 픽셀(SP2)에 대한 레이아웃과 관련된 설명은 생략한다.
- [0065] 위의 설명 및 도시된 레이아웃을 통해 알 수 있듯이, 좌우로 인접하는 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)은 이들 사이에 위치하는 보상라인(VINIT)을 공유하도록 미러 형태로 형성된다. 그러므로, 실시예와 같은 구조로 표시패널을 구현하면 개구율의 향상과 더불어 PPI가 높아지더라도 설계에 따른 제약 사항을 상당부분 해소할 수 있을 것으로 기대된다.
- [0066] 이하, 개구율 향상과 관련된 설명에 대한 이해를 돕기 위해 실험예의 서브 픽셀 구조로 구현된 표시패널과 실시예의 서브 픽셀 구조로 구현된 표시패널을 비교 설명한다.
- [0067] 도 9는 실험예의 서브 픽셀 구조로 구현된 표시패널을 나타낸 도면이고, 도 10은 실시예의 서브 픽셀 구조로 구현된 표시패널을 나타낸 도면이며, 도 11은 실험예의 서브 픽셀과 실시예의 서브 픽셀 간의 개구율 차이를 보여주는 도면이다.
- [0068] 도 9 내지 도 11에 도시된 바와 같이, 실험예의 서브 픽셀 구조로 구현된 표시패널(160)은 매 수평 방향(x)마다 보상라인(VINIT)이 배치된다. 이 때문에, 실험예의 서브 픽셀들(SP11 ~ SP32)은 개구부(OPN)의 수직 방향(y)을 확장할 수 없다.
- [0069] 반면, 실시예의 서브 픽셀 구조로 구현된 표시패널(160)은 매 수직 방향(y)마다 보상라인(VINIT)이 배치된다. 이 때문에, 실시예의 서브 픽셀들(SP11 ~ SP32)은 실험예의 서브 픽셀들(SP11 ~ SP32) 대비 여유공간(SPC)을 확보할 수 있다. 그 결과, 실시예의 서브 픽셀들(SP11 ~ SP32)은 확보된 여유공간(SPC)을 기반으로 개구부(OPN)의 수직 방향(y)을 더 확장(α 만큼)할 수 있다.
- [0070] 한편, 본 발명에서는 실험예를 기준으로 이의 개구율을 확보하기 위한 예를 실시예로 하였다. 그러므로, 앞서 설명된 실시예는 하나의 예시로 해석되어야 한다. 그리고 기 설명한 바와 같이 보상라인(VINIT)은 서브 픽셀의 보상 구동에 사용되는 라인에 해당하는바, 전원라인은 물론 센싱라인으로도 해석되어야 한다.
- [0071] 이상 본 발명은 인접하는 서브 픽셀이 하나의 전원라인을 공유하도록 설계 면적을 확보(레이아웃 효율 향상)하고 표시패널의 내부에 배선된 전원라인의 개수를 절감하고 또한 서브 픽셀의 개구율을 향상하여 고해상도 구현이 가능한 유기전계발광표시장치를 제공하는 효과가 있다.
- [0072] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

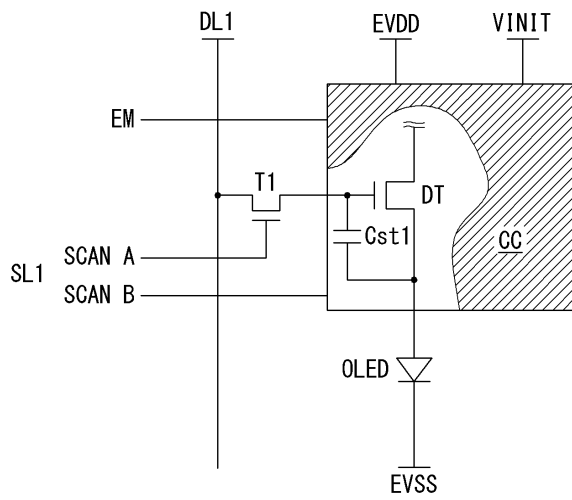
- [0073] 110: 타이밍제어부 130: 데이터구동부
120: 스캔구동부 160: 표시패널
T1: 제1트랜지스터 OLED: 유기 발광다이오드
DT: 구동 트랜지스터 Cst1: 제1커패시터
CC: 보상회로 VINIT: 보상라인

도면

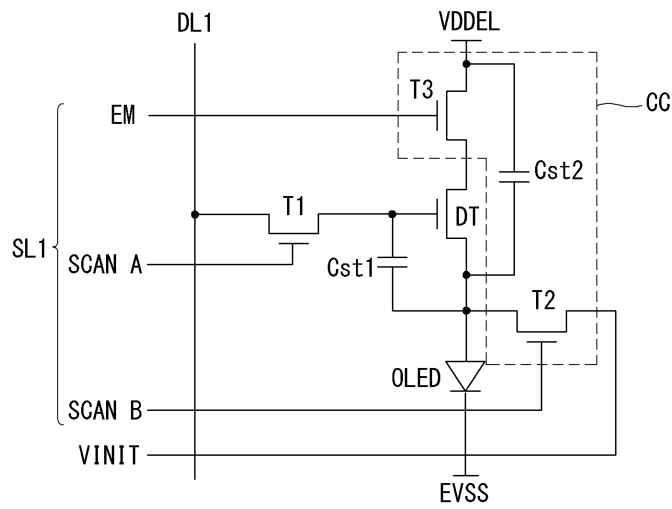
도면1



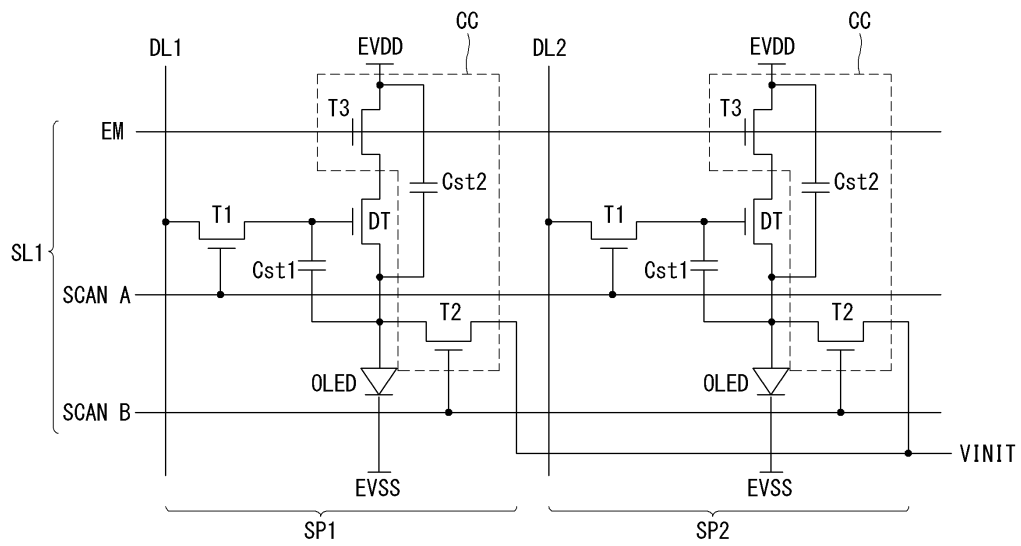
도면2



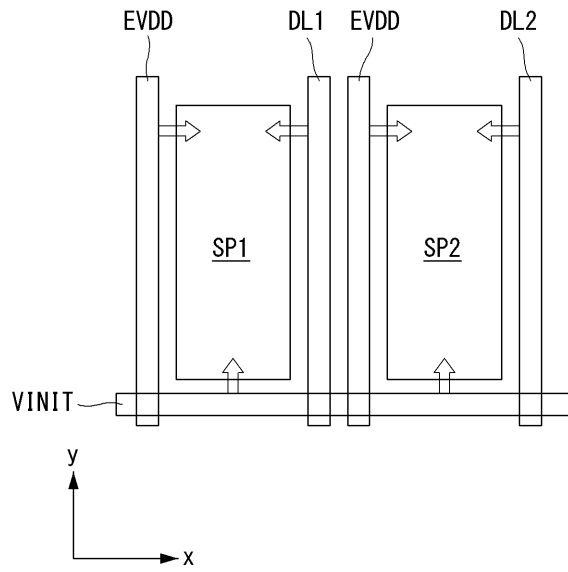
도면3



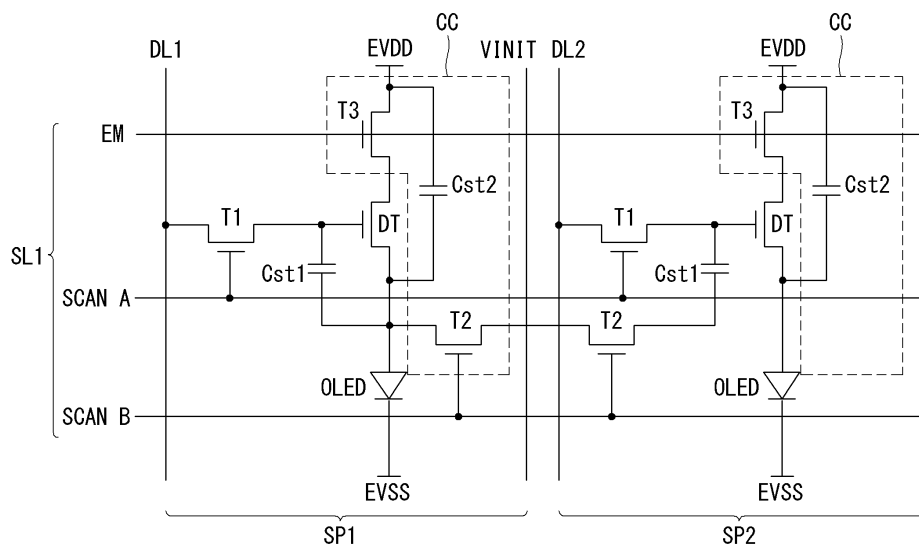
도면4



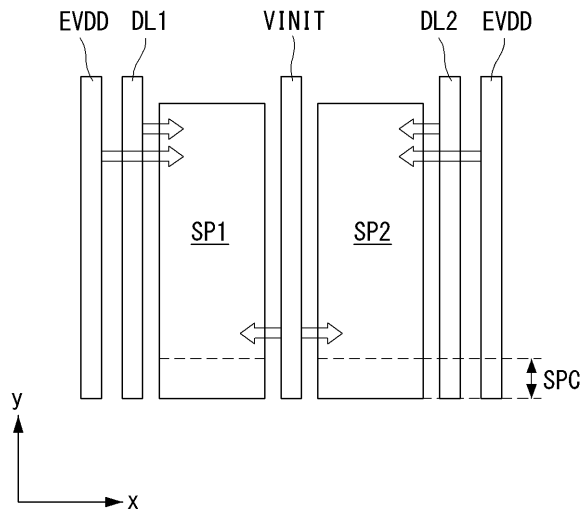
도면5



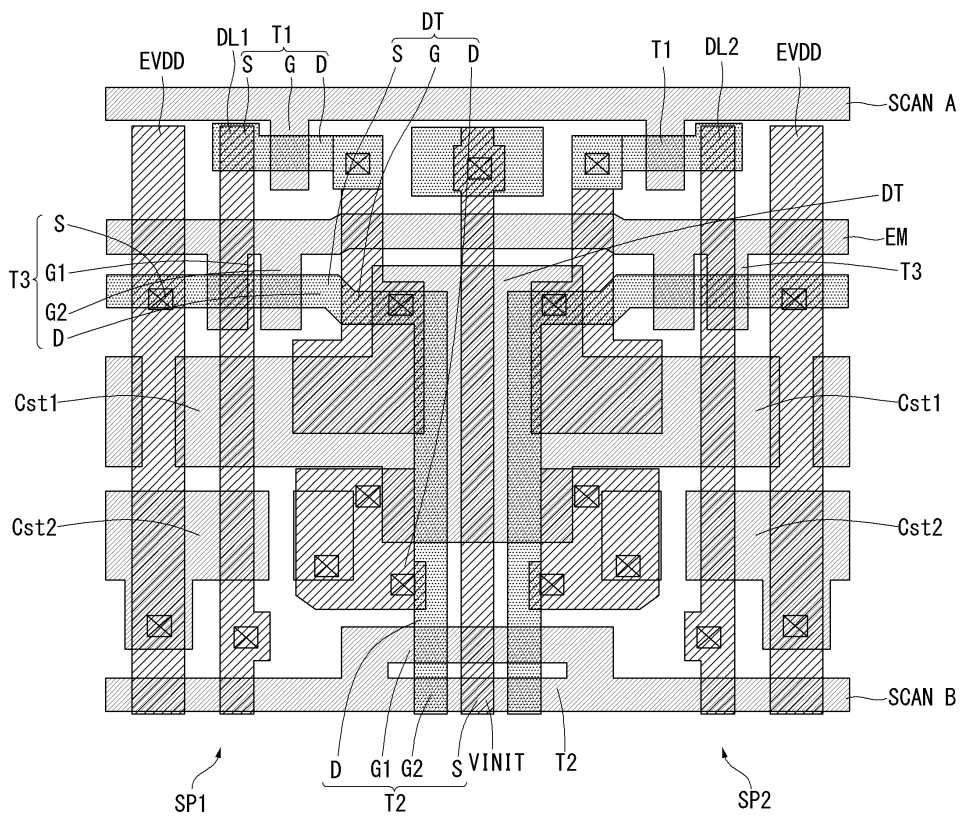
도면6



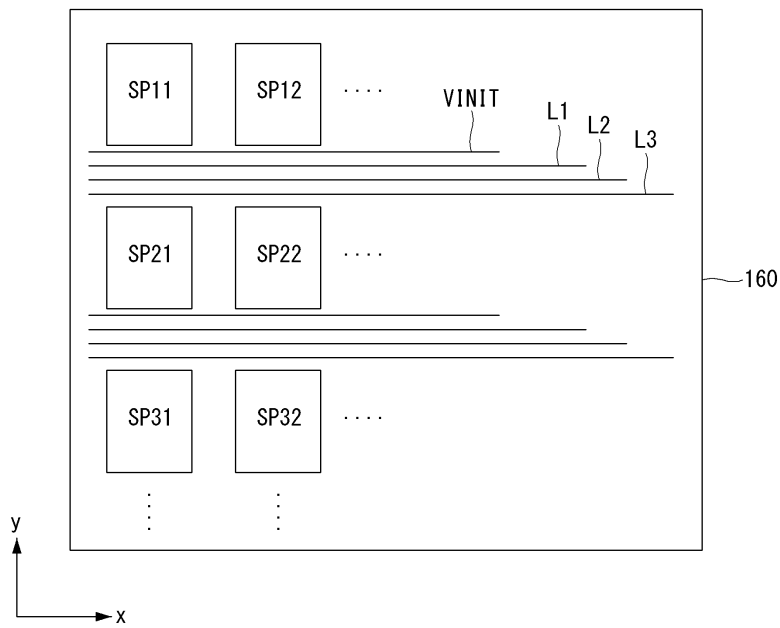
도면7



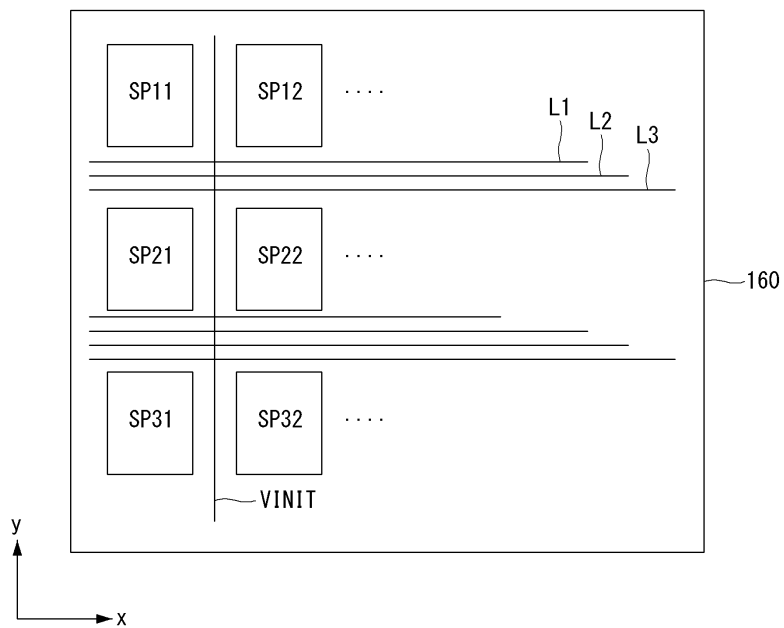
도면8



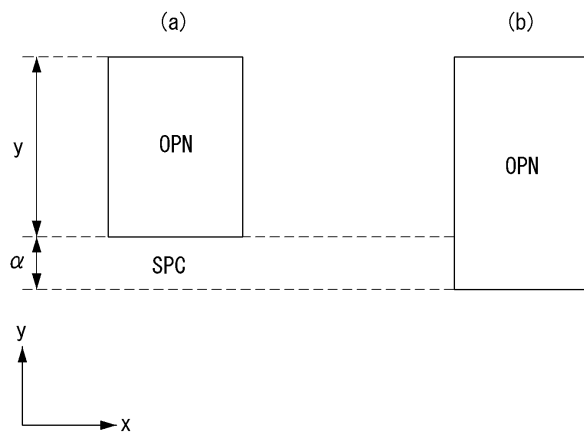
도면9



도면10



도면11



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020160061474A	公开(公告)日	2016-06-01
申请号	KR1020140163242	申请日	2014-11-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YOUNG JU 박영주 KIM DO HYUNG 김도형 NA SE HWAN 나세환		
发明人	박영주 김도형 나세환		
IPC分类号	H05B33/08 G09G3/3225 G09G3/3275 H01L27/32		
CPC分类号	H05B33/0896 G09G3/3225 G09G3/3275 G09G2320/045 H05B45/60		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，其包括显示面板，扫描驱动单元和数据驱动单元。显示面板显示图像。扫描驱动器向显示面板提供扫描信号。数据驱动器将数据信号提供给显示面板。显示面板垂直设置在两个相邻的子像素之间，并且包括由两个子像素共享的补偿线。

