



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0076391

(43) 공개일자 2015년07월07일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2013-0164423

(22) 출원일자 2013년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

강민형

경기도 파주시 교하읍 동문2차아파트 212동 1702호

고삼민

대전 중구 오류로 20, 1105호 (오류동, 세리움)

이현행

경북 칠곡군 석적읍 동중리9길 13, B동 108호 (LG디스플레이나래원기숙사)

(74) 대리인

특허법인천문

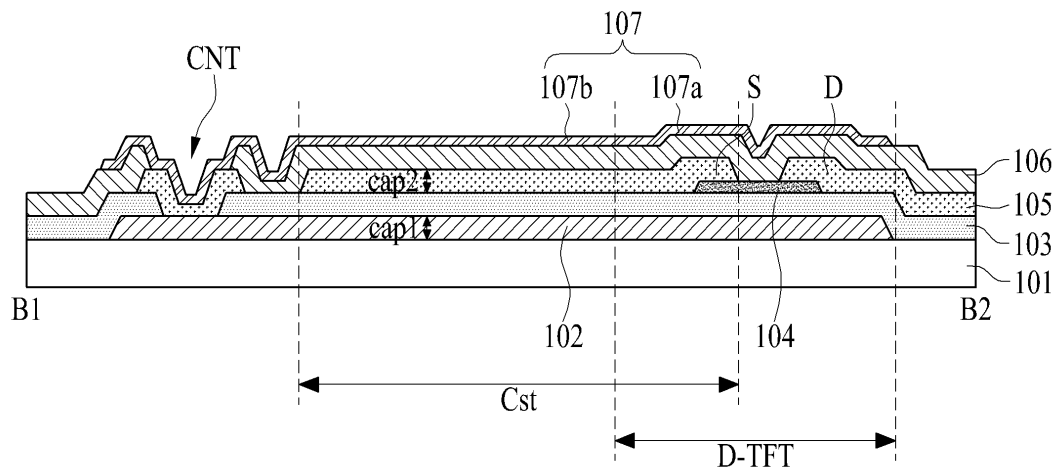
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 발광 디스플레이 장치

(57) 요약

본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는, 픽셀의 개구부에 형성된 유기 발광 다이오드; 상기 유기 발광 다이오드를 구동시키기 위한 픽셀 회로에 형성된 스토리지 커패시터 및 드라이빙 TFT;를 포함하고, 상기 스토리지 커패시터의 최상위 전극과 상기 드라이빙 TFT의 최상위 전극이 동일 메탈로 공통으로 형성된 것을 특징으로 한다.

대표도 - 도4



명세서

청구범위

청구항 1

픽셀의 개구부에 형성된 유기 발광 다이오드;

상기 유기 발광 다이오드를 구동시키기 위한 픽셀 회로에 형성된 스토리지 커패시터 및 드라이빙 TFT;를 포함하고,

상기 스토리지 커패시터의 최상위 전극과 상기 드라이빙 TFT의 최상위 전극이 동일 메탈로 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 드라이빙 TFT는 하부 게이트, 게이트 절연막, 액티브, 보호막, 소스, 및 드레인 및 상부 게이트를 포함하고,

상기 스토리지 커패시터는 제1 전극, 게이트 절연막, 제2 전극, 보호막 및 3 전극을 포함하고,

상기 드라이빙 TFT의 상부 게이트와 상기 스토리지 커패시터의 제3 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제1 항에 있어서,

상기 드라이빙 TFT의 하부 게이트와 상기 스토리지 커패시터의 제1 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제1 항에 있어서,

상기 드라이빙 TFT의 소스와 상기 스토리지 커패시터의 제2 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제1 항에 있어서,

상기 드라이빙 TFT는 하부 게이트, 게이트 절연막, 액티브, 보호막, 소스, 및 드레인 및 상부 게이트를 포함하고,

상기 스토리지 커패시터는 제1 전극, 절연막, 제2 전극, 게이트 절연막, 제3 전극, 보호막 및 4 전극을 포함하고,

상기 드라이빙 TFT의 상부 게이트와 상기 스토리지 커패시터의 제4 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제5 항에 있어서,

상기 드라이빙 TFT의 하부 게이트와 상기 스토리지 커패시터의 제2 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제5 항에 있어서,

상기 드라이빙 TFT의 소스와 상기 스토리지 커패시터의 제3 전극이 공통으로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제1 항에 있어서,

상기 드라이빙 TFT의 소스는 "U" 형태로 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제1 항에 있어서,

픽셀에서 세로 방향으로 형성된 데이터 라인;

픽셀에서 가로 방향으로 형성된 스캔 라인 및 센싱 신호 라인; 및

픽셀에서 가로 방향 또는 세로 방향으로 형성된 VDD 라인을 포함하고,

상기 드라이빙 TFT의 드레인은 픽셀에서 가로 방향으로 형성된 VDD 라인과 접속된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제1 항에 있어서,

상기 드라이빙 TFT의 Cgs와 상기 스토리지 커패시터의 한쪽 노드가 동일 메탈로 병합되어 형성된 것을 특징으로 하는 유기 발광 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 디스플레이 장치에 관한 것으로, 픽셀의 개구율을 높임과 아울러, 스토리지 커패시터의 정전 용량을 증가시킬 수 있는 유기 발광 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 현재까지 널리 이용되고 있는 액정 디스플레이 장치(LCD)는 광원으로 백라이트가 필요하고, 밝기, 명암비 및 시야각 등에서 기술적 한계가 있다. 이에, 자체발광이 가능하여 별도의 광원이 필요하지 않고, 밝기, 명암비 및 시야각 등에서 상대적으로 우수한 유기 발광 디스플레이 장치(OLED: Organic Light Emitting Device)에 대한 관심이 증대되고 있다.

[0003] 유기 발광 디스플레이 장치는 복수의 픽셀에 형성된 유기 발광 다이오드(OLED)를 발광시켜 화상을 표시한다. 유기 발광 다이오드(OLED)는 전자(electron)를 주입하는 음극(cathode)과 정공(hole)을 주입하는 양극(anode) 사이에 발광층이 형성된 구조를 가진다. 음극에서 발생된 전자 및 양극에서 발생된 정공이 발광층 내부로 주입되면 주입된 전자 및 정공이 결합하여 엑시톤(exciton)이 생성되고, 생성된 엑시톤이 여기 상태(excited state)에서 기저 상태(ground state)로 떨어지면서 발광을 일으킴으로써 화상을 표시할 수 있다.

[0004] 이와 같은 유기 발광 디스플레이 장치는 구동방식에 따라 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식으로 나눌 수 있다.

[0005] 수동 매트릭스 방식은 별도의 박막 트랜지스터(thin film transistor, 이하 "TFT"라 함)를 구비하지 않으면서 매트릭스 형태로 픽셀이 배열된 구성을 포함하며, 소비전력이 높아지게 되고 해상도 면에서도 한계가 있다.

[0006] 반면에, 상기 능동 매트릭스 방식은 매트릭스 형태로 배열된 픽셀 각각에 TFT가 형성된 구성을 포함하며, TFT의 스위칭 구동과 스토리지 커패시터(Cst)의 전압 충전에 의해 각각의 픽셀을 구동한다.

[0007] 따라서, 소비전력이 낮고 해상도 면에서도 수동 매트릭스 방식과 대비하여 이점이 있다. 고해상도 및 대면적을 요구하는 표시소자에는 능동 매트릭스 방식의 유기 발광소자가 적합하다. 참고로, 이하 본 명세서에서는 '능동

매트릭스 방식의 유기 발광 디스플레이 장치'를 간략하게 '유기 발광 디스플레이 장치'로 칭하도록 한다.

- [0008] 도 1은 종래 기술에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.
- [0009] 도 1을 참조하면, 종래 기술에 따른 유기 발광 디스플레이 장치는, 데이터 라인(data line), 스캔 라인(scan), 센싱 신호 라인(sense line), VDD 라인(VDD line) 및 매트릭스 형태로 배열된 복수의 픽셀을 포함한다. 도면에 도시하지 않았지만, 발광 신호 라인 및 기준 전원 라인을 더 포함할 수 있다.
- [0010] 데이터 라인(data line)은 픽셀을 세로 방향으로 가로지르도록 형성되어 있다. 스캔 라인(scan line) 및 센싱 신호 라인(sense line)은 픽셀을 가로 방향으로 가로지르도록 형성되어 있다.
- [0011] 여기서, VDD 라인(VDD line)은 픽셀에서 가로 방향으로 형성될 수도 있고, 세로 방향으로도 형성될 수 있다. 도 1에서는 VDD 라인(VDD line)이 가로 방향으로 형성된 픽셀 구조를 도시하고 있다.
- [0012] 복수의 픽셀 각각은 유기 발광 다이오드(OLED)가 형성되어 발광하는 개구부(10) 및 상기 유기 발광 다이오드(OLED)를 구동시키기 위한 구동 회로가 형성된 픽셀 회로부를 포함한다.
- [0013] 픽셀 회로부는 복수의 TFT(30, 40, 50) 및 스토리지 커패시터(20)를 포함한다. 복수의 TFT(30, 40, 50)는 스캔 TFT(30), 드라이빙 TFT(40) 및 센싱 TFT(50)를 포함한다.
- [0014] 이러한, 복수의 TFT(30, 40, 50)는 비정질 실리콘(a-Si), 저온다결정 실리콘(LTPSL: Low-Temperature Poly-Silicon) 또는 산화물(oxide)을 액티브(active)의 재료로 이용하여 N타입(N-type) 또는 P타입(P-type)으로 제조될 수 있다.
- [0015] 도 2는 도 1에 도시된 A1-A2 선에 따른 픽셀의 단면도이다. 도 2에서는 스토리지 커패시터(20)와 드라이빙 TFT(40)가 형성된 영역의 단면을 도시하고 있다.
- [0016] 도 2를 참조하면, 기관(1) 상의 드라이빙 TFT(D-TFT) 영역에 하부 게이트(2a)가 형성되어 있고, 스토리지 커패시터(Cst) 영역에 제1 전극(2b)이 형성되어 있다. 이때, 하부 게이트(2a, gate)와 제1 전극(2b)은 스캔 라인(scan line) 및 센싱 신호 라인(sense line)을 형성할 때, 동일한 메탈로 함께 형성된다.
- [0017] 하부 게이트(2a)와 제1 전극(2b)을 덮도록 게이트 절연막(3, GI)이 형성되어 있고, 드라이빙 TFT(D-TFT) 영역의 게이트 절연막(3) 상에는 액티브(4, active)가 형성되어 있다. 드라이빙 TFT(D-TFT) 영역의 액티브(4)와 스토리지 커패시터(Cst) 영역의 게이트 절연막(3)을 덮도록 식각 방지막(5, ESL)이 형성되어 있다.
- [0018] 스토리지 커패시터(Cst) 영역의 식각 방지막(5) 상에 스토리지 커패시터(Cst)의 제2 전극(6)이 형성되어 있고, 드라이빙 TFT(D-TFT) 영역의 식각 방지막(5)을 관통하여 액티브(4)와 콘택된 소스(S) 및 드레인(D)이 형성되어 있다. 이때, 제2 전극(6)과 소스(S) 및 드레인(D)은 데이터 라인(data line)을 형성할 때, 동일한 메탈로 함께 형성된다.
- [0019] 제2 전극(6) 및 소스/드레인을 덮도록 보호막(7)이 형성되어 있다. 보호막(7) 상의 드라이빙 TFT(D-TFT) 영역에는 상부 게이트(8a)가 형성되어 있고, 스토리지 커패시터(Cst) 영역에는 제3 전극(8b)이 형성되어 있다.
- [0020] 하부 게이트(2a), 게이트 절연막(3), 액티브(4), 소스(S), 드레인(D) 및 상부 게이트(8a)로 드라이빙 TFT가 구성된다. 그리고, 제1 전극(2a), 게이트 절연막(3), 제2 전극(6), 보호막(7) 및 제3 전극(8)으로 스토리지 커패시터가 구성된다.
- [0021] 상술한 종래 기술에 따른 유기 발광 디스플레이 장치는 드라이빙 TFT와 스토리지 커패시터를 별도로 형성하고 있고, 드라이빙 TFT와 스토리지 커패시터를 형성하는 데 많은 면적이 많이 소요되어 픽셀의 개구부가 감소하는 문제점이 있다.
- [0022] 개구율이 감소함에 따라 휘도를 높이기 위해 유기 발광 다이오드(OLED)의 로드가 증가하여 OLED 패널의 수명이 줄어드는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0023] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 픽셀의 개구율을 증가시킬 수 있는 유기 발광 디스플레이

이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.

[0024] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 스토리지 커패시터의 면적은 유지 또는 감소시키면서 정전 용량을 증가시킬 수 있는 유기 발광 디스플레이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.

[0025] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 픽셀 회로부의 면적을 줄일 수 있는 유기 발광 디스플레이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.

[0026] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 유기 발광 디스플레이 장치의 수명을 향상시키는 것을 기술적 과제로 한다.

[0027] 본 발명은 스토리지 커패시터 용량을 충분히 확보하여, VDD 라인이 픽셀에서 가로 방향으로 형성됨으로 인해 발생하는 크로스 토크를 저감시키는 것을 기술적 과제로 한다.

[0028] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0029] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는, 픽셀의 개구부에 형성된 유기 발광 다이오드; 상기 유기 발광 다이오드를 구동시키기 위한 픽셀 회로에 형성된 스토리지 커패시터 및 드라이빙 TFT;를 포함하고, 상기 스토리지 커패시터의 최상위 전극과 상기 드라이빙 TFT의 최상위 전극이 동일 메탈로 공통으로 형성된 것을 특징으로 한다.

발명의 효과

[0030] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조 방법은 픽셀의 개구율을 증가시킬 수 있다.

[0031] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조 방법은 스토리지 커패시터의 면적은 유지 또는 감소시키면서 정전 용량을 증가시킬 수 있다.

[0032] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조 방법은 픽셀 회로부의 면적을 줄일 수 있다.

[0033] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조 방법은 수명을 향상시킬 수 있다.

[0034] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 스토리지 커패시터 용량을 충분히 확보하여, VDD 라인이 픽셀에서 가로 방향으로 형성됨으로 인해 발생하는 크로스 토크를 저감시킬 수 있다.

[0035] 위에서 언급된 본 발명의 특징 및 효과들 이외에도 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 효과들이 새롭게 파악 될 수도 있을 것이다.

도면의 간단한 설명

[0036] 도 1은 종래 기술에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.

도 2는 도 1에 도시된 A1-A2 선에 따른 픽셀의 단면도이다.

도 3은 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.

도 4는 도 3에 도시된 B1-B2 선에 따른 픽셀의 단면도이다.

도 5는 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법을 나타내는 도면이다.

도 6은 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.

도 7는 도 6에 도시된 C1-C2 선에 따른 픽셀의 단면도이다.

도 8은 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법을 나타내는 도면이다.

도 9는 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치의 드라이빙 TFT를 나타내는 도면이다.

도 10은 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치의 복수의 픽셀 중에서 하나의 픽셀을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0038] 한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0039] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.
- [0040] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0041] 본 발명의 실시 예를 설명함에 있어서 어떤 구조물이 다른 구조물 "상에 또는 상부에" 및 "하부에 또는 아래에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조방법에 대하여 설명하기로 한다.
- [0043] 도 3은 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.
- [0044] 도 3을 참조하면, 본 발명의 제1 실시 예에 따른 발광 디스플레이 장치는 OLED 패널과 상기 OLED 패널을 구동시키기 위한 구동 회로부를 포함한다.
- [0045] OLED 패널에는 복수의 픽셀이 매트릭스 형태로 배열되어 있으며, 상기 복수의 픽셀에 형성된 유기 발광 다이오드(OLED) 및 픽셀 회로에 전원 및 신호를 공급하기 위한 복수의 라인들이 형성되어 있다.
- [0046] 복수의 라인들은 데이터 라인(data line), 스캔 라인(scan), 센싱 신호 라인(sense line), VDD 라인(VDD line) 및 기준 전원 라인(Vref line)을 포함한다. 도면에 도시하지 않았지만 발광 신호 라인(EM line)을 더 포함할 수 있다.
- [0047] 데이터 라인(data line) 및 기준 전원 라인(Vref line) 픽셀을 세로 방향으로 가로지르도록 형성되어 있다. 스캔 라인(scan line) 및 센싱 신호 라인(sense line)은 픽셀을 가로 방향으로 가로지르도록 형성되어 있다.
- [0048] 여기서, VDD 라인(VDD line)은 픽셀에서 가로 방향으로 형성될 수도 있고, 세로 방향으로도 형성될 수 있다. 도 3에서는 VDD 라인(VDD line)이 세로 방향으로 형성된 픽셀 구조를 도시하고 있다.
- [0049] 복수의 픽셀 각각은 유기 발광 다이오드(OLED)가 형성되어 발광하는 개구부(110) 및 상기 유기 발광 다이오드(OLED)를 구동시키기 위한 구동 회로가 형성된 픽셀 회로부를 포함한다.
- [0050] 픽셀 회로부는 복수의 TFT(130, 140, 150) 및 스토리지 커패시터(120)를 포함한다. 복수의 TFT(130, 140, 150)는 드라이빙 TFT(130), 스캔 TFT(140) 및 센싱 TFT(150)를 포함한다.
- [0051] 스토리지 커패시터(120)는 드라이빙 TFT(130)의 문턱전압(Vth)을 충전하여, 데이터 전압(Vdata)에 따른 구동 전류가 유기 발광 다이오드(OLED)에 인가되도록 한다.
- [0052] 스캔 TFT(140)는 스캔 라인(scan line)에 인가된 스캔 신호에 의해 턴온되어, 데이터 라인(data line)에 인가된 데이터 전압(Vdata)을 드라이빙 TFT(130)에 공급한다. 픽셀 내에서 스캔 TFT(140)는 개구부(110)와 스토리지 커패시터(120) 사이에 위치한다.
- [0053] 센싱 TFT(150)는 센싱 신호 라인(sense line)에 인가된 센싱 신호에 의해 턴온되어, 기준 전원 라인(Vref line)에 공급되는 디스플레이 기준 전압(Vref) 또는 센싱 프리차징 전압(Vpre)을 드라이빙 TFT(DT)와 유기발광 다이오드(OLED)가 접속된 노드에 공급한다. 픽셀 내에서 센싱 TFT(150)는 스토리지 커패시터(120) 및 드라이빙

TFT(130)의 아래에 위치한다.

- [0054] 드라이빙 TFT(130)는 더블 게이트 구조로 형성되어 있다. 드라이빙 TFT(130)는 데이터 전압(Vdata)에 의해 턴 온되고, 드라이빙 TFT(DT)를 이용하여 제1 구동 전원(VDD)으로부터 제2 구동 전원(VSS)으로 흐르는 데이터 전류(Ioled)에 양을 조절한다. 상기 데이터 전류(Ioled)의 양을 조절하여 유기발광 다이오드(OLED)의 발광을 조절한다.
- [0055] 이러한, 드라이빙 TFT(130), 스캔 TFT(140) 및 센싱 TFT(150)는 비정질 실리콘(a-Si), 저온다결정 실리콘(LTPSL: Low-Temperature Poly-Silicon) 또는 산화물(oxide)을 액티브(active)의 재료로 이용하여 N타입(N-type) 또는 P타입(P-type)으로 제조될 수 있다.
- [0056] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀의 드라이빙 TFT(130)의 Cgs와 스토리지 커패시터(120)의 한쪽 노드(node)가 동일 메탈로 병합되어 형성되어 있다.
- [0057] 즉, 드라이빙 TFT(130)의 탑 게이트(top gate)와 스토리지 커패시터(120)의 상부 전극을 동일한 메탈로 병합하여 형성함으로써 드라이빙 TFT(130) 및 스토리지 커패시터(120)을 형성하기 위해 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킨다.
- [0058] 도 4는 도 3에 도시된 B1-B2 선에 따른 픽셀의 단면도이다. 도 4에서는 스토리지 커패시터(120)와 드라이빙 TFT(130)가 형성된 영역의 단면을 도시하고 있다. 도 4에서는 BCE(Back Channel Etching) 타입의 드라이빙 TFT(130)를 도시하고 있다.
- [0059] 도 4를 참조하면, 기판(101) 상의 드라이빙 TFT(D-TFT) 영역과 스토리지 커패시터(Cst) 영역에 제1 게이트 메탈층(102, bottom gate metal layer)이 형성되어 있다. 제1 게이트 메탈층(102)은 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)으로 기능한다. 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제1 게이트 메탈층(102)은 드라이빙 TFT(D-TFT)의 하부 게이트가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제1 게이트 메탈층(102)은 스토리지 커패시터(Cst)의 제1 전극(하부 전극)이 된다.
- [0060] 제1 게이트 메탈층(102)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 제1 게이트 메탈층(102)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0061] 이렇게, 하나의 제1 게이트 메탈층(102)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)을 형성한다. 이때, 제1 게이트 메탈층(102)은 스캔 라인(scan) 및 센싱 신호 라인(sense line)과 동일 메탈로 함께 형성된다.
- [0062] 제1 게이트 메탈층(102)을 덮도록 게이트 절연막(103, GI)이 형성되어 있다. 게이트 절연막(103, GI)은 산화 실리콘(SiO₂)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO₂) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 10nm의 두께로 형성된다.
- [0063] 게이트 절연막(103, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(104, active)가 형성되어 있다. 액티브(104, active)는 IG0(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 60nm의 두께로 형성된다.
- [0064] 게이트 절연막(103) 및 액티브(104, active) 상에 소스/드레인 메탈층(105)이 형성되어 있다. 소스/드레인 메탈층(105)은 드라이빙 TFT(D-TFT)의 소스/드레인 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)으로 기능한다.
- [0065] 소스/드레인 메탈층(105)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성되고, 스토리지 커패시터(Cst) 영역에 제2 전극(중간 전극)이 형성된다.
- [0066] 즉, 드라이빙 TFT(D-TFT) 영역에 형성되는 소스/드레인 메탈층(105)은 액티브(104, active) 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 소스/드레인 메탈층(105)은 스토리지 커패시터(Cst)의 제2 전극(중간 전극)이 된다.
- [0067] 소스/드레인 메탈층(105)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(105)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재

료로 이용하여 30nm의 두께로 형성될 수 있다.

- [0068] 이렇게, 하나의 소스/드레인 메탈층(105)로 드라이빙 TFT(D-TFT)의 소스(S)/드레인(D) 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 형성한다. 이때, 소스/드레인 메탈층(105)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다.
- [0069] 드라이빙 TFT(D-TFT)의 소스/드레인과 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 덮도록 보호막(106, PAS)이 형성되어 있다. 보호막(106, PAS)은 산화 실리콘(SiO_2) 물질로 350nm의 두께로 형성된다.
- [0070] 보호막(106, PAS) 상에 제2 게이트 메탈층(107, upper gate metal layer)이 형성되어 있다. 제2 게이트 메탈층(107)은 드라이빙 TFT(D-TFT)의 상부 게이트(107a) 및 스토리지 커패시터(Cst)의 제3 전극(107b, 상부 전극)으로 기능한다.
- [0071] 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제2 게이트 메탈층(107)은 드라이빙 TFT(D-TFT)의 상부 게이트(107a)가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제2 게이트 메탈층(107)은 스토리지 커패시터(Cst)의 제3 전극(107b, 상부 전극)이 된다.
- [0072] 제2 게이트 메탈층(107)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 30nm의 두께로 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 10nm의 두께로 형성될 수 있다.
- [0073] 이렇게, 하나의 제2 게이트 메탈층(107)으로 드라이빙 TFT(D-TFT)의 상부 게이트(107a) 및 스토리지 커패시터(Cst)의 제3 전극(107b, 상부 전극)을 형성한다.
- [0074] 하부 게이트, 게이트 절연막, 액티브, 소스/드레인 및 상부 게이트로 드라이빙 TFT(D-TFT)가 구성된다. 그리고, 제1 전극, 게이트 절연막, 제2 전극, 보호막 및 제3 전극으로 스토리지 커패시터(Cst)가 구성된다.
- [0075] 제1 전극과 제2 전극 사이에 제1 커패시터(cap1)가 형성되고, 제2 전극과 제3 전극 사이에 제2 커패시터(cap2)가 형성된다. 제1 커패시터(cap1)와 제2 커패시터(cap2)의 정전 용량이 합쳐져 스토리지 커패시터(Cst)의 정전 용량이 된다.
- [0076] 도면에 도시하지 않았지만, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)를 덮도록 포토아크릴(PAC) 물질로 평탄화층이 2 μm 의 두께로 형성된다. 평탄화층 상부 중에서 개구부(110)에 ITO로 유기 발광 다이오드(OLED)의 애노드 전극이 형성된다. 애노드 전극 상에 유기 발광층이 형성되고, 유기 발광층 상에 캐소드 전극 및 캡핑층이 형성된다.
- [0077] 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀 회로부의 면적을 줄여 픽셀의 개구율을 높이면서 스토리지 커패시터(Cst)의 용량을 증가시키기 위해서, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성하였다.
- [0078] 즉, 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(107a)와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극(107b, 상부 전극)을 공통으로 형성하였다. 이를 통해, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)의 형성에 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킬 수 있다. 드라이빙 TFT(D-TFT)의 탑 메탈을 스토리지 커패시터(Cst)의 제3 전극으로 공유함으로써, 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다. 이와 같이, 픽셀의 개구율을 증가시킴으로써 OLED 패널의 수명을 향상시킬 수 있다.
- [0079] 도 4에서는 BCE(Back Channel Etching) 타입의 드라이빙 TFT의 구조를 도시하고 설명하였다. 그러나, 이에 한정되지 않고, BCE 타입뿐만 아니라 ESL(Etch Stop Layer) 타입의 드라이빙 TFT에도 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(107a)와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극(107b, 상부 전극)을 공통으로 형성할 수 있다.
- [0080] 도 5는 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법을 나타내는 도면이다.
- [0081] 도 5에서는 픽셀 회로부 중에서 스토리지 커패시터(120)와 드라이빙 TFT(130) 영역의 단면을 기준으로 스토리지 커패시터(120)와 드라이빙 TFT(130)의 제조 방법을 도시하고 있다. 도 5에서는 BCE(Back Channel Etching) 타입의 드라이빙 TFT(130)의 제조 방법을 도시하고 있다.
- [0082] 이하, 도 5를 참조하여, 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법을 설명하기로 한다.
- [0083] 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 픽셀 회로부의 면적을 줄여 픽셀의 개

구울을 높이면서 스토리지 커패시터(Cst)의 용량을 증가시킬 수 있다. 이를 위해서, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성한다.

- [0084] 도 5(A)를 참조하면, 기판(101) 상의 드라이빙 TFT(D-TFT) 영역과 스토리지 커패시터(Cst) 영역에 제1 게이트 메탈층(102, bottom gate metal layer)을 형성한다. 제1 게이트 메탈층(102)은 스캔 라인(scan) 및 센싱 신호 라인(sense line)과 동일 메탈 및 동일 마스크를 이용한 공정으로 함께 형성된다.
- [0085] 여기서, 드라이빙 TFT(D-TFT) 영역에 형성된 제1 게이트 메탈층(102)은 드라이빙 TFT(D-TFT)의 하부 게이트가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제1 게이트 메탈층(102)은 스토리지 커패시터(Cst)의 제1 전극(하부 전극)이 된다.
- [0086] 즉, 제1 게이트 메탈층(102)은 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)으로 기능한다.
- [0087] 제1 게이트 메탈층(102)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 제1 게이트 메탈층(102)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0088] 이렇게, 하나의 제1 게이트 메탈층(102)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)을 형성할 수 있다.
- [0089] 이어서, 제1 게이트 메탈층(102)을 덮도록 게이트 절연막(103, GI)을 형성한다. 먼저, 산화 실리콘(SiO₂)으로 제1 막을 형성하고, 이후, 질화 실리콘(SiNx)으로 제2 막을 형성하여 게이트 절연막(103, GI)을 완성한다. 산화 실리콘(SiO₂) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 10nm의 두께로 형성된다.
- [0090] 이어서, 게이트 절연막(103, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(104, active)를 형성한다. 액티브(104, active)는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 60nm의 두께로 형성된다.
- [0091] 스토리지 커패시터(Cst) 영역의 끝단에 형성된 게이트 절연막(103, GI)을 식각하여 컨택홀(103a)을 형성한다. 컨택홀(103a)에 의해 1 게이트 메탈층(102)의 표면이 노출된다. 후속 공정에서 컨택홀(103a) 통해 스토리지 커패시터의 제1 전극(하부 전극)과 제3 전극(상부 전극)을 접속시킨다.
- [0092] 이어서, 도 5(B)를 참조하면, 게이트 절연막(103) 및 액티브(104, active) 상에 소스/드레인 메탈층(105)을 형성한다. 이때, 소스/드레인 메탈층(105)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다.
- [0093] 소스/드레인 메탈층(105)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성되고, 스토리지 커패시터(Cst) 영역에 제2 전극(중간 전극)이 형성된다. 소스/드레인 메탈층(105)은 드라이빙 TFT(D-TFT)의 소스(S)와 드레인(D) 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)으로 기능한다.
- [0094] 즉, 드라이빙 TFT(D-TFT) 영역에 형성되는 소스/드레인 메탈층(105)은 액티브(104, active) 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 소스/드레인 메탈층(105)은 스토리지 커패시터(Cst)의 제2 전극(중간 전극)이 된다.
- [0095] 소스/드레인 메탈층(105)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(105)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0096] 이렇게, 하나의 소스/드레인 메탈층(105)로 드라이빙 TFT(D-TFT)의 소스(S)/드레인(D) 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 형성한다.
- [0097] 이어서, 도 5(C)를 참조하면, 드라이빙 TFT(D-TFT)의 소스/드레인과 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 덮도록 보호막(106, PAS)을 형성한다. 보호막(106, PAS)은 산화 실리콘(SiO₂) 물질로 350nm의 두께로 형성된다.

- [0098] 이어서, 보호막(106, PAS) 상에 제2 게이트 메탈층(107, upper gate metal layer)을 형성한다.
- [0099] 드라이빙 TFT(D-TFT) 영역에 형성된 제2 게이트 메탈층(107)은 드라이빙 TFT(D-TFT)의 상부 게이트가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 제2 게이트 메탈층(107)은 스토리지 커패시터(Cst)의 제3 전극(상부 전극)이 된다.
- [0100] 이렇게, 하나의 제2 게이트 메탈층(107)으로 드라이빙 TFT(D-TFT)의 상부 게이트(107a) 및 스토리지 커패시터(Cst)의 제3 전극(107b, 상부 전극)을 형성한다.
- [0101] 즉, 제2 게이트 메탈층(107)은 드라이빙 TFT(D-TFT)의 상부 게이트(107a) 및 스토리지 커패시터(Cst)의 제3 전극(107b, 상부 전극)으로 기능한다.
- [0102] 여기서, 제2 게이트 메탈층(107)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 30nm의 두께로 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 10nm의 두께로 형성될 수 있다.
- [0103] 하부 게이트, 게이트 절연막, 액티브, 소스/드레인 및 상부 게이트로 드라이빙 TFT(D-TFT)가 구성된다. 그리고, 제1 전극, 게이트 절연막, 제2 전극, 보호막 및 제3 전극으로 스토리지 커패시터(Cst)가 구성된다.
- [0104] 제1 전극과 제2 전극 사이에 제1 커패시터(cap1)가 형성되고, 제2 전극과 제3 전극 사이에 제2 커패시터(cap2)가 형성된다. 제1 커패시터(cap1)와 제2 커패시터(cap2)의 정전 용량이 합쳐져 스토리지 커패시터(Cst)의 정전 용량이 된다.
- [0105] 이어서, 도 5(D)를 참조하면, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)를 덮도록 평탄화층(108)을 형성한다. 평탄화층(108)은 포토아크릴(PAC) 물질로 평탄화층이 2um의 두께로 형성된다.
- [0106] 이어서, 평탄화(108)층 상부 중에서 개구부(110)에 ITO로 유기 발광 다이오드(OLED)의 애노드 전극(109)을 형성한다. 이후, 도면에 도시하지 않았지만, 애노드 전극(109) 상에 유기 발광층을 형성하고, 유기 발광층 상에 캐소드 전극 및 캡핑층을 형성한다.
- [0107] 상술한 제조 공정을 진행하여 유기 발광 디스플레이 장치의 픽셀들을 형성할 수 있다. 드라이빙 TFT(D-TFT)의 제조 공정을 이용하여 스위칭 TFT들도 제조할 수 있다.
- [0108] 도 5에서는 BCE(Back Channel Etching) 타입의 드라이빙 TFT의 제조 방법 및 스토리지 커패시터의 제조 방법을 도시하고 설명하였다. 그러나, 이에 한정되지 않고, BCE 타입뿐만 아니라 ESL(Etch Stop Layer) 타입의 드라이빙 TFT의 제조 공정에서도 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극을 공통으로 형성할 수 있다.
- [0109] ESL(Etch Stop Layer) 타입인 경우에는 액티브 상에 ESL을 형성하는 공정은 별도로 수행하고, ESL을 형성하는 공정 이외에는 도 5에 도시된 제조 공정을 이용할 수 있다.
- [0110] 상술한 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성함으로써, 픽셀 회로부의 면적을 줄이고 픽셀의 개구율을 높일 수 있다. 드라이빙 TFT(D-TFT)의 탑 메탈과 스토리지 커패시터(Cst)의 제3 전극을 공유하도록 형성하여 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다.
- [0111] 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치를 나타내는 것으로, 복수의 픽셀 중에서 하나의 픽셀 구조를 도시하고 있다.
- [0112] 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 픽셀 회로부의 면적을 줄여 픽셀의 개구율을 높이면서 스토리지 커패시터(Cst)의 용량을 증가시킬 수 있다. 이를 위해서, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성한다.
- [0113] 도 6을 참조하면, 본 발명의 제2 실시 예에 따른 발광 디스플레이 장치는 OLED 패널과 상기 OLED 패널을 구동시키기 위한 구동 회로부를 포함한다.
- [0114] OLED 패널에는 복수의 픽셀이 매트릭스 형태로 배열되어 있으며, 기 복수의 픽셀에 형성된 유기 발광 다이오드(OLED) 및 픽셀 회로에 전원 및 신호를 공급하기 위한 복수의 라인들이 형성되어 있다.
- [0115] 복수의 라인들은 데이터 라인(data line), 스캔 라인(scan), 센싱 신호 라인(sense line), VDD 라인(VDD line)

및 기준 전원 라인(Vref line)을 포함한다. 도면에 도시하지 않았지만 발광 신호 라인(EM line)을 더 포함할 수 있다.

- [0116] 데이터 라인(data line)은 픽셀을 세로 방향으로 가로지르도록 형성되어 있다. 스캔 라인(scan line) 및 센싱 신호 라인(sense line)은 픽셀을 가로 방향으로 가로지르도록 형성되어 있다.
- [0117] 여기서, VDD 라인(VDD line)은 픽셀에서 가로 방향으로 형성될 수도 있고, 세로 방향으로도 형성될 수 있다. 도 6에서는 VDD 라인(VDD line)이 가로 방향으로 형성된 픽셀 구조를 도시하고 있다.
- [0118] 복수의 픽셀 각각은 유기 발광 다이오드(OLED)가 형성되어 발광하는 개구부(210) 및 상기 유기 발광 다이오드(OLED)를 구동시키기 위한 구동 회로가 형성된 픽셀 회로부를 포함한다.
- [0119] 픽셀 회로부는 복수의 TFT(230, 240, 250) 및 스토리지 커패시터(220)를 포함한다. 복수의 TFT(230, 240, 250)는 드라이빙 TFT(230), 스캔 TFT(240) 및 센싱 TFT(250)를 포함한다.
- [0120] 스캔 TFT(240)는 스캔 라인(scan line)에 인가된 스캔 신호에 의해 턴온되어, 데이터 라인(data line)에 인가된 데이터 전압(Vdata)을 드라이빙 TFT(130)에 공급한다. 픽셀 내에서 스캔 TFT(240)는 개구부(210)와 스토리지 커패시터(220) 사이에 위치한다.
- [0121] 센싱 TFT(250)는 센싱 신호 라인(sense line)에 인가된 센싱 신호에 의해 턴온되어, 기준 전원 라인(Vref line)에 공급되는 디스플레이 기준 전압(Vref) 또는 센싱 프리차징 전압(Vpre)을 드라이빙 TFT(DT)와 유기발광 다이오드(OLED)가 접속된 노드에 공급한다. 픽셀 내에서 스토리지 커패시터(220) 및 드라이빙 TFT(230)의 아래에 VDD 라인(VDD line)이 형성되어 있고, 센싱 TFT(250)는 VDD 라인(VDD line) 아래에 위치한다.
- [0122] 드라이빙 TFT(230)는 더블 게이트 구조로 형성되어 있다. 드라이빙 TFT(230)는 데이터 전압(Vdata)에 의해 턴온되고, 드라이빙 TFT(DT)를 이용하여 제1 구동 전원(VDD)으로부터 제2 구동 전원(VSS)으로 흐르는 데이터 전류(Ioled)에 양을 조절한다. 상기 데이터 전류(Ioled)의 양을 조절하여 유기발광 다이오드(OLED)의 발광을 조절한다.
- [0123] 이러한, 드라이빙 TFT(230), 스캔 TFT(240) 및 센싱 TFT(250)는 비정질 실리콘(a-Si), 저온다결정 실리콘(LTPSL: Low-Temperature Poly-Silicon) 또는 산화물(oxide)을 액티브(active)의 재료로 이용하여 N타입(N-type) 또는 P타입(P-type)으로 제조될 수 있다.
- [0124] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀의 드라이빙 TFT(230)의 Cgs와 스토리지 커패시터(220)의 한쪽 노드(node)가 동일 메탈로 병합되어 형성되어 있다.
- [0125] 즉, 드라이빙 TFT(230)의 탑 게이트(top gate)와 스토리지 커패시터(220)의 상부 전극을 동일한 메탈로 병합하여 형성함으로써 드라이빙 TFT(230) 및 스토리지 커패시터(220)을 형성하기 위해 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킨다.
- [0126] 도 7는 도 6에 도시된 C1-C2 선에 따른 픽셀의 단면도이다. 도 7에서는 스토리지 커패시터(220)와 드라이빙 TFT(230)가 형성된 영역의 단면을 도시하고 있다. 도 7에서는 ESL(Etch Stop Layer) 타입의 드라이빙 TFT(230)를 도시하고 있다.
- [0127] 도 7을 참조하면, 기판(201) 상의 드라이빙 TFT(D-TFT) 영역과 스토리지 커패시터(Cst) 영역에 제1 게이트 메탈층(202, bottom gate metal layer)이 형성되어 있다. 제1 게이트 메탈층(202)은 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)으로 기능한다.
- [0128] 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제1 게이트 메탈층(202)은 드라이빙 TFT(D-TFT)의 하부 게이트가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제1 게이트 메탈층(202)은 스토리지 커패시터(Cst)의 제1 전극(하부 전극)이 된다.
- [0129] 여기서, 제1 게이트 메탈층(202)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 제1 게이트 메탈층(202)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0130] 이렇게, 하나의 제1 게이트 메탈층(202)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)을 형성한다. 이때, 제1 게이트 메탈층(202)은 스캔 라인(scan) 및 센싱 신호 라인(sense

line)과 동일 메탈로 함께 형성된다.

- [0131] 제1 게이트 메탈층(202)을 덮도록 게이트 절연막(203, GI)이 형성되어 있다. 게이트 절연막(203, GI)은 산화 실리콘(SiO_2)으로 형성된 제1 막과 질화 실리콘(SiN_x)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO_2) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiN_x) 막은 10nm의 두께로 형성된다.
- [0132] 게이트 절연막(203, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(204, active)가 형성되어 있다. 액티브(204, active)는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 60nm의 두께로 형성된다.
- [0133] 게이트 절연막(203, GI)의 상부 및 액티브(204, active) 상부에 식각 방지층(205, ESL: etch stop layer)이 형성되어 있다. 식각 방지층(205)은 산화 실리콘(SiO_2)으로 100nm의 두께로 형성된다.
- [0134] 식각 방지층(205) 상에 소스/드레인 메탈층(206)이 형성되어 있다. 소스/드레인 메탈층(206)은 드라이빙 TFT(D-TFT)의 소스/드레인 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)으로 기능한다.
- [0135] 소스/드레인 메탈층(206)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성되고, 스토리지 커패시터(Cst) 영역에 제2 전극(중간 전극)이 형성된다.
- [0136] 식각 방지층(205) 상부 중에서 액티브(204, active)와 중첩되는 영역의 식각 방지층(205)을 관통하여 드라이빙 TFT(D-TFT)의 소스(S)와 드레인(D)이 형성된다. 드라이빙 TFT(D-TFT) 영역에 형성된 소스/드레인 메탈층(206)은 액티브(204, active) 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 소스/드레인 메탈층(206)은 스토리지 커패시터(Cst)의 제2 전극(중간 전극)이 된다.
- [0137] 소스/드레인 메탈층(206)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(105)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0138] 이렇게, 하나의 소스/드레인 메탈층(206)로 드라이빙 TFT(D-TFT)의 소스(S)/드레인(D) 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 형성한다. 이때, 소스/드레인 메탈층(105)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다. 여기서, 드라이빙 TFT(D-TFT)의 드레인(D)과 VDD 라인(VDD line)이 연결되어 있다.
- [0139] 드라이빙 TFT(D-TFT)의 소스/드레인과 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 덮도록 보호막(207, PAS)이 형성되어 있다. 보호막(207, PAS)은 산화 실리콘(SiO_2) 물질로 350nm의 두께로 형성된다.
- [0140] 보호막(207, PAS) 상에 제2 게이트 메탈층(208, upper gate metal layer)이 형성되어 있다. 제2 게이트 메탈층(208)은 드라이빙 TFT(D-TFT)의 상부 게이트(208a) 및 스토리지 커패시터(Cst)의 제3 전극(208b, 상부 전극)으로 기능한다.
- [0141] 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제2 게이트 메탈층(208)은 드라이빙 TFT(D-TFT)의 상부 게이트(208a)가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제2 게이트 메탈층(208)은 스토리지 커패시터(Cst)의 제3 전극(208b, 상부 전극)이 된다.
- [0142] 제2 게이트 메탈층(208)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 30nm의 두께로 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 10nm의 두께로 형성될 수 있다.
- [0143] 이렇게, 하나의 제2 게이트 메탈층(208)으로 드라이빙 TFT(D-TFT)의 상부 게이트(208a) 및 스토리지 커패시터(Cst)의 제3 전극(208b, 상부 전극)을 형성한다.
- [0144] 하부 게이트, 게이트 절연막, 액티브, 소스/드레인 및 상부 게이트로 드라이빙 TFT(D-TFT)가 구성된다. 그리고, 제1 전극, 게이트 절연막, 식각 방지층, 제2 전극, 보호막 및 제3 전극으로 스토리지 커패시터(Cst)가 구성된다.
- [0145] 제1 전극과 제2 전극 사이에 제1 커패시터(cap1)가 형성되고, 제2 전극과 제3 전극 사이에 제2 커패시터(cap2)가 형성된다. 제1 커패시터(cap1)와 제2 커패시터(cap2)의 정전 용량이 합해져 스토리지 커패시터(Cst)의 정전

용량이 된다.

- [0146] 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)를 덮도록 포토아크릴(PAC) 물질로 평탄화층(209)이 2 μ m의 두께로 형성되어 있다.
- [0147] 평탄화(209)층 상부에 뱅크(bank)가 형성되어 개구부(210)가 정의되고, 평탄화(209)층 상부 중에서 개구부(210)에 ITO로 유기 발광 다이오드(OLED)의 애노드 전극이 형성된다. 애노드 전극 상에 유기 발광층이 형성되고, 유기 발광층 상에 캐소드 전극 및 캡핑층이 형성된다.
- [0148] 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀 회로부의 면적을 줄여 픽셀의 개구율을 높이면서 스토리지 커패시터(Cst)의 용량을 증가시키기 위해서, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성하였다.
- [0149] 즉, 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(208a)와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극(208b, 상부 전극)을 공통으로 형성하였다. 이를 통해, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)의 형성에 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킬 수 있다. 드라이빙 TFT(D-TFT)의 탑 메탈을 스토리지 커패시터(Cst)의 제3 전극으로 공유함으로써, 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다. 이와 같이, 픽셀의 개구율을 증가시킴으로써 OLED 패널의 수명을 향상시킬 수 있다.
- [0150] 도 7에서는 ESL(Etch Stop Layer) 타입의 드라이빙 TFT의 구조를 도시하고 설명하였다. 그러나, 이에 한정되지 않고, ESL 타입뿐만 아니라 BCE(Back Channel Etching) 타입의 드라이빙 TFT에도 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(208a)와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극(208b, 상부 전극)을 공통으로 형성할 수 있다.
- [0151] 도 8은 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법을 나타내는 도면이다. 도 8은 도 7에 도시된 ESL 타입의 드라이빙 TFT(D-TFT)와 스토리지 커패시터(Cst)의 제조 방법을 도시하고 있다.
- [0152] 도 7 및 도 8을 참조하면, 기판(201) 상의 드라이빙 TFT(D-TFT) 영역과 스토리지 커패시터(Cst) 영역에 제1 게이트 메탈층(202, bottom gate metal layer)을 형성한다. 제1 게이트 메탈층(202)은 스캔 라인(scan) 및 센싱 신호 라인(sense line)과 동일 메탈 및 동일 마스크를 이용한 공정으로 함께 형성된다.
- [0153] 여기서, 드라이빙 TFT(D-TFT) 영역에 형성된 제1 게이트 메탈층(202)은 드라이빙 TFT(D-TFT)의 하부 게이트가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제1 게이트 메탈층(202)은 스토리지 커패시터(Cst)의 제1 전극(하부 전극)이 된다.
- [0154] 즉, 제1 게이트 메탈층(202)은 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)으로 기능한다.
- [0155] 제1 게이트 메탈층(202)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 제1 게이트 메탈층(202)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0156] 이렇게, 하나의 제1 게이트 메탈층(202)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제1 전극(하부 전극)을 형성할 수 있다.
- [0157] 이어서, 제1 게이트 메탈층(202)을 덮도록 게이트 절연막(203, GI)을 형성한다. 먼저, 산화 실리콘(SiO₂)으로 제1 막을 형성하고, 이후, 질화 실리콘(SiNx)으로 제2 막을 형성하여 게이트 절연막(203, GI)을 완성한다. 산화 실리콘(SiO₂) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 10nm의 두께로 형성된다.
- [0158] 이어서, 게이트 절연막(203, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(204, active)를 형성한다. 액티브(204, active)는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 60nm의 두께로 형성된다.
- [0159] 이어서, 게이트 절연막(203, GI)의 상부 및 액티브(204, active) 상부에 식각 방지층(205, ESL: etch stop layer)을 형성한다. 식각 방지층(205)은 산화 실리콘(SiO₂)으로 100nm의 두께로 형성된다.
- [0160] 이어서, 식각 방지층(205) 상에 소스/드레인 메탈층(206)을 형성한다. 소스/드레인 메탈층(206)은 드라이빙 TFT(D-TFT)의 소스/드레인 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)으로 기능한다. 이때, 소스/드레인

인 메탈층(206)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다.

- [0161] 소스/드레인 메탈층(206)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성된다. 그리고, 스토리지 커패시터(Cst) 영역에 제2 전극(중간 전극)이 형성된다.
- [0162] 즉, 드라이빙 TFT(D-TFT) 영역에 형성되는 소스/드레인 메탈층(206)은 식각 방지층(205) 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 소스/드레인 메탈층(206)은 스토리지 커패시터(Cst)의 제2 전극(중간 전극)이 된다.
- [0163] 소스/드레인 메탈층(206)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(206)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0164] 이렇게, 하나의 소스/드레인 메탈층(206)로 드라이빙 TFT(D-TFT)의 소스(S)/드레인(D) 및 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 형성한다.
- [0165] 이어서, 드라이빙 TFT(D-TFT)의 소스/드레인과 스토리지 커패시터(Cst)의 제2 전극(중간 전극)을 덮도록 보호막(207, PAS)을 형성한다. 보호막(207, PAS)은 산화 실리콘(SiO₂) 물질로 350nm의 두께로 형성된다.
- [0166] 이어서, 보호막(207, PAS) 상에 제2 게이트 메탈층(208, upper gate metal layer)을 형성한다.
- [0167] 드라이빙 TFT(D-TFT) 영역에 형성된 제2 게이트 메탈층(208)은 드라이빙 TFT(D-TFT)의 상부 게이트(208a)가 된다. 그리고, 스토리지 커패시터(Cst) 영역에 형성된 제2 게이트 메탈층(208)은 스토리지 커패시터(Cst)의 제3 전극(208b)상부 전극)이 된다.
- [0168] 이렇게, 하나의 제2 게이트 메탈층(208)으로 드라이빙 TFT(D-TFT)의 상부 게이트(208a) 및 스토리지 커패시터(Cst)의 제3 전극(208b, 상부 전극)을 형성한다.
- [0169] 즉, 제2 게이트 메탈층(208)은 드라이빙 TFT(D-TFT)의 상부 게이트(208a) 및 스토리지 커패시터(Cst)의 제3 전극(208b, 상부 전극)으로 기능한다.
- [0170] 여기서, 제2 게이트 메탈층(208)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 30nm의 두께로 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 10nm의 두께로 형성될 수 있다.
- [0171] 하부 게이트, 게이트 절연막, 액티브, 식각 방지층, 소스/드레인 및 상부 게이트로 드라이빙 TFT(D-TFT)가 구성된다. 그리고, 제1 전극, 게이트 절연막, 식각 방지층, 제2 전극, 보호막 및 제3 전극으로 스토리지 커패시터(Cst)가 구성된다.
- [0172] 제1 전극과 제2 전극 사이에 제1 커패시터(cap1)가 형성되고, 제2 전극과 제3 전극 사이에 제2 커패시터(cap2)가 형성된다. 제1 커패시터(cap1)와 제2 커패시터(cap2)의 정전 용량이 합해져 스토리지 커패시터(Cst)의 정전 용량이 된다.
- [0173] 이어서, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)를 덮도록 평탄화층(209)을 형성한다. 평탄화층(209)은 포토아크릴(PAC) 물질로 평탄화층이 2μm의 두께로 형성된다.
- [0174] 이어서, 평탄화(209)층 상부 중에서 개구부(210)에 ITO로 유기 발광 다이오드(OLED)의 애노드 전극을 형성한다. 도면에 도시하지 않았지만, 애노드 전극 상에 유기 발광층을 형성하고, 유기 발광층 상에 캐소드 전극 및 캡핑층을 형성한다.
- [0175] 상술한 제조 공정을 진행하여 유기 발광 디스플레이 장치의 픽셀들을 형성할 수 있다. 드라이빙 TFT(D-TFT)의 제조 공정을 이용하여 스위칭 TFT들도 제조할 수 있다.
- [0176] 도 7 및 도 8에서는 ESL(Etch Stop Layer) 타입의 드라이빙 TFT의 제조 방법 및 스토리지 커패시터의 제조 방법을 도시하고 설명하였다. 그러나, 이에 한정되지 않고, ESL 타입뿐만 아니라 BCE 타입의 드라이빙 TFT의 제조 공정에서도 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트와 스토리지 커패시터(Cst)의 탑 메탈인 제3 전극을 공통으로 형성할 수 있다.
- [0177] 상술한 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 드라이빙 TFT(D-TFT)의 Cgs와

스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성함으로써, 픽셀 회로부의 면적을 줄이고 픽셀의 개구율을 높일 수 있다. 드라이빙 TFT(D-TFT)의 탑 메탈과 스토리지 커패시터(Cst)의 제3 전극을 공유하도록 형성하여 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다.

[0178] 도 9는 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치의 복수의 픽셀 중에서 하나의 픽셀을 나타내는 도면이고, 도 10은 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치의 드라이빙 TFT를 나타내는 도면이다.

[0179] 픽셀 회로의 면적이 증가되면 상대적으로 개구부의 면적이 줄어들게 되는데, 이는 유기 발광 디스플레이 장치의 휘도 및 수명에 영향을 주는 중요한 요인이다.

[0180] 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치는 스토리지 커패시터(Cst)를 3중 커패시터 구조로 형성하고, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)가 동일 메탈로 병합되어 형성되어 있다.

[0181] 드라이빙 TFT(230)의 탑 게이트(top gate)와 스토리지 커패시터(220)의 최상부 전극을 동일한 메탈로 병합하여 형성함으로써 드라이빙 TFT(230) 및 스토리지 커패시터(220)을 형성하기 위해 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킨다.

[0182] 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치의 드라이빙 TFT(D-TFT)는 BCE(Back Channel Etching) 타입 및 ESL(Etch Stop Layer) 타입에 모두 적용될 수 있으며, 도 9에서는 BCE 타입의 드라이빙 TFT(D-TFT)를 도시하고 있다.

[0183] 도 9 및 도 10을 참조하면, 기판(301) 상의 드라이빙 TFT(D-TFT) 영역과 스토리지 커패시터(Cst) 영역에 라이트 쉴드(302)가 형성되어 있다. 라이트 쉴드(302)는 전도성 메탈 물질로 형성된다. 여기서, 라이트 쉴드(302)는 스토리지 커패시터(Cst)의 제1 전극으로 기능한다.

[0184] 라이트 쉴드(302)를 절연막(303)이 형성되어 있다. 절연막(303) 상에 제1 게이트 메탈층(304, bottom gate metal layer)이 형성되어 있다. 제1 게이트 메탈층(304)은 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제2 전극으로 기능한다.

[0185] 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제1 게이트 메탈층(304)은 드라이빙 TFT(D-TFT)의 하부 게이트가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제1 게이트 메탈층(304)은 스토리지 커패시터(Cst)의 제2 전극이 된다.

[0186] 여기서, 제1 게이트 메탈층(304)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 제1 게이트 메탈층(304)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.

[0187] 이렇게, 하나의 제1 게이트 메탈층(304)으로 드라이빙 TFT(D-TFT)의 하부 게이트 및 스토리지 커패시터(Cst)의 제2 전극을 형성한다. 이때, 제1 게이트 메탈층(304)은 스캔 라인(scan) 및 센싱 신호 라인(sense line)과 동일 메탈로 함께 형성된다.

[0188] 제1 게이트 메탈층(304)을 덮도록 게이트 절연막(305, GI)이 형성되어 있다. 게이트 절연막(305, GI)은 산화 실리콘(SiO_2)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO_2) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 10nm의 두께로 형성된다.

[0189] 게이트 절연막(305, GI)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(306, active)가 형성되어 있다. 액티브(306, active)는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 60nm의 두께로 형성된다.

[0190] 게이트 절연막(305) 및 액티브(306, active) 상에 소스/드레인 메탈층(307)이 형성되어 있다. 소스/드레인 메탈층(307)은 드라이빙 TFT(D-TFT)의 소스/드레인 및 스토리지 커패시터(Cst)의 제3 전극으로 기능한다.

[0191] 소스/드레인 메탈층(307)로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성되고, 스토리지 커패시터(Cst) 영역에 제3 전극이 형성된다.

[0192] 즉, 드라이빙 TFT(D-TFT) 영역에 형성되는 소스/드레인 메탈층(307)은 액티브(306, active) 상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다. 이때, 드라이빙 TFT(D-TFT)의 드레인(D)은 픽셀에서 가로

방향으로 형성된 VDD 라인(VDD line)과 접속된다.

- [0193] 그리고, 스토리지 커패시터(Cst) 영역에 형성된 소스/드레인 메탈층(307)은 스토리지 커패시터(Cst)의 제3 전극이 된다.
- [0194] 여기서, 드라이빙 TFT(D-TFT)의 소스(S)는 도 10에 도시된 바와 같이 "U" 형태로 형성되고, 드레인(D)은 픽셀에서 가로 방향으로 형성된 VDD 라인(VDD line)과 접속된다.
- [0195] 소스/드레인 메탈층(307)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(105)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0196] 이렇게, 하나의 소스/드레인 메탈층(307)로 드라이빙 TFT(D-TFT)의 소스(S)/드레인(D) 및 스토리지 커패시터(Cst)의 제3 전극을 형성한다. 이때, 소스/드레인 메탈층(307)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다.
- [0197] 드라이빙 TFT(D-TFT)의 소스/드레인과 스토리지 커패시터(Cst)의 제3 전극(중간 전극)을 덮도록 보호막(308, PAS)이 형성되어 있다. 보호막(308, PAS)은 산화 실리콘(SiO₂) 물질로 350nm의 두께로 형성된다.
- [0198] 보호막(308, PAS) 상에 제2 게이트 메탈층(309, upper gate metal layer)이 형성되어 있다. 제2 게이트 메탈층(309)은 드라이빙 TFT(D-TFT)의 상부 게이트(309a) 및 스토리지 커패시터(Cst)의 제4 전극(309b)으로 기능한다.
- [0199] 즉, 드라이빙 TFT(D-TFT) 영역에 형성된 제2 게이트 메탈층(309)은 드라이빙 TFT(D-TFT)의 상부 게이트(309a)가 되고, 스토리지 커패시터(Cst) 영역에 형성된 제2 게이트 메탈층(309)은 스토리지 커패시터(Cst)의 제4 전극(309b)이 된다.
- [0200] 제2 게이트 메탈층(309)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 30nm의 두께로 형성되고, 제2 층은 ITO(indium tin oxide)를 재료로 이용하여 10nm의 두께로 형성될 수 있다.
- [0201] 이렇게, 하나의 제2 게이트 메탈층(309)으로 드라이빙 TFT(D-TFT)의 상부 게이트(309a) 및 스토리지 커패시터(Cst)의 제4 전극(309b)을 형성한다.
- [0202] 하부 게이트, 게이트 절연막, 액티브, 소스/드레인 및 상부 게이트로 드라이빙 TFT(D-TFT)가 구성된다. 그리고, 제1 전극, 게이트 절연막, 제2 전극, 보호막 및 제3 전극으로 스토리지 커패시터(Cst)가 구성된다.
- [0203] 제1 전극과 제2 전극 사이에 제1 커패시터(cap1)가 형성되고, 제2 전극과 제3 전극 사이에 제2 커패시터(cap2)가 형성된다. 그리고, 제3 전극과 제4 전극 사이에 제3 커패시터(cap3)가 형성된다.
- [0204] 제1 커패시터(cap1), 제2 커패시터(cap2) 및 제3 커패시터(cap3)의 정전 용량이 합해져 스토리지 커패시터(Cst)의 정전 용량이 된다.
- [0205] 도면에 도시하지 않았지만, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)를 덮도록 포토아크릴(PAC) 물질로 평탄화층이 2um의 두께로 형성된다. 평탄화층 상부 중에서 개구부에 ITO로 유기 발광 다이오드(OLED)의 애노드 전극이 형성된다. 애노드 전극 상에 유기 발광층이 형성되고, 유기 발광층 상에 캐소드 전극 및 캡핑층이 형성된다.
- [0206] 본 발명의 제3 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀 회로부의 면적을 줄여 픽셀의 개구율을 높이면서 스토리지 커패시터(Cst)의 용량을 증가시키기 위해서, 드라이빙 TFT(D-TFT)의 Cgs와 스토리지 커패시터(Cst)의 한쪽 노드(node)를 동일 메탈로 병합하여 형성하였다.
- [0207] 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(309a)와 스토리지 커패시터(Cst)의 탑 메탈인 제4 전극(309b, 상부 전극)을 공통으로 형성하였다. 이를 통해, 드라이빙 TFT(D-TFT) 및 스토리지 커패시터(Cst)의 형성에 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킬 수 있다.
- [0208] 드라이빙 TFT(D-TFT)의 탑 메탈을 스토리지 커패시터(Cst)의 제3 전극으로 공유함으로써, 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다. 또한, 라이트 쉴드(302)를 스토리지 커패시터의 제1 전극(최하부 전극)으로 이용하여 스토리지 커패시터(Cst)의 정전 용량을 증가시킬 수 있다. 이와 같이, 픽셀의 개구율을 증

가시킴으로써 OLED 패널의 수명을 향상시킬 수 있다.

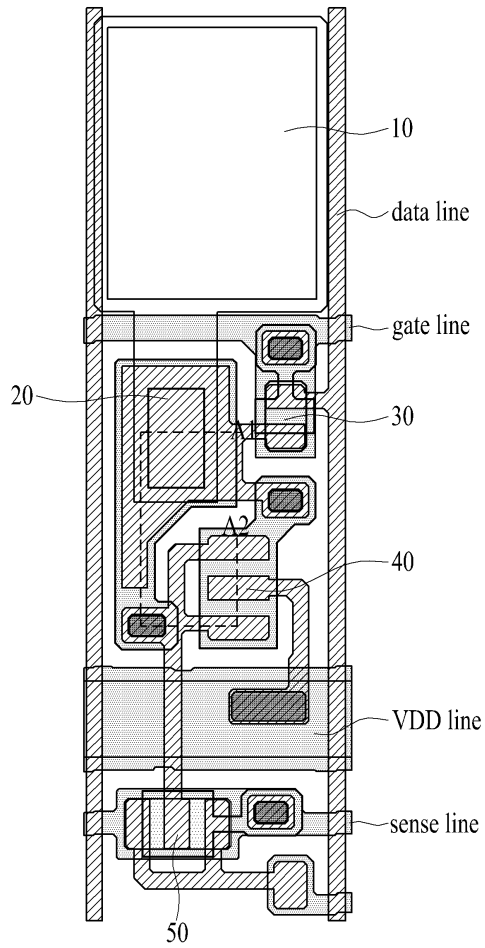
- [0209] 도 9에서는 BCE(Back Channel Etching) 타입의 드라이빙 TFT의 구조를 도시하고 설명하였다. 그러나, 이에 한정되지 않고, BCE 타입뿐만 아니라 ESL(Etch Stop Layer) 타입의 드라이빙 TFT에도 드라이빙 TFT(D-TFT)의 탑 메탈 레이어인 상부 게이트(309a)와 스토리지 커패시터(Cst)의 탑 메탈인 제 전극(309b, 상부 전극)을 공통으로 형성할 수 있다.
- [0210] 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 스토리지 커패시터 용량을 충분히 확보하여, VDD 라인이 픽셀에서 가로 방향으로 형성됨으로 인해 발생하는 크로스 토크를 저감시킬 수 있다.
- [0211] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0212] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

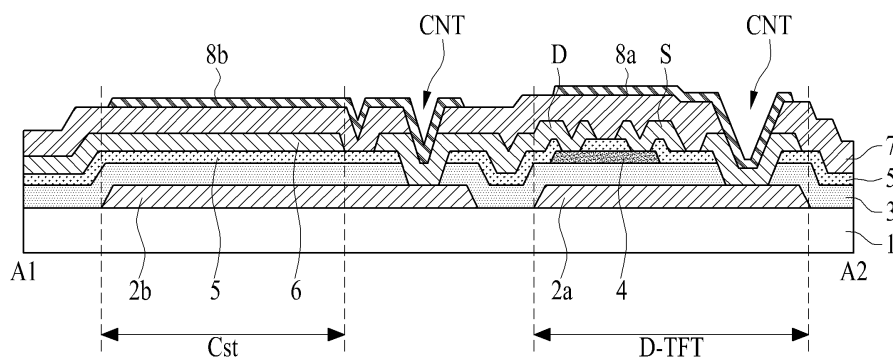
- [0213] 101, 201, 301: 기판 102, 202: 제1 게이트 메탈층
 103, 203: 게이트 절연막 104, 204: 액티브
 105: 소소/드레인 메탈층 106: 보호막
 107: 제2 게이트 메탈층 107a: 상부 게이트
 107b: 제3 전극 110, 210: 개구부
 120, 220: 스토리지 커패시터 130, 330: 드라이빙 TFT
 140, 240: 스캔 TFT 150, 250: 센싱 TFT
 205: 식각 방지층 206: 소소/드레인 메탈층
 207: 보호막 208: 제2 게이트 메탈층
 207a: 상부 게이트 207b: 제3 전극
 209: 평탄화층 302: 라이트 쉼드
 303: 절연층 304: 제1 게이트 메탈층
 305: 게이트 절연층 306: 액티브
 307: 소소/드레인 메탈층 308: 보호층
 309: 제2 게이트 메탈층 309a: 상부 게이트
 309b: 제4 전극

도면

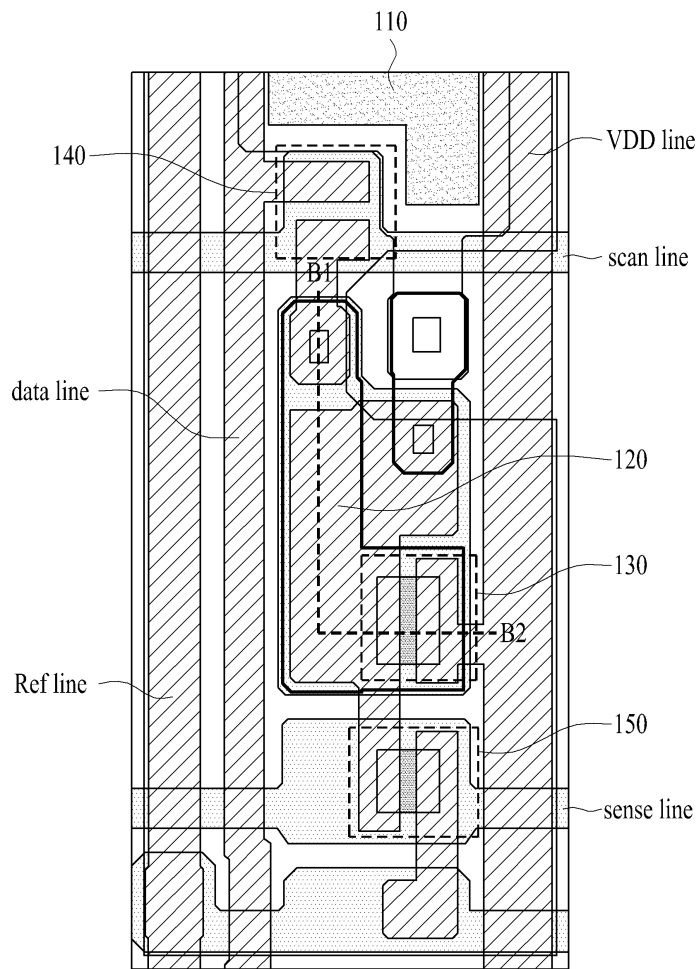
도면1



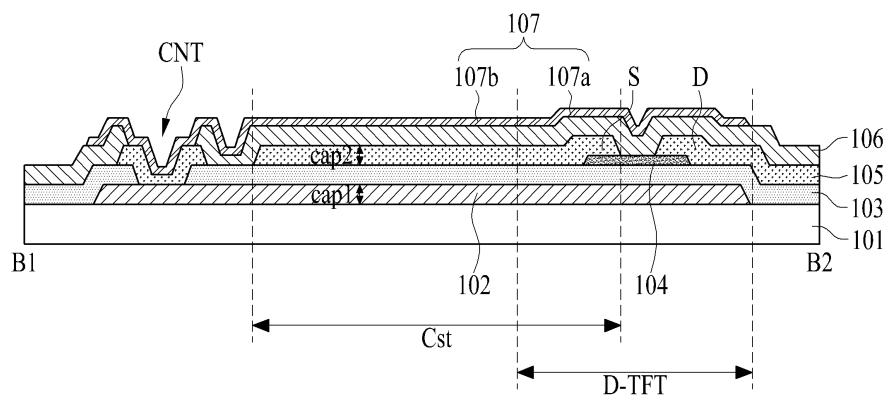
도면2



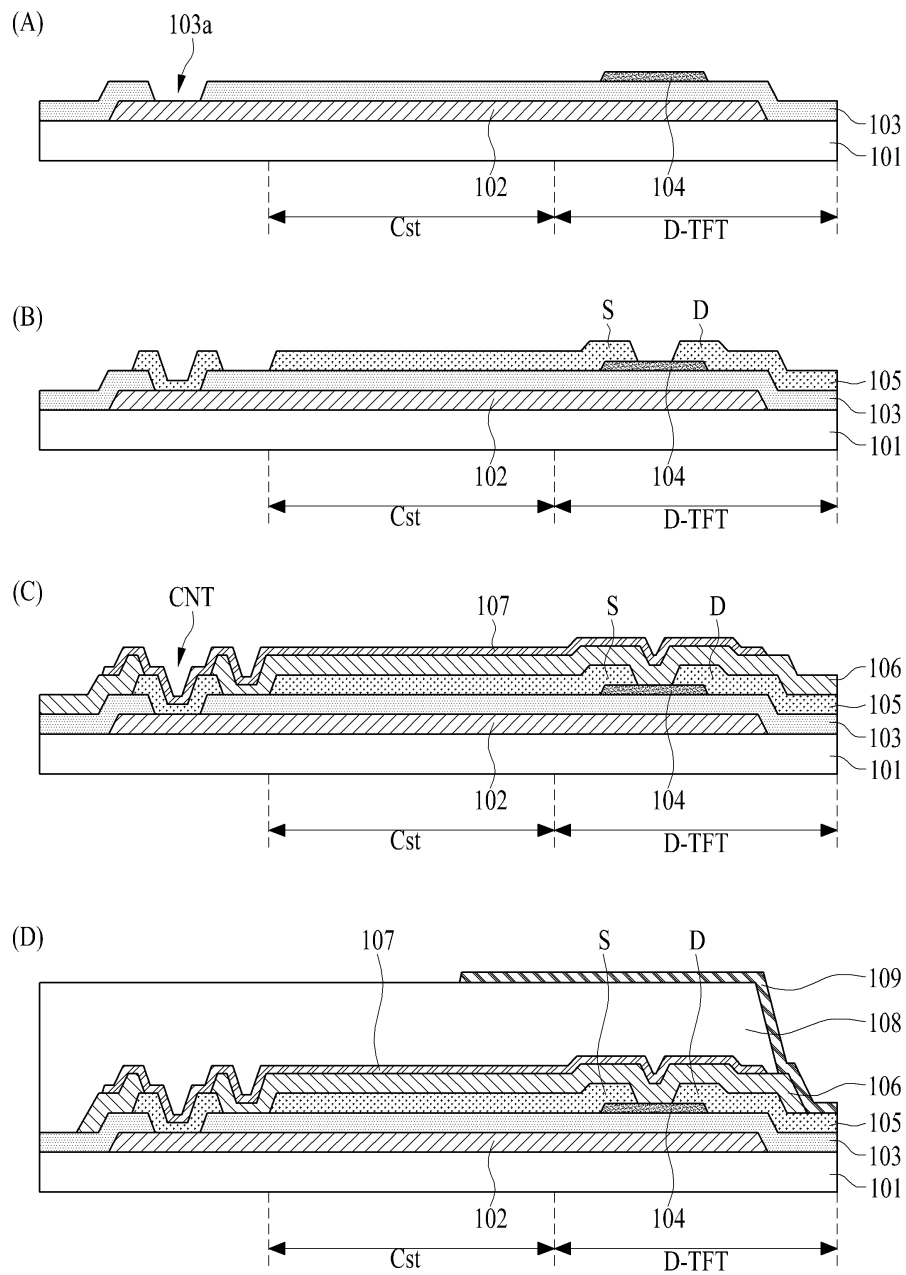
도면3



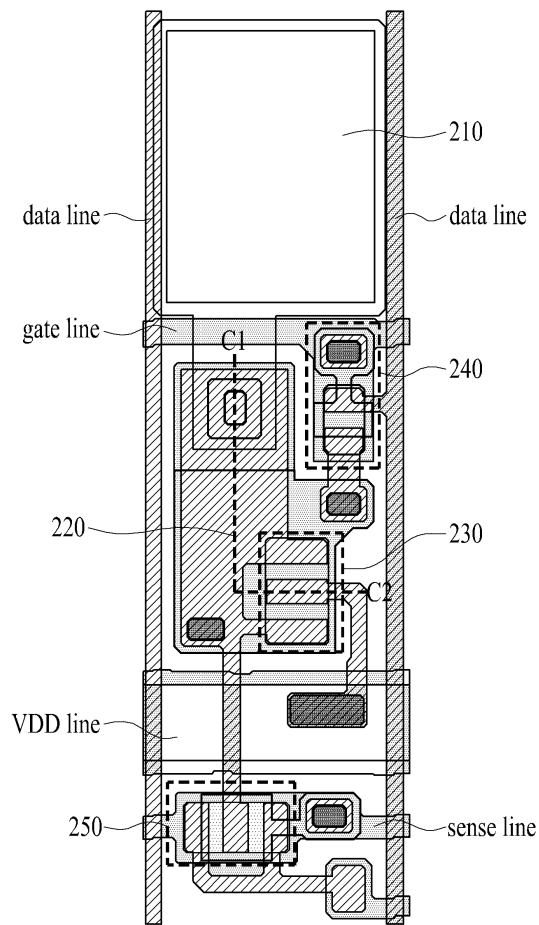
도면4



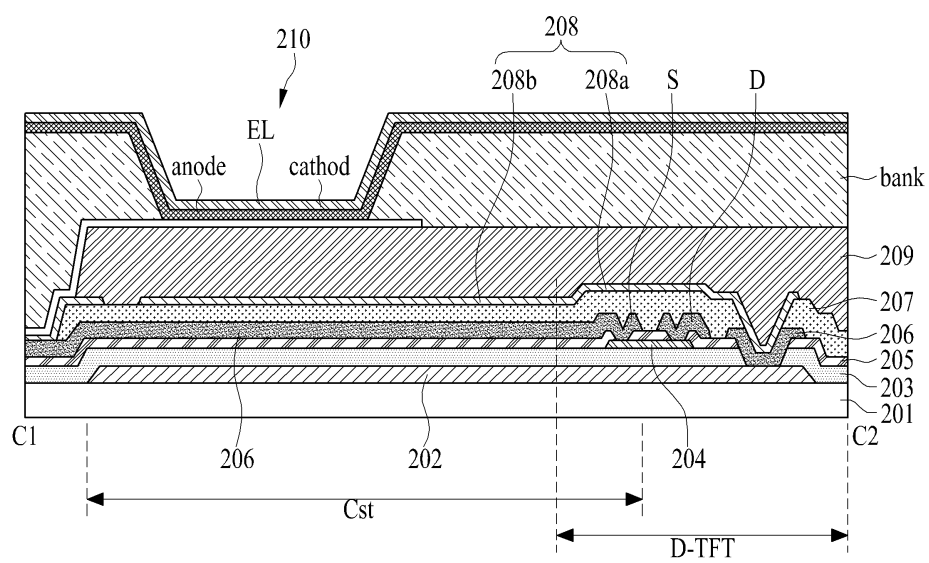
도면5



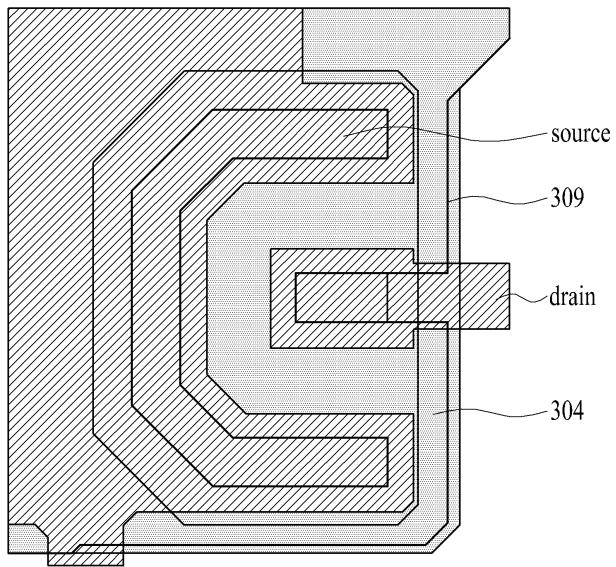
도면6



도면7



도면10



专利名称(译)	标题：OLED显示器设备		
公开(公告)号	KR1020150076391A	公开(公告)日	2015-07-07
申请号	KR1020130164423	申请日	2013-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MINHYUNG KANG 강민형 SAMMIN KO 고삼민 HYUNHAENG LEE 이현행		
发明人	강민형 고삼민 이현행		
IPC分类号	H01L27/32		
CPC分类号	H01L27/124 H01L27/1255 H01L27/3276		
其他公开文献	KR102127237B1		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例,一种有机发光显示装置包括:有机发光二极管,形成在像素的开口上;以及有机发光二极管。以及形成在像素电路上以驱动有机发光二极管的存储电容器和驱动TFT,其中,存储电容器的最上电极和驱动TFT的最上电极由相同的金属制成。

