



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0016784  
(43) 공개일자 2015년02월13일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 51/56 (2006.01)  
(21) 출원번호 10-2013-0092659  
(22) 출원일자 2013년08월05일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
김양완  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(74) 대리인  
리앤목특허법인

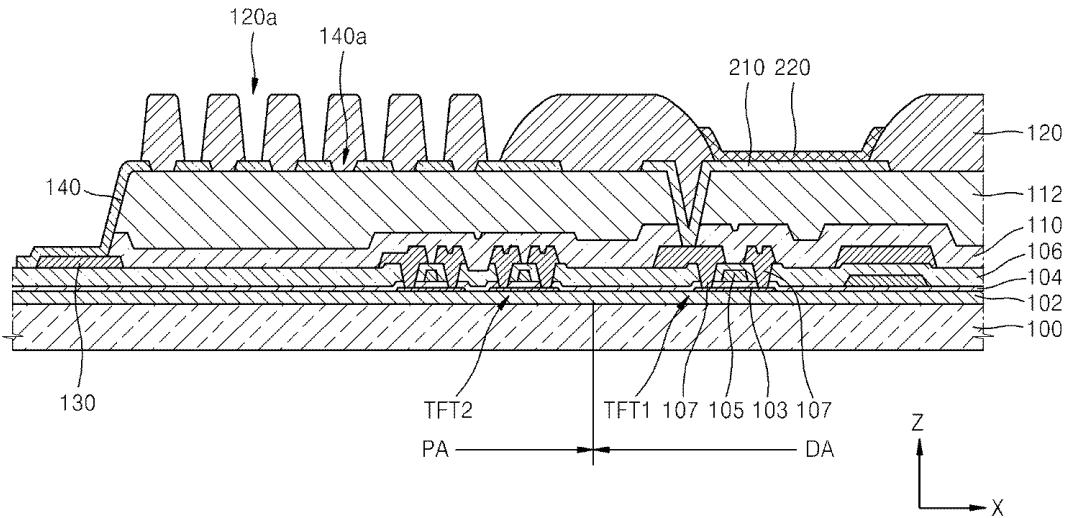
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기발광 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 아웃게성이 가능하면서도 유기발광 디스플레이 패널의 정전기로 인한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법을 위하여, 디스플레이영역과 디스플레이영역을 감싸는 주변영역을 갖는 기판, 상기 기판의 디스플레이영역에 배치되는 복수개의 제1박막트랜지스터들과, 상기 기판의 주변영역에 배치되는 복수개의 제2박막트랜지스터들 및 상기 제2박막트랜지스터들 상부에서 상기 기판의 가장자리 쪽으로 연장되어 위치하며, 상기 제2박막트랜지스터들과 중첩되지 않는 부분에 복수개의 관통홀들을 갖는 쉴드(shield)층을 구비하는, 유기발광 디스플레이 장치를 제공한다.

대표도



## 특허청구의 범위

### 청구항 1

디스플레이영역과 디스플레이영역을 감싸는 주변영역을 갖는 기관;

상기 기관의 디스플레이영역에 배치되는 복수개의 제1박막트랜지스터들과, 상기 기관의 주변영역에 배치되는 복수개의 제2박막트랜지스터들; 및

상기 제2박막트랜지스터들 상부에서 상기 기관의 가장자리 쪽으로 연장되어 위치하며, 상기 제2박막트랜지스터들과 중첩되지 않는 부분에 복수개의 관통홀들을 갖는 쉴드(shield)층;

을 구비하는, 유기발광 디스플레이 장치.

### 청구항 2

제1항에 있어서,

상기 복수개의 제1박막트랜지스터들 상에 배치되는 복수개의 화소전극들을 더 구비하고, 상기 쉴드층은 상기 복수개의 화소전극들과 동일한 층에 배치되는, 유기발광 디스플레이 장치.

### 청구항 3

제2항에 있어서,

상기 쉴드층은 상기 화소전극과 동일한 물질을 포함하는, 유기발광 디스플레이 장치.

### 청구항 4

제1항에 있어서,

상기 복수개의 제1박막트랜지스터들과 전기적으로 연결되는 복수개의 화소전극들과, 상기 복수개의 화소전극들에 대응하는 대향전극과, 상기 복수개의 화소전극들과 상기 대향전극 사이에 개재되며 발광층을 포함한 중간층을 포함하는 복수개의 발광소자들; 및

상기 기관의 주변영역에 위치하는 전극전원공급라인; 을 더 구비하며,

상기 쉴드층의 일측은 상기 대향전극과 접촉하고 상기 쉴드층의 타측은 상기 전극전원공급라인에 접촉하는, 유기발광 디스플레이 장치.

### 청구항 5

제4항에 있어서,

상기 복수개의 제1박막트랜지스터들 및 상기 복수개의 제2박막트랜지스터들과 상기 화소전극 사이에 제2절연막이 더 개재되고,

상기 제2절연막은 상기 전극전원공급라인이 노출되도록 배치되며, 상기 쉴드층의 일측은 상기 제2절연막 상에 배치되는, 유기발광 디스플레이 장치.

### 청구항 6

제5항에 있어서,

상기 쉴드층의 복수개의 관통홀들은 상기 제2절연막 상에 위치하는, 유기발광 디스플레이 장치.

### 청구항 7

제4항에 있어서,

상기 복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들의 가장자리를 덮으며, 상기 쉴드층의 상기 제2절연막 상의 부분의 적어도 일부를 덮는 제3절연막;을 더 구비하며,

상기 제3절연막은, 상기 쉴드층의 상기 제2절연막 상에 위치한 부분의 복수개의 영역들을 노출시키는 복수개의 개구부들을 갖는, 유기발광 디스플레이 장치.

**청구항 8**

제7항에 있어서,

상기 대향전극은, 상기 제3절연막의 복수개의 개구부들을 통해 상기 쉴드층의 복수개의 영역들과 접촉하는, 유기발광 디스플레이 장치.

**청구항 9**

디스플레이영역과 디스플레이영역을 감싸는 주변영역을 갖는 기판을 준비하는 단계;

기판의 디스플레이영역에 복수개의 제1박막트랜지스터들과, 기판의 주변영역에 복수개의 제2박막트랜지스터들을 형성하는 단계; 및

제2박막트랜지스터들 상부에서 기판의 가장자리 쪽으로 연장되어 형성되며, 제2박막트랜지스터들과 중첩되지 않는 부분에 복수개의 관통홀을 갖도록 쉴드층을 형성하는 단계;

를 포함하는, 유기발광 디스플레이 장치의 제조방법.

**청구항 10**

제9항에 있어서,

상기 쉴드층을 형성하는 단계는, 복수개의 제1박막트랜지스터들에 전기적으로 연결되도록 복수개의 화소전극들과, 쉴드층을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**청구항 11**

제9항에 있어서,

상기 복수개의 제1박막트랜지스터들과, 복수개의 제2박막트랜지스터들을 형성하는 단계는, 복수개의 제1박막트랜지스터들과 복수개의 제2박막트랜지스터들과, 복수개의 제1박막트랜지스터들과 복수개의 제2박막트랜지스터들이 포함하는 전극들 중 어느 하나와 동일층에 전극전원공급라인을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**청구항 12**

제11항에 있어서,

상기 쉴드층을 형성하는 단계는, 쉴드층의 일측은 대향전극과 접촉하고 쉴드층의 타측은 상기 전극전원공급라인에 접촉하도록 쉴드층을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**청구항 13**

제11항에 있어서,

상기 복수개의 제1박막트랜지스터들 및 복수개의 제2박막트랜지스터들을 형성하는 단계와 상기 복수개의 화소전극들을 형성하는 단계 사이에, 복수개의 제1박막트랜지스터들 및 복수개의 제2박막트랜지스터들을 덮는 제2절연막을 형성하는 단계를 더 포함하고,

상기 쉴드층을 형성하는 단계는, 쉴드층의 일측은 제2절연막 상에 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**청구항 14**

제13항에 있어서,

상기 쉴드층을 형성하는 단계는, 제2절연막 상에 형성된 쉴드층의 일측이 복수개의 관통홀들을 갖도록 쉴드층을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**청구항 15**

제11항에 있어서,

상기 복수개의 화소전극들을 형성하는 단계와 상기 중간층을 형성하는 단계사이에, 복수개의 화소전극들 상에 복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들의 가장자리를 덮는 제3절연막을 형성하는 단계;

를 더 포함하는, 유기발광 디스플레이 장치의 제조방법.

**청구항 16**

제15항에 있어서,

상기 중간층을 형성하는 단계 후에, 복수개의 화소전극들과 대응되도록 대향전극을 형성하는 단계;를 더 포함하고,

상기 대향전극을 형성하는 단계는, 쉴드층의 복수개의 영역 중에 제3절연막에 의해 노출된 부분과 컨택하도록 대향전극을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 아웃개싱(Out-gassing)이 가능하면서도 유기발광 디스플레이 패널의 정전기로 인한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 디스플레이 장치들 중, 유기발광 디스플레이 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 차세대 디스플레이 장치로서 주목을 받고 있다.

[0003] 일반적으로 유기발광 디스플레이 장치는 기관 상에 박막트랜지스터를 포함한 유기발광소자들을 포함하고, 유기발광소자들이 형성된 영역은 유기발광 디스플레이 장치의 디스플레이부가 된다. 이러한 디스플레이부 주변에는 박막트랜지스터를 포함한 구동부가 형성된다. 이때 유기발광 디스플레이 장치의 구동부에 정전기가 발생할 수 있기 때문에, 이를 방지하기 위해 구동부 상부에 쉴드층을 배치시킨다.

**발명의 내용**

**해결하려는 과제**

[0004] 그러나 이러한 종래의 유기발광 디스플레이 장치에는, 쉴드층의 존재로 인해 그 하부의 층들에서 발생하는 가스가 외부로 방출되지 못한다는 문제점이 있었다.

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 아웃개싱이 가능하면서도 유기발광 디스플레이 패널의 정전기로 인한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

**과제의 해결 수단**

[0006] 본 발명의 일 관점에 따르면, 디스플레이영역과 디스플레이영역을 감싸는 주변영역을 갖는 기관, 상기 기관의 디스플레이영역에 배치되는 복수개의 제1박막트랜지스터들과, 상기 기관의 주변영역에 배치되는 복수개의 제2박막트랜지스터들 및 상기 제2박막트랜지스터들 상부에서 상기 기관의 가장자리 쪽으로 연장되어 위치하며, 상기 제2박막트랜지스터들과 중첩되지 않는 부분에 복수개의 관통홀들을 갖는 쉴드(shield)층을 구비하는, 유기발광 디스플레이 장치가 제공된다.

- [0007] 상기 복수개의 제1박막트랜지스터들 상에 배치되는 복수개의 화소전극들을 더 구비하고, 상기 쉘드층은 상기 복수개의 화소전극들과 동일한 층에 배치될 수 있다.
- [0008] 상기 쉘드층은 상기 화소전극과 동일한 물질을 포함할 수 있다.
- [0009] 상기 복수개의 제1박막트랜지스터들과 전기적으로 연결되는 복수개의 화소전극들과, 상기 복수개의 화소전극들에 대응하는 대향전극과, 상기 복수개의 화소전극들과 상기 대향전극 사이에 개재되며 발광층을 포함한 중간층을 포함하는 복수개의 발광소자들 및 상기 기관의 주변영역에 위치하는 전극전원공급라인을 더 구비하며, 상기 쉘드층의 일측은 상기 대향전극과 콘택하고 상기 쉘드층의 타측은 상기 전극전원공급라인에 콘택할 수 있다.
- [0010] 상기 복수개의 제1박막트랜지스터들 및 상기 복수개의 제2박막트랜지스터들 과 상기 화소전극 사이에 제2절연막이 더 개재되고, 상기 제2절연막은 상기 전극전원공급라인이 노출되도록 배치되며, 상기 쉘드층의 일측은 상기 제2절연막 상에 배치될 수 있다.
- [0011] 상기 쉘드층의 복수개의 관통홀들은 상기 제2절연막 상에 위치할 수 있다.
- [0012] 상기 복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들의 가장자리를 덮으며, 상기 쉘드층의 상기 제2절연막 상의 부분의 적어도 일부를 덮는 제3절연막을 더 구비하며, 상기 제3절연막은, 상기 쉘드층의 상기 제2절연막 상에 위치한 부분의 복수개의 영역들을 노출시키는 복수개의 개구부들을 가질 수 있다.
- [0013] 상기 대향전극은, 상기 제3절연막의 복수개의 개구부들을 통해 상기 쉘드층의 복수개의 영역들과 콘택할 수 있다.
- [0014] 본 발명의 다른 관점에 따르면, 디스플레이영역과 디스플레이영역을 감싸는 주변영역을 갖는 기관을 준비하는 단계, 기관의 디스플레이영역에 복수개의 제1박막트랜지스터들과, 기관의 주변영역에 복수개의 제2박막트랜지스터들을 형성하는 단계 및 제2박막트랜지스터들 상부에서 기관의 가장자리 쪽으로 연장되어 형성되며, 제2박막트랜지스터들과 중첩되지 않는 부분에 복수개의 관통홀을 갖도록 쉘드층을 형성하는 단계를 포함할 수 있다.
- [0015] 상기 쉘드층을 형성하는 단계는, 복수개의 제1박막트랜지스터들에 전기적으로 연결되도록 복수개의 화소전극들과, 쉘드층을 형성하는 단계일 수 있다.
- [0016] 상기 복수개의 제1박막트랜지스터들과, 복수개의 제2박막트랜지스터들을 형성하는 단계는, 복수개의 제1박막트랜지스터들과 복수개의 제2박막트랜지스터들과, 복수개의 제1박막트랜지스터들과 복수개의 제2박막트랜지스터들이 포함하는 전극들 중 어느 하나와 동일층에 전극전원공급라인을 형성하는 단계일 수 있다.
- [0017] 상기 쉘드층을 형성하는 단계는, 쉘드층의 일측은 대향전극과 콘택하고 쉘드층의 타측은 상기 전극전원공급라인에 콘택하도록 쉘드층을 형성하는 단계일 수 있다.
- [0018] 상기 복수개의 제1박막트랜지스터들 및 복수개의 제2박막트랜지스터들을 형성하는 단계와 상기 복수개의 화소전극들을 형성하는 단계 사이에, 복수개의 제1박막트랜지스터들 및 복수개의 제2박막트랜지스터들을 덮는 제2절연막을 형성하는 단계를 더 포함하고, 상기 쉘드층을 형성하는 단계는, 쉘드층의 일측은 제2절연막 상에 형성하는 단계일 수 있다.
- [0019] 상기 쉘드층을 형성하는 단계는, 제2절연막 상에 형성된 쉘드층의 일측이 복수개의 관통홀들을 갖도록 쉘드층을 형성하는 단계일 수 있다.
- [0020] 상기 복수개의 화소전극들을 형성하는 단계와 상기 중간층을 형성하는 단계사이에, 복수개의 화소전극들 상에 복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들의 가장자리를 덮는 제3절연막을 형성하는 단계를 더 포함할 수 있다.
- [0021] 상기 중간층을 형성하는 단계 후에, 복수개의 화소전극들과 대응되도록 대향전극을 형성하는 단계를 더 포함하고, 상기 대향전극을 형성하는 단계는, 쉘드층의 복수개의 영역 중에 제3절연막에 의해 노출된 부분과 콘택하도록 대향전극을 형성하는 단계일 수 있다.

**발명의 효과**

- [0022] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 아웃개성이 가능하면서도 유기발광 디스플레이 패널의 정전기로 인한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- 도 2 내지 도 4는 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치 제조방법의 공정들을 개략적으로 도시하는 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0025] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0026] 한편, 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다.
- [0027] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다. 도 1에 도시된 것과 같이, 본 실시예에 따른 유기발광 디스플레이 장치는 기판(100)과, 기판(100) 상에 배치된 복수개의 1박막트랜지스터(TFT1)들 및 복수개의 제2박막트랜지스터(TFT2)과, 복수개의 제2박막트랜지스터(TFT2)들 상부에 배치된 관통홀(140a)을 갖는 쉴드층(140)을 구비한다.
- [0028] 기판(100)은 디스플레이영역(DA)과 이 디스플레이영역(DA)을 감싸는 주변영역(PA)을 갖는다. 기판(100)은 글라스재, 금속재 또는 플라스틱재 등과 같은 다양한 재료로 형성된 것일 수 있다. 디스플레이영역(DA)은 유기발광소자(200)들이 배치되는 영역이고, 디스플레이영역(DA)을 감싸는 주변영역(PA)은 디스플레이가 이루어지지 않는 데드 스페이스(dead space)로서, 디스플레이영역(DA)에 전기적 신호를 인가하는 구동부 등은 이러한 주변영역(PA)에 위치할 수 있다.
- [0029] 기판(100)의 디스플레이영역(DA)에는 복수개의 제1박막트랜지스터(TFT1)들이 배치되는데, 복수개의 제1박막트랜지스터(TFT1)들 외에 복수개의 제1박막트랜지스터(TFT1)들에 전기적으로 연결되는 유기발광소자(200)들도 배치될 수 있다. 즉, 기판(100)의 디스플레이영역(DA)에 복수개의 유기발광소자(200)들이 배치된다. 유기발광소자(200)들이 복수개의 박막트랜지스터들에 전기적으로 연결된다는 것은, 복수개의 화소전극(210)들이 복수개의 제1박막트랜지스터(TFT1)들에 전기적으로 연결되는 것으로 이해될 수 있다. 물론 디스플레이영역(DA)을 감싸는 주변영역(PA)에도 제2박막트랜지스터(TFT2)가 배치될 수 있다. 이러한 제2박막트랜지스터(TFT2)들은 예컨대 디스플레이영역(DA) 내에 인가되는 전기적 신호를 제어하기 위한 구동부의 일부일 수 있다.
- [0030] 이러한 제1박막트랜지스터(TFT1)나 제2박막트랜지스터(TFT2)는 비정질실리콘, 다결정실리콘 또는 유기반도체물질을 포함하는 반도체층(103), 게이트전극(105) 및 소스/드레인전극(107)을 포함한다. 기판(100) 상에는 기판(100)의 면을 평탄화하기 위해 또는 반도체층(103)으로 불순물 등이 침투하는 것을 방지하기 위해, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성된 버퍼층(102)이 배치되고, 이 버퍼층(102) 상에 반도체층(103)이 위치하도록 할 수 있다.
- [0031] 반도체층(103)의 상부에는 게이트전극(105)이 배치되는데, 이 게이트전극(105)에 인가되는 신호에 따라 소스/드레인전극(107)이 전기적으로 소통된다. 게이트전극(105)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 이때 반도체층(103)과 게이트전극(105)과의 절연성을 확보하기 위하여, 실리콘옥사이드 및/또는 실리콘나이트라이드 등으로 형성되는 게이트절연막(104)이 반도체층(103)과 게이트전극(105) 사이에 개재될 수 있다.
- [0032] 게이트전극(105)의 상부에는 층간절연막(106)이 배치될 수 있는데, 이는 실리콘옥사이드 또는 실리콘나이트라이드

드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.

- [0033] 층간절연막(106)의 상부에는 소스/드레인전극(107)이 배치된다. 소스/드레인전극(107)은 층간절연막(106)과 게이트절연막(104)에 형성되는 콘택홀을 통하여 반도체층(103)에 각각 전기적으로 연결된다. 소스/드레인전극(107)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0034] 이러한 구조의 제1박막트랜지스터(TFT1) 및/또는 제2박막트랜지스터(TFT2) 등의 보호를 위해 제1박막트랜지스터(TFT1) 및/또는 제2박막트랜지스터(TFT2)를 덮는 보호막인 제1절연막(110)이 배치될 수 있다. 제1절연막(110)은 예컨대 실리콘옥사이드, 실리콘ไน트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있다. 도 1에는 제1절연막(110)이 단층으로 도시되어 있으나 다층구조를 가질 수도 있는 등 다양한 변형이 가능하다.
- [0035] 제1절연막(110) 상에는 필요에 따라 제2절연막(112)이 배치될 수 있다. 이 경우 제2절연막(112)은 평탄화막일 수도 있고 보호막일 수도 있다. 예컨대 도시된 것과 같이 제1박막트랜지스터(TFT1) 상부에 유기발광소자(200)가 배치될 경우 제1박막트랜지스터(TFT1)를 덮는 제1절연막(110)의 상면을 대체로 평탄화하기 위한 평탄화막으로서 제2절연막(112)이 배치될 수 있다. 이러한 제2절연막(112)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다. 도 1에서는 제2절연막(112)이 단층으로 도시되어 있으나, 다층일 수도 있는 등 다양한 변형이 가능하다.
- [0036] 기관(100)의 디스플레이영역(DA) 내에 있어서, 제2절연막(112) 상에는, 화소전극(210), 대향전극(230) 및 그 사이에 개재되며 발광층을 포함하는 중간층(220)을 갖는 유기발광소자(200)가 배치된다.
- [0037] 제1절연막(110)과 제2절연막(112)에는 제1박막트랜지스터(TFT1)의 소스/드레인전극(107) 중 적어도 어느 하나를 노출시키는 개구부가 존재하며, 이 개구부를 통해 소스/드레인전극(107) 중 어느 하나와 콘택하여 제1박막트랜지스터(TFT1)와 전기적으로 연결되는 화소전극(210)이 제2절연막(112) 상에 배치된다. 화소전극(210)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In<sub>2</sub>O<sub>3</sub>, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In<sub>2</sub>O<sub>3</sub>, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.
- [0038] 제2절연막(112) 상부에는 제3절연막(120)이 배치될 수 있다. 이 제3절연막(120)은 화소정의막으로서, 각 부화소들에 대응하는 개구들, 즉 복수개의 화소전극(210)들의 가장자리를 덮으며 각각의 적어도 중앙부가 노출되도록 하는 개구들을 가짐으로써 화소를 정의하는 역할을 한다. 또한, 도 1에 도시된 바와 같이, 제3절연막(120)은 화소전극(210)의 단부와 화소전극(210) 상부의 대향전극(230)과의 사이의 거리를 증가시킴으로써 화소전극(210)의 단부에서 아크 등이 발생하는 것을 방지하는 역할을 한다. 이와 같은 제3절연막(120)은 예컨대 폴리이미드 등과 같은 유기물로 형성될 수 있다.
- [0039] 상술한 것처럼 화소정의막으로 이해될 수 있는 제3절연막(120)은 화소영역을 정의하며 기관의 디스플레이영역(DA)에 배치될 수 있다. 이때 도면에 도시된 것과 같이 제3절연막(120)은 기관의 디스플레이영역(DA)을 감싸는 주변영역(PA)까지 확장해서 배치될 수 있다. 이에 대해서는 자세히 후술하기로 한다.
- [0040] 유기발광소자(200)의 중간층(220)은 저분자 또는 고분자 물질을 포함할 수 있다. 저분자 물질을 포함할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 물질이 사용될 수 있다. 이러한 층들은 진공증착 등의 방법으로 형성될 수 있다.
- [0041] 중간층(220)이 고분자 물질을 포함할 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)을 포함하는 구조를 가질 수 있다. 이 때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법, 레이저열전사방법(LITI; Laser induced thermal imaging) 등으로 형성할 수 있다. 물론 중간층(220)은 반드시 이에 한정되는 것은 아니

고, 다양한 구조를 가질 수도 있음은 물론이다.

- [0042] 대향전극(230)은 디스플레이영역(DA)과 디스플레이영역(DA)을 감싸는 주변영역(PA) 상부 전면(全面)에 걸쳐 배치되는데, 도 5에 도시된 것과 같이 디스플레이영역(DA)과 디스플레이영역(DA)을 감싸는 주변영역(PA)을 덮도록 배치될 수 있다. 즉, 대향전극(230)은 복수개의 유기발광소자(200)들에 있어서 일체(一體)로 형성되어 복수개의 화소전극(210)들에 대응할 수 있다.
- [0043] 대향전극(230)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. 대향전극(230)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub> 등의 (반)투명 도전층을 가질 수 있다. 대향전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 대향전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.
- [0044] 한편 도 1에 도시된 것과 같이, 층간절연막(106) 상에는 전극전원공급라인(130)이 배치될 수 있다. 전극전원공급라인(130)은 기관(100)의 디스플레이영역(DA)을 감싸는 주변영역(PA)에 위치하며, 복수개의 박막트랜지스터들(TFT1, TFT2)이 포함하는 전극들 중 어느 하나와 동일층에 위치할 수 있다. 예컨대 전극전원공급라인(130)은 복수개의 박막트랜지스터들(TFT1, TFT2)이 포함하는 전극들 중 소스/드레인전극(107)과 동일층에 위치할 수 있다. 이 경우 전극전원공급라인(130)은 제조과정에서 소스/드레인전극(107)과 동일물질로 동시에 형성될 수 있다.
- [0045] 셸드층(140)은 디스플레이영역(DA)을 감싸는 주변영역(PA)에 위치하며, 셸드층(140)의 일측(140b)은 제2절연막(112) 상에 배치될 수 있다. 이러한 셸드층(140)은 구동부를 정전기로부터 보호하는 역할을 할 수 있다.
- [0046] 전술한 바와 같이, 복수개의 박막트랜지스터들(TFT1, TFT2)과 화소전극(210) 사이에 제1절연막(110) 및 제2절연막(112)이 더 개재될 수 있고, 제1절연막(110) 및 제2절연막(112)은 전극전원공급라인(130)의 적어도 가장자리 중 일부를 덮도록 배치될 수 있다. 이때 셸드층(140)의 일측(140b, 도 3 참조)은 제2절연막(112) 상에 배치될 수 있다. 제2절연막(112) 상에 배치된 셸드층(140)의 일측(140b)에는 복수개의 관통홀(140a)이 위치할 수 있다.
- [0047] 이러한 복수개의 관통홀(140a)들이 존재함으로써, 셸드층(140)과 같은 애노드셸드 구조를 적용할 경우 화소전극(210) 하부의 유기층에서 아웃개싱(out-gassing)이 가능해 질 수 있다. 다만 이 경우 복수개의 관통홀(140a)들 중 일부가 제2박막트랜지스터(TFT2)들 상부에 위치하게 될 경우 구동부를 정전기로부터 용이하게 보호하지 못하는 문제가 발생하게 된다.
- [0048] 따라서 본 발명의 일 실시예에서는 셸드층(140)은 제2박막트랜지스터(TFT2)들 상부에서 기관(100)의 가장자리 쪽(-x 방향)으로 연장되어 위치하며, 제2박막트랜지스터(TFT2)들과 중첩되지 않는 부분에 복수개의 관통홀(140a)들을 갖도록 한다. 이에 따라 셸드층(140)의 복수개의 관통홀(140a)들은 제2박막트랜지스터(TFT2)들 상부에는 존재하지 않게 된다. 이러한 구조를 통해 유기막의 아웃개싱이 가능하면서도 동시에 구동부를 정전기로부터 획기적으로 보호할 수 있다.
- [0049] 이때 제1박막트랜지스터(TFT1)들 상에는 복수개의 화소전극(210)들이 배치되어 있는데, 셸드층(140)은 화소전극(210)들과 동일한 층에 배치될 수 있다. 이는 셸드층(140)이 화소전극(210)들을 형성하는 과정에서 동시에 형성되는 것으로 이해될 수 있으며 따라서 셸드층(140)은 화소전극(210)들과 동일한 물질을 포함하는 것으로 이해될 수 있다.
- [0050] 한편 셸드층(140)은 전술한 바와 같이 제2박막트랜지스터(TFT2)들 상부에서 기관의 가장자리 쪽(-x 방향)으로 연장되어 위치하게 되는데, 셸드층(140)의 일측(140b)은 대향전극(230)과 컨택하고 셸드층(140)의 타측(140c, 도 3 참조)은 전극전원공급라인(130)에 컨택할 수 있다. 이때 셸드층(140)의 일측(140b) 중 대향전극(230)과 컨택하는부분은 제3절연막(120)에 의해 노출된 부분일 수 있다. 디스플레이영역(DA)을 감싸는 주변영역(PA) 상에 배치된 제3절연막(120)은 셸드층(140)의 관통홀(140a) 상에 배치될 수 있으며, 셸드층(140)의 복수개의 영역의 가장자리를 덮으며 중앙부를 노출시키는 복수개의 개구부(120a)들을 갖는다. 즉, 대향전극(230)은 셸드층(140)의 복수개의 관통홀(140a)들 상에 배치된 제3절연막(120)이 갖는 복수개의 개구부(120a)들을 통해 셸드층(140)의 복수개의 영역들과 컨택할 수 있게 된다.
- [0051] 이와 같이 유기발광 디스플레이 장치에 있어서 정전기로부터 구동부를 보호하기 위해 애노드셸드 구조인 셸드층(140)을 구비하는 경우, 하부 유기막의 아웃개싱 불량을 방지하기 위해 관통홀(140a)을 갖게 된다. 이 경우 제2박막트랜지스터(TFT2)들 상부에 관통홀(140a)이 존재하게 되면 정전기로부터 구동부 보호가 취약해지는 문제점이 발생하게 된다. 따라서 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치에서는 제2박막트랜지스터

(TFT2)들 상부에 관통홀(140a)을 배치하지 않으므로써 구동부를 정전기로부터 획기적으로 보호할 수 있다.

- [0052] 지금까지는 유기발광 디스플레이 장치에 대해서만 주로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이러한 유기발광 디스플레이 장치를 이용한 유기발광 디스플레이 장치 제조방법 역시 본 발명의 범위에 속한다고 할 것이다.
- [0053] 도 2 내지 도 4는 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치의 제조방법을 개략적으로 도시한 단면도이다.
- [0054] 도 2를 참조하면, 디스플레이영역(DA)과 디스플레이영역(DA)을 감싸는 주변영역(PA)을 갖는 기관(100)을 준비하는 단계를 거쳐, 디스플레이영역(DA)에 복수개의 제1제1박막트랜지스터(TFT1)들과, 디스플레이영역(DA)을 감싸는 주변영역(PA)에 복수개의 제2박막트랜지스터(TFT2)들을 형성하는 단계를 거칠 수 있다.
- [0055] 이때 복수개의 박막트랜지스터들(TFT1, TFT2)을 형성하는 단계는, 자세하기는 먼저 기관(100) 상에 버퍼층(102)을 형성한 후 버퍼층(102) 상에 반도체층(103)을 패터닝하는 단계를 거칠 수 있다. 반도체층(103)을 패터닝한 후 반도체층(103) 상에 게이트절연막(104)을 적층하고 게이트절연막(104) 상에 게이트전극(105)을 패터닝하는 단계를 거칠 수 있다. 게이트절연막(104) 상에 반도체층(103)과 전기적으로 연결되는 소스/드레인전극(107)을 패터닝 할 수 있다.
- [0056] 한편, 복수개의 박막트랜지스터들(TFT1, TFT2)을 형성할 때, 복수개의 박막트랜지스터들(TFT1, TFT2)과 복수개의 박막트랜지스터들(TFT1, TFT2)이 포함하는 전극들 중 어느 하나와 동일층에 전극전원공급라인(130)을 동시에 형성할 수 있다. 도면에 도시된 것과 같이 전극전원공급라인(130)이 복수개의 박막트랜지스터들(TFT1, TFT2)의 소스/드레인전극(107)과 동일한 층에 동시에 형성될 수 있다. 다만 반드시 이에 한정되는 것은 아니다.
- [0057] 그 후 도 3을 참조하면, 복수개의 박막트랜지스터들(TFT1, TFT2) 상에 제1절연막(110) 및 제2절연막(112)을 적층하는 단계를 거칠 수 있다. 제1절연막(110)은 복수개의 박막트랜지스터들(TFT1, TFT2)을 보호하는 보호막으로 이해될 수 있으며, 제2절연막(112)은 복수개의 박막트랜지스터들(TFT1, TFT2)을 보호하는 보호막 또는 제2절연막(112)의 상면을 대체로 평탄화하기 위한 평탄화막으로서 이해될 수 있다.
- [0058] 그 후 제2절연막(112) 상에는 제1박막트랜지스터(TFT1)의 소스/드레인전극(107) 중 어느하나와 전기적으로 연결되는 복수개의 화소전극(210)들을 형성하는 단계를 거칠 수 있다. 이 경우 복수개의 화소전극(210)들은 디스플레이영역(DA)인 제1박막트랜지스터(TFT1)들 상에 형성될 수 있다.
- [0059] 한편 디스플레이영역(DA) 상에 화소전극(210)들을 형성하는 것과 동시에 디스플레이영역(DA)을 감싸는 주변영역(PA)에 배치된 제2박막트랜지스터(TFT2)들 상부에 쉴드층(140)을 형성할 수 있다. 쉴드층(140)을 형성하는 이유는, 유기발광 디스플레이 장치의 구동부를 정전기로부터 보호하기 위함이다. 이때 쉴드층(140)은 애노드쉴드 구조로 이해될 수 있다. 이 경우 쉴드층(140)은 제2박막트랜지스터(TFT2)들 상부에서 기관(100)의 가장자리 쪽으로 연장되어 형성될 수 있으며, 쉴드층(140)의 일측(140b)은 대향전극(230)과 접촉하고 쉴드층(140)의 타측(140c)은 전극전원공급라인(130)에 접촉하도록 형성할 수 있다.
- [0060] 즉, 쉴드층(140)의 일측(140b)은 제2절연막(112) 상에 형성될 수 있는데 제2절연막(112) 상에 형성된 쉴드층(140)의 일측(140b)은 복수개의 관통홀(140a)을 갖도록 형성된다. 이러한 복수개의 관통홀(140a)들이 존재함으로써, 쉴드층(140)과 같은 애노드쉴드 구조를 적용할 경우 화소전극(210) 하부의 유기층에서 아웃가싱(out-gassing)이 가능해 질 수 있다. 다만 이 경우 복수개의 관통홀(140a)들 중 일부가 제2박막트랜지스터(TFT2)들 상부에 위치하게 될 경우 구동부를 정전기로부터 용이하게 보호하지 못하는 문제가 발생하게 된다.
- [0061] 따라서 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치의 제조방법에서는 복수개의 관통홀(140a)들은 제2박막트랜지스터(TFT2)들 상부에는 형성하지 않는다. 이러한 구조를 통해 유기막의 아웃가싱이 가능하면서도 동시에 구동부를 정전기로부터 획기적으로 보호할 수 있다.
- [0062] 한편 도 4에 도시된 것과 같이, 제2절연막(112) 상에 화소전극(210)들과 쉴드층(140)을 형성하고 난 후, 화소전극(210)과 쉴드층(140) 상에 제3절연막(120)을 형성할 수 있다. 화소전극(210) 상에 형성된 제3절연막(120)은 화소정의막의 역할을 한다. 화소정의막인 제3절연막(120)은 복수개의 화소전극(210)들의 각각의 중앙부가 노출되도록 화소전극(210)들의 가장자리를 덮도록 형성될 수 있다. 또한 제3절연막(120)은 쉴드층(140) 상에도 형성될 수 있는데, 도면에 도시된 것과 같이 쉴드층(140)의 복수개의 관통홀(140a)을 덮으며 형성될 수 있다. 이때 제3절연막(120)은 쉴드층(140)의 복수개의 영역들이 노출되도록 형성할 수 있다.
- [0063] 상술한 것과 같이 화소전극(210) 및 쉴드층(140) 상에 제3절연막(120)을 형성하는 단계를 거친 후, 화소전극

(210) 상에 발광층을 포함한 중간층(220)을 형성하는 단계를 거칠 수 있다.

[0064] 그 후, 중간층(220)을 형성하는 단계를 거친 후에 복수개의 화소전극(210)들과 대응되도록 대향전극(230)을 형성하는 단계를 더 거칠 수 있다. 이 경우 도 1에 도시된 것과 같은 구조가 된다. 예컨대 도 1에 도시된 것과 같이 대향전극(230)은 제3절연막(120) 전면(全面)에 걸쳐서 형성될 수 있다. 이 때 대향전극(230)은 쉘드층(140)의 복수개의 영역 중에 제3절연막(120)에 의해 노출된 부분과 컨택하도록 형성될 수 있다.

[0065] 이와 같이 유기발광 디스플레이 장치의 제조방법에 있어서 정전기로부터 구동부를 보호하기 위해 애노드쉘드 구조인 쉘드층(140)을 구비하는 경우, 하부 유기막의 아웃게싱 불량을 방지하기 위해 관통홀(140a)을 갖게 된다. 이 경우 제2박막트랜지스터(TFT2)들 상부에 관통홀(140a)이 존재하게 되면 정전기로부터 구동부 보호가 취약해지는 문제점이 발생하게 된다. 따라서 본 발명의 다른 실시예에 따른 유기발광 디스플레이 장치의 제조방법에서는 제2박막트랜지스터(TFT2)들 상부에 관통홀(140a)을 형성하지 않도록 유기발광 디스플레이 장치를 제조함에 따라 아웃게싱을 가능하게 하는 동시에 유기발광 디스플레이 장치의 구동부를 정전기로부터 획기적으로 보호할 수 있다.

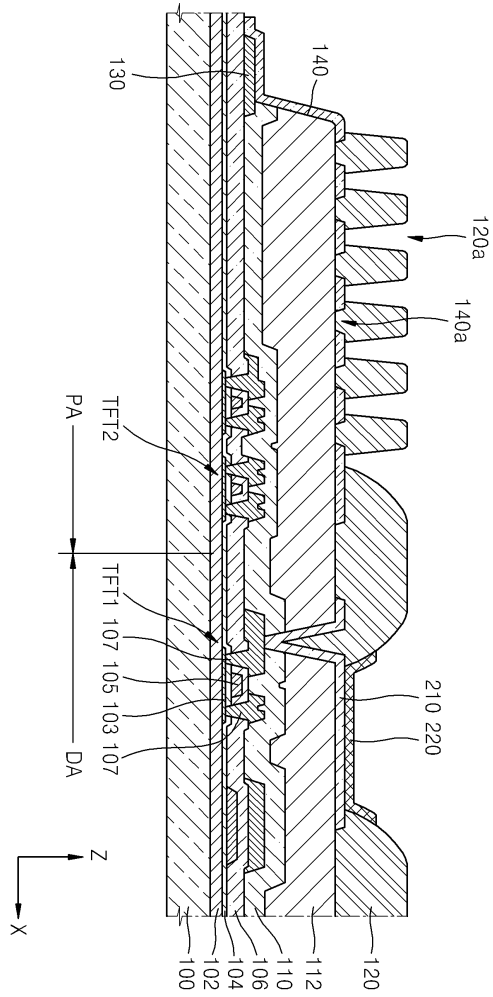
[0066] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

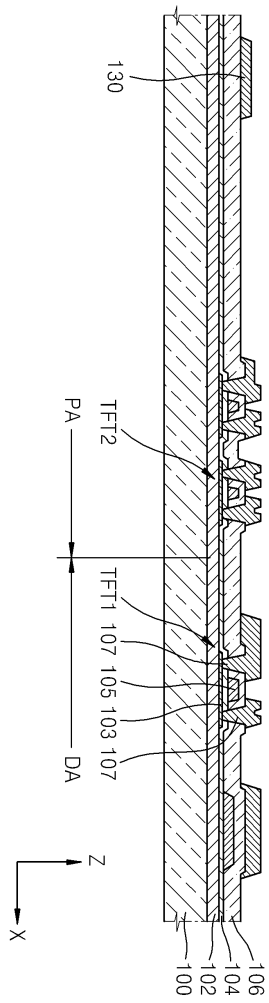
- [0067]
- |               |               |
|---------------|---------------|
| 100: 기관       | 102: 버퍼층      |
| 103: 반도체층     | 104: 게이트절연막   |
| 105: 게이트전극    | 106: 층간절연막    |
| 107: 소스/드레인전극 | 110: 제1절연막    |
| 112: 제2절연막    | 120: 제3절연막    |
| 130: 전극전원공급라인 | 140: 쉘드층      |
| 140a: 관통홀     | 140b: 쉘드층의 일측 |
| 140c: 쉘드층의 타측 | 200: 유기발광소자   |
| 210: 화소전극     | 220: 중간층      |
| 230: 대향전극     |               |

도면

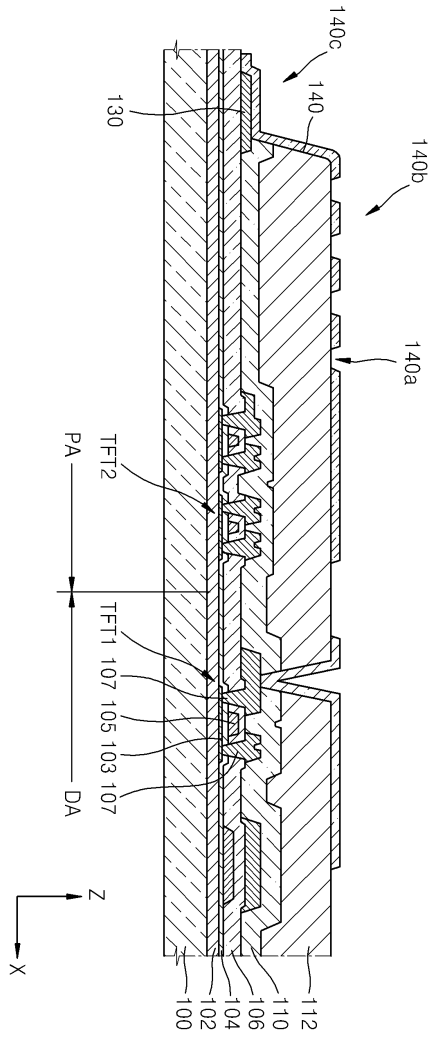
도면1



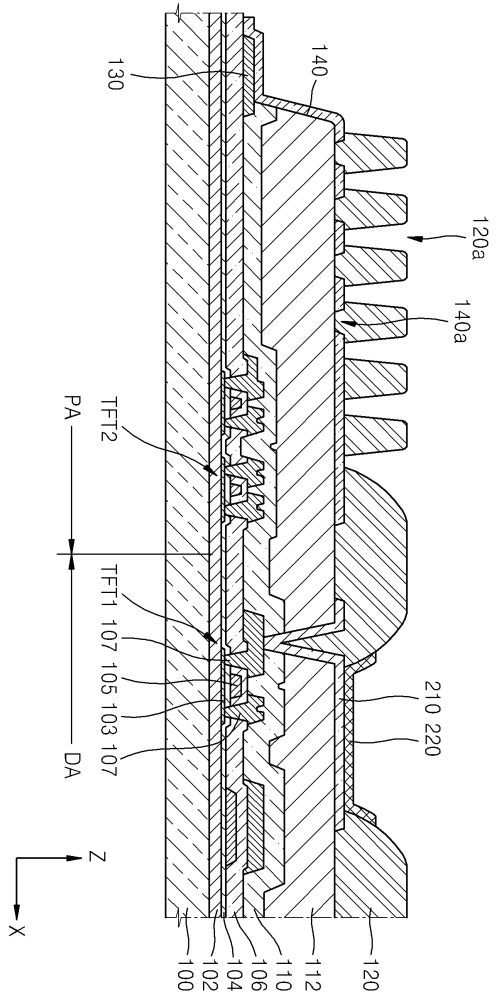
도면2



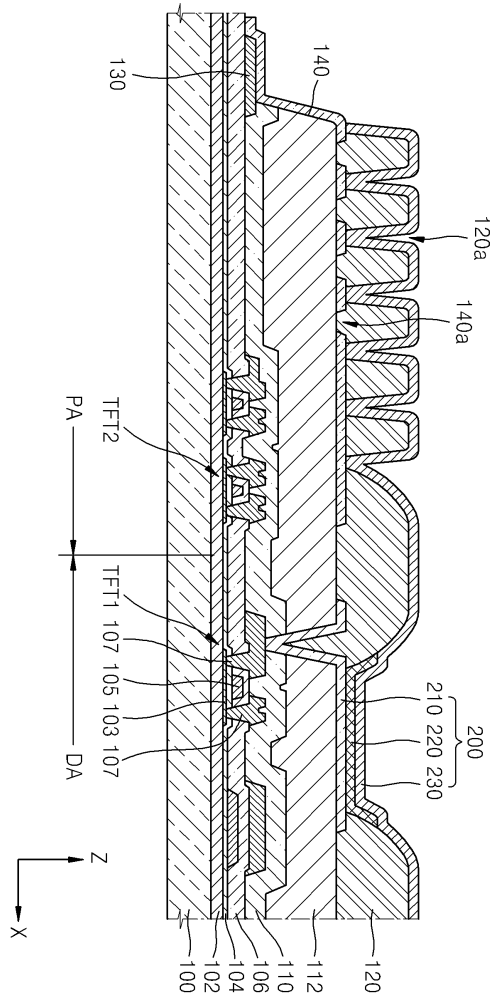
도면3



도면4



도면5



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020150016784A</a>	公开(公告)日	2015-02-13
申请号	KR1020130092659	申请日	2013-08-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YANG WAN 김양완		
发明人	김양완		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L51/56 H01L27/3272 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3276 H01L27/3279 H01L51/5246 H01L2227/323 H01L51/5237		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机发光显示装置及其制造方法技术领域本发明涉及一种有机发光显示装置及其制造方法，其能够防止在除气时由于有机发光显示面板的静电而对驱动部分造成的损坏，具有显示区域的基板和围绕该显示区域的周边区域，多个第一薄膜晶体管设置在基板的显示区域中；多个第二薄膜晶体管设置在基板的外围区域中；并且，屏蔽层在不与第二薄膜晶体管重叠的部分中具有多个通孔。

