



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0060232
(43) 공개일자 2013년06월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2012-7032551
(22) 출원일자(국제) 2012년09월26일
심사청구일자 2012년12월13일
(85) 번역문제출일자 2012년12월12일
(86) 국제출원번호 PCT/CN2012/082032
(87) 국제공개번호 WO 2013/063991
국제공개일자 2013년05월10일
(30) 우선권주장
201110340564.6 2011년11월01일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
청두 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 611731 쓰촨 프로빈스 청두 하이-테크 디벨롭먼트 존 (웨스트 존) 허주오 로드 1188호
(72) 발명자
치 샤오징
중국 베이징 100176 비디에이 디저 로드 넘버 9 리 티안마
중국 베이징 100176 비디에이 디저 로드 넘버 9
(74) 대리인
리엔목특허법인

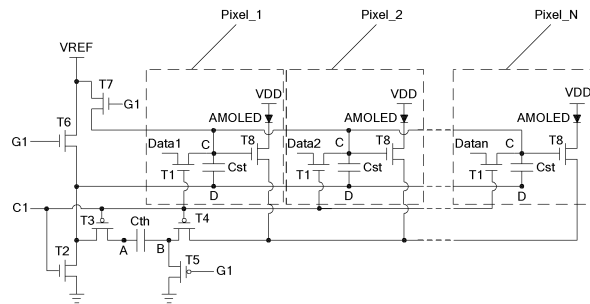
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **능동형 유기 발광 다이오드 구동 및 보상 회로 및 방법, 및 능동형 유기 발광 다이오드 디스플레이 소자**

(57) 요약

본원의 개시내용에는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로 및 방법, 및 능동형 유기 발광 다이오드(AMOLED) 디스플레이 소자가 개시되어 있다. 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는, 다수의 능동형 유기 발광 다이오드(AMOLED)들을 구동하기 위해 사용되는 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들; 상기 구동 박막 트랜지스터들을 통과하는 구동 전류들에 대한 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들에 있는 구동 박막 트랜지스터들의 임계 전압의 효과를 제거하는 데 사용되는 상기 픽셀 영역들 외부에 배치된 외부 보상 회로;를 포함한다. 상기 구동 및 보상 방법은, 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 단계; 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 단계; 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프하는 단계;를 포함한다. 상기 디스플레이 소자는 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로로서,

상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는,

다수의 능동형 유기 발광 다이오드(AMOLED)들을 구동하기 위해 사용되는 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들로서, 하나의 능동형 유기 발광 다이오드(AMOLED) 및 하나의 해당하는 구동 회로가 상기 픽셀 영역들의 각각의 픽셀 영역 내부에 배치되고, 하나의 구동 회로는 하나의 해당하는 능동형 유기 발광 다이오드(AMOLED)를 구동하는데 사용되는, 다수의 구동 회로들; 및

상기 구동 박막 트랜지스터들을 통과하는 구동 전류들에 대한 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들에 있는 구동 박막 트랜지스터들의 임계 전압의 효과를 제거하는 데 사용되는 상기 픽셀 영역들 외부에 배치된 외부 보상 회로;

를 포함하는, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로.

청구항 2

제1항에 있어서,

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들 각각은 제1 박막 트랜지스터, 구동 커패시터 및 구동 박막 트랜지스터를 포함하며,

상기 제1 박막 트랜지스터는 데이터 라인에 접속된 소스를 지니고,

상기 구동 커패시터는 상기 제1 박막 트랜지스터의 드레인에 접속된 제1 단자를 지니며,

상기 구동 박막 트랜지스터는 상기 제1 박막 트랜지스터의 드레인에 접속된 게이트를 지니고,

상기 구동 회로에 해당하는 능동형 유기 발광 다이오드(AMOLED)의 입력 단자는 동작 전압의 출력 단자에 접속되며, 상기 구동 회로에 해당하는 능동형 유기 발광 다이오드(AMOLED)의 출력 단자는 상기 구동 박막 트랜지스터의 드레인에 접속되고,

상기 제1 박막 트랜지스터 및 상기 구동 박막 트랜지스터는 n-채널 박막 트랜지스터들인, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로.

청구항 3

제1항 또는 제2항에 있어서,

상기 픽셀 영역들 외부에 배치된 외부 보상 회로는,

제2 박막 트랜지스터, 제3 박막 트랜지스터, 보상 커패시터, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터를 포함하며,

상기 제2 박막 트랜지스터는 접지에 접속된 소스, 제2 클록 신호 출력 단자에 접속된 게이트, 및 상기 구동 커패시터의 제2 단자에 접속된 드레인을 지니며,

상기 제3 박막 트랜지스터는 상기 제2 박막 트랜지스터의 드레인에 접속된 소스, 및 상기 제2 클록 신호 출력 단자에 접속된 게이트를 지니고,

상기 보상 커패시터는 상기 제3 박막 트랜지스터의 드레인에 접속된 제1 단자를 지니며,

상기 제4 박막 트랜지스터는 상기 보상 커패시터의 제2 단자에 접속된 소스, 상기 제2 클록 신호 출력 단자에 접속된 게이트, 및 상기 구동 박막 트랜지스터의 소스에 접속된 드레인을 지니고,

상기 제5 박막 트랜지스터는 접지에 접속된 소스, 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 제4 박막 트랜지스터의 소스에 접속된 드레인을 지니며,

상기 제6 박막 트랜지스터는 기준 전압 출력 단자에 접속된 소스, 상기 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 제2 박막 트랜지스터의 드레인에 접속된 드레인을 지니며,

상기 제7 박막 트랜지스터는 상기 기준 전압 출력 단자에 접속된 소스, 상기 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 구동 박막 트랜지스터의 게이트에 접속된 드레인을 지니고,

상기 제1 박막 트랜지스터의 게이트는 상기 제2 클록 신호 출력 단자에 접속되고,

상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터는 n-채널 박막 트랜지스터들이며,

상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터 및 상기 제5 박막 트랜지스터는 p-채널 박막 트랜지스터들이며, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로.

청구항 4

제3항에 있어서,

상기 제1 클록 신호 출력 단자에 걸린 제1 클록 신호 및 상기 제2 클록 신호 출력 단자에 걸린 제2 클록 신호 양자 모두는 제1 위상, 제2 위상 및 제3 위상을 포함하며,

상기 제1 위상에서는, 상기 제1 클록 신호 출력 단자가 고레벨에 있으며, 상기 제2 클록 신호 출력 단자가 저레벨에 있고,

상기 제2 위상에서는, 상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 고레벨에 있으며,

상기 제3 위상에서는, 상기 제1 클록 신호 출력 단자가 저레벨에 있고, 상기 제2 클록 신호 출력 단자가 저레벨에 있는, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로.

청구항 5

제4항에 있어서,

상기 제1 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴오프됨으로써, 상기 보상 커패시터에 걸친 전압차가 상기 구동 박막 트랜지스터의 임계 전압이게 되며,

상기 제2 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온됨으로써, 상기 구동 회로들의 각각의 구동 회로에 있는 구동 커패시터에 걸친 전압차가 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압이게 되며,

상기 제3 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 및 상기 제5 박막 트랜지스터가 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프됨으로써, 상기 구동 회로에 있는 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압 및 상기 구동 박막 트랜지스터의 임계 전압의 합으로 점프하게 되는, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로.

청구항 6

능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법으로서,

상기 방법은,

다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 제1 단계;

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 제2 단계;

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프하는 제3 단계;

를 포함하는, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법.

청구항 7

제6항에 있어서,

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 제1 단계에서,

제1 클록 신호 출력 단자가 고레벨에 있으며, 제2 클록 신호 출력 단자가 저레벨에 있고, 보상 회로에 있는, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터가 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 제2 박막 트랜지스터 및 제5 박막 트랜지스터가 턴오프되고, 보상 커패시터에 걸친 전압차가 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압이게 되며,

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 제2 단계에서는,

상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 고레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 보상 커패시터에 걸친 전압차가 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압이게 되며,

상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 임계 전압의 합으로 점프하는 제3 단계에서는,

상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 저레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되며, 상기 다수의 픽셀 영역들 내부에 배치된 상기 다수의 구동 회로들의 각각의 구동 회로에 있는 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 임계 전압의 합으로 점프하게 되는, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법.

청구항 8

제1항 내지 제5항 중 어느 한 항에 기재된 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로를 포함하는 디스플레이 소자.

명세서

기술분야

[0001] 본원의 개시내용은 능동형 유기 발광 다이오드 분야에 관한 것으로, 특히 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로 및 방법, 및 능동형 유기 발광 다이오드(AMOLED) 디스플레이 소자에 관한 것이다.

배경기술

[0002] 능동형 유기 발광 다이오드(Active Matrix Organic Light Emitting Diode; AMOLED)는 구동 회로에 있는 구동 박막 트랜지스터로부터 생성된 구동 전류에 의해 상기 능동형 유기 발광 다이오드(AMOLED)가 구동될 경우에 발광하는 것이 가능하다. 그러나, 시간의 변화에 따라, 상기 구동 박막 트랜지스터의 임계 전압이 변할 수 있다.

그 결과로, 동일한 그레이스케일 전압이 입력될 경우에, 구동된 능동형 유기 발광 다이오드(AMOLED)의 휘도가 상이할 정도로 생성되는 구동 전류가 일관되지 않게 된다. 현재, 상기 문제를 해결하기 위한 대부분의 방법은 일관된 구동 전류를 이루면서 상기 능동형 유기 발광 다이오드(AMOLED)의 휘도 균일도를 개선하기 위해 임계 전압의 효과를 제거하도록 하는 보상 회로를 추가하는 것이다.

[0003] 본원의 개시내용을 구현하는 프로세스에서, 본 발명자는 선행기술에 적어도 아래와 같은 문제가 있음을 알아내었다.

[0004] 기존의 능동형 유기 발광 다이오드(AMOLED) 보상 회로는 종종 5 또는 6개의 박막 트랜지스터들이 동일한 픽셀 영역 내부에 배치되어야 하는데, 이는 결과적으로 개구율(aperture ratio)을 감소시킬 수 있다.

발명의 내용

해결하려는 과제

[0005] 본원의 개시내용에서 해결하려는 과제는 개구율(aperture ratio)을 증가시키는 것이 가능한 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로 및 방법, 및 능동형 유기 발광 다이오드(AMOLED) 디스플레이 소자를 제공하는 것이다.

과제의 해결 수단

[0006] 본원의 개시내용의 한 실시예에서는 개구율(aperture ratio)을 증가시키는 것이 가능한 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로 및 방법, 및 능동형 유기 발광 다이오드(AMOLED) 디스플레이 소자가 제공된다.

[0007] 본원의 개시내용의 그러한 실시예에 의하면, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로가 제공되며, 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는,

[0008] 다수의 능동형 유기 발광 다이오드(AMOLED)들을 구동하기 위해 사용되는 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들로서, 하나의 능동형 유기 발광 다이오드(AMOLED) 및 하나의 해당하는 구동 회로가 픽셀 영역들의 각각의 픽셀 영역 내부에 배치되고, 하나의 구동 회로는 하나의 해당하는 능동형 유기 발광 다이오드(AMOLED)를 구동하는데 사용되는, 다수의 구동 회로들;

[0009] 상기 구동 박막 트랜지스터들을 통과하는 구동 전류들에 대한 상기 다수의 픽셀 영역들에 있는 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압의 효과를 제거하는 데 사용되는 상기 픽셀 영역들 외부에 배치된 외부 보상 회로;

[0010] 를 포함한다.

[0011] 일례에서, 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들 각각은 제1 박막 트랜지스터, 구동 커패시터 및 구동 박막 트랜지스터를 포함하며,

[0012] 상기 제1 박막 트랜지스터는 데이터 라인에 접속된 소스를 지니고,

[0013] 상기 구동 커패시터는 상기 제1 박막 트랜지스터의 드레인에 접속된 제1 단자를 지니며,

[0014] 상기 구동 박막 트랜지스터는 상기 제1 박막 트랜지스터의 드레인에 접속된 게이트를 지니고,

[0015] 상기 구동 회로에 해당하는 능동형 유기 발광 다이오드(AMOLED)의 입력 단자는 동작 전압의 출력 단자에 접속되며, 상기 구동 회로에 해당하는 능동형 유기 발광 다이오드(AMOLED)의 출력 단자는 상기 구동 박막 트랜지스터의 드레인에 접속되고,

[0016] 상기 제1 박막 트랜지스터 및 상기 구동 박막 트랜지스터는 n-채널 박막 트랜지스터들이다.

[0017] 일례에서, 상기 픽셀 영역들 외부에 배치된 외부 보상 회로는, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 보상 커패시터, 제4 박막 트랜지스터, 제5 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터를 포함하며,

[0018] 상기 제2 박막 트랜지스터는 접지에 접속된 소스, 제2 클럭 신호 출력 단자에 접속된 게이트, 및 상기 구동 커패시터의 제2 단자에 접속된 드레인을 지니며,

[0019] 상기 제3 박막 트랜지스터는 상기 제2 박막 트랜지스터의 드레인에 접속된 소스, 및 상기 제2 클럭 신호 출력

단자에 접속된 게이트를 지니고,

- [0020] 상기 보상 커패시터는 상기 제3 박막 트랜지스터의 드레인에 접속된 제1 단자를 지니며,
- [0021] 상기 제4 박막 트랜지스터는 상기 보상 커패시터의 제2 단자에 접속된 소스, 상기 제2 클록 신호 출력 단자에 접속된 게이트, 및 상기 구동 박막 트랜지스터의 소스에 접속된 드레인을 지니고,
- [0022] 상기 제5 박막 트랜지스터는 접지에 접속된 소스, 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 제4 박막 트랜지스터의 소스에 접속된 드레인을 지니며,
- [0023] 상기 제6 박막 트랜지스터는 기준 전압 출력 단자에 접속된 소스, 상기 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 제2 박막 트랜지스터의 드레인에 접속된 드레인을 지니며,
- [0024] 상기 제7 박막 트랜지스터는 상기 기준 전압 출력 단자에 접속된 소스, 상기 제1 클록 신호 출력 단자에 접속된 게이트, 및 상기 구동 박막 트랜지스터의 게이트에 접속된 드레인을 지니고,
- [0025] 상기 제1 박막 트랜지스터의 게이트는 상기 제2 클록 신호 출력 단자에 접속되고,
- [0026] 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터는 n-채널 박막 트랜지스터들이며,
- [0027] 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터 및 상기 제5 박막 트랜지스터는 p-채널 박막 트랜지스터들이다.
- [0028] 일레에서, 상기 제1 클록 신호 출력 단자에 걸린 제1 클록 신호 및 상기 제2 클록 신호 출력 단자에 걸린 제2 클록 신호 양자 모두는 제1 위상, 제2 위상 및 제3 위상을 포함하며,
- [0029] 상기 제1 위상에서는, 상기 제1 클록 신호 출력 단자가 고레벨에 있으며, 상기 제2 클록 신호 출력 단자가 저레벨에 있고,
- [0030] 상기 제2 위상에서는, 상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 고레벨에 있으며,
- [0031] 상기 제3 위상에서는, 상기 제1 클록 신호 출력 단자가 저레벨에 있고, 상기 제2 클록 신호 출력 단자가 저레벨에 있다.
- [0032] 일레에서, 상기 제1 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴오프됨으로써, 상기 보상 커패시터에 걸친 전압차가 상기 구동 박막 트랜지스터의 임계 전압이게 되며,
- [0033] 상기 제2 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온됨으로써, 상기 구동 회로들의 각각의 구동 회로에 있는 구동 커패시터에 걸친 전압차가 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압이게 되며,
- [0034] 상기 제3 위상에서는, 상기 외부 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 및 상기 제5 박막 트랜지스터가 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 외부 보상 회로에 있는, 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프됨으로써, 상기 구동 회로에 있는 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압 및 상기 구동 박막 트랜지스터의 임계 전압의 합으로 점프하게 된다.
- [0035] 본원의 개시내용의 한 실시예에 의하면, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법이 또한 제공되는데, 상기 방법은,
- [0036] 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 제1 단계;

- [0037] 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 제2 단계;
- [0038] 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프하는 제3 단계;
- [0039] 를 포함한다.
- [0040] 일례에서는, 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 제1 단계에서,
- [0041] 제1 클록 신호 출력 단자가 고레벨에 있으며, 제2 클록 신호 출력 단자가 저레벨에 있고, 보상 회로에 있는, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 제6 박막 트랜지스터 및 제7 박막 트랜지스터가 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 제2 박막 트랜지스터 및 제5 박막 트랜지스터가 턴오프되고, 보상 커패시터에 걸친 전압차가 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압이게 되며,
- [0042] 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 제2 단계에서는,
- [0043] 상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 고레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 보상 커패시터에 걸친 전압차가 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압이게 되며,
- [0044] 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 임계 전압의 합으로 점프하는 제3 단계에서는,
- [0045] 상기 제1 클록 신호 출력 단자가 저레벨에 있으며, 상기 제2 클록 신호 출력 단자가 저레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터 및 상기 제5 박막 트랜지스터가 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터가 턴오프되며, 상기 다수의 픽셀 영역들 내부에 배치된 상기 다수의 구동 회로들의 각각의 구동 회로에 있는 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 임계 전압의 합으로 점프하게 된다.
- [0046] 디스플레이 소자는 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로를 포함한다.

발명의 효과

- [0047] 본원의 개시내용의 상기 실시예에서 제공되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로 및 방법은, 픽셀 영역들 외부에 배치된 외부 보상 회로로 인해, 상기 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상할 수 있으며, 단지 상기 픽셀 영역들의 각각의 픽셀 영역에 있는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위해 사용되는 구동 회로만이 존재함으로써, 개구율(aperture ratio)이 증가되게 한다.
- [0048] 선행기술 또는 본원의 개시내용의 상기 실시예에서의 기술적 해결수단을 좀더 명확하게 구체적으로 보여주기 위해, 이하에서는 선행기술 또는 상기 실시예의 설명들에서 사용될 필요가 있는 도면들이 간략하게 소개될 것이다. 분명한 점으로는, 이하의 설명들에서 나타내는 도면들이 단지 본원의 개시내용의 일부 실시예들일 뿐이라는 점이다. 당업자라면 이러한 도면들에 비추어 볼 때, 어떠한 창의적인 노력 없이도 다른 도면들을 획득할 수 있을 것이다.

도면의 간단한 설명

- [0049] 도 1은 본원의 개시내용의 실시예들에서 제공되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로의 회로 다이어그램이다.

도 2는 도 1에 도시된 회로의 클록 신호의 타이밍 시퀀스 다이어그램이다.

도 3은 제1 위상에서의 도 1의 회로의 등가 회로 다이어그램이다.

도 4는 제2 위상에서의 도 1의 회로의 등가 회로 다이어그램이다.

도 5는 제3 위상에서의 도 1의 회로의 등가 회로 다이어그램이다.

도 6은 본원의 개시내용의 실시예들에서 제공되는 다른 한 AMOLED 구동 및 보상 회로의 회로 다이어그램이다.

도 7은 본원의 개시내용의 실시예들에서 제공되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법의 플로차트이다.

발명을 실시하기 위한 구체적인 내용

[0050] 본원의 개시내용의 실시예들에서의 기술적 해결수단들은 본원의 개시내용의 실시예들에서 첨부도면들과 결합해서 명확하고도 완전하게 설명될 것이다. 분명한 점으로는, 설명되는 실시예들이 모든 실시예들이라기 보다는 오히려 단지 본원의 개시내용의 실시예들의 일부일 뿐이라는 점이다. 본원의 개시내용의 실시예들을 기반으로 하면, 당업자에 의해 획득되는 다른 모든 실시예들은 어떠한 창의적인 노력 없이도 본원의 개시내용에서 보호받아야 하는 범위에 속하는 것이다.

[0051] 본원의 개시내용의 한 실시예에서는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로가 제공되며, 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는,

[0052] 다수의 능동형 유기 발광 다이오드(AMOLED)들을 구동하기 위해 사용되는 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들로서, 하나의 능동형 유기 발광 다이오드(AMOLED) 및 하나의 해당하는 구동 회로가 상기 픽셀 영역들의 각각의 픽셀 영역 내부에 배치되며, 하나의 구동 회로가 하나의 해당하는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위해 사용되는, 다수의 구동 회로들;

[0053] 를 포함하며,

[0054] 전형적인 2T1C(2개의 박막 트랜지스터들 및 하나의 커패시터)와 같은 구동 회로들 각각은 제1 박막 트랜지스터, 구동 박막 트랜지스터 및 구동 커패시터를 포함하고, 상기 구동 박막 트랜지스터를 통과하는 구동 전류는 발광하도록 상기 능동형 유기 발광 다이오드(AMOLED)를 구동시키며;

[0055] 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는,

[0056] 상기 구동 박막 트랜지스터들을 통과하는 구동 전류들에 대한 상기 픽셀 영역들 내부에 배치된 다수의 구동 회로들에 있는 구동 박막 트랜지스터들의 임계 전압의 효과를 제거함으로써, 상기 구동 박막 트랜지스터를 통과하는 구동 전류가 상기 구동 박막 트랜지스터의 임계 전압과 무관하게 하여 상기 구동 전류의 일관성을 개선하기 위해 사용되는, 상기 픽셀 영역들 외부에 배치된 외부 보상 회로;

[0057] 를 포함한다.

[0058] 상기 구동 회로 외에도, 선행기술은 상기 픽셀 영역들 각각에 5 내지 6개의 박막 트랜지스터들로 이루어진 보상 회로를 부가적으로 배치해야 하지만, 본원의 개시내용의 실시예에서 제공되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는 상기 픽셀 영역들 외부에 배치된 외부 보상 회로로 인해, 상기 픽셀 영역들 내부에 배치되는 다수의 구동 회로의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상하는 것이 가능하며, 단지 상기 픽셀 영역들 각각에서 상기 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위한 구동 회로만이 존재함으로써, 개구율(aperture ratio)이 증가되게 한다.

[0059] 특히, 도 1에 도시된 바와 같이, 한 행(row)의 픽셀 영역들은 N개의 픽셀 영역들(Pixel_1, Pixel_2, ..., Pixel_N)을 포함하며, 이 경우에 N은 1보다 큰 자연수이다. 하나의 능동형 유기 발광 다이오드(AMOLED) 및 하나의 해당하는 구동 회로는 상기 픽셀 영역들의 각각의 픽셀 영역 내에 각각 배치된다.

[0060] 상기 픽셀 영역들의 각각의 픽셀 영역에서는, 상기 구동 회로가 제1 박막 트랜지스터(T1), 구동 커패시터(Cst) 및 구동 박막 트랜지스터(T8)를 포함하며, 상기 제1 박막 트랜지스터(T1)는 데이터 라인에 접속된 소스를 지니고, 상기 구동 커패시터(Cst)가 상기 제1 박막 트랜지스터(T1)의 드레인에 접속된 제1 단자를 지니며, 상기 구동 박막 트랜지스터(T8)가 상기 제1 박막 트랜지스터(T1)의 드레인에 접속된 게이트를 지닌다. 그 외에도, 상기 픽셀 영역들의 각각의 픽셀 영역에서는, 상기 능동형 유기 발광 다이오드(AMOLED)의 애노드가 동작 전압, 특히

전압 소스(VDD)의 출력 단자에 접속되며, 상기 능동형 유기 발광 다이오드(AMOLED)의 캐소드가 상기 픽셀 영역 내부에 배치된 구동 회로의 구동 박막 트랜지스터(T8)의 드레인에 접속된다. 상기 제1 박막 트랜지스터 및 상기 구동 박막 트랜지스터는 n-채널 박막 트랜지스터들이다.

[0061] 그 외에도, N개의 픽셀 영역들 내부에 배치된 N개의 제1 박막 트랜지스터들(T1)의 소스들은 N개의 데이터 라인들(Data1, Data2, ..., DataN)에 각각 접속되어 있다.

[0062] 상기 픽셀 영역들 외부에 배치된 외부 보상 회로는, 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 보상 커패시터(Cth), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6) 및 제7 박막 트랜지스터(T7)를 포함하는데, 이 경우에 상기 제2 박막 트랜지스터(T2)는 접지에 접속된 소스, 제2 클록 신호 출력 단자(C1)에 접속된 게이트, 및 상기 구동 커패시터(Cst)의 제2 단자에 접속된 드레인을 지니며, 상기 제3 박막 트랜지스터(T3)는 상기 제2 박막 트랜지스터(T2)의 드레인에 접속된 소스, 및 상기 제2 클록 신호 출력 단자(C1)에 접속된 게이트를 지니고, 상기 보상 커패시터(Cth)는 상기 제3 박막 트랜지스터(T3)의 드레인에 접속된 제1 단자를 지니며, 상기 제4 박막 트랜지스터(T4)는 상기 보상 커패시터(Cth)의 제2 단자에 접속된 소스, 상기 제2 클록 신호 출력 단자(C1)에 접속된 게이트, 및 상기 구동 박막 트랜지스터(T8)의 소스에 접속된 드레인을 지니고, 상기 제5 박막 트랜지스터(T5)는 접지에 접속된 소스, 제1 클록 신호 출력 단자(G1)에 접속된 게이트, 및 상기 제4 박막 트랜지스터(T4)의 소스에 접속된 드레인을 지니며, 상기 제6 박막 트랜지스터(T6)는 기준 전압 출력 단자(VREF)에 접속된 소스, 상기 제1 클록 신호 출력 단자(G1)에 접속된 게이트, 및 상기 제2 박막 트랜지스터(T2)의 드레인에 접속된 드레인을 지니고, 상기 제7 박막 트랜지스터(T7)는 기준 전압 출력 단자(VREF)에 접속된 소스, 상기 제1 클록 신호 출력 단자(G1)에 접속된 게이트 및 상기 구동 박막 트랜지스터(T8)의 게이트에 접속된 드레인을 지니며, 상기 제1 박막 트랜지스터(T1)의 게이트는 상기 제2 클록 신호 출력 단자(C1)에 접속된다. 상기 제2 박막 트랜지스터(T2), 상기 제6 박막 트랜지스터(T6) 및 상기 제7 박막 트랜지스터(T7)는 n-채널 박막 트랜지스터들이고, 상기 제3 박막 트랜지스터(T3), 상기 제4 박막 트랜지스터(T4) 및 상기 제5 박막 트랜지스터(T5)는 p-채널 박막 트랜지스터들이다.

[0063] 더욱이, 도 2에 도시된 바와 같이, 상기 제1 클록 신호 출력 단자(G1)에 걸린 제1 클록 신호(g1) 및 상기 제2 클록 신호 출력 단자(C1)에 걸린 제2 클록 신호(c1)는 제1 위상(H1), 제2 위상(H2) 및 제3 위상(H3)을 포함하며, 상기 제1 위상(H1)에서는, 상기 제1 클록 신호 출력 단자(G1)가 고레벨에 있고, 상기 제2 클록 신호 출력 단자(C1)가 저레벨에 있으며, 상기 제2 위상(H2)에서는, 상기 제1 클록 신호 출력 단자(G1)가 저레벨에 있고, 상기 제2 클록 신호 출력 단자(C1)가 고레벨에 있으며, 상기 제3 위상(H3)에서는, 상기 제1 클록 신호 출력 단자(G1)가 저레벨에 있고, 상기 제2 클록 신호 출력 단자(C1)는 저레벨에 있다.

[0064] 이하에서는 한 행의 픽셀들의 충전 프로세스를 참조하여 본원의 개시내용의 해결수단에 대한 상세한 설명이 제공될 것이다. 도 1에 도시된 바와 같이, 제3 박막 트랜지스터(T3)에 접속된 보상 커패시터(Cth)의 제1 단자가 제1 노드(A)이며, 상기 제4 박막 트랜지스터(T4)에 접속된 보상 커패시터(Cth)의 제2 단자가 제2 노드(B)이고, 상기 제1 박막 트랜지스터(T1)에 접속된 구동 커패시터(Cst)의 제1 단자가 제3 노드(C)이며, 상기 제2 박막 트랜지스터(T2)에 접속된 구동 커패시터(Cst)의 제2 단자가 제4 노드(D)인 것으로 규정되어 있다.

[0065] 상기 제1 위상(H1)은 사전충전 위상이다. 이때, 상기 제1 클록 신호 출력 단자(G1)는 고레벨에 있으며, 상기 제2 클록 신호 출력 단자(C1)는 저레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터(T3), 상기 제4 박막 트랜지스터(T4), 상기 제6 박막 트랜지스터(T6) 및 상기 제7 박막 트랜지스터(T7)는 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터(T1) 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터(T2) 및 상기 제5 박막 트랜지스터(T5)는 턴오프된다. 이때, 상기 회로는 도 3에 도시된 바와 같은 회로와 등가이다. 상기 기준 전압 출력 단자(VREF)는 보상 커패시터(Cth)를 충전함으로써, 상기 제1 노드(A)의 전압이 상기 기준 전압 출력 단자(VREF)에 걸린 기준 전압(Vref)이게 되며, 상기 제2 노드(B)의 전압이 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth) 및 기준 전압(Vref)의 차, 즉 $Vref - Vth$ 이게 된다. 다시 말하면, 상기 보상 커패시터(Cth)에 걸린 전압차는 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth)이다. 여기서 유념해야 할 점은 상기 행의 픽셀 영역들 내부에 있는 구동 박막 트랜지스터들(T8)의 각각의 구동 박막 트랜지스터의 임계 전압이 동일한 전압이고 Vth와 동일하게 하도록 상기 행의 픽셀 영역들 내부에 배치된 구동 박막 트랜지스터들(T8)이 동일한 기법을 채택하여 제작되는 것이 필요하다는 점이다.

[0066] 상기 제2 위상(H2)은 그레이스케일 전압 입력 위상이다. 이때, 상기 제1 클록 출력 단자(G1)는 저레벨에 있으며, 상기 제2 클록 신호 출력 단자(C1)는 고레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터(T3), 상기 제4 박막 트랜지스터(T4), 상기 제6 박막 트랜지스터(T6) 및 상기 제7 박막 트랜지스터(T7)는 턴

오프되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터(T1) 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터(T2) 및 상기 제5 박막 트랜지스터(T5)는 턴온된다. 이때, 상기 회로는 도 4에 도시된 바와 같은 회로와 등가이다. 이하에서는 일례로서 하나의 픽셀 영역(Pixel_1) 내부에 있는 구동 회로의 동작 원리를 취함으로써 본원의 개시내용의 해결수단이 상세하게 설명될 것이다. 상기 데이터 라인(Data1)은 구동 커패시터(Cst)를 충전함으로써, 제3 노드(C)의 전압이 상기 데이터 라인(Data1)으로부터 입력된 그레이스케일 전압(Vdata1)이게 되며, 제4 노드(D)의 전압이 제로(zero)이게 된다. 다시 말하면, 상기 구동 커패시터(Cst)에 걸친 전압차는 상기 데이터 라인(Data1)으로부터 입력된 그레이스케일 전압(Vdata1)이다.

[0067] 상기 제3 위상(H3)은 발광 위상이다. 이때, 상기 제1 클록 출력 단자(G1)는 저레벨에 있으며, 상기 제2 클록 신호 출력 단자(C1)는 저레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터(T3), 상기 제4 박막 트랜지스터(T4), 및 상기 제5 박막 트랜지스터(T5)는 턴오프되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터(T1) 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터(T2), 상기 제6 박막 트랜지스터(T6) 및 상기 제7 박막 트랜지스터(T7)는 턴오프된다. 이때, 상기 회로는 도 5에 도시된 바와 같은 회로와 등가이다. 상기 제2 노드(B)는 접지에 접속되어 있으며 그의 전압은 제로이다. 상기 제1 위상(H1)에서, 상기 보상 커패시터(Cth) 상에 저장된 전압차가 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth)이므로, 결과적으로는 상기 제3 위상(H3)에서, 상기 제1 노드(A), 즉 상기 제4 노드(D)의 전압은 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth)이며, 일례로서 상기 픽셀 영역(Pixel_1) 내부에 상기 구동 회로를 취하는 제2 위상(H2)에서, 상기 구동 커패시터(Cst)에 걸친 전압차가 상기 데이터 라인(Data1)으로부터 입력된 그레이스케일 전압(Vdata1)이므로, 결과적으로는 일례로서 상기 픽셀 영역(Pixel_1) 내부에 상기 구동 회로를 여전히 취하는 제3 위상(H3)에서, 상기 제3 노드(C)의 전압은 상기 데이터 라인(Data1)으로부터 입력된 그레이스케일 전압(Vdata1) 및 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth)의 합, Vth+Vdata1로 점프하는데, 다시 말하면 상기 구동 박막 트랜지스터(T8)의 게이트 전압(Vgs)은 Vth+Vdata1이며, 상기 구동 박막 트랜지스터(T8)를 통과하는 구동 전류는,

[0068]
$$I=k(Vgs-Vth)^2=k(Vdata1+Vth-Vth)^2=k(Vdata1)^2$$

[0069] 이며, 상기 식 중, $k=\mu_{eff} \times Cox \times (W/L)/2$ 이고, μ_{eff} 는 구동 박막 트랜지스터(T8)의 효율적인 캐리어 이동도를 나타내며, Cox는 구동 박막 트랜지스터(T8)의 게이트 절연 유전체 상수를 나타내고, W/L은 구동 박막 트랜지스터(T8)의 채널 폭 대 길이 비율을 나타낸다.

[0070] 위에서 설명한 수학적식에 의하면, 상기 구동 박막 트랜지스터(T8)를 통과하는 구동 전류(I)는 그의 임계 전압(Vth)과 무관하고, 상기 구동 박막 트랜지스터(T8)를 통과하는 구동 전류(I)에 대한 상기 구동 박막 트랜지스터(T8)의 임계 전압(Vth)의 효과가 제거된다.

[0071] 상기 기준 전압 출력 단자는 전력 공급 단자(VDD)일 수 있다. 상기 제1 위상(H1) 및 상기 제2 위상(H2)에 대한 시간은 비교적 짧지만, 상기 제3 위상(H3)에 대한 시간은 디스플레이될 광을 능동형 유기 발광 다이오드(AMOLED)가 방출하게 하는데 비교적 길다.

[0072] 선행기술에서의 구동 전류의 수학적식은 통상적으로 상기 전력 공급 단자(VDD)의 전력 공급 전압(Vdd)을 포함한다. 전압 강하(IR 강하)로 인한 전원 공급 전압(Vdd)의 변화는 능동형 유기 발광 다이오드(AMOLED)의 디스플레이 효과를 부가적으로 좌우하게 되지만, 본원의 개시내용의 실시예에서의 구동 전류의 수학적식은 전력 공급 단자(VDD)의 전력 공급 전압(Vdd)을 포함하지 않음으로써, IR 강하의 효과를 제거하여 상기 구동 전류의 일관성을 부가적으로 개선한다.

[0073] 한 행으로 이루어진 픽셀 영역들의 각각의 픽셀 영역 내부에 있는 구동 회로들의 동작 원리는 하나의 픽셀 영역(Pixel_1) 내부에 배치된 구동 회로의 동작 원리와 동일한 것이므로, 세부사항들이 생략되어 있다.

[0074] 요약하면, 상기 N개의 픽셀 영역들(Pixel_1, Pixel_2, ..., Pixel_N)에서의 i번째 픽셀 영역(Pixel_i)(i는 1보다 크고 N 이하인 자연수임) 내부에 있는 구동 회로에 대해, 제2 위상(H2)에서, 상기 구동 커패시터(Cst)에 걸친 전압차가 상기 데이터 라인(Data1)로부터 입력된 그레이스케일 전압(Vdatai)이며, 상기 제3 위상(H3)에서, 상기 제3 노드(C)의 전압이 상기 데이터 라인(Data1)으로부터 입력된 그레이스케일 전압(Vdatai) 및 구동 박막 트랜지스터(T8)의 임계 전압(Vth)의 합, 즉 Vth+Vdatai로 점프하는데, 다시 말하면 상기 구동 박막 트랜지스터(T8)의 게이트 전압(Vgs)은 Vth+Vdatai이며, 상기 구동 박막 트랜지스터(T8)를 통과하는 구동 전류는,

[0075]
$$I=K(Vgs-Vth)^2=k(Vdata1+Vth-Vth)^2=k(Vdata1)^2$$

- [0076] 이다.
- [0077] 위에서는 단지 한 행의 픽셀 영역들의 충전 프로세스에서만 본원의 개시내용의 해결수단이 상세하게 설명되어 있다. 도 6에 도시된 바와 같이, m 행들의 픽셀 영역들에 대해, 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는 대응하는 m 행들의 픽셀 영역들 외부에 그에 해당하는 m 개의 외부 보상 회로들을 배치함으로써 형성될 수 있다. 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는 m 개의 제1 클럭 신호 단자들(G_1, G_2, \dots, G_m); m 개의 제2 클럭 신호 출력 단자들(C_1, C_2, \dots, C_m)을 포함하며, 이 경우에 m 은 1보다 큰 자연수이다. 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로의 접속 관계 및 동작 원리는 위에서 설명한 실시예와 동일한 것이므로, 세부사항들이 생략되어 있다.
- [0078] 본원의 개시내용의 실시예에서 제공된 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로는 한 행의 픽셀 영역 외부에 있는 외부 보상 회로가 상기 행의 픽셀 영역들 내부에 있는 다수의 구동 회로의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상하게 하고, 개구율을 증가시키도록 단지 상기 픽셀 영역들의 각각의 픽셀 영역 내부에 있는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위한 구동 회로만이 존재한다.
- [0079] 본원의 개시내용의 실시예는 도 7에 도시된 바와 같이, 위의 실시예에서 제공되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로에 적용되는 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법을 부가적으로 제공하며, 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법은,
- [0080] 단계 101: 제1 위상에서, 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 것;
- [0081] 단계 102: 제2 위상에서, 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 것;
- [0082] 단계 103: 제3 위상에서, 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압은 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프하는 것;
- [0083] 을 포함한다.
- [0084] 본원의 개시내용의 실시예에 제공된 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법은, 상기 픽셀 영역 외부에 배치된 외부 보상 회로로 인해, 상기 픽셀 영역들 내부에 배치된 다수의 구동 회로의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상하고, 단지 상기 픽셀 영역들의 각각의 픽셀 영역에 있는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위한 구동 회로만이 존재함으로써, 개구율을 증가시킨다.
- [0085] 특히 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 저장하는 제1 위상에서,
- [0086] 상기 제1 클럭 신호 출력 단자는 고레벨에 있으며, 상기 제2 클럭 출력 단자 신호는 저레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터는 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터는 턴오프되고, 상기 보상 커패시터에 걸친 전압차는 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압이고,
- [0087] 특히 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 그레이스케일 전압을 저장하는 제2 위상에서,
- [0088] 상기 제1 클럭 신호 출력 단자는 저레벨에 있으며, 상기 제2 클럭 신호 출력 단자는 고레벨에 있고, 상기 보상 회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터는 턴오프되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는 상기 제2 박막 트랜지스터 및 상기 제5 박막 트랜지스터는 턴온되고, 상기 구동 회로들의 각각의 구동 회로에 있는 보상 커패시터에 걸친 전압차는 상기 구동 회로에 해당하는 데이터 라인으로부터 입력된 그레이스케일 전압이며,
- [0089] 특히 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로의 구동 박막 트랜지스터의 게이트 전압이 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프하는 제3 위상에서,
- [0090] 상기 제1 클럭 신호 출력 단자는 저레벨에 있으며, 상기 제2 클럭 신호 출력 단자는 저레벨에 있고, 상기 보상

회로에 있는, 상기 제3 박막 트랜지스터, 상기 제4 박막 트랜지스터 및 상기 제5 박막 트랜지스터는 턴온되며, 상기 구동 회로들의 각각의 구동 회로에 있는 상기 제1 박막 트랜지스터 및 상기 보상 회로에 있는, 상기 제2 박막 트랜지스터, 상기 제6 박막 트랜지스터 및 상기 제7 박막 트랜지스터는 턴오프되고, 상기 다수의 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 각각의 구동 회로에 있는 구동 박막 트랜지스터의 게이트 전압은 상기 구동 회로의 그레이스케일 전압 및 상기 임계 전압의 합으로 점프한다.

[0091] 본 발명의 실시예에서 제공된 상기 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 방법의 특정한 동작 원리는 위에서 설명한 실시예와 동일한 것이므로, 세부사항들이 생략되어 있다.

[0092] 상기 픽셀 영역들 외부에 배치된 외부 보상 회로는 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상하며, 단지 상기 픽셀 영역들의 각각의 픽셀 영역에 있는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위한 구동 회로만이 존재하므로 개구율을 증가시킨다.

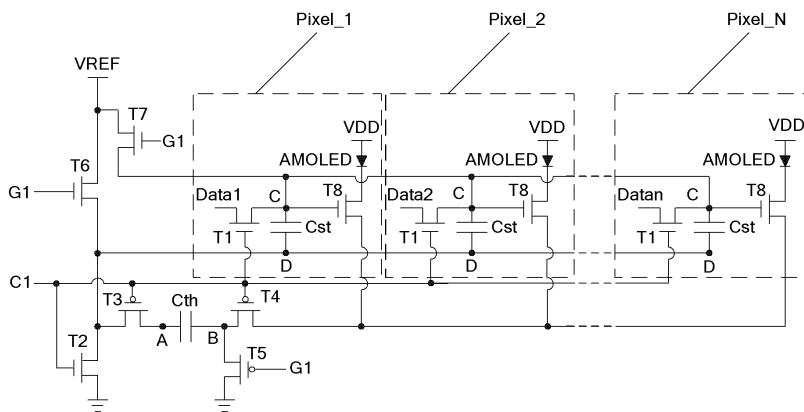
[0093] 본원의 개시내용의 실시예는 위에서 설명한 능동형 유기 발광 다이오드(AMOLED) 구동 및 보상 회로를 포함하는 디스플레이 소자를 부가적으로 제공한다. 해당하는 구동 및 보상 방법 및 동작 원리는 위에서 설명한 실시예와 동일한 것이므로, 세부사항들은 생략되어 있다.

[0094] 상기 픽셀 영역 외부에 배치된 외부 보상 회로는 상기 픽셀 영역들 내부에 배치된 다수의 구동 회로들의 구동 박막 트랜지스터들의 임계 전압을 동시에 보상하며, 단지 상기 픽셀 영역들의 각각의 픽셀 영역에 있는 능동형 유기 발광 다이오드(AMOLED)를 구동하기 위한 구동 회로만이 존재함으로써, 개구율을 증가시킨다.

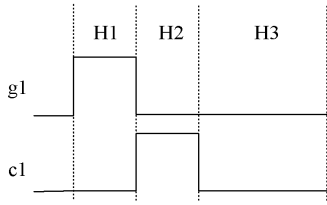
[0095] 위에서는 본원의 개시내용의 실시예가 상세하게 설명되어 있지만, 본원의 개시내용에서 보호받고자 하는 범위가 그에 국한되지 않는다. 당업자에 의해 용이하게 착안하게 되는 본원의 개시내용에 개시된 기술적 범위에 속하는 수정 또는 대체는 본원의 개시내용의 보호범위에 속하는 것으로 고려되어야 한다. 그러므로, 본원의 개시내용에서 보호받고자 하는 범위는 첨부된 청구항들에서 보호받고자 하는 범위에 따라야 한다.

도면

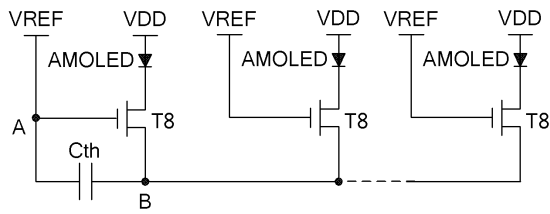
도면1



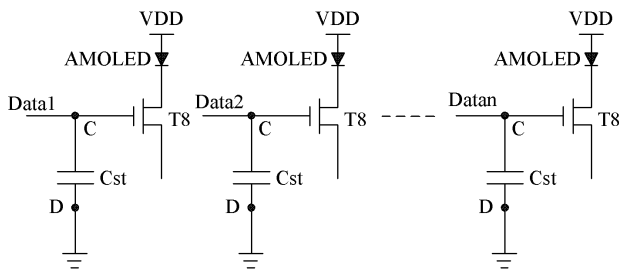
도면2



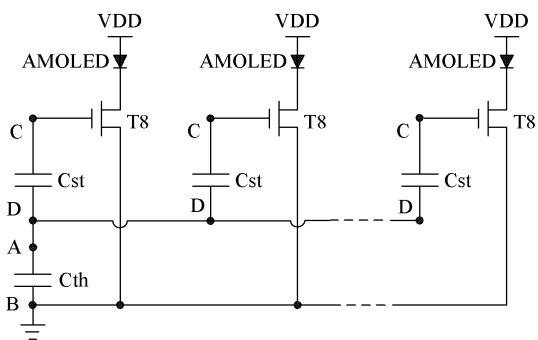
도면3



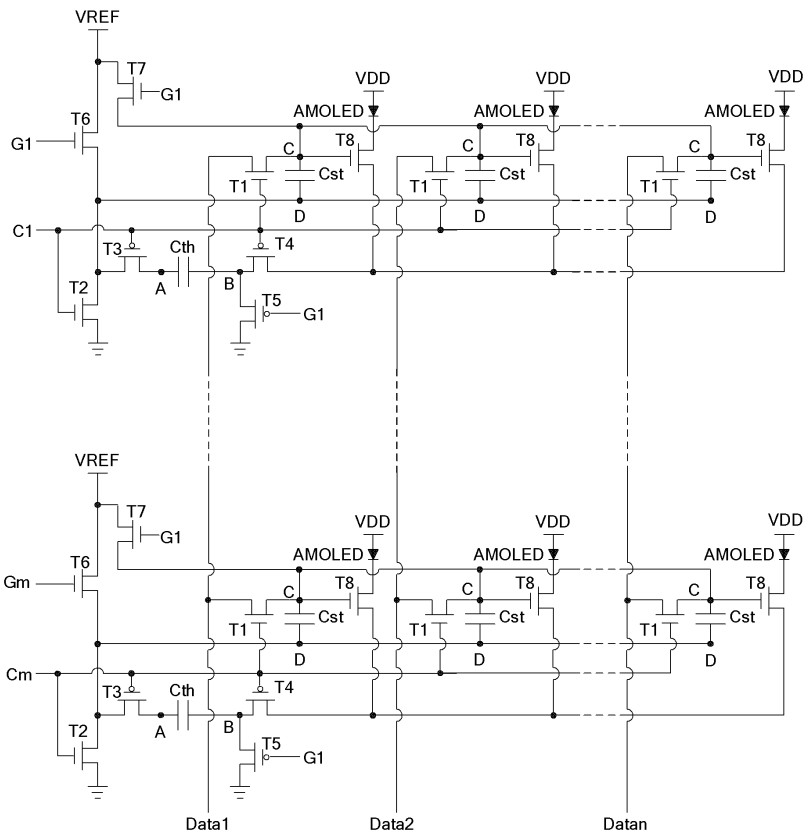
도면4



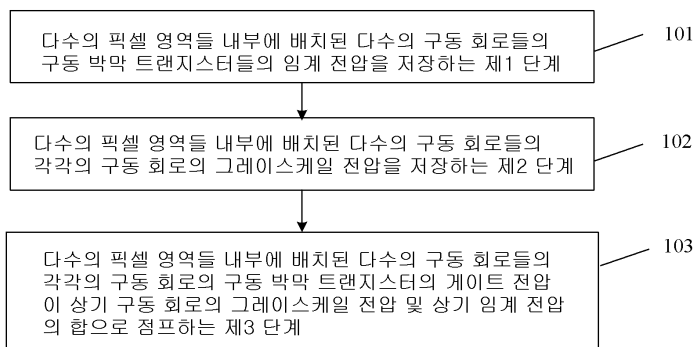
도면5



도면6



도면7



专利名称(译)	标题：有源有机发光二极管驱动和补偿电路和方法，以及有源有机发光二极管显示器		
公开(公告)号	KR1020130060232A	公开(公告)日	2013-06-07
申请号	KR1020127032551	申请日	2012-09-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	QI XIAOJING 치샤오징 LI TIANMA		
发明人	치샤오징 리티안마		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3258 G09G2300/0465 G09G2300/0861 G09G3/3233 G09G3/32 G09G2300/0819 G09G2300/0876		
优先权	201110340564.6 2011-11-01 CN		
外部链接	Espacenet		

摘要(译)

本发明公开了一种AMOLED驱动和补偿电路和方法，以及AMOLED显示装置。驱动和补偿电路包括：几个驱动电路，设置在用于驱动多个AMOLED的几个像素区域内；外部补偿电路设置在像素区域外部，用于消除设置在几个像素区域内的多个驱动电路中的驱动薄膜晶体管的阈值电压对通过驱动薄膜晶体管的驱动电流的影响。驱动和补偿方法包括：存储设置在几个像素区域内的多个驱动电路的驱动薄膜晶体管的阈值电压；存储设置在几个像素区域内的多个驱动电路中的每一个的灰度电压；设置在几个像素区域内的多个驱动电路中的每一个的驱动薄膜晶体管的栅极电压跳跃到驱动电路的阈值电压和灰度电压之和。显示装置包括AMOLED驱动和补偿电路。

