



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0126950
(43) 공개일자 2012년11월21일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/22 (2006.01)
H05B 33/26 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2011-0045119
(22) 출원일자 2011년05월13일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
유춘기
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

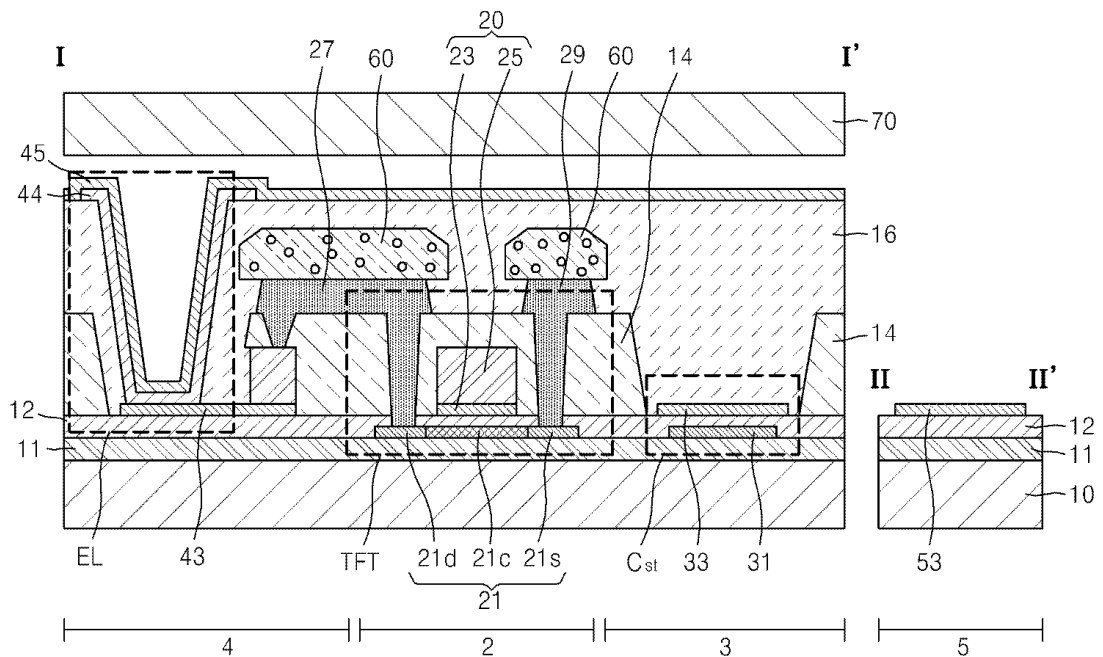
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 유기발광표시장치 및 이의 제조방법

(57) 요약

본 발명은 활성층, 제1전극과 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 적어도 상기 소스전극 및 상기 드레인전극 상에 형성된 포토레지스트층; 상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극; 상기 화소전극을 노출하고 상기 포토레지스트층을 덮도록 형성된 화소정의막; 노출된 상기 화소전극 상에 형성되며 발광층을 포함하는 중간층; 및 상기 중간층을 덮도록 상기 화소전극에 대향하여 형성된 대향전극; 을 포함하여 제조공정이 단순화되고, 화소전극 및 패드전극의 손상을 최소화하는 유기발광표시장치를 제공한다.

대표도



특허청구의 범위

청구항 1

활성층, 제1전극과 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터;
 적어도 상기 소스전극 및 상기 드레인전극 상에 형성된 포토레지스트층;
 상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극;
 상기 화소전극을 노출하고 상기 포토레지스트층을 덮도록 형성된 화소정의막;
 노출된 상기 화소전극 상에 형성되며 발광층을 포함하는 중간층; 및
 상기 중간층을 덮도록 상기 화소전극에 대향하여 형성된 대향전극;
 을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,
 상기 활성층과 동일층에 형성되며 불순물이 도핑된 반도체 물질을 포함하는 하부전극, 및 상기 제1전극과 동일층에 동일물질로 형성된 상부전극을 포함하는 커패시터;
 를 더 포함하는 유기발광표시장치.

청구항 3

제2항에 있어서,
 상기 포토레지스트층은 상기 하부전극에 포함된 상기 불순물과 동일한 물질의 상기 불순물을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,
 상기 제1전극과 동일층에 동일물질로 형성되는 패드전극;
 을 더 포함하며, 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결되는 유기발광표시장치.

청구항 5

제1항에 있어서,
 상기 제1전극 및 상기 화소전극은 ITO, IZO, ZnO, 및 In2O3 중 하나 이상을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,
 상기 제2전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제1항에 있어서,
 상기 화소전극은 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되며 동일층에 동일물질로 형성된 배선을 더 포함하며, 상기 배선 상에도 상기 포토레지스트층이 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 9

기판 상에 박막트랜지스터의 활성층 및 반도체 물질을 포함하는 커패시터의 하부전극을 형성하는 제1마스크 공정 단계;

상기 활성층 및 상기 하부전극 상에 상기 박막트랜지스터의 게이트전극, 화소전극을 형성하기 위한 제1전극패턴, 및 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴을 각각 형성하는 제2마스크 공정 단계;

상기 활성층의 양측, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 제3마스크 공정 단계;

상기 층간절연막 상에 전면적으로 금속층을 형성하는 단계;

상기 금속층을 소스전극 및 드레인전극으로 패터닝하기 위해 적어도 상기 소스전극 및 상기 드레인전극에 대응하는 영역에 포토레지스트층을 형성하는 제4마스크 공정 단계;

상기 포토레지스트층을 통해 상기 금속층을 패터닝하여, 노출된 상기 활성층의 양측과 접촉하는 소스전극 및 드레인전극과 상기 화소전극 및 상기 상부전극을 형성하는 단계;

상기 상부전극 하부에 배치된 상기 하부전극에 불순물을 도핑하는 단계;

상기 화소전극을 노출하고 상기 포토레지스트층을 덮도록 화소정의막을 형성하는 제5마스크 공정 단계; 및

노출된 상기 화소전극 상에 발광층을 포함하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 10

제9항에 있어서,

상기 활성층은 상기 반도체 물질을 포함하며, 상기 활성층에 불순물에 도핑하여 소스영역 및 드레인영역을 형성하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 11

제9항에 있어서,

상기 제2마스크 공정 단계는

상기 활성층 및 상기 하부전극 상부에 제1절연층, 제1도전층 및 제2도전층을 순차 형성하는 단계; 및

상기 제1도전층 및 상기 제2도전층을 패터닝하여, 상기 제1도전층을 제1전극으로 하고 상기 제2도전층을 제2전극으로 하는 상기 게이트전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 12

제11항에 있어서,

상기 제1도전층은 IT0, IZO, ZnO, 및 In2O3 중 하나 이상을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 13

제11항에 있어서,

상기 제2도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 14

제11항에 있어서,

상기 화소전극 및 상기 상부전극을 형성하는 단계는

상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 화소전극을 형성하고, 상기 제2전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 상부전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 15

제9항에 있어서,

상기 제2마스크 공정 단계는

상기 활성층 및 상기 하부전극 상부에 전면적으로 제1절연층, 제1도전층 및 제2도전층을 순차 형성하는 단계; 및

상기 제1도전층 및 상기 제2도전층을 패터닝하여, 패드전극을 형성하기 위한 제3전극패턴을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 16

제15항에 있어서,

상기 제3마스크 공정 단계는

상기 게이트전극 및 상기 제3전극패턴 상부에 제2절연층을 형성하는 단계; 및

상기 제3전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 17

제15항에 있어서,

상기 소스전극 및 상기 드레인전극의 형성 단계와 함께,

상기 제3전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 패드전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 18

제9항에 있어서,

상기 제3마스크 공정 단계는

상기 게이트전극, 상기 제1전극패턴 및 상기 제2전극패턴 상부에 전면적으로 제2절연층을 형성하는 단계; 및

상기 제2절연층을 패터닝하여 상기 활성층의 양측, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 19

제9항에 있어서,

상기 하부전극에 상기 불순물을 도핑할 때, 상기 포토레지스트층에도 상기 불순물이 도핑되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 20

제9항에 있어서,

상기 제5마스크 공정 단계는

상기 기판 전면에서 제3절연층을 형성하는 단계; 및

상기 제3절연층을 패터닝하여 상기 화소정의막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 21

제9항에 있어서,

상기 소스전극 및 상기 드레인전극의 형성 단계와 동시에,

상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되는 배선을 함께 형성하는 단계;를 더 포함하며,

상기 배선 상에도 상기 포토레지스트층이 형성되는 것을 특징으로 하는 유기발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기발광표시장치 및 이의 제조방법에 관한 것으로, 상세하게는 제조공정이 단순화되고, 화소전극 및 패드전극의 손상을 최소화하는 유기발광표시장치 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 제조공정이 단순화되고, 화소전극 및 패드전극의 손상을 최소화하는 유기발광표시장치 및 이의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 활성층, 제1전극과 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 적어도 상기 소스전극 및 상기 드레인전극 상에

형성된 포토레지스트층; 상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극; 상기 화소전극을 노출하고 상기 포토레지스트층을 덮도록 형성된 화소정의막; 노출된 상기 화소전극 상에 형성되며 발광층을 포함하는 중간층; 및 상기 중간층을 덮도록 상기 화소전극에 대향하여 형성된 대향전극; 을 포함하는 유기발광표시장치를 제공한다.

- [0006] 본 발명의 다른 특징에 따르면, 상기 활성층과 동일층에 형성되며 불순물이 도핑된 반도체 물질을 포함하는 하부전극, 및 상기 제1전극과 동일층에 동일물질로 형성된 상부전극을 포함하는 커패시터; 를 더 포함한다.
- [0007] 본 발명의 다른 특징에 따르면, 상기 포토레지스트층은 상기 하부전극에 포함된 상기 불순물과 동일한 물질의 상기 불순물을 포함하는 것을 특징으로 한다.
- [0008] 본 발명의 다른 특징에 따르면, 상기 제1전극과 동일층에 동일물질로 형성되는 패드전극; 을 더 포함하며, 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결된다.
- [0009] 본 발명의 다른 특징에 따르면, 상기 제1전극 및 상기 화소전극은 ITO, IZO, ZnO, 및 In₂O₃ 중 하나 이상을 포함하는 것을 특징으로 한다.
- [0010] 본 발명의 다른 특징에 따르면, 상기 제2전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.
- [0011] 본 발명의 다른 특징에 따르면, 상기 화소전극은 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되는 것을 특징으로 한다.
- [0012] 본 발명의 다른 특징에 따르면, 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되며 동일층에 동일물질로 형성된 배선; 을 더 포함하며, 상기 배선 상에도 상기 포토레지스트층이 형성되는 것을 특징으로 한다.
- [0013] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 박막트랜지스터의 활성층 및 반도체 물질을 포함하는 커패시터의 하부전극을 형성하는 제1마스크 공정 단계; 상기 활성층 및 상기 하부전극 상에 상기 박막트랜지스터의 게이트전극, 화소전극을 형성하기 위한 제1전극패턴, 및 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴을 각각 형성하는 제2마스크 공정 단계; 상기 활성층의 양측, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 제3마스크 공정 단계; 상기 층간절연막 상에 전면적으로 금속층을 형성하는 단계; 상기 금속층을 소스전극 및 드레인전극으로 패터닝하기 위해 적어도 상기 소스전극 및 상기 드레인전극에 대응하는 영역에 포토레지스트층을 형성하는 제4마스크 공정 단계; 상기 포토레지스트층을 통해 상기 금속층을 패터닝하여, 노출된 상기 활성층의 양측과 접촉하는 소스전극 및 드레인전극과 상기 화소전극 및 상기 상부전극을 형성하는 단계; 상기 상부전극 하부에 배치된 상기 하부전극에 불순물을 도핑하는 단계; 상기 화소전극을 노출하고 상기 포토레지스트층을 덮도록 화소정의막을 형성하는 제5마스크 공정 단계; 및 노출된 상기 화소전극 상에 발광층을 포함하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계; 를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0014] 본 발명의 다른 특징에 따르면, 상기 활성층은 상기 반도체 물질을 포함하며, 상기 활성층에 불순물에 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함한다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 제2마스크 공정 단계는 상기 활성층 및 상기 하부전극 상부에 제1절연층, 제1도전층 및 제2도전층을 순차 형성하는 단계; 및 상기 제1도전층 및 상기 제2도전층을 패터닝하여, 상기 제1도전층을 제1전극으로 하고 상기 제2도전층을 제2전극으로 하는 상기 게이트전극을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 제1도전층은 ITO, IZO, ZnO, 및 In₂O₃ 중 하나 이상을 포함하는 것을 특징으로 한다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 제2도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 화소전극 및 상기 상부전극을 형성하는 단계는 상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 화소전극을 형성하고, 상기 제2전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 상부전극을 형성하는 단계; 를 포함하는 것을 특징으로 한다.

- [0019] 본 발명의 다른 특징에 따르면, 상기 제2마스크 공정 단계는 상기 활성층 및 상기 하부전극 상부에 전면적으로 제1절연층, 제1도전층 및 제2도전층을 순차 형성하는 단계; 및 상기 제1도전층 및 상기 제2도전층을 패터닝하여, 패드전극을 형성하기 위한 제3전극패턴을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 제3마스크 공정 단계는 상기 게이트전극 및 상기 제3전극패턴 상부에 제2절연층을 형성하는 단계; 및 상기 제3전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0021] 본 발명의 다른 특징에 따르면, 상기 소스전극 및 상기 드레인전극의 형성 단계와 함께, 상기 제3전극패턴을 구성하는 상기 제2도전층을 제거하여, 상기 제1도전층을 전극으로 하는 상기 패드전극을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 제3마스크 공정 단계는 상기 게이트전극, 상기 제1전극패턴 및 상기 제2전극패턴 상부에 전면적으로 제2절연층을 형성하는 단계; 및 상기 제2절연층을 패터닝하여 상기 활성층의 양측, 상기 제1전극패턴, 및 상기 제2전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 하부전극에 상기 불순물을 도핑할 때, 상기 포토레지스트층에도 상기 불순물이 도핑되는 것을 특징으로 한다.
- [0024] 본 발명의 다른 특징에 따르면, 상기 제5마스크 공정 단계는 상기 기판 전면에서 제3절연층을 형성하는 단계; 및 상기 제3절연층을 패터닝하여 상기 화소정의막을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0025] 본 발명의 다른 특징에 따르면, 상기 소스전극 및 상기 드레인전극의 형성 단계와 동시에, 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되는 배선을 함께 형성하는 단계; 를 더 포함하며, 상기 배선 상에도 상기 포토레지스트층이 형성되는 것을 특징으로 한다.

발명의 효과

- [0026] 이상과 같은 본 발명의 일 실시예에 따르면, 유기발광표시장치의 제조공정이 단순화되고, 화소전극 및 패드전극의 손상이 최소화되어 장치의 신뢰성이 향상되는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치의 구조를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1의 I-I' 및 II-II'를 따라 절개한 단면도이다.
- 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치의 제조공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0029] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.

- [0033] 도 1을 참조하면, 유기발광표시장치(1)는 복수개의 발광화소를 포함하는 제1기판(10), 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.
- [0034] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0035] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.
- [0036] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(70)을 접합한다.
- [0037] 상술한 바와 같이, 제1기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극이 위치하는 패드영역(5)이 포함될 수 있다.
- [0038] 도 2는 도 1의 I-I' 및 II-II'를 따라 절개한 단면도이다.
- [0039] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 트랜지스터영역(2), 저장영역(3), 발광영역(4) 및 패드영역(5)을 포함한다.
- [0040] 트랜지스터영역(2)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(21), 게이트전극(20) 및 소스/드레인 전극(29,27)으로 구성된다. 게이트전극(20)은 제1전극(23)과 제1전극(23) 상부에 있는 제2전극(25)으로 구성되고, 이 때 제1전극(23)은 투명한 전도성 물질로 형성될 수 있다. 게이트전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트절연막인 제1절연층(12)이 개재되어 있다. 또한, 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인 영역(21s/21d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(29/27)에 각각 연결되어 있다.
- [0041] 한편, 본 발명의 실시예에 의하면, 소스/드레인전극(29/27) 상에는 포토레지스트층(60)이 형성된 것을 특징으로 한다. 이 포토레지스트층(60)은 소스/드레인전극(29/27)을 패터닝하기 위해 사용된 것이다. 따라서, 포토레지스트층(60)은 소스/드레인전극(29/27)과 동일한 패턴으로 배치된다. 포토레지스트층(60)과 관련해서는, 본 발명의 제조공정을 설명한 도 3 내지 도 14를 참조하여 더욱 자세하게 설명하기로 한다.
- [0042] 저장영역(3)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부전극(31) 및 상부전극(33)으로 이루어지며, 이들 사이에 제1절연층(12)이 개재된다. 여기서, 하부전극(31)은 박막트랜지스터(TFT)의 활성층(21)과 동일한 층에 형성될 수 있다. 하부전극(31)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 커패시터 상부전극(33)은 박막트랜지스터(TFT)의 제1전극(23), 유기발광소자(EL)의 화소전극(43), 패드전극(53)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0043] 발광영역(4)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(29/27) 중 하나와 접속된 화소전극(43), 화소전극(43)과 마주보도록 형성된 대향전극(45) 및 그 사이에 개재된 중간층(44)으로 구성된다. 화소전극(43)은 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 제1전극(23) 등과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0044] 패드영역(5)은 패드전극(53)을 포함한다. 여기서, 패드전극(53)은 박막트랜지스터(TFT)의 제1전극(23), 커패시터 상부전극(33) 및 유기발광소자(EL)의 화소전극(43)과 동일한 층에 동일한 물질로 형성될 수 있다. 패드전극(53)은 유기발광표시장치(1)의 구동을 위해 전류를 공급하는 드라이버 IC(미도시)와 전기적으로 연결된다. 따라서, 패드전극(53)은 드라이버 IC로부터 전류를 인가받아 발광영역(도 1의 DA)으로 전달하게 된다.
- [0045] 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.
- [0046] 먼저, 도 3에 도시된 바와 같이, 기판(10) 상부에 보조층(11)을 형성한다. 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

- [0047] 한편, 기관(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0048] 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(31)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(21) 및 커패시터(Cst)의 하부전극(31)으로 패터닝된다.
- [0049] 본 실시예에서는, 활성층(21)과 커패시터 하부전극(31)이 분리 형성되었으나, 활성층(21)과 커패시터 하부전극(31)을 일체로 형성할 수도 있다.
- [0050] 다음으로, 도 4에 도시된 바와 같이, 활성층(21)과 커패시터 하부전극(31)이 형성된 기관(10)의 전면에 제1절연층(12), 제1도전층(13) 및 제2도전층(15)을 순차로 형성한다.
- [0051] 제1절연층(12)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(12)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트전극(20) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 상부전극(33)과 하부전극(31) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0052] 제1도전층(13)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(13)은 화소전극(43), 게이트 제1전극(23), 커패시터 상부전극(33), 및 패드전극(53)으로 패터닝 될 수 있다.
- [0053] 한편, 제2도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 제2도전층(15)은 게이트 제2전극(25)으로 패터닝 될 수 있다.
- [0054] 다음으로, 도 5에 도시된 바와 같이, 기관(10) 상에 게이트전극(20)과, 제1전극패턴(40)과 제2전극패턴(30)과 제3전극패턴(50)을 각각 형성한다.
- [0055] 상세히, 기관(10) 전면에 차례로 적층된, 제1도전층(13) 및 제2도전층(15)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0056] 이때, 트랜지스터영역(2)에는 활성층(21) 상부에 게이트전극(20)이 형성되고, 게이트전극(20)은 제1도전층(13)의 일부로 형성된 게이트 제1전극(23)과 제2도전층(15)의 일부로 형성된 게이트 제2전극(25)을 포함한다.
- [0057] 여기서, 게이트전극(20)은 활성층(21)의 중앙에 대응하도록 형성되며, 게이트전극(20)을 셀프 얼라인(self align) 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0058] 저장영역(3)에는 추후 커패시터 상부전극(33)을 형성하기 위한 제2전극패턴(30)이 커패시터 하부전극(31) 상부에 형성되고, 발광영역(4)에는 추후 화소전극(43)을 형성하기 위한 제1전극패턴(40)이 형성된다. 그리고, 패드영역(5)에는 추후 패드전극(53)을 형성하기 위한 제3전극패턴(50)이 형성된다.
- [0059] 다음으로, 도 6에 도시된 바와 같이, 게이트전극(20)이 형성된 기관(10)의 전면에 제2절연층(14)을 증착한다.
- [0060] 상기 제2절연층(14)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(14)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(12)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(20)과 소스/드레인전극(29/27) 사이의 층간절연막 역할을 수행한다. 한편, 제2절연층(14)은 상기와 같은 유기 절연 물질 뿐만 아니라, 전술한 제1절연층(12)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물

질을 교번하여 형성할 수도 있다.

- [0061] 다음으로, 도 7에 도시된 바와 같이, 제2절연층(14)을 패터닝하여 제1 내지 제3전극패턴(30, 40, 50)과 활성층(21)의 소스/드레인영역(21s/21d)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5, H6)을 갖는 층간절연막(14)을 형성한다.
- [0062] 상세히, 상기 제2절연층(14)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(H1, H2, H3, H4, H5, H6)을 형성한다. 여기서, 제1, 제2개구(H1, H2)는 소스/드레인 영역(21s/21d)의 일부를 각각 노출시키고, 제3개구(H3)는 제2전극패턴(30)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시키고, 상기 제4,5개구(H4,H5)는 제1전극패턴(40)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 그리고, 상기 제6개구(H6)는 제3전극패턴(50)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 한편, 도 7에 도시된 바와 같이 제3, 5개구(H3, H5)는 각 전극패턴(30,50) 전체를 노출시키도록 형성될 수도 있으나, 이에 한정된 것은 아니다.
- [0063] 다음으로, 도 8에 도시된 바와 같이, 층간절연막(14)을 덮도록 기판(10) 전면에서 제3도전층(17)을 증착한다.
- [0064] 상기 제3도전층(17)은 전술한 제1 또는 제2도전층(13, 15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5, H6)을 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0065] 다음으로, 도 8에 도시된 바와 같이, 제3도전층(17) 상에 전면적으로 포토레지스트 물질을 균일하게 도포한다. 포토레지스트 물질은 감광성 고분자로서, 광에 반응하는 물질을 포함한다. 포토레지스트 물질은 용제(solvent), 탄화수소 고분자(polymer) 및 감응제(PAC)를 포함할 수 있다. 여기서 포토레지스트 물질은 크게 두가지 타입으로 구분할 수 있는데, 빛을 받은 부분이 굳어지고 다른 부분이 현상되는 것을 네가티브(Negative) 타입이라 하고, 빛을 받은 부분이 녹아내리는 것을 포지티브(Positive) 타입이라 한다. 포토레지스트 물질은 도포한 후, 제4마스크(미도시)를 사용한 마스크 공정에 의해 스테퍼(stapper)와 같은 노광 장비로 포토레지스트 물질을 노광시킨 후, 포지티브(positive) 포토레지스트의 경우 감광된 포토레지스트를 현상(developing)하여 제4마스크의 개구부가 아닌 부분에 따른 패턴을 가진 포토레지스트층(60)을 형성한다. 만약, 네가티브(negative) 포토레지스트의 경우 감광된 포토레지스트를 현상(developing)하여 제4마스크의 개구부에 따른 패턴을 가진 포토레지스트층(60)을 형성한다. 여기서 제4마스크는 적어도 소스/드레인전극(29/27)을 형성하기 위한 것이므로, 포토레지스트층(60)은 적어도 소스/드레인전극(29/27)이 형성될 자리에만 남아있게 된다.
- [0066] 다음으로, 도 9에 도시된 바와 같이, 잔존하는 포토레지스트층(60)을 마스크로 하여 제3도전층(도 8의 17 참조)을 식각함으로써, 소스/드레인전극(29/27), 화소전극(43) 커패시터 상부전극(33) 및 패드전극(53)을 각각 형성한다.
- [0067] 여기서, 소스/드레인전극(29/27) 중 하나의 전극(본 실시예의 경우 드레인전극(27))은 화소전극(43)이 형성될 전극패턴(도 8의 40 참조)의 상부 제2도전층(15)의 가장자리 영역의 제5개구(H5)를 통하여 화소전극(43)과 접촉하도록 형성된다.
- [0068] 한편, 소스/드레인전극(29/27)을 형성함과 동시에 화소전극(43) 및 커패시터 상부전극(33)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(29/27)을 형성한 후 추가 식각에 의해 화소전극(43) 및 커패시터 상부전극(33)을 각각 형성할 수도 있다. 상세히, 제1전극패턴(도 8의 40 참조)은 제4개구(H4)에 의해 노출된 상부 제2도전층(15)을 제거하여 화소전극(43)을 형성한다. 그리고, 상기 제2전극패턴(도 8의 30 참조)은 제3개구(H3)에 의해 노출된 상부 제2도전층(15)을 제거하여 커패시터 상부전극(33)을 형성한다. 그리고, 제3전극패턴(도 8의 50 참조)은 제6개구(H6)에 의해 노출된 상부 제2도전층(15)을 제거하여 패드전극(53)을 형성한다.
- [0069] 따라서 게이트 제1전극(23), 커패시터 상부전극(33), 화소전극(43), 및 패드전극(53)은 동일층에서 동일 물질로 형성된다.
- [0070] 한편, 도 10은 트랜지스터영역(2)만을 따로 도시한 개략적인 평면도이다.
- [0071] 도 10을 참조하면, 소스/드레인전극(29/27)은 중 어느 하나 또는 둘 다는 배선(V)과 연결될 수 있다. 도 10에서는 소스전극(29)이 전원배선(V)과 연결된 모습을 도시한 것이다. 그러나, 도 10에 도시된 바에 한정되지 않고, 스위칭트랜지스터의 경우 소스전극이 데이터배선에 연결되며, 드레인전극이 커패시터 상부전극 또는 하부전극과 커플링하는 연결전극과 연결될 수도 있을 것이다. 이러한 배선(V)은 제3도전층(도 8의 17)을 제4마스크를 이용

하여 패터닝하여 소스/드레인전극(29/27)을 형성할 때(동시에) 함께 형성될 수 있다. 따라서, 배선(V) 상에도 소스/드레인전극(29/27)과 동일하게 포토레지스트층(60)이 남아 있을 수 있다.

- [0072] 다음으로 도 11에 도시된 바와 같이, n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(31)을 도핑한다.
- [0073] 여기서, 제3개구(H3)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(31)을 도핑할 수 있다. 도핑 시 주입되는 불순물은 상기 활성층(21)의 도핑 시 사용된 것과 동일 또는 상이할 수 있으며, 예를 들어 보론(B)이온 또는 인(P)이온 일 수 있다.
- [0074] 도 11 이전의 공정 단계에서는 제2전극패턴(도 8의 30)의 제2도전층(도 4의 15)이 존재하기 때문에 커패시터 하부전극(31)을 도핑하는 것이 불가능하였다. 따라서, 소스/드레인전극(29/27) 형성시 제2전극패턴(도 8의 30)의 제2도전층(도 4의 15)을 함께 에칭한 후, 도핑을 차단하지 않는 투명한 커패시터 상부전극(33)만을 남긴 상태에서 커패시터 하부전극(31)의 도핑을 수행하는 것이다. 한편, 도 11을 살펴보면, 제3개구(H3)가 커패시터 하부전극(31)을 완전히 노출하도록 충분히 넓게 형성되고, 제2전극패턴(도 8의 30)의 제2도전층(도 4의 15)이 일부 잔존하지 않고 모두 식각됨으로써, 커패시터 하부전극(31)이 완전히 도핑될 수 있어, 개구율 향상, 정전 용량 증가, 및 커패시터 배선의 신호 전달 품질 향상을 도모할 수 있다.
- [0075] 본 발명의 일 실시 예에 의하면, 포토레지스트층(60)을 마스크로 하여 식각을 수행한 후, 애싱(Ashing) 및 스트리핑(stripping)을 통해 포토레지스트층(60)을 제거하지 않는 것을 특징으로 한다. 애싱 및 스트리핑 공정이란 박리공정이라고도 불리며, 포토공정에서 패턴 형성을 위해 코팅된 포토레지스트(PR·Photoresist)를 식각한 후 잔존 포토레지스트를 벗겨내는 공정이다. 예를 들어, 애싱 공정은 O₂ 가스를 이용하는 산소 플라즈마를 사용하여 잔존하는 포토레지스트층(60)을 제거할 수 있다. 포토레지스트는 기본적으로 탄화수소 폴리머를 포함하기 때문에 산소 원자는 포토레지스트와 재빨리 반응하여 휘발성의 일산화탄소(CO), 이산화탄소(CO₂), 및 물(H₂O)을 생성하여 쉽게 제거될 수 있다. 한편 스트리핑 공정은 황산(H₂SO₄) 및 과산화수소(H₂O₂)를 이용하여 포토레지스트층(60)을 제거하는 것이다.
- [0076] 한편, 불순물의 도핑은 커패시터 하부전극(31)을 타겟으로 하지만 전면적으로 수행될 수 있어서, 포토레지스트층(60)에도 불순물이 주입되어 도핑된다. 즉, 포토레지스트층(60)에도 커패시터 하부전극(31)과 동일한 불순물이 주입되게 되는데, 이러한 불순물은 포토레지스트층(60)이 2차 경화되도록 하는 특징이 있다. 2차 경화된 포토레지스트층(60)은 애싱(Ashing) 및 스트리핑을 통해 쉽게 제거가 어렵다. 설사 강한 플라즈마 처리나, 화학약품 처리를 통해 잔존한 포토레지스트층(60)을 제거하더라도 개구(H4, H3, H6)들을 통해 노출된 화소전극(43)과 커패시터 상부전극(33)과 패드전극(53)에 큰 손상을 주게된다. 이렇게 손상을 받은 화소전극(43)은 유기발광소자(EL)의 품질을 저하시키게 되며, 이렇게 손상을 받은 커패시터(Cst) 및 전극패드(53)은 신호 전달 품질 저하를 일으키는 문제가 있다. 따라서, 본 발명의 일 실시예에 의하면, 불순물이 도핑된 포토레지스트층(60)을 제거하지 않고 그대로 남겨둠으로써 공정의 단순화를 도모하고, 타 전극의 손상을 방지하는 효과가 있다.
- [0077] 다음으로, 도 12에 도시된 바와 같이, 기관(10) 상에 제3절연층(16)을 형성한다.
- [0078] 상세히, 화소전극(43), 소스/드레인전극(29/27), 커패시터 상부전극(33), 패드전극(53)이 형성된 기관(10) 전면에서 제3절연층(16)을 충분히 두껍게 증착한다. 한편, 제3절연층(16)은 포토레지스트층(60)을 덮도록 형성되는 것이 바람직하다. 이때 상기 제3절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3 절연층(16)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(16)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0079] 한편, 제3절연층(16)은 선택에 따라 패드영역(5)에 증착될 수도 있고, 증착되지 않을 수도 있다.
- [0080] 다음으로 도 13에 도시된 바와 같이, 제3절연층(16)을 패터닝하여 화소정의막(16)을 형성한다.
- [0081] 화소정의막(16)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(43)의 중앙부가 노출되도록 개구(H7)를 형성함으로써, 픽셀을 정의하게 된다.
- [0082] 마지막으로 도 14에 도시된 바와 같이, 화소전극(43)을 노출하는 개구(H7)에 발광층을 포함하는 중간층(44) 및 대향 전극(45)을 형성한다.

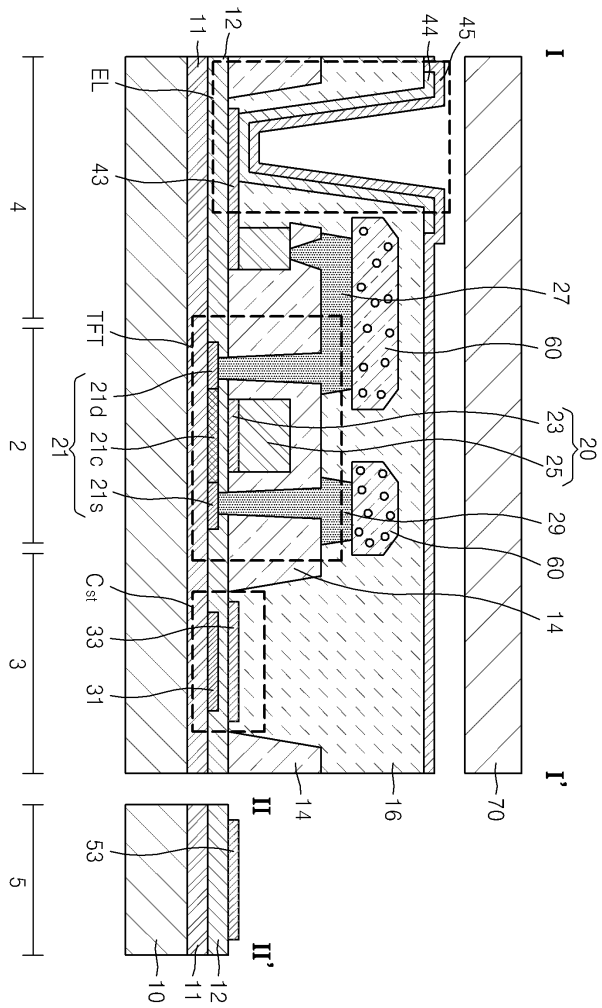
- [0083] 중간층(44)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0084] 상기 중간층(44)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0085] 저분자 유기물로 형성되는 경우, 중간층(44)은 유기 발광층을 중심으로 화소전극(43)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(45) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0086] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(44)은 유기 발광층을 중심으로 화소전극(43) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(43) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0087] 상기 대향 전극(45)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기발광표시장치(1)의 경우, 화소전극(43)은 애노드 전극으로 사용되고, 대향 전극(45)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0088] 유기발광표시장치(1)가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(43)은 투명전극이 되고 대향 전극(45)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0089] 한편, 아래 표 1은 포토레지스트층(60)을 잔류시킨 본 발명의 일 실시 예에 의한 유기발광표시장치(1)를 대조군으로 하고, 포토레지스트층(60)을 제거한 유기발광표시장치를 실험군으로 하여 발광효율을 비교한 것이다. 특히 블루 서브픽셀의 발광효율을 살펴보았다.

표 1

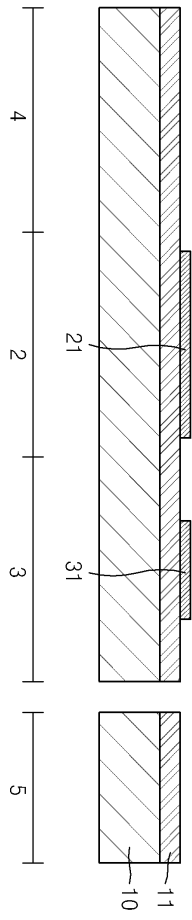
| 발광효율 | 대조군 | 실험군 |
|-------------------------|-----|-----|
| Cd/A (candela / ampere) | 5.7 | 5.5 |

- [0090]
- [0091] 표 1의 결과에서도 알 수 있듯이 포토레지스트층(60)을 잔류시킨 대조군이 더 좋은 발광효율을 나타냄을 알 수 있다. 결국, 본 발명의 실시예에 의한 유기발광표시장치(1)는 포토레지스트층(60)을 잔류시킴으로써, 화소전극(43) 등의 손상을 방지하여 발광효율을 증대시키는 효과가 있음이 증명되었다.
- [0092] 전술된 유기발광표시장치(1)를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0093] 한편, 전술한 실시예에서는 유기발광표시장치(1)를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.
- [0094] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0095] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

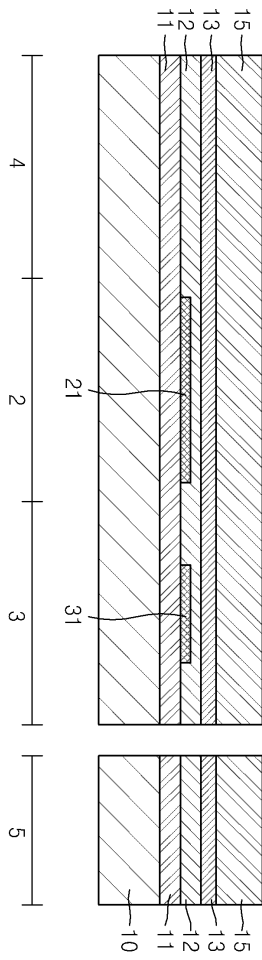
도면2



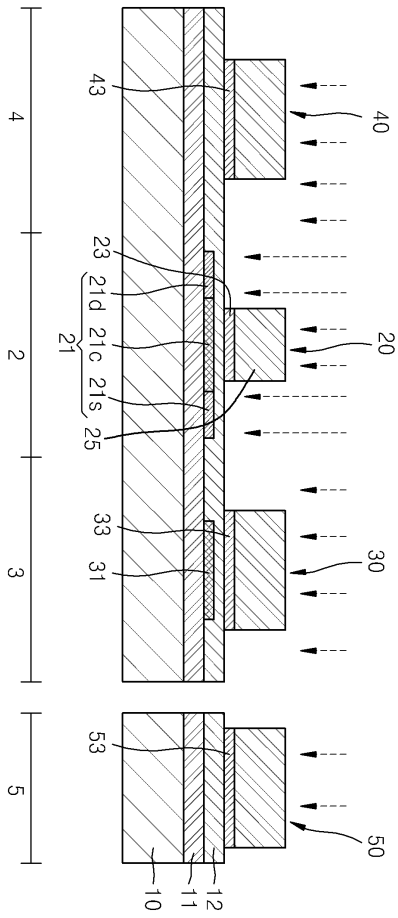
도면3



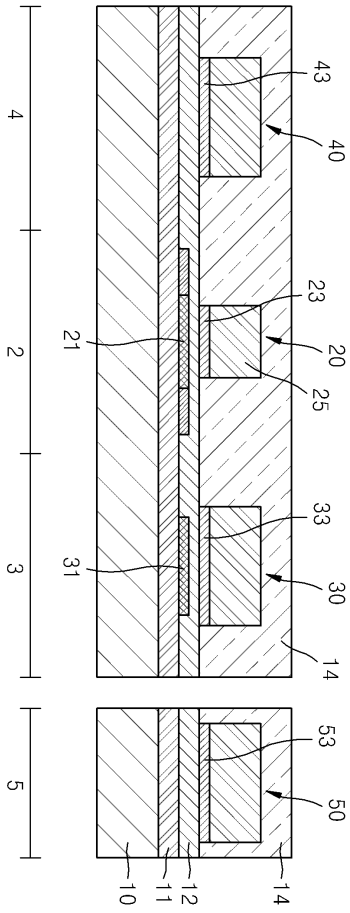
도면4



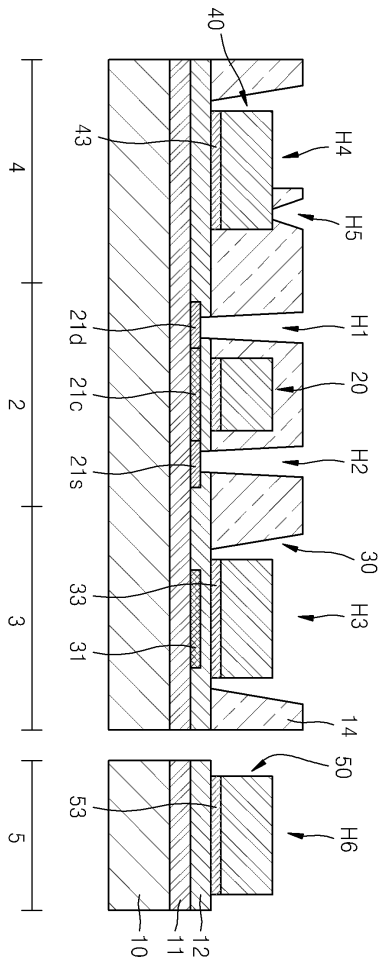
도면5



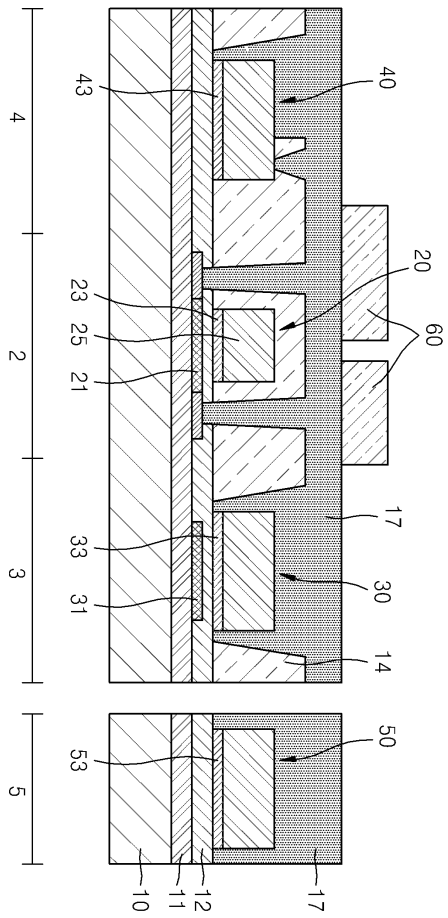
도면6



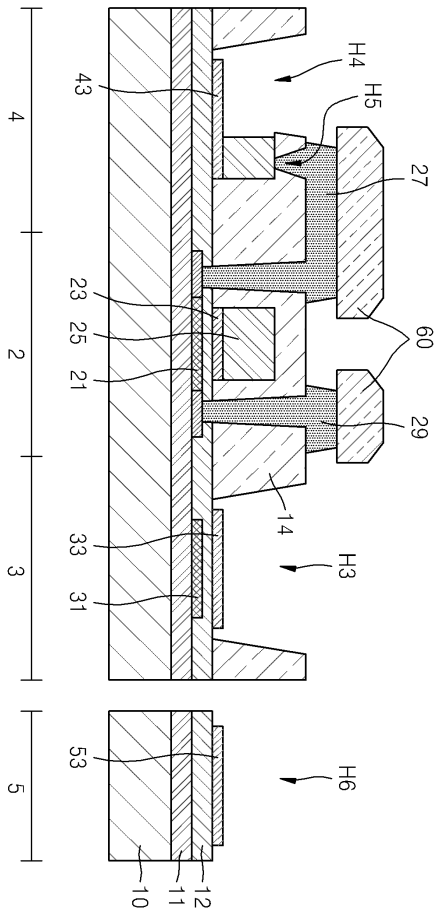
도면7



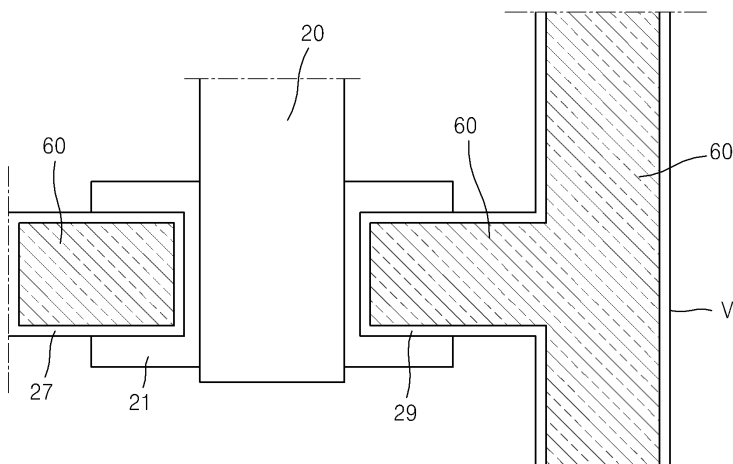
도면8



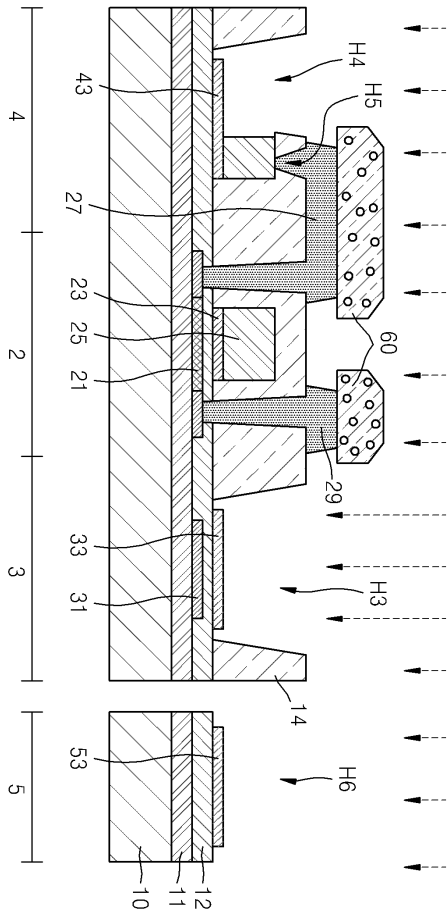
도면9



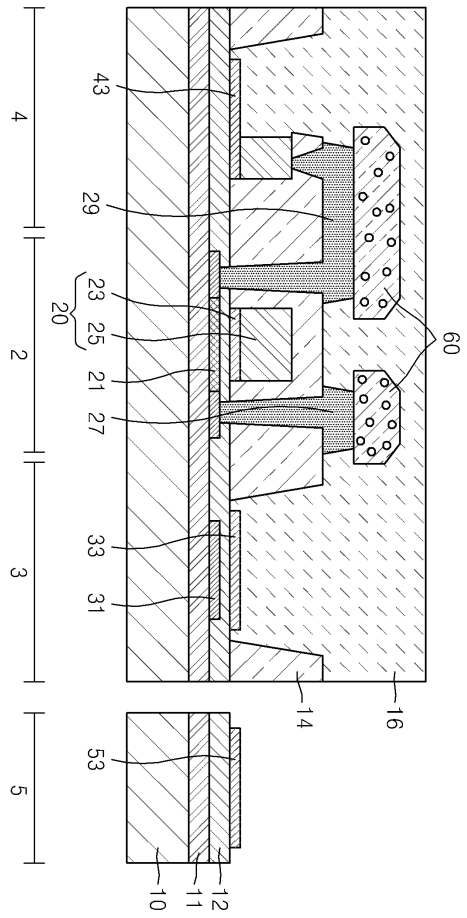
도면10



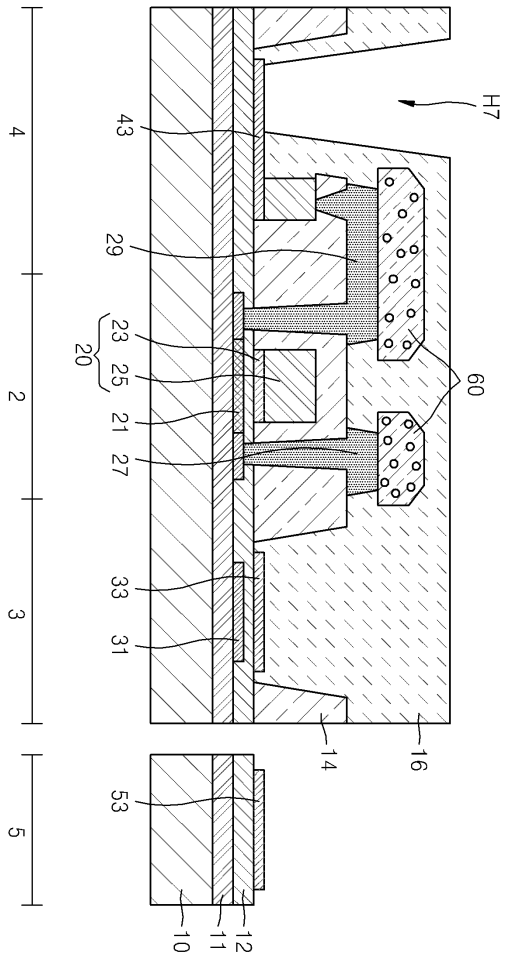
도면11



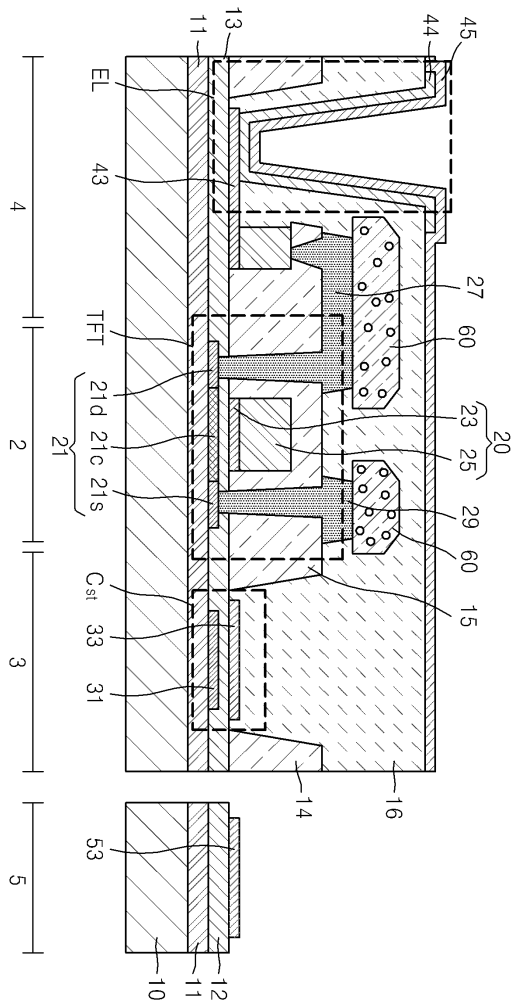
도면12



도면13



도면14



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：OLED显示器及其制造方法 | | |
| 公开(公告)号 | KR1020120126950A | 公开(公告)日 | 2012-11-21 |
| 申请号 | KR1020110045119 | 申请日 | 2011-05-13 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | YOU CHUN GI | | |
| 发明人 | YOU, CHUN GI | | |
| IPC分类号 | H01L51/50 H05B33/22 H05B33/26 H05B33/10 | | |
| CPC分类号 | H01L51/56 H01L2227/323 H01L27/3248 H01L27/3246 H01L27/1255 H01L51/0011 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明提供一种有机发光显示装置，其中简化制造工艺，包括包括包括栅电极的薄膜晶体管的中间层，以及源电极和漏电极，光致抗蚀剂层至少形成在源电极和漏电极上电极，像素电极，像素限定层和发光层形成在暴露的像素电极和面对像素电极中的相对电极上，以便放在中间层上并形成并最小化包括有源层的焊盘电极和像素电极以及第一电极和第二电极的损坏。像素电极与薄膜晶体管电连接，并且在与第一电极相同的层中形成为相同的材料。形成像素限定层以暴露像素电极并覆盖光致抗蚀剂层。图像的存在（专业参考）。

