

명세서

청구범위

청구항 1

활성층, 상기 활성층과 절연되며 게이트하부전극 및 게이트상부전극을 포함하는 게이트전극, 상기 게이트전극과 절연되어 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터와 전기적으로 연결되며, 상기 게이트하부전극과 동일층에 형성된 화소전극, 상기 화소전극 상에 위치하며 상기 게이트상부전극과 동일물질질을 포함하는 상부층, 발광층을 포함하는 중간층, 및 대향전극이 순차적으로 적층된 유기발광소자; 및

상기 박막트랜지스터 또는 상기 유기발광소자와 전기적으로 커플링되며, 상기 화소전극과 동일층에 형성된 패드제1전극, 상기 상부층과 동일층에 형성된 패드제2전극 및 상기 패드제2전극 상에 투명 도전성 산화물(Transparent Conductive Oxide)을 포함하는 패드제3전극이 순차적으로 적층된 패드전극;

을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 게이트전극 및 상기 패드전극을 덮는 적어도 하나의 절연막; 을 더 포함하고, 상기 절연막은 상기 패드전극의 가장자리를 덮고 적어도 중앙부를 노출하는 개구부를 포함하는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 개구부를 통해 노출된 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결되는 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 적어도 하나의 절연막 상부에는 상기 소스전극 및 상기 드레인전극이 배치되는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 패드제3전극은 결정질 인듐틴옥사이드(p-ITO)를 포함하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 게이트하부전극, 상기 화소전극 및 상기 패드제1전극은 투명한 도전성 산화물을 포함하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 게이트상부전극 및 상기 패드제2전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 활성층과 동일층에 형성된 커패시터하부전극 및 상기 게이트전극과 동일층에 형성된 커패시터상부전극을 포함하여, 상기 박막트랜지스터와 전기적으로 커플링된 커패시터; 를 더 구비하는 유기발광표시장치.

청구항 9

기관 상에 박막트랜지스터의 활성층을 형성하는 제1마스크공정단계;

상기 활성층 상부에, 제1절연막, 제1도전층, 제2도전층 및 제3도전층을 순차 적층한 후 상기 제1도전층, 상기 제2도전층 및 상기 제3도전층을 패터닝하여 상기 제1도전층을 게이트하부전극으로 하고, 상기 제2도전층을 게이트상부전극으로 하는 게이트전극, 상기 제1도전층 및 상기 제2도전층을 포함하는 제1전극패턴, 상기 제1도전층을 패드제1전극으로 하고, 상기 제2도전층을 패드제2전극으로 하고, 상기 제3도전층을 패드제3전극으로 하는 패드전극을 형성하는 제2마스크공정단계;

상기 게이트전극, 상기 제1전극패턴 및 상기 패드전극 상부에 제2절연막을 형성한 후, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 일부를 노출하는 개구들 및 상기 제2절연막을 패터닝하여 상기 제1전극패턴 및 상기 패드전극의 적어도 일부를 노출하는 개구들을 형성하는 제3마스크공정단계;

상기 개구들을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극패턴으로부터 화소전극을 형성하는 제4마스크공정단계; 및

상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계;

를 포함하며,

상기 제2마스크공정단계는,

상기 활성층 상부에, 제1절연막, 제1도전층, 제2도전층 및 제3도전층을 순차 적층하는 단계;

하프톤 마스크를 이용하여 상기 게이트전극 및 상기 제1전극패턴에 대응하는 제1영역에 제1두께를 가지고, 상기 패드전극에 대응하는 제2영역에 상기 제1두께보다 두꺼운 제2두께를 가지는 제1감광막패턴을 형성하는 단계;

상기 제1감광막패턴을 마스크로 하여 상기 제1도전층, 상기 제2도전층 및 상기 제3도전층이 순차적으로 적층된 게이트전극, 제1전극패턴 및 패드전극을 형성하는 단계;

상기 제1감광막패턴을 상기 제1두께만큼 제거하여, 상기 제1영역에서 상기 제1감광막패턴을 제거하고 상기 제2영역에서 제3두께를 가지는 제2감광막패턴을 형성하는 단계; 및

상기 제2감광막패턴을 마스크로 하여 상기 제1영역의 상부에 위치한 상기 제3도전층을 제거하여, 상기 제1도전층을 게이트하부전극으로 하고, 상기 제2도전층을 게이트상부전극으로 하는 게이트전극, 상기 제1도전층 및 상기 제2도전층을 포함하는 제1전극패턴, 상기 제1도전층을 패드제1전극으로 하고, 상기 제2도전층을 패드제2전극으로 하고, 상기 제3도전층을 패드제3전극으로 하는 패드전극을 형성하는 단계;

를 포함하는, 유기발광표시장치의 제조방법.

청구항 10

삭제

청구항 11

제9항에 있어서,

상기 제2마스크공정단계 이후에,

상기 패드제3전극을 어닐링하여 결정질 인듐틴옥사이드 (p-ITO)를 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 12

제9항에 있어서,

상기 제2마스크공정단계 이후에,

상기 활성층을 불순물로 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 13

제9항에 있어서,

상기 제3마스크공정단계에서, 상기 제2절연막이 상기 패드전극의 가장자리를 덮고 적어도 중앙부를 노출하도록 상기 개구를 형성하는 유기발광표시장치의 제조방법.

청구항 14

제13항에 있어서,

상기 개구를 통해 노출된 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결시키는 유기발광표시장치의 제조방법.

청구항 15

제9항에 있어서,

상기 제4마스크공정단계는

상기 제2절연막 상에 제4도전층을 형성하는 단계;

상기 제4도전층을 패터닝하여 상기 소스전극 및 상기 드레인전극을 형성하는 단계; 및

상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 화소전극을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 16

제9항에 있어서,

상기 제1마스크공정단계는 기판 상에 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고,

상기 제2마스크공정단계는 상기 커패시터하부전극의 상부에, 커패시터상부전극을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 17

제9항에 있어서,

상기 제5마스크공정단계 이후에, 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향 전극을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 측면은 유기발광표시장치 및 그 제조방법에 관한 것으로, 상세하게는 제조 공정이 단순화되고, 페드부의 내부식성 및 저항이 개선된 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이

그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

- [0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 측면은 제조 공정이 단순화되고, 패드부의 내부식성 및 저항이 개선된 유기발광표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0005] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 활성층, 상기 활성층과 절연되며 게이트하부전극 및 게이트상부전극을 포함하는 게이트전극, 상기 게이트전극과 절연되어 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결되며, 상기 게이트하부전극과 동일층에 형성된 화소전극, 발광층을 포함하는 중간층, 및 대향전극이 순차적으로 적층된 유기발광소자; 및 상기 박막트랜지스터 또는 상기 유기발광소자와 전기적으로 커플링되며, 상기 게이트하부전극과 동일층에 형성된 패드제1전극, 상기 게이트상부전극과 동일층에 형성된 패드제2전극 및 상기 패드제2전극 상에 투명 도전성 산화물(Transparent Conductive Oxide)을 포함하는 패드제3전극이 순차적으로 적층된 패드전극; 을 포함하는 유기발광표시장치를 제공한다.
- [0006] 본 발명의 다른 특징에 따르면, 상기 게이트전극 및 상기 패드전극을 덮는 적어도 하나의 절연막; 을 더 포함하고, 상기 절연막은 상기 패드전극의 가장자리를 덮고 적어도 중앙부를 노출하는 개구부를 포함한다.
- [0007] 본 발명의 다른 특징에 따르면, 상기 개구부를 통해 노출된 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결된다.
- [0008] 본 발명의 다른 특징에 따르면, 상기 적어도 하나의 절연막 상부에는 상기 소스전극 및 상기 드레인전극이 배치된다.
- [0009] 본 발명의 다른 특징에 따르면, 상기 패드제3전극은 결정질 인듐틴옥사이드(p-ITO)를 포함한다.
- [0010] 본 발명의 다른 특징에 따르면, 상기 게이트하부전극, 상기 화소전극 및 상기 패드제1전극은 투명한 도전성 산화물을 포함한다.
- [0011] 본 발명의 다른 특징에 따르면, 상기 게이트상부전극 및 상기 패드제2전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함한다.
- [0012] 본 발명의 다른 특징에 따르면, 상기 활성층과 동일층에 형성된 커패시터하부전극 및 상기 게이트전극과 동일층에 형성된 커패시터상부전극을 포함하여, 상기 박막트랜지스터와 전기적으로 커플링된 커패시터; 를 더 구비한다.
- [0013] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 박막트랜지스터의 활성층을 형성하는 제1마스크공정단계; 상기 활성층 상부에, 제1절연막, 제1도전층, 제2도전층 및 제3도전층을 순차 적층한 후 상기 제1도전층, 상기 제2도전층 및 상기 제3도전층을 패터닝하여 상기 제1도전층을 게이트하부전극으로 하고, 상기 제2도전층을 게이트상부전극으로 하는 게이트전극, 상기 제1도전층 및 상기 제2도전층을 포함하는 제1전극패턴, 상기 제1도전층을 패드제1전극으로 하고, 상기 제2도전층을 패드제2전극으로 하고, 상기 제3도전층을 패드제3전극으로 하는 패드전극을 형성하는 제2마스크공정단계; 상기 게이트전극, 상기 제1전극패턴 및 상기 패드전극 상부에 제2절연막을 형성한 후, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 일부를 노출하는 개구들 및 상기 제2절연막을 패터닝하여 상기 제1패드전극 및 상기 패드전극의 적어도 일부를 노출하는 개구들을 형성하는 제3마스크공정단계; 상기 개구들을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극패턴으로부터 화소전극을 형성하는 제4마스크공정단계; 및 상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계; 를 포함하는 유기발광표시장치의 제조방법을 제공한다.

- [0014] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계는, 상기 활성층 상부에, 제1절연막, 제1도전층, 제2도전층 및 제3도전층을 순차 적층하는 단계; 하프톤 마스크를 이용하여 상기 게이트전극 및 상기 제1전극패턴에 대응하는 제1영역에 제1두께를 가지고, 상기 패드전극에 대응하는 제2영역에 상기 제1두께보다 두꺼운 제2두께를 가지는 제1감광막패턴을 형성하는 단계; 상기 제1감광막패턴을 마스크로 하여 상기 제1도전층, 상기 제2도전층 및 상기 제3도전층이 순차적으로 적층된 게이트전극, 제1전극패턴 및 패드전극을 형성하는 단계; 상기 제1감광막패턴을 상기 제1두께만큼 제거하여 상기 제2영역에서 제3두께를 가지는 제2감광막패턴을 형성하는 단계; 및 상기 제2감광막패턴을 마스크로 하여 상기 제1영역의 상부에 위치한 상기 제3도전층을 제거하여, 상기 제1도전층을 게이트하부전극으로 하고, 상기 제2도전층을 게이트상부전극으로 하는 게이트전극, 상기 제1도전층 및 상기 제2도전층을 포함하는 제1전극패턴, 상기 제1도전층을 패드제1전극으로 하고, 상기 제2도전층을 패드제2전극으로 하고, 상기 제3도전층을 패드제3전극으로 하는 패드전극을 형성하는 단계; 를 포함한다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계 이후에, 상기 패드제3전극을 어닐링하여 결정질 인듐틴 옥사이드 (p-ITO)를 형성하는 단계; 를 더 포함한다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계 이후에, 상기 활성층을 불순물로 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함한다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 제3마스크공정단계에서, 상기 제2절연막이 상기 패드전극의 가장자리를 덮고 적어도 중앙부를 노출하도록 상기 개구를 형성한다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 개구를 통해 노출된 상기 패드전극은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결시킨다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 제4마스크공정단계는 상기 제2절연막 상에 제4도전층을 형성하는 단계; 상기 제4도전층을 패터닝하여 상기 소스전극 및 상기 드레인전극을 형성하는 단계; 및 상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 화소전극을 형성하는 단계; 를 포함한다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 제1마스크공정단계는 기판 상에 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고, 상기 제2마스크공정단계는 상기 커패시터하부전극의 상부에, 커패시터상부전극을 형성하는 단계; 를 더 포함한다.
- [0021] 본 발명의 다른 특징에 따르면, 상기 제5마스크공정단계 이후에, 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향 전극을 형성하는 단계; 를 더 포함한다.

발명의 효과

- [0022] 이상과 같은 본 발명의 일 실시예에 따르면, 유기발광표시장치의 제조공정이 단순화되고, 패드부의 내부식성 및 저항이 개선되어 장치의 신뢰성이 향상되는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치의 구조를 개략적으로 나타낸 평면도이다.
 도 2는 도 1의 II-II'선을 따라 절개한 단면도이다.
 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치의 제조공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0025] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가

아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0027] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- [0029] 도 1을 참조하면, 유기발광표시장치(1)는 복수개의 발광화소를 포함하는 제1기판(10), 제1기판(10)과 실링을 통해 합착되는 제2기판(20)을 포함한다.
- [0030] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0031] 제2기판(20)은 제1기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(20)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(20)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(20)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.
- [0032] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(20)을 접합한다.
- [0033] 상술한 바와 같이, 제1기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극(PAD)이 위치하는 패드영역(400)이 포함될 수 있다.
- [0034] 도 2는 도 1의 II-II`선을 따라 절개한 단면도이다.
- [0035] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 발광영역(100), 트랜지스터영역(200), 저장영역(300), 및 패드영역(400)을 포함한다.
- [0036] 트랜지스터영역(200)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(212), 게이트전극(210) 및 소스/드레인 전극(218s,d)으로 구성된다. 게이트전극(210)은 게이트하부전극(214)과 게이트하부전극(214) 상부에 있는 게이트상부전극(215)으로 구성되고, 이 때 게이트하부전극(214)은 투명한 전도성 물질로 형성될 수 있다. 한편, 게이트상부전극(215)은 저저항 금속물질로 형성될 수 있다. 게이트전극(210)과 활성층(212) 사이에는 이들 간의 절연을 위한 게이트절연막인 제1절연막(13)이 개재되어 있다. 또한, 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인영역(212s,d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(218s,d)에 각각 연결되어 있다.
- [0037] 저장영역(300)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 박막트랜지스터(TFT)와 전기적으로 연결되며, 구동 박막트랜지스터(TFT)로 인가되는 신호를 저장한다. 커패시터(Cst)는 커패시터하부전극(312) 및 커패시터상부전극(310)으로 이루어지며, 이들 사이에 유전체층으로써 제1절연막(13)이 개재된다. 여기서, 커패시터하부전극(312)은 박막트랜지스터(TFT)의 활성층(212)과 동일한 층에 형성될 수 있다. 커패시터하부전극(312)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 커패시터상부전극(310)은 박막트랜지스터(TFT)의 게이트하부전극(214)과 동일한 층에 동일한 물질로 형성된 커패시터제1상부전극(314) 및 게이트상부전극(215)과 동일한 층에 동일한 물질로 형성된 커패시터제2상부전극(315)을 포함한다.
- [0038] 발광영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 양 전극에 인가되는 전류에 의해 발광한다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(218s,d) 중 하나와 접속된 화소전극(114), 화소전극(114)과 마주보도록 형성된 대향전극(119) 및 그 사이에 개재된 중간층(118)으로 구성된다. 화소전극(114)은 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 게이트하부전극(214) 등과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0039] 패드영역(400)은 패드전극(PAD)을 포함한다. 여기서 도시되지 않았지만, 패드전극(PAD)은 박막트랜지스터(TFT) 또는 유기발광소자(EL)와 배선(미도시)을 통해 전기적으로 연결될 수 있다. 또한, 패드전극(PAD)은 유기발광표시장치(1)의 구동을 위해 전류를 공급하는 드라이버IC(미도시)와 전기적으로 연결된다. 따라서, 패드전극(PAD)

은 드라이버IC(미도시)로부터 전류를 인가받아 배선(미도시)을 통해 발광영역(도 1의 DA)에 위치한 박막트랜지스터(TFT) 또는 유기발광소자(EL)로 전류를 전달하게 된다. 패드전극(PAD)은 패드제1전극(414), 패드제2전극(414) 상부에 형성된 패드제2전극(415) 및 패드제2전극(415) 상부에 형성된 패드제3전극(416)을 포함한다. 여기서 패드제1전극은 게이트하부전극(214)과 동일층에 동일한 물질로 형성된다. 패드제2전극(415)은 게이트상부전극(215)과 동일층에 동일한 물질로 형성된다. 패드제3전극(416)은 투명 도전성 산화물(Transparent Conductive Oxide: TCO)을 포함한다. 바람직하게 패드제3전극(416)은 결정질 인듐틴옥사이드(p-ITO)로 이루어진다. 그래야만, 공정 과정 중에 패드제3전극(416)이 에칭스토퍼(etching stopper)로써 이용될 수 있고, 최종제품에서 패드영역의 내부식성(耐腐蝕性)이 향상되기 때문이다.

[0040] 본 발명의 일실시예에 의하면, 패드전극(410)은 하부에 투명 도전성 산화물을 포함하는 패드제1전극(414), 중간에 저저항 금속물질층을 포함하는 패드제2전극(415) 및 상부에 결정질 인듐틴옥사이드(p-ITO)를 포함하는 패드제3전극(416)으로 이루어진다. 이와 같은 구조를 통해, 저저항의 패드제2전극(415)을 통해 발광영역(도 1의 DA)으로 전압을 인가함으로써, 저항 산포를 개선하고 전압 인가시 전체 저항을 낮출 수 있는 장점이 있다. 또한, 패드제2전극(415) 상부에 부식에 강하고 에칭이 어려운 패드제3전극(416)이 존재함으로써, 상대적으로 부식이 쉬운 패드제2전극(415)을 보호하여 패드영역(400) 자체의 내부식성을 개선하는 효과가 있다.

[0041] 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에 서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.

[0042] 먼저, 도 3에 도시된 바와 같이, 제1기판(10) 상부에 보조층(11)을 형성한다. 상세히, 제1기판(10)은 SiO_2 를 주 성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0043] 한편, 제1기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

[0044] 다음으로 도 4에 도시된 바와 같이, 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(212)과 커패시터하부전극(312)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(212) 및 커패시터하부전극(312)으로 패터닝된다.

[0045] 본 실시예에서는, 활성층(212)과 커패시터하부전극(312)이 분리 형성되었으나, 활성층(212)과 커패시터하부전극(312)을 일체로 형성할 수도 있다.

[0046] 다음으로, 도 5에 도시된 바와 같이, 활성층(212)과 커패시터하부전극(312)이 형성된 제1기판(10)의 전면에 제1절연막(13), 제1도전층(14), 제2도전층(15) 및 제3도전층(16)을 순차로 형성한다.

[0047] 제1절연막(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연막(13)은, 박막트랜지스터(TFT)의 활성층(212)과 게이트전극(210) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터상부전극(310)과 커패시터하부전극(312) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.

[0048] 제1도전층(14)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(14)은 화소전극(114), 게이트하부전극(214), 커패시터제1상부전극(314), 및 패드제1전극(414)으로 패터닝 될 수 있다. 본 발명의 일 실시예에 의한 유기발광표시장치(1)는 기판의 방향으로 발광하는 배면발광형(bottom emission type)이기 때문에 화소전극(114)은 투명전극을 형성될 필요가 있다. 따라서, 화소전극(114)을 형성하기 위한 제1도전층(14)은 투명 도전성 산화물(TCO)로 형성하는 것이 바람직하다.

[0049] 한편, 제2도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있

다. 추후 제2도전층(15)은 게이트상부전극(215) 및 패드제2전극(415)으로 패터닝 될 수 있다. 본 발명의 일실시예에 의하면, 게이트전극(210) 및 패드전극(410)은 전류를 잘 통해야 하므로 다소 저항이 큰 제1도전층(14)으로만 형성하는 것은 문제가 있다. 따라서 박막트랜지스터(TFT) 및 패드전극(PAD)이 적합한 기능을 수행하기 위해 제1도전층(14)에 비해 저항이 작은 저저항 금속물질로 이루어진 제2도전층(15)을 형성해야 한다.

[0050] 제3도전층(16)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제3도전층(16)은 패드전극(410)에만 남아 패드제3전극(416)으로 패터닝 될 수 있다. 바람직하게 제3도전층(16)은 비정질 ITO (a-ITO)로 이루어질 수 있으며, 이 후 어닐링(annealing) 처리를 통해 결정질 ITO(p-ITO)로 변환될 수 있다. 어닐링 처리는 열, 자외선(UV) 또는 레이저를 통해 수행할 수 있다. 한편, 별도의 어닐링 처리를 수행하지 않더라도 공정 과정 중 열처리 및 자외선처리 공정을 통해 비정질 ITO(a-ITO)는 결정화될 수 있다. 제3도전층(16)은 결정질 ITO(p-ITO)로 변환됨으로써, 비저항의 값이 약 $1,000\Omega\text{cm}$ 보다 큰 비정질 ITO(a-ITO)에 비해 비저항의 값이 약 $250\Omega\text{cm}$ 내지 약 $300\Omega\text{cm}$ 로 작아진다. 또한, 결정질 ITO는 에칭 속도가 비정질 ITO(a-ITO)에 비해 약 1/10이하로 줄어들게 된다. 결정질 ITO에 있어서 에칭 속도는 ITO의 웨트 에칭에 이용되는 에칭제인 HCl , HNO_3 의 수용액 외에도, 불산(HF), 질산(HNO_3) 및 아세트산(CH_3COOH)의 수용액에 대해서도 저하된다. 즉 결정질 ITO(p-ITO)를 포함하는 패드제3전극은 공정 과정 중 에칭스토퍼(etching stopper)로써 이용될 수 있고, 최종제품에서 외부에 노출되더라도 잘 부식되지 않는다.

[0051] 도 5 내지 도 9를 참조하면, 제1기판(10) 상에 화소전극(114)을 형성하기 위한 제1전극패턴(110), 커패시터상부전극(310), 게이트전극(210) 및 패드전극(410)을 각각 형성한다.

[0052] 상세히, 제1기판(10) 전면에서 차례로 적층된, 제1도전층(14), 제2도전층(15) 및 제3도전층(16)은 하프톤(half tone) 마스크(M)를 사용한 마스크 공정에 의해 패터닝된다.

[0053] 먼저, 도 5를 참조하면, 하프톤 마스크(M)를 사용하여 제1도전층 내지 제3도전층(14, 15, 16)을 패터닝한다.

[0054] 하프톤 마스크(M)는 회절 마스크로도 불리우는데 광을 차단하는 차단영역(Mb), 광을 일부만 투과시키는 반투과영역(Ma) 및 광을 전부 통과시키는 투과영역(Mc)으로 이루어진다. 제3도전층(16) 상부에 제2두께(t_2)로 감광막(30)을 도포하고, 하프톤 마스크(M)의 차단영역(Mb)은 패드전극(410)이 형성될 패드영역(400)에 배치하고, 반투과영역(Ma)은 게이트전극(210)이 전극이 형성될 트랜지스터영역(200), 커패시터상부전극(310)이 형성된 저장영역(300) 및 화소전극(114)이 형성될 발광영역(100)에 배치한다. 다음으로 자외선과 같은 광을 조사하고 현상한다.

[0055] 도 6을 참조하면, 투과영역(Mc)에 대응하는 감광막(30)은 완전히 제거되고, 반투과영역(Ma)에 대응하는 감광막(30a)은 제1두께(t_1)로 남아있게 되며, 차단영역(Mb)에 대응하는 감광막(30b)은 제2두께(t_2)로 그대로 남아있게 된다. 여기서 제1두께(t_1)는 제2두께(t_2)보다 얇다. 왜냐하면, 반투과영역(Ma)에서는 광을 일정량 조사받기 때문이다. 예를들어 제2두께(t_2)는 제1두께(t_1)보다 제3도전층(16)의 두께만큼 더 두꺼울 수 있다. 도 6의 감광막패턴을 편의상 제1감광막패턴(31)이라고 지칭한다.

[0056] 다음으로, 도 7을 참조하면, 제1감광막패턴(31)을 마스크로 하여 식각 공정을 통해 제1도전층(14), 제2도전층(15) 및 제3도전층(16)을 패터닝하여, 각각 3개의 도전층을 구비하는 제1전극패턴(110a), 게이트전극(210a), 커패시터상부전극(310a) 및 패드전극(410a)을 형성한다.

[0057] 다음으로 도 8을 참조하면, 애싱(ashing) 공정을 통해 제1감광막패턴(31)을 제1두께(t_1)만큼 제거한다. 이로부터 제1전극패턴(110), 게이트전극(210), 커패시터상부전극(310)을 형성하기 위한 영역의 감광막패턴(31a)을 모두 제거되고, 패드전극(410) 상부에 제3두께(t_3)의 감광막패턴(32)만 남게 된다. 이 때 제3두께(t_3)는 제2두께(t_2)에서 제1두께(t_1)를 뺀 정도이며, 편의상 도 3의 감광막패턴을 제2감광막패턴(32)이라 지칭한다.

[0058] 다음으로 도 9를 참조하면, 제2감광막패턴(32)을 마스크로 하여 식각 공정을 통해 각각 3개의 도전층으로 이루어진 제1전극패턴(110a), 게이트전극(210a) 및 커패시터상부전극(310a)의 상부 제3도전층(16)을 각각 제거한다. 이로부터 제1도전층(14)을 게이트하부전극(214)으로 하고 제2도전층(15)을 게이트상부전극(215)으로 하는 게이트전극(210), 제1도전층(14)을 화소전극(114)이 될 하부층으로 하고, 제2도전층(15)을 상부층(115)으로 하는 제1전극패턴(110)이 생성된다. 한편, 패드영역에는 제1도전층(14)을 패드제1전극(414)으로 하고 제2도전층(15)을 패드제2전극(415)으로 하고 제3도전층(16)을 패드제3전극(416)으로 하는 패드전극(410)이 남는다.

[0059] 여기서, 게이트전극(210)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트전극(210)을 셀프 얼라인(self align) 마스크로 하여 활성층(212)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(210)의 양측에 대응하는

활성층(212)의 가장자리에 소스/드레인영역(212s,d)과 이들 사이의 채널영역(212c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.

- [0060] 다음으로, 도 10에 도시된 바와 같이, 게이트전극(210)이 형성된 제1기관(10)의 전면에 제2절연막(17)을 증착한다.
- [0061] 제2절연막(17)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연막(17)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연막(13)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(210)과 소스/드레인전극(218s,d) 사이의 충전절연막 역할을 수행한다. 한편, 제2절연막(17)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연막(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0062] 다음으로, 도 11에 도시된 바와 같이, 제2절연막(17)을 패터닝하여 제1전극패턴(110)을 노출하는 개구들(H3, H4)과 활성층(212)의 소스/드레인영역(212s,d)의 일부를 노출하는 컨택홀들(H1, H2) 및 패드전극(410)을 노출하는 개구(H5)를 갖는 충전절연막(17)을 형성한다.
- [0063] 상세히, 상기 제2절연막(17)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(H1, H2, H3, H4, H5)를 형성한다. 여기서, 컨택홀들(H1, H2)은 소스/드레인영역(212s,d)의 일부를 각각 노출시키고, 제3개구(H3) 및 제4개구(H4)는 제1전극패턴(110)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 제5개구(H5)는 패드전극(410)의 상부를 구성하는 제3도전층(16)의 적어도 일부를 노출시킨다.
- [0064] 한편, 도 8에 도시된 바와 같이 제5개구(H5)는 패드전극(410)의 측면은 노출시키지 않도록 형성되어, 측면을 외부로부터 보호함으로써, 패드전극이 부식되는 것을 방지할 수 있다.
- [0065] 다음으로, 도 12에 도시된 바와 같이, 충전절연막(17)을 덮도록 제1기관(10) 전면에 제4도전층(18)을 증착한다.
- [0066] 상기 제4도전층(18)은 전술한 제1 내지 제3도전층(14, 15, 16)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5)를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0067] 다음으로, 도 13에 도시된 바와 같이, 제4도전층(도 12의 18 참조)을 패터닝하여, 소스/드레인전극(218s,d), 화소전극(114)을 각각 형성한다.
- [0068] 상세히, 상기 제4도전층(도 12의 18 참조)을 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인전극(218s,d)을 형성한다.
- [0069] 여기서, 소스/드레인전극(218s,d) 중 하나의 전극(본 실시예의 경우 드레인전극(218d))은 화소전극(114)이 형성된 제1전극패턴(도 12의 110 참조)의 상부 제2도전층(15)의 가장자리 영역의 제3개구(H3)를 통하여 화소전극(114)과 접촉하도록 형성된다.
- [0070] 한편, 소스/드레인전극(218s,d)을 형성함과 동시에 화소전극(114)을 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(218s,d)을 형성한 후 추가 식각에 의해 화소전극(114)을 형성할 수도 있다. 상세히, 제1전극패턴(도 12의 110 참조)은 제4개구(H4)에 의해 노출된 상부 제2도전층(15)을 제거하여 화소전극(114)을 형성한다. 따라서 게이트 게이트하부전극(214), 및 화소전극(114)은 동일층에서 동일 물질로 형성된다.
- [0071] 여기서, 커패시터상부전극(310)의 경우, 제2절연막(17)에 덮여 노출되지 않았으나, 본 발명은 이에 한정되지 않고 도 11에서 제2절연막(17)에 커패시터상부전극(310)의 일부 또는 전체를 노출하는 개구를 형성하고, 도 13에서 개구를 통해 노출된 커패시터상부전극(310)의 제2도전층(15)을 제거할 수 있다. 또한, 커패시터상부전극(310)을 구성하는 제2도전층(15)을 제거한 후, 커패시터하부전극(312)에 불순물을 도핑하는 공정을 추가하여 커패시터하부전극(312)의 전기전도도를 더욱 향상시킬수도 있다.
- [0072] 다음으로, 도 14에 도시된 바와 같이, 제1기관(10) 상에 화소정의막(pixel define layer: PDL)(19)을 형성한다.
- [0073] 상세히, 화소전극(114) 및 소스/드레인전극(218s,d)이 형성된 제1기관(10) 전면에 제3절연막(19)을 증착한다. 이때 상기 제3절연막(19)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연막(19)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서

선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연막(19)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

- [0074] 한편, 제3절연막(19)은 선택에 따라 패드영역(400)에 증착될 수도 있고, 증착되지 않을 수도 있다. 만약 제3절연막(19)이 패드영역(400)에도 증착된 경우 제5마스크를 사용한 마스크 공정에서 패드전극(410)을 노출하는 개구를 더 형성하면 된다.
- [0075] 제3절연막(19)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(114)의 중앙부가 노출되도록 제6개구(H6)를 형성함으로써, 픽셀을 정의하게 된다.
- [0076] 이후 도 2에 도시된 바와 같이, 화소전극(114)을 노출하는 제6개구(H6)에 발광층을 포함하는 중간층(118) 및 대향전극(119)을 형성한다.
- [0077] 중간층(118)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0078] 상기 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0079] 유기 발광층이 저분자 유기물로 형성되는 경우, 중간층(118)은 유기 발광층을 중심으로 화소전극(114)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향전극(119) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0080] 한편, 유기 발광층이 고분자 유기물로 형성되는 경우에는, 중간층(118)은 유기 발광층을 중심으로 화소전극(114) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(114) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0081] 상기 대향전극(119)은 제1기판(10) 전면에서 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기발광 표시장치(1)의 경우, 화소전극(114)은 애노드 전극으로 사용되고, 대향전극(119)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0082] 유기발광표시장치(1)가 제1기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(114)은 투명전극이 되고 대향전극(119)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0083] 전술된 유기 발광 표시 장치를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0084] 본 발명의 실시예에 따른 배면 발광 표시 장치에 의하면, 마스크 수 증감없이 금속층을 기판의 최하부에 화소전극과 격리시켜 형성함으로써, 화소 전극의 발광 효율을 증가시키고 게이트 전극의 식각 특성이 확보되어, 표시 장치의 표시 품질을 향상시키고 공정 단순화 및 불량 개선이 가능해 진다.
- [0085] 한편, 전술한 실시예에서는 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.
- [0086] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0087] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라

서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

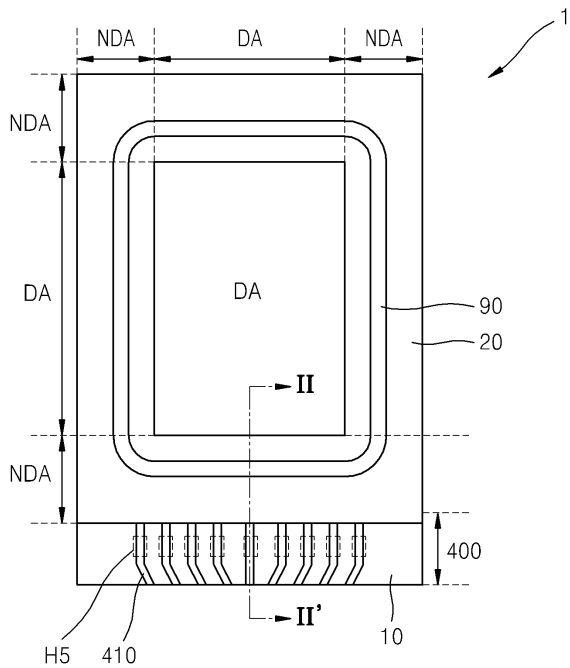
[0088]

H1, H2, H3, H4, H5: 개구들

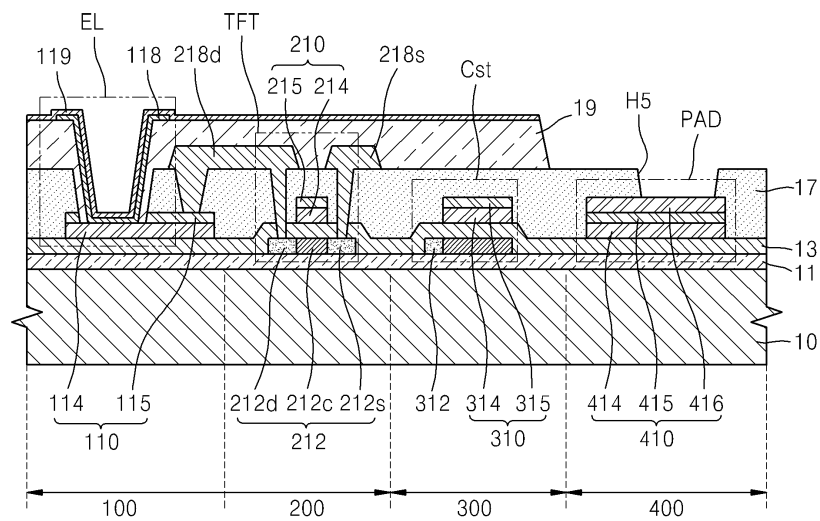
t1: 제1두께	t2: 제2두께
t3: 제3두께	1: 유기발광표시장치
10: 제1기관	11: 보조층
13: 제1절연막	14: 제1도전층
15: 제2도전층	16: 제3도전층
17: 제2절연막	18: 제4도전층
19: 제3절연막	20: 제2기관
30: 감광막	31: 제1감광막패턴
32: 제2감광막패턴	90: 실링부재
100: 발광영역	110: 제1전극패턴
114: 화소전극	118: 중간층
119: 대향전극	200: 트랜지스터영역
210: 게이트전극	212: 활성층
214: 게이트하부전극	215: 게이트상부전극
218s,d: 소스/드레인전극	300: 저장영역
310: 커패시터상부전극	312: 커패시터하부전극
400: 패드영역	410, PAD: 패드전극
414: 패드제1전극	415: 패드제2전극
416: 패드제3전극	

도면

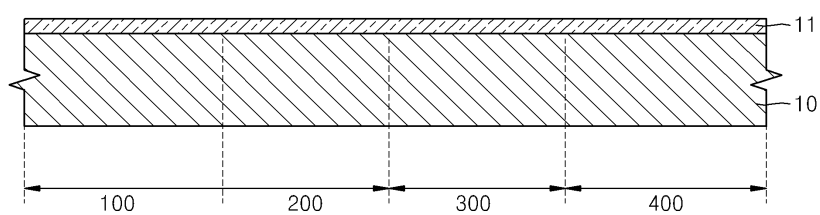
도면1



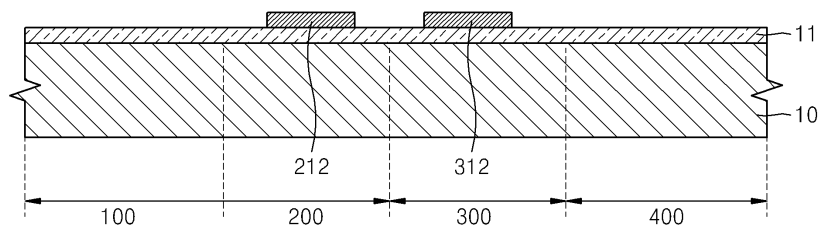
도면2



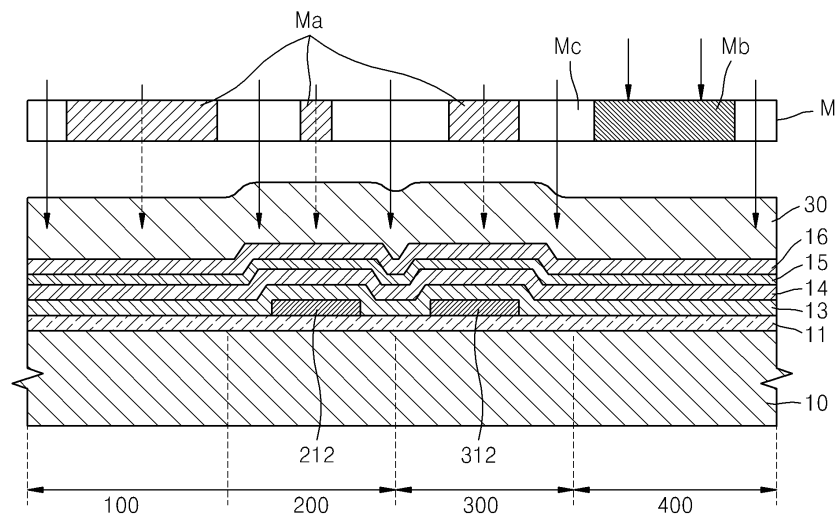
도면3



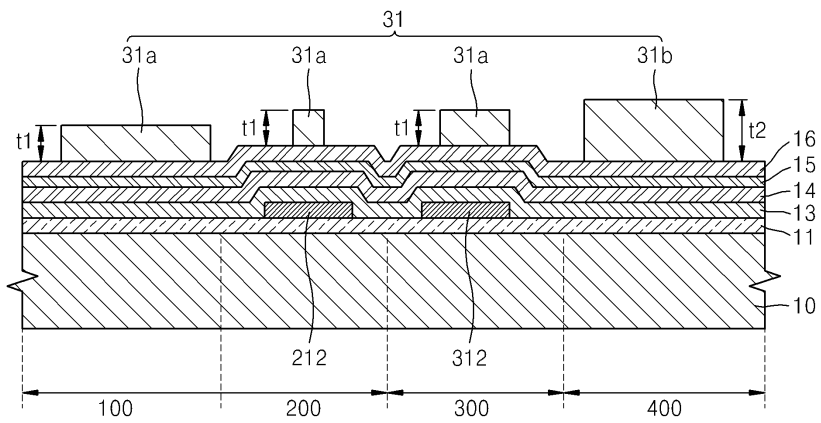
도면4



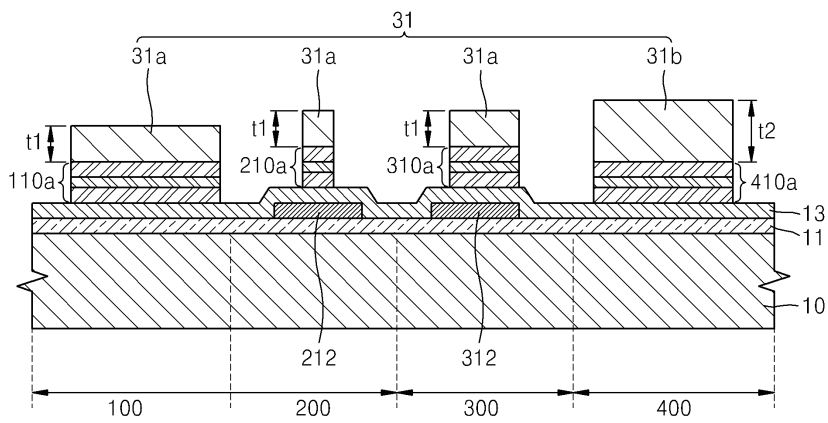
도면5



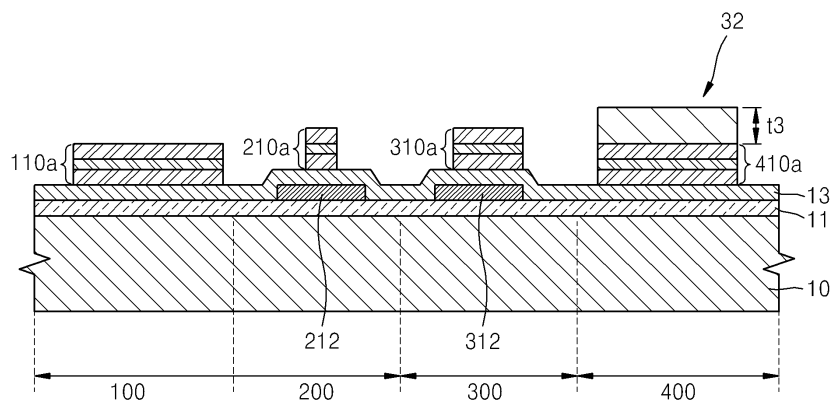
도면6



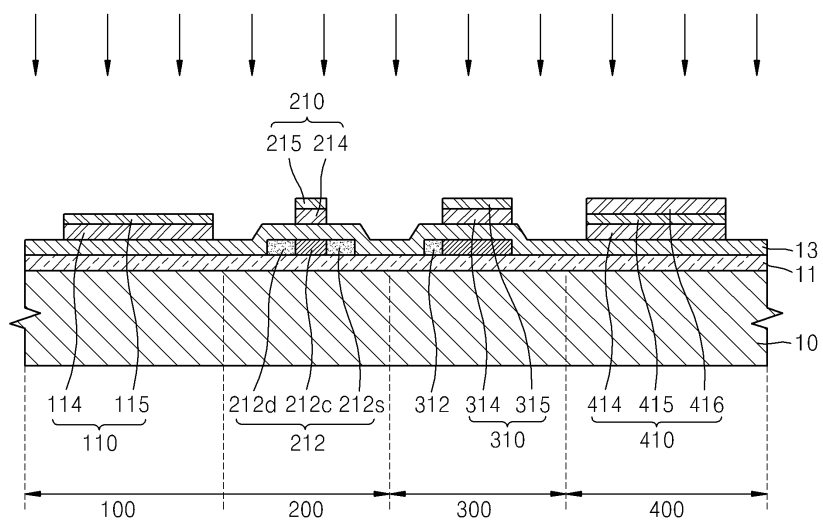
도면7



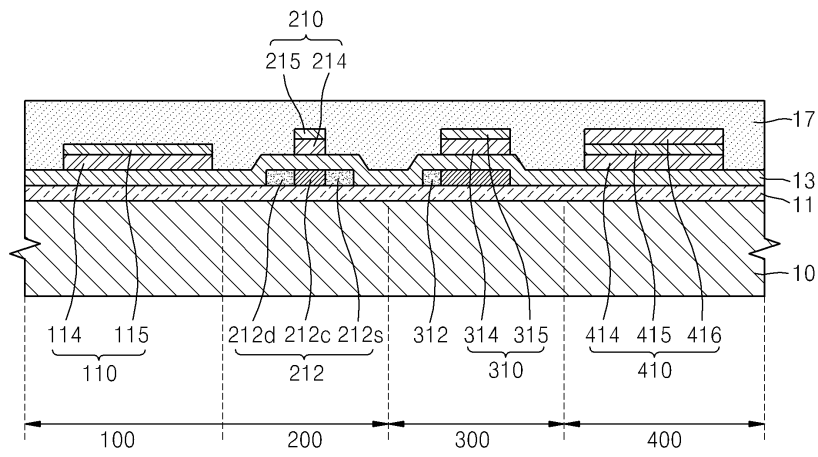
도면8



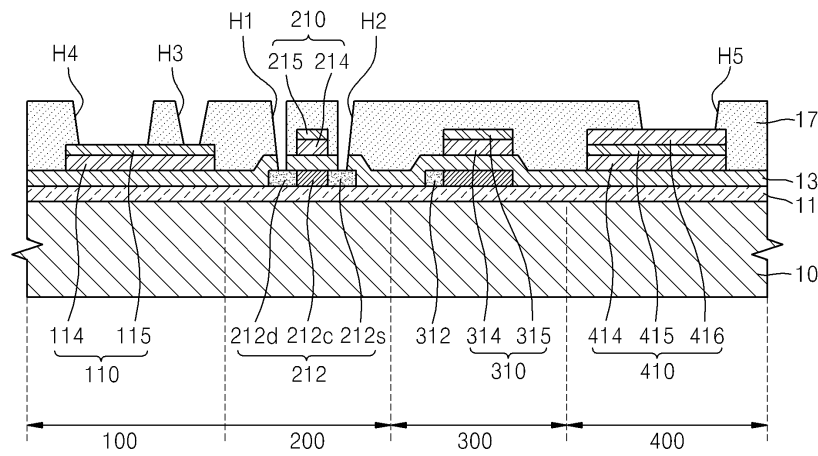
도면9



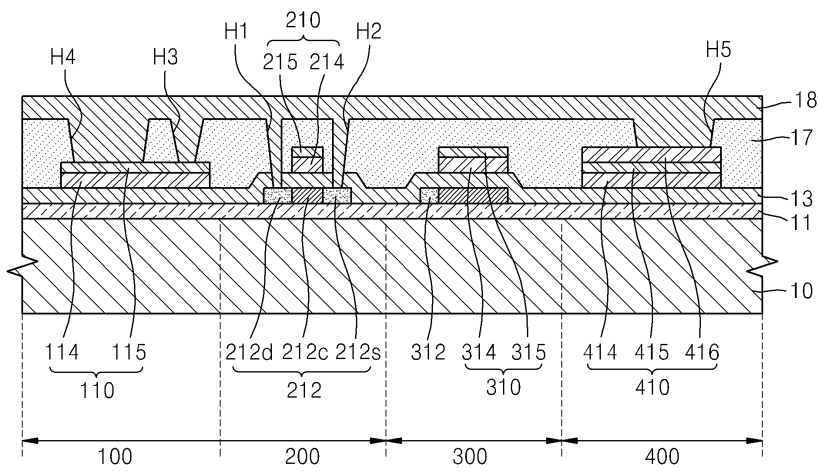
도면10



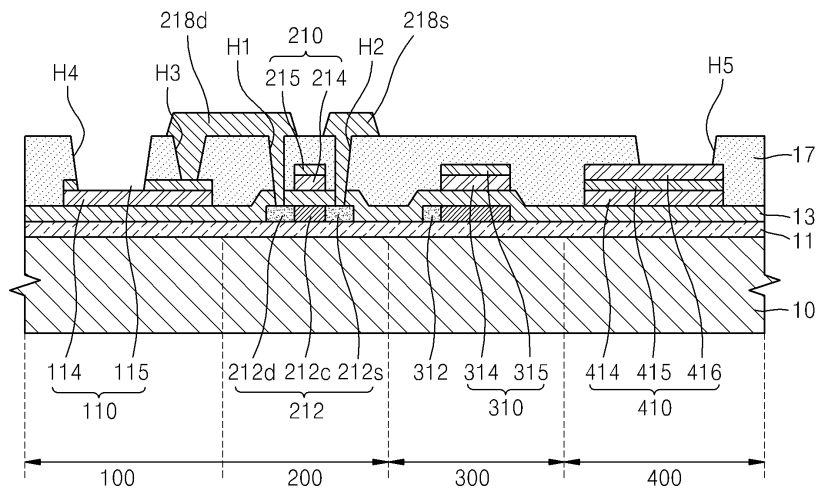
도면11



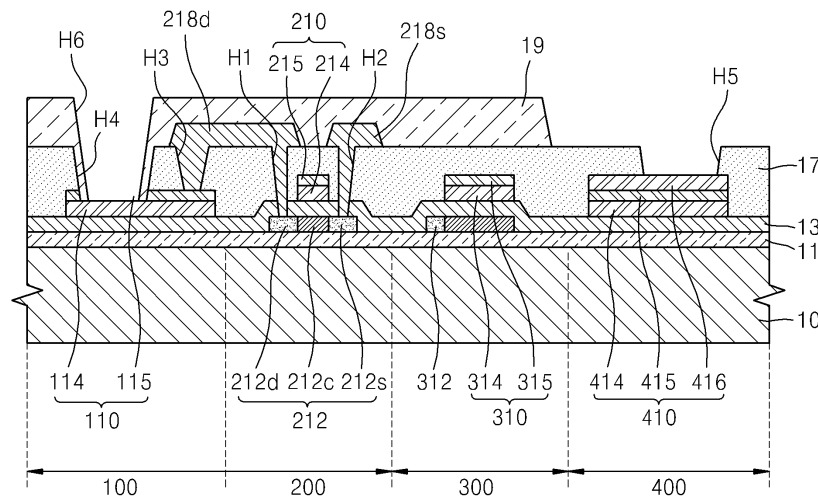
도면12



도면13



도면14



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101815256B1	公开(公告)日	2018-01-08
申请号	KR1020110063035	申请日	2011-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JONG HYUN 최종현 OH JAE HWAN 오재환		
发明人	최종현 오재환		
IPC分类号	H01L51/50 H01L51/54 H05B33/06 H05B33/10		
CPC分类号	H01L27/3276 H01L27/3248 H01L27/3262 H01L2227/323 H01L27/3274 H01L29/41733 H01L29/66765 H01L51/0508 H01L51/0512 H01L51/0541 H01L51/56 H01L2227/32 H01L2924/13069 H01L2924/1307		
其他公开文献	KR1020130007050A		
外部链接	Espacenet		

摘要(译)

一种薄膜晶体管, 包括有源层, 与有源层绝缘并包括栅极下电极和栅极上电极的栅电极, 以及与栅电极绝缘并与有源层接触的源电极和漏电极。有机发光二极管电连接到薄膜晶体管, 有机发光二极管包括形成在与栅极下电极相同的层上的像素电极, 包括发光层的中间层和顺序层叠的相对电极; 并且第二电极耦合到薄膜晶体管或有机发光器件, 第一电极形成在与栅极下电极相同的层上, 第二电极形成在与栅极上电极相同的层上, 一种焊盘电极, 其中依次层叠包括透明导电氧化物的第三焊盘电极; 以及有机发光显示装置。

