



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월19일
 (11) 등록번호 10-1810047
 (24) 등록일자 2017년12월12일

(51) 국제특허분류(Int. Cl.)
 H01L 51/50 (2006.01) H01L 51/56 (2006.01)
 H05B 33/22 (2006.01)
 (21) 출원번호 10-2011-0075217
 (22) 출원일자 2011년07월28일
 심사청구일자 2016년07월27일
 (65) 공개번호 10-2013-0013516
 (43) 공개일자 2013년02월06일
 (56) 선행기술조사문헌
 KR1020100088269 A*
 (뒷면에 계속)
 전체 청구항 수 : 총 23 항

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 최종현
 경기도 용인시 기흥구 삼성로 95 (농서동)
 김광해
 경기도 용인시 기흥구 삼성로 95 (농서동)
 (74) 대리인
 리앤목특허법인

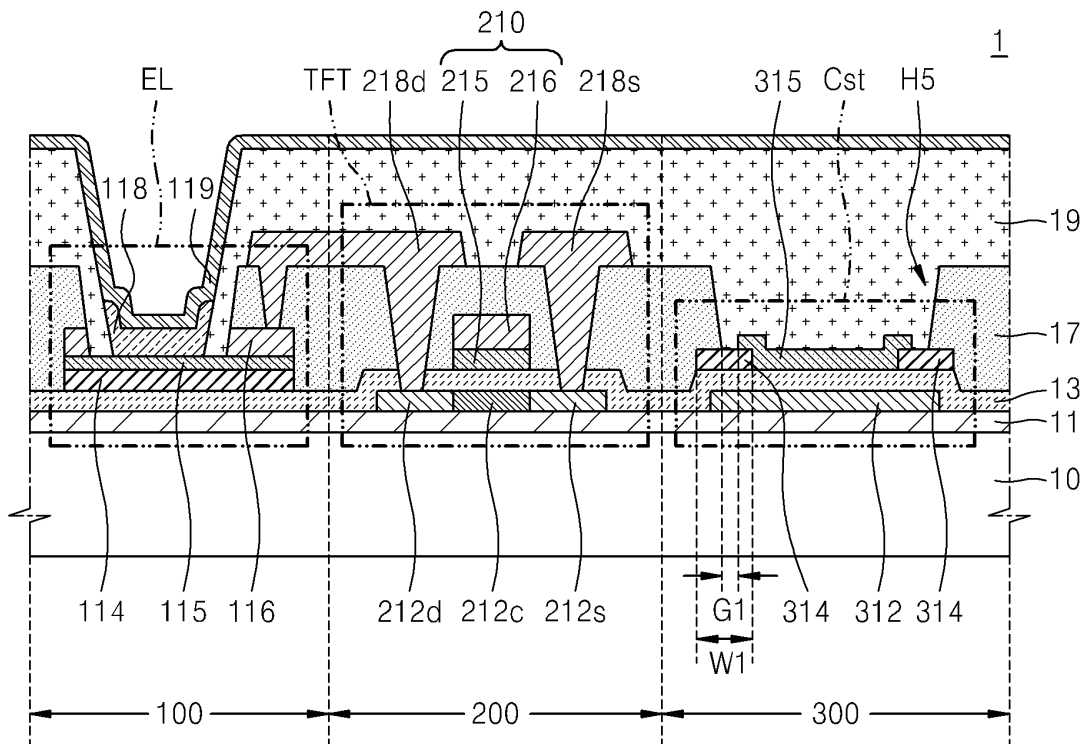
심사관 : 정명주

(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

본 발명은 기판 상에 형성되고, 박막트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온불순물이 도핑된 반도체물질을 포함하는 커패시터하부전극; 상기 활성층 및 커패시터하부전극을 덮도록 상기 기판 상에 형성된 제1절연막; 상기 제1절연막 상에 형성되고, 투명도전물로 형성된 게이트하부전극 및 금속으로 형성된 게이트 (뒷면에 계속)

대표도 - 도1



상부전극이 순차로 적층된 상기 박막트랜지스터의 게이트전극; 상기 제1절연막 상에 형성되고, 상기 박막트랜지스터와 전기적으로 연결되며 투명도전물로 형성된 화소전극; 상기 화소전극과 동일층에 형성되고 투명도전물로 형성된 커패시터상부 전극; 상기 제1절연막과 상기 커패시터상부전극 사이에 형성되고, 투명도전물로 형성된 에칭방지층; 상기 활성층과 전기적으로 연결된 박막트랜지스터의 소스전극 및 드레인전극; 상기 제1절연막과 상기 소스전극 및 드레인전극 사이에 형성되고, 상기 커패시터상부전극 전체를 노출시키는 개구부를 포함하는 제2절연막; 상기 제2절연막 상에 형성되고 상기 화소전극을 노출시키는 제3절연막; 상기 화소전극 상에 위치하며, 발광층을 포함하는 중간층; 및 상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극; 을 포함하는 유기발광표시장치를 제공한다.

(56) 선행기술조사문헌

KR1020050056713 A*

KR100658978 B1*

KR1020100077083 A*

US20100193790 A1

US20090141203 A1

US6452654 B2

US7166959 B2

US5737049 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 배치되고, 박막트랜지스터의 활성층과, 상기 활성층과 동일층에 위치하고 이온불순물이 도핑된 반도체물질을 포함하는 커패시터하부전극;

상기 활성층 및 상기 커패시터하부전극을 덮도록 상기 기관 상에 배치된 제1절연막;

상기 제1절연막 상에 배치되고, 투명도전물을 포함하는 게이트하부전극 및 금속을 포함하는 게이트상부전극이 순차로 적층된 상기 박막트랜지스터의 게이트전극;

상기 제1절연막 상에 배치되고, 상기 박막트랜지스터와 전기적으로 연결되며 투명도전물을 포함하는 화소전극;

상기 화소전극과 동일층에 배치되고 투명도전물을 포함하는 커패시터상부 전극;

상기 제1절연막과 상기 커패시터상부전극 사이에 배치되고, 투명도전물을 포함하는 에칭방지층;

상기 활성층과 전기적으로 연결된 상기 박막트랜지스터의 소스전극 및 드레인전극;

상기 제1절연막과 상기 소스전극 및 드레인전극 사이에 배치되고, 상기 커패시터상부전극 전체를 노출시키는 개구부를 포함하여, 상기 커패시터상부전극의 외측면과 상기 개구부의 내측면 사이에 갭(gap)이 형성된, 제2절연막;

상기 제2절연막 상에 배치되고 상기 화소전극을 노출시키는 제3절연막;

상기 화소전극 상에 위치하며, 발광층을 포함하는 중간층; 및

상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극;

을 포함하는 유기발광표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 커패시터하부전극과 동일층에 상기 커패시터하부전극에 연결되는 배선부가 위치하고, 상기 배선부 및 상기 커패시터하부전극과 상기 배선부의 연결부는 상기 이온불순물이 도핑된 반도체물질을 포함하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 커패시터하부전극과 상기 배선부의 상기 연결부는 상기 갭의 위치에 대응되는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 에칭방지층은 적어도 상기 연결부의 위치에 대응되는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 게이트하부전극, 상기 화소전극 및 상기 커패시터상부전극은 동일한 제2투명도전물로 형성되며,

상기 에칭방지층은 상기 제2투명도전물에 대해 식각선택비(etch selectivity)를 가지는 제1투명도전물로 형성되는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 제2투명도전물은 비정질 인듐틴옥사이드(a-ITO)이고,

상기 제1투명도전물은 결정질 인듐틴옥사이드(p-ITO)인 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 중간층이 적색의 빛을 발광하는 제1발광층을 포함하는 경우,

상기 중간층은 상기 제1절연막과 상기 제1발광층 사이에 제1보조층을 더 포함하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 제1보조층은

상기 화소전극과 상기 제1발광층 사이에 위치하며 상기 화소전극으로부터 상기 제1발광층으로 주입 또는 전달되는 정공을 통하는 제1층; 및

상기 제1절연막과 상기 화소전극 사이에 위치하며, 상기 에칭방지층과 동일한 층에 동일한 물질로 형성된 제2층;

을 포함하는 유기발광표시장치.

청구항 10

제8항에 있어서,

상기 중간층이 녹색의 빛을 발광하는 제2발광층을 포함하는 경우,

상기 중간층은 상기 제1절연막과 상기 제2발광층 사이에 상기 제1보조층보다 두께가 얇은 제2보조층을 더 포함하는 유기발광표시장치.

청구항 11

제10항에 있어서,

상기 제2보조층은

상기 제1절연막과 상기 화소전극 사이에 위치하며, 상기 에칭방지층과 동일한 층에 동일한 물질로 형성된 층을 포함하는 유기발광표시장치.

청구항 12

제1항에 있어서,

상기 중간층은 청색의 빛을 발광하는 제3발광층을 포함하는 유기발광표시장치.

청구항 13

제1항에 있어서,

상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 유기발광표시장치.

청구항 14

제1항에 있어서,

상기 중간층이 적색의 빛을 발광하는 제1발광층을 포함하는 경우,

상기 중간층은 상기 화소전극과 상기 제1발광층 사이에 위치하며 상기 화소전극으로부터 상기 제1발광층으로 주입 또는 전달되는 정공을 통하는 보조층; 을 더 포함하고,

상기 화소전극은 상기 에칭방지층과 동일한 층에 상기 에칭방지층과 동일하게 결정질 인듐틴옥사이드(p-ITO)로 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 15

기판 상에 반도체층을 형성한 후 패터닝하여 박막트랜지스터의 활성층 및 커패시터하부전극을 형성하는 제1마스크공정단계;

상기 기판 상에 상기 활성층 및 상기 커패시터하부전극을 덮도록 제1절연막을 형성하고, 상기 제1절연막 상에 투명도전물을 적층하고 패터닝하여 에칭방지층을 형성하는 제2마스크공정단계;

상기 에칭방지층을 덮도록 상기 제1절연막 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소전극패턴, 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 동시에 형성하는 제3마스크공정단계;

상기 화소전극패턴, 상기 게이트전극, 및 상기 커패시터상부전극패턴을 덮도록 상기 제1절연막 상에 제2절연막을 형성하고, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 가장자리를 노출하는 콘택홀을 형성하고, 상기 제2절연막을 패터닝하여 상기 화소전극패턴을 노출시키는 개구부와 상기 커패시터상부전극패턴 전체를 노출시키는 개구부를 형성하여, 상기 커패시터상부전극 전체를 노출시키는 개구부의 내측면과 상기 커패시터상부전극의 외측면 사이에 갭(gap)이 형성되도록 하는 제4마스크공정단계;

상기 제2절연막 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1금속을 제거하여 화소전극 및 커패시터상부전극을 형성하는 제5마스크공정단계; 및

상기 화소전극을 덮도록 제3절연막을 형성하고, 상기 화소전극을 노출하도록 상기 제2절연막에 개구부를 형성하는 제6마스크공정단계;

을 포함하는 유기발광표시장치의 제조방법.

청구항 16

제15항에 있어서,

상기 제1마스크공정단계에서, 상기 반도체층을 패터닝하여 상기 커패시터하부전극과 동일층에 상기 커패시터하부전극에 연결되는 배선부를 동시에 형성하는 유기발광표시장치의 제조방법.

청구항 17

제15항에 있어서,

상기 제2마스크공정단계에서, 상기 투명도전물을 패터닝하여 상기 에칭방지층과 동일층에 상기 화소전극에 대응되는 위치에 보조층을 동시에 형성하는 유기발광표시장치의 제조방법.

청구항 18

제15항에 있어서,

상기 제2마스크공정단계 이후에, 상기 에칭방지층을 구성하는 상기 투명도전물을 어닐링하여 결정질 인듐틴옥사이드(p-ITO)로 변환하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

청구항 19

제16항에 있어서,

상기 제3마스크공정단계 이후에, 상기 활성층의 가장자리 및 상기 배선부에 이온 불순물을 도핑하는 유기발광표시장치의 제조방법.

청구항 20

삭제

청구항 21

제15항에 있어서,

상기 제5마스크공정단계 이후에, 상기 커패시터하부전극에 이온 불순물을 도핑하는 유기발광표시장치의 제조방법.

청구항 22

제15항에 있어서,

상기 제6마스크공정단계 이후에, 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향전극을 더 형성하는 유기발광표시장치의 제조방법.

청구항 23

제22항에 있어서,

상기 중간층은 상기 화소전극과 상기 발광층 사이에 위치하며 상기 화소전극으로부터 상기 발광층으로 주입 또는 전달되는 정공을 통하는 층을 더 포함하도록 형성되는 유기발광표시장치의 제조방법.

청구항 24

기관 상에 반도체층을 형성한 후 패터닝하여 박막트랜지스터의 활성층 및 커패시터하부전극을 형성하는 제1마스크공정단계;

상기 기관 상에 상기 활성층 및 상기 커패시터하부전극을 덮도록 제1절연막을 형성하고, 상기 제1절연막 상에 투명도전물을 적층하고 패터닝하여 에칭방지층 및 화소전극을 형성하는 제2마스크공정단계;

상기 에칭방지층 및 상기 화소전극을 덮도록 상기 제1절연막 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 동시에 형성하는 제3마스크공정단계;

상기 게이트전극, 및 상기 커패시터상부전극패턴을 덮도록 상기 제1절연막 상에 제2절연막을 형성하고, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 가장자리를 노출하는 콘택홀 및 상기 화소전극을 노출하는 개구부를 형성하고, 상기 제2절연막을 패터닝하여 상기 커패시터상부전극패턴 전체를 노출시키는 개구부를 형성하여, 상기 커패시터상부전극패턴 전체를 노출시키는 개구부의 내측면과 상기 커패시터상부전극패턴의 외측면 사이에 갭(gap)이 형성되도록 하는 제4마스크공정단계;

상기 제2절연막 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1금속을 제거하여 커패시터상부전극을 형성하는 제5마스크공정단계; 및

상기 화소전극을 덮도록 제3절연막을 형성하고, 상기 화소전극을 노출하도록 상기 제2절연막에 개구부를 형성하는 제6마스크공정단계;

을 포함하는 유기발광표시장치의 제조방법.

청구항 25

제24항에 있어서,

상기 제2마스크공정단계 이후에, 상기 에칭방지층 및 상기 화소전극을 구성하는 상기 투명도전물을 어닐링하여 상기 투명도전물을 결정질 인듐틴옥사이드(p-ITO)로 변환하는 단계;

를 더 포함하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 제조 공정이 단순화된 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판표시장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선부를 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다. 따라서, 마스크를 이용하는 공정 단계를 저감하여 평판표시장치를 제조하는 공정이 연구되고 있다.

[0004] 한편, 마스크를 이용하는 공정 단계를 저감하여 평판표시장치를 제조하는 과정에서, 특히 커패시터의 형성 중에 각종 절연막이 오버에칭되어 커패시터의 신호 전달이 원활하지 않게 되는 문제가 발생할 수 있다.

[0005] 또한, 마스크를 이용하는 공정 단계를 저감하여 평판표시장치를 제조하는 과정에서는 광 효율을 향상시키기 위해 화소전극에 은(Ag)과 같은 반사막을 삽입하는 구조의 실현이 어렵다. 따라서, 광 효율을 향상시키기 위한 새로운 구조의 개발이 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 측면은 제조 공정을 단순화하면서, 동시에 신호 전달이 우수하고, 광 효율이 향상된 유기발광표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 형성되고, 박막트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온불순물이 도핑된 반도체물질을 포함하는 커패시터하부전극; 상기 활성층 및 커패시터하부전극을 덮도록 상기 기판 상에 형성된 제1절연막; 상기 제1절연막 상에 형성되고, 투명도전물로 형성된 게이트하부전극 및 금속으로 형성된 게이트상부전극이 순차로 적층된 상기 박막트랜지스터의 게이트전극; 상기 제1절연막 상에 형성되고, 상기 박막트랜지스터와 전기적으로 연결되며 투명도전물로 형성된 화소전극; 상기 화소전극과 동일층에 형성되고 투명도전물로 형성된 커패시터상부 전극; 상기 제1절연막과 상기 커패시터상부전극 사이에 형성되고, 투명도전물로 형성된 에칭방지층; 상기 활성층과 전기적으로 연결된 박막트랜지스터의 소스전극 및 드레인전극; 상기 제1절연막과 상기 소스전극 및 드레인전극 사이에 형성되고, 상기 커패시터상부전극 전체를 노출시키는 개구부를 포함하는 제2절연막; 상기 제2절연막 상에 형성되고 상기 화소전극을 노출시키는 제3절연막; 상기 화소전극 상에 위치하며, 발광층을 포함하는 중간층; 및 상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극; 을 포함하는 유기발광표시장치를 제공한다.

[0008] 본 발명의 다른 특징에 따르면, 상기 커패시터상부전극의 외측면과 상기 개구부 사이에 갭(gap)이 형성된다.

[0009] 본 발명의 다른 특징에 따르면, 상기 커패시터하부전극과 동일층에 상기 커패시터하부전극에 연결되는 배선부가 위치하고, 상기 배선부 및 상기 커패시터하부전극과 상기 배선부의 연결부는 상기 이온불순물이 도핑된 반도체물질을 포함한다.

[0010] 본 발명의 다른 특징에 따르면, 상기 커패시터하부전극과 상기 배선부의 연결부는 상기 커패시터상부전극의 외

측면과 상기 개구부 사이에 형성된 상기 갭의 위치에 대응된다.

- [0011] 본 발명의 다른 특징에 따르면, 상기 에칭방지층은 적어도 상기 연결부의 위치에 대응된다.
- [0012] 본 발명의 다른 특징에 따르면, 상기 게이트하부전극, 상기 화소전극 및 상기 커패시터상부전극은 동일한 제2투명도전물로 형성되며, 상기 에칭방지층은 상기 제2투명도전물에 대해 식각선택비(etch selectivity)를 가지는 제1투명도전물로 형성된다.
- [0013] 본 발명의 다른 특징에 따르면, 상기 제2투명도전물은 비정질 인듐틴옥사이드(a-ITO)이고, 상기 제1투명도전물은 결정질 인듐틴옥사이드(p-ITO)이다.
- [0014] 본 발명의 다른 특징에 따르면, 상기 중간층이 적색의 빛을 발광하는 제1발광층을 포함하는 경우, 상기 중간층은 상기 제1절연막과 상기 제1발광층 사이에 제1보조층을 더 포함한다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 제1보조층은 상기 화소전극과 상기 제1발광층 사이에 위치하며 상기 화소전극으로부터 상기 제1발광층으로 주입 또는 전달되는 정공을 통하는 제1층; 및 상기 제1절연막과 상기 화소전극 사이에 위치하며, 상기 에칭방지층과 동일한 층에 동일한 물질로 형성된 제2층; 을 포함한다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 중간층이 녹색의 빛을 발광하는 제2발광층을 포함하는 경우, 상기 중간층은 상기 제1절연막과 상기 제2발광층 사이에 상기 제1보조층보다 두께가 얇은 제2보조층을 더 포함한다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 제2보조층은 상기 제1절연막과 상기 화소전극 사이에 위치하며, 상기 에칭방지층과 동일한 층에 동일한 물질로 형성된 층을 포함한다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 중간층은 청색의 빛을 발광하는 제3발광층을 포함한다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 대향전극은 상기 발광층에서 방출된 광을 반사하는 반사전극이다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 중간층이 적색의 빛을 발광하는 제1발광층을 포함하는 경우, 상기 중간층은 상기 화소전극과 상기 제1발광층 사이에 위치하며 상기 화소전극으로부터 상기 제1발광층으로 주입 또는 전달되는 정공을 통하는 보조층;을 더 포함하고, 상기 화소전극은 상기 에칭방지층과 동일한 층에 상기 에칭방지층과 동일한 결정질 인듐틴옥사이드(p-ITO)로 형성되는 것을 특징으로 한다.
- [0021] 상기와 같은 과정을 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 반도체층을 형성한 후 패터닝하여 박막트랜지스터의 활성층 및 커패시터하부전극을 형성하는 제1마스크공정단계; 상기 기판 상에 상기 활성층 및 상기 커패시터하부전극을 덮도록 제1절연막을 형성하고, 상기 제1절연막 상에 투명도전물을 적층하고 패터닝하여 에칭방지층을 형성하는 제2마스크공정단계; 상기 에칭방지층을 덮도록 상기 제1절연막 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소전극패턴, 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 동시에 형성하는 제3마스크공정단계; 상기 화소전극패턴, 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 덮도록 상기 제1절연막 상에 제2절연막을 형성하고, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 가장자리를 노출하는 콘택홀을 형성하고, 상기 제2절연막을 패터닝하여 상기 커패시터상부전극패턴 전체 및 상기 화소전극패턴을 노출시키는 개구부들을 형성하는 제4마스크공정단계; 상기 제2절연막 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 활성층과 접속하는 소스전극 및 드레인전극을 형성하고, 상기 제1금속을 제거하여 화소전극 및 커패시터상부전극을 형성하는 제5마스크공정단계; 및 상기 화소전극을 덮도록 제3절연막을 형성하고, 상기 화소전극을 노출하도록 상기 제2절연막에 개구부를 형성하는 제6마스크공정단계; 을 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 제1마스크공정단계에서, 상기 반도체층을 패터닝하여 상기 커패시터하부전극과 동일층에 상기 커패시터하부전극에 연결되는 배선부를 동시에 형성한다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계에서, 상기 투명도전물을 패터닝하여 상기 에칭방지층과 동일층에 상기 화소전극에 대응되는 위치에 보조층을 동시에 형성한다.
- [0024] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계 이후에, 상기 에칭방지층을 구성하는 상기 투명도전물을 결정질 인듐틴옥사이드(p-ITO)로 변환하기 위해 상기 투명도전물을 어닐링하는 단계; 를 더 포함한다.
- [0025] 본 발명의 다른 특징에 따르면, 상기 제3마스크공정단계 이후에, 상기 활성층의 가장자리 및 상기 배선부에 이온 불순물을 도핑한다.

- [0026] 본 발명의 다른 특징에 따르면, 상기 제4마스크공정단계에서, 상기 커패시터상부전극의 외측면과 상기 커패시터상부전극 전체를 노출시키는 상기 개구부 사이에 갭(gap)을 형성한다.
- [0027] 본 발명의 다른 특징에 따르면, 상기 제5마스크공정단계 이후에, 상기 커패시터하부전극에 이온 불순물을 도핑한다.
- [0028] 본 발명의 다른 특징에 따르면, 상기 제6마스크공정단계 이후에, 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향전극을 더 형성한다.
- [0029] 본 발명의 다른 특징에 따르면, 상기 중간층은 상기 화소전극과 상기 발광층 사이에 위치하며 상기 화소전극으로부터 상기 발광층으로 주입 또는 전달되는 정공을 통하는 층을 더 포함하도록 형성된다.
- [0030] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 반도체층을 형성한 후 패터닝하여 박막트랜지스터의 활성층 및 커패시터하부전극을 형성하는 제1마스크공정단계; 상기 기판 상에 상기 활성층 및 상기 커패시터하부전극을 덮도록 제1절연막을 형성하고, 상기 제1절연막 상에 투명도전물을 적층하고 패터닝하여 에칭방지층 및 화소전극을 형성하는 제2마스크공정단계; 상기 에칭방지층을 덮도록 상기 제1절연막 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 동시에 형성하는 제3마스크공정단계; 상기 박막트랜지스터의 게이트전극, 및 커패시터상부전극패턴을 덮도록 상기 제1절연막 상에 제2절연막을 형성하고, 상기 제1절연막 및 상기 제2절연막을 패터닝하여 상기 활성층의 가장자리를 노출하는 콘택홀 및 상기 화소전극을 노출하는 개구부를 형성하고, 상기 제2절연막을 패터닝하여 상기 커패시터상부전극패턴 전체를 노출시키는 개구부들을 형성하는 제4마스크공정단계; 상기 제2절연막 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 활성층과 접속하는 소스전극 및 드레인전극을 형성하고, 상기 제1금속을 제거하여 커패시터상부전극을 형성하는 제5마스크공정단계; 및 상기 화소전극을 덮도록 제3절연막을 형성하고, 상기 화소전극을 노출하도록 상기 제2절연막에 개구부를 형성하는 제6마스크공정단계; 을 포함한다.
- [0031] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계 이후에, 상기 에칭방지층 및 상기 화소전극을 구성하는 상기 투명도전물을 결정질 인듐틴옥사이드(p-ITO)로 변환하기 위해 상기 투명도전물을 어닐링하는 단계; 를 더 포함한다.

발명의 효과

- [0032] 이상과 같은 본 발명의 일 실시예에 따르면, 먼저, 총 6단계의 마스크 공정으로 유기발광표시장치를 제조할 수 있어 제조공정이 단순화된다. 또한, 커패시터하부전극 및 배선부에 이온불순물이 도핑되지 않는 현상이 제거되어, 정전 용량이 증가하고, 배선부의 신호 전달 품질이 향상된다. 그리고, 서로 다른 색을 발광하는 픽셀 별로 각각 중간층의 두께를 달리함으로써 광 효율이 증대되는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 도시한 단면도이다.
- 도 2 및 3은 각각 본 발명의 일 실시예에 따른 유기발광표시장치의 저장영역을 개략적으로 도시한 평면도 및 단면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 유기발광표시장치의 저장영역을 개략적으로 도시한 평면도이다.
- 도 5는 도 1에 도시된 유기발광표시장치의 발광영역을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다.
- 도 6은 본 발명의 다른 실시예에 의한 적색 서브픽셀의 발광영역을 도시한 것이다.
- 도 7은 녹색 서브픽셀의 발광영역을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다.
- 도 8은 청색 서브픽셀의 발광영역을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다.
- 도 9 내지 도 14는 도 1에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다.
- 도 15는 도 6에 도시된 적색 서브픽셀을 포함한 유기발광표시장치(1)의 제조공정 일부를 개략적으로 나타내는 단면도이다.

도 16은 도 8에 도시된 청색 서브픽셀을 포함한 유기발광표시장치(1)의 제조공정 일부를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0035] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)를 개략적으로 도시한 단면도이다.
- [0039] 도 1을 참조하면, 유기발광표시장치(1)는 유기발광소자(EL)가 구비된 발광영역(100), 유기발광소자(EL)를 구동하기 위한 구동 박막트랜지스터(TFT) 및/또는 스위칭 박막트랜지스터(TFT)가 구비된 박막트랜지스터영역(200), 커패시터(Cst)가 구비된 저장영역(300)을 포함한다.
- [0040] 박막트랜지스터영역(200)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 유기발광소자(EL)와 전기적으로 연결되어 전류를 공급하는 구동 박막트랜지스터(TFT), 및 커패시터(Cst) 등과 전기적으로 연결되는 스위칭 박막트랜지스터(TFT) 등을 포함한다. 박막트랜지스터(TFT)는 활성층(212), 게이트전극(210) 및 소스/드레인전극(218s,d)을 포함한다. 게이트전극(210)은 게이트하부전극(215)과 게이트상부전극(216)으로 구성되고, 이 때 게이트하부전극(215)은 투명도전물(Transparent conductive oxide; TCO)로 형성된다. 게이트상부전극(216)은 저저항 금속으로 형성된다. 게이트전극(210)과 활성층(212) 사이에는 이들간의 절연을 위한 게이트절연막인 제1절연막(13)이 개재된다. 활성층(212)은 반도체물질로 형성된다. 활성층(212)의 양쪽 가장자리에는 채널영역(212c)을 가운데 두고 고농도의 이온불순물이 도핑된 소스/드레인영역(212s,d)이 형성되며, 이들은 각각 소스/드레인전극(218s,d)과 전기적으로 연결된다. 도 1에서는 탑게이트타입(top gate type)의 박막트랜지스터(TFT)가 도시되었으나, 이에 한정되지 않고 바텀게이트타입(bottom gate type) 등 다양한 타입의 박막트랜지스터(TFT)가 적용될 수 있다.
- [0041] 저장영역(300)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 스위칭 박막트랜지스터(TFT)가 오프(off)된 뒤에도 구동 박막트랜지스터(TFT)로 인가되는 신호를 충전한다. 커패시터(Cst)는 커패시터하부전극(312) 및 커패시터상부전극(315)을 양 전극으로 하고, 그 사이에 유전층으로써 제1절연막(13)이 개재된다. 여기서 커패시터하부전극(312)은 활성층(212)과 동일한 층에 형성될 수 있다. 커패시터하부전극(312)은 반도체물질로 이루어지며, 이온불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 커패시터상부전극(315)은 게이트하부전극(215)과 동일한 층에 동일한 투명도전물로 형성될 수 있다.
- [0042] 본 발명의 일 실시예에 의하면, 제1절연막(13)과 커패시터상부전극(315) 사이에는 에칭방지층(314)이 형성된다. 이러한 에칭방지층(314)으로 인하여, 커패시터상부전극(315) 외측면과 제5개구부(H5) 내측면 사이의 갭(gap)을 형성하기 위해 제2절연막(17)을 에칭할 시 제2절연막(17) 하부의 제1절연막(13)이 영향을 받지 않는 특징이 있다.
- [0043] 상세히, 공정 단계 중에 커패시터상부전극(315) 상에 제2절연막(17)이 형성되고, 제2절연막(17)에는 커패시터상부전극(315) 전체를 노출하도록 제5개구부(H5)를 형성하게 된다. 여기서 커패시터상부전극(315) 외측면과 제5개구부(H5) 내측면 사이에는 갭(G1)이 형성된다. 이러한 갭(G1)을 형성하기 위하여 제2절연막(17)을 에칭할 시, 에칭액 및 에칭방법 등에 따라 제2절연막(17) 하부에 위치하는 제1절연막(13)이 영향을 받을 수 있다. 예를 들

어, 제1절연막(13)이 오버(over) 에칭되어 언더컷(under-cut)이 나타날 수도 있다.

- [0044] 이렇게 제1절연막(13)이 오버 에칭될 경우 제1절연막(13) 하부의 커패시터하부전극(312)이 드러날 수 있다. 다결정실리콘과 같은 반도체물질을 포함하는 커패시터하부전극(312)은 이후 커패시터상부전극(315) 상부에 형성된 금속층을 제거할 때 에천트에 의해 식각된 금속성분과 화학적 반응을 일으켜 금속 실리사이드(silicide)를 형성한다. 이렇게 형성된 금속 실리사이드는 커패시터의 누설전류(leakage current)를 발생시키는 문제가 있다. 그러나 본 발명의 일 실시예에 의하면, 에칭방지층(314)으로 인하여 상술한 문제점이 발생하지 않게 된다.
- [0045] 도 2 및 3은 각각 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 저장영역(300)을 개략적으로 도시한 평면도 및 단면도이다.
- [0046] 도 2 및 도 3을 참조하면, 본 실시예에서는 제2절연막(17)에 커패시터상부전극(315) 전체를 노출시키는 개구부(H5)가 형성되고, 커패시터상부전극(315)의 외측면과 개구부(H5)의 내측면 사이에는 갭(G1)이 형성된다.
- [0047] 커패시터하부전극(312)에는 커패시터하부전극(312)과 연결되는 배선부(312a)가 위치한다. 이 배선부(312a)는 커패시터하부전극(312)과 동일층에 동일한 물질로 형성된다. 커패시터하부전극(312), 배선부(312a) 및 커패시터하부전극(312)과 배선부(312a)를 연결하는 연결부(312b)는 반도체물질로 형성되며, 반도체물질에는 높은 전기 전도도를 구현하기 위해 이온불순물이 도핑된다.
- [0048] 후술하겠지만, 커패시터하부전극(312)과, 커패시터하부전극(312)에 연결되는 배선부(312a)는 제2절연막(17)에 형성된 개구부(H5)가 형성하는 영역의 크기에 따라 이온불순물이 도핑되는 영역이 달라지게 된다. 만약, 개구부(H5)에 의해 커패시터상부전극(315)의 전체가 노출되지 않고 일부만 노출된다면 커패시터하부전극(312) 외곽부의 반도체층과, 커패시터하부전극(312)과 배선부(312a) 사이의 연결부(312b)에 이온불순물 도핑이 안 되는 영역이 발생할 수 있다. 이 경우 커패시터(Cst) 용량이 감소하거나 신호 전달 품질이 나빠질 수 있다.
- [0049] 그러나, 본 실시예에서는, 개구부(H5)에 의해 커패시터상부전극(315) 전체가 노출되므로, 커패시터하부전극(312)과 배선부(312a)는 모두 이온불순물로 도핑된다. 특히, 커패시터하부전극(312)과 배선부(312a)를 연결하는 연결부(312b)는 커패시터상부전극(315)의 외측면과 개구부(H5) 내측면 사이에 형성된 갭(G1)의 위치에 대응함으로써 이온불순물로 도핑될 수 있다. 따라서, 커패시터하부전극(312), 배선부(312a), 및 그 연결부(312b)에 이온도핑이 안 되는 영역이 발생하지 않기 때문에, 정전 용량을 크게 하고 신호 전달 품질을 향상시킬 수 있다. 특히 연결부(312b)는 배선부(312a)로부터 전달된 신호를 커패시터(Cst)로 인가하는 인입부에 해당하기 때문에 이온불순물이 도핑 되지 않을 경우 신호 전달 품질 저하에 결정적인 역할을 할 수 있다. 따라서, 본 실시예에서는 연결부(312b)를 갭(G1)의 위치에 대응시킴으로써 연결부(312b)에 이온불순물 도핑을 용이하게 하게 한다.
- [0050] 한편, 도 2에 도시된 본 발명의 일 실시예에 의하면, 에칭방지층(314)은 적어도 커패시터하부전극(312)과 배선부(312a)를 연결하는 연결부(312b)에 대응하는 위치에 형성된다.
- [0051] 한편, 도 4는 본 발명의 다른 실시예에 따른 유기발광표시장치(1)의 저장영역(300)을 개략적으로 도시한 평면도이다. 도 4에서 에칭방지층(314)은 연결부(312b) 외에도 갭(G1)에 대응하는 영역을 모두 커버하도록 형성된다. 도 4에서 에칭방지층(314)은 폐쇄루프(closed loop)로 형성되며, 갭(G1)에 의해 노출될 수 있는 제1절연막(13)의 영역을 모두 보호할 수 있다. 도 4에 의한 저장영역(300)의 단면도는 도 3과 동일하므로 중복되는 도시는 생략한다.
- [0052] 상술한 바와 같이, 에칭방지층(314)은 제1절연막(13)의 오버 에칭을 방지한다. 에칭방지층(314)의 폭(W1)은 갭(G1)의 폭 보다 크게 형성함으로써, 등방(isotropic)식각 및 이방(anisotropic)식각이 일어나더라도 갭(G1)에 대응하는 제1절연막(13)을 보호할 수 있다.
- [0053] 에칭방지층(314)은 커패시터상부전극(315)을 구성하는 물질에 대해 선택식각비(etch selectivity)를 가지는 투명도전물로 형성될 수 있다. 먼저, 선택식각비를 가지는 이유는, 에칭방지층(314)을 형성한 후 커패시터상부전극(315)을 형성하기 위한 패터닝 시 에칭방지층(314)이 손상을 받지 않아야 하기 때문이다. 다음으로, 투명도전물로 형성하는 이유는 에칭방지층(314) 및 커패시터상부전극(315)의 형성 후 커패시터하부전극(312) 및 배선부(312a)에 이온불순물을 도핑할 때, 에칭방지층(314)과 커패시터상부전극(315) 모두 투명해야만 커패시터하부전극(312) 및 배선부(312a) 전 영역에 도핑이 가능하기 때문이다.
- [0054] 예를 들어, 커패시터상부전극(315)은 비정질 인듐틴옥사이드(a-ITO)로 형성될 수 있으며, 에칭방지층은 결정질 인듐틴옥사이드(p-ITO)로 형성될 수 있다. 결정질 ITO(p-ITO)는 에칭 속도가 비정질 ITO(a-ITO)에 비해 약 1/10 이하로 늦다. 결정질 ITO(p-ITO)에 있어서 에칭 속도는 ITO의 웨트 에칭에 이용되는 에천트인 염산(HCl) 및 질

산(HNO₃)의 수용액 외에도, 불산(HF), 질산(HNO₃) 및 아세트산(CH₃COOH)의 수용액에 대해서도 저하된다. 즉 결정질 ITO(p-ITO)로 이루어진 에칭방지층(314)은 공정 과정 중 에칭스토퍼(etching stopper)로써 이용될 수 있다.

[0055] 다시 도 1로 돌아와서, 발광영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 구동 박막트랜지스터(TFT)의 소스/드레인전극(218s,d) 중 하나와 전기적으로 연결된 화소전극(115), 화소전극(115)과 대향 배치된 대향전극(119) 및 화소전극(115)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 화소전극(115)은 게이트하부전극(215)과 동일한 층에 형성되며 동일한 투명도전물을 포함한다. 대향전극(119)은 광반사 전극으로 구비된다. 중간층(118)은 유기발광층을 포함한다. 이로부터 도 1의 유기발광표시장치(1)는 기관(10)쪽으로 광을 방출하는 배면발광타입(bottom emission type)이 된다.

[0056] 본 발명의 일 실시예에 의하면, 유기발광소자(EL)는 다른 색의 빛을 발광하는 서브 픽셀마다 두께를 상이하게 구현한다. 예를 들어, 적색의 빛을 발광하는 서브 픽셀에 포함된 유기발광소자(EL)가 가장 두껍고, 청색의 빛을 발광하는 서브 픽셀에 포함된 유기발광소자(EL)가 가장 얇게 구현될 수 있다. 적색의 빛은 파장이 가장 길기 때문에 파장의 길이에 맞추어 유기발광소자(EL)를 두껍게 구현함으로써 공진(resonance) 효과에 의해 광 효율이 향상될 수 있다. 같은 방식으로 청색의 빛은 파장이 가장 짧기 때문에 파장의 길이에 맞추어 유기발광소자를 얇게 구현함으로써 공진 효과에 의해 광 효율이 향상될 수 있다. 여기서 파장의 길이나, 유기발광소자(EL)의 두께는 상대적인 개념으로써, 녹색 및 청색 서브픽셀에 비해 적색 서브픽셀에서 방출되는 파장의 길이가 상대적으로 길며, 유기발광소자(EL)의 두께도 상대적으로 두꺼운 것을 의미한다.

[0057] 본 발명의 일 실시예에 의하면, 제1절연막(13)과 화소전극(115) 사이에 위치하며, 에칭방지층(314)과 동일한 층에 동일한 물질로 형성되는 보조층(114)에 의하여 유기발광소자(EL)의 두께를 서브픽셀 별로 차등적으로 구현한다. 이로부터, 공정 단계를 추가하지 않고도 광 효율이 향상된 유기발광표시장치(1)를 제조할 수 있는 특징이 있다.

[0058] 이하에서는 적색, 녹색, 청색 서브픽셀 별로 유기발광소자(EL)의 구성을 상세히 알아본다.

[0059] 도 5는 도 1에 도시된 유기발광표시장치(1)의 발광영역(100)을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다. 도 5는 적색 서브픽셀의 발광영역(100R)을 도시한 것이다.

[0060] 도 5를 참조하면, 적색 서브픽셀의 유기발광소자(EL)는, 에칭방지층(314)과 동일하게 제1절연막(13) 상에 형성된 제1보조층(114), 제1보조층(114) 상에 형성된 화소전극(115), 화소전극(115)에 대향하는 대향전극(119) 및 화소전극(115)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다.

[0061] 제1보조층(114)은 에칭방지층(314)이 형성될 때 함께 형성되며, 따라서 에칭방지층(314)과 동일한 층에 동일한 결정질 ITO(p-ITO)로 형성된다. 제1보조층(114)은 적색 빛이 공진되도록, 적색 빛의 파장 길이에 대응하여 유기발광소자(EL)의 두께를 맞춰주는 역할을 함으로써, 유기발광소자(EL)의 광 효율을 향상시킨다.

[0062] 한편, 적색 서브픽셀의 중간층(118)은, 적색 유기 발광층(emissive layer: EML(R))과, 그 외에 정공수송층(hole transport layer: HTL), 정공주입층(hole injection layer: HIL), 전자수송층(electron transport layer: ETL), 및 전자주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.

[0063] 한편, 적색의 빛은 파장의 길이가 가장 길기 때문에 제1보조층(114) 외에도 파장 길이를 맞춰 줄 수 있는 추가 보조층(HIL-R, HTL-R)이 더 필요하다. 이러한 추가보조층(HIL-R, HTL-R)은 화소전극(115)과 적색 유기 발광층(EML(R)) 사이에 위치할 수 있다. 추가보조층(HIL-R, HTL-R)은 정공주입층(HIL) 또는 정공수송층(HTL)과 동일한 물질로 형성되어, 화소전극(115)으로부터 적색 유기 발광층(EML(R))으로 정공을 주입 또는 전달하게 할 수 있다. 결론적으로, 적색 서브픽셀에서는 제1보조층(114) 및 추가보조층(HIL-R, HTL-R)을 합한 두께에 의해 유기발광소자(EL)의 두께가 조절된다.

[0064] 한편, 도 6은 본 발명의 다른 실시예에 의한 적색 서브픽셀의 발광영역(100R)을 도시한 것이다.

[0065] 도 6을 참조하면, 도 5와 달리 제1보조층(114) 상부에 화소전극(115)이 없는 것을 특징으로 한다. 도 6에 의한 유기발광소자(EL)는 화소전극(115)의 역할 및 빛의 파장을 맞춰주는 역할을 하는 제1보조층(114), 제1보조층(114)과 대향하는 대향전극(119) 및 제1보조층(114)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다.

[0066] 한편, 도 6에서는 중간층(118)에 포함된 추가보조층(HIL-R', HTL-R')의 두께가 도 5에 포함된 추가보조층(HIL-R, HTL-R)의 두께 및 도 5의 화소전극(115)의 두께의 합과 동일한 것을 특징으로 한다. 즉, 도 6에서는 제1보조

층(114)이 화소전극(115)의 역할을 하며, 추가보조층(HIL-R', HTL-R')이 적색의 빛의 파장 길이에 대응하여 유기발광소자(EL)의 두께를 맞춰주는 역할을 하는 것이다. 이와 같이 본 발명은 다양한 방식으로 유기발광소자(EL)의 두께 조절이 가능한 것을 특징으로 한다.

- [0067] 도 7은 녹색 서브픽셀의 발광영역(100G)을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다.
- [0068] 도 7을 참조하면, 녹색 서브픽셀의 유기발광소자(EL)는, 도 5에 도시된 적색 서브픽셀의 유기발광소자(EL)와 동일하게 제1절연막(13)에 형성된 제2보조층(114), 제2보조층(114) 상에 형성된 화소전극(115), 화소전극(115)에 대향하는 대향전극(119) 및 화소전극(115)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 한편, 제2보조층(114)의 두께는 도 5의 제1보조층(114) 및 추가보조층(HIL-R, HTL-R)을 더한 두께보다 작은 것을 특징으로 한다.
- [0069] 제2보조층(114)은 에칭방지층(314)이 형성될 때 함께 형성되며, 따라서 에칭방지층(314)과 동일한 층에 동일한 결정질 ITO(p-ITO)로 형성된다. 제2보조층(114)은 녹색 빛이 공진되도록, 녹색 빛의 파장 길이에 대응하여 유기발광소자(EL)의 두께를 맞춰주는 역할을 함으로써, 유기발광소자(EL)의 광 효율을 향상시킨다.
- [0070] 한편, 녹색 서브픽셀의 중간층(118)은, 녹색 유기 발광층(emissive layer: EML(G))과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0071] 도 8은 청색 서브픽셀의 발광영역(100B)을 상세히 도시한 단면도(a) 및 중간층을 상세히 도시한 단면도(b)이다.
- [0072] 도 8을 참조하면, 청색 서브픽셀의 유기발광소자(EL)는, 보조층(114)을 포함하지 않으며, 제1절연막(13)에 형성된 화소전극(115), 화소전극(115)에 대향하는 대향전극(119) 및 화소전극(115)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 청색의 빛은 파장의 길이가 가장 짧기 때문에 유기발광소자(EL)를 가장 얇게 구현하기 위해 보조층(114)이 포함되지 않도록 해야 한다.
- [0073] 한편, 청색 서브픽셀의 중간층(118)은, 청색 유기 발광층(emissive layer: EML(B))과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0074] 도 9 내지 도 14는 도 1에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에 서는 도 5 및 도 7의 적색 및 녹색 서브픽셀의 제조공정을 기준으로 살펴본다.
- [0075] 먼저, 도 9에 도시된 바와 같이, 기판(10) 상부에 보조층(11)을 형성한다. 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다
- [0076] 한편, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0077] 다음으로 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(212)과 커패시터하부전극(312)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0078] 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(212) 및 커패시터하부전극(312)으로 패터닝된다.
- [0079] 포토리소그래피에 의한 마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

- [0080] 도 9에는 도시되지 않았으나, 도 2에 도시된 바와 같이 다결정실리콘층을 제1마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 커패시터하부전극(312)에 연결되는 배선부(312a)를 동시에 형성할 수 있다.
- [0081] 다음으로, 활성층(212)과 커패시터하부전극(312)이 형성된 기관(10)의 전면에 제1절연막(13) 및 제1투명도전물층을 순차로 형성한다.
- [0082] 제1절연막(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연막(13)은, 박막트랜지스터(TFT)의 활성층(212)과 게이트전극(210) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터상부전극(315)과 커패시터하부전극(312) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0083] 제1투명도전물층은 비정질 ITO 또는 결정질 ITO를 포함할 수 있다. 추후 제1투명도전물층은 에칭방지층(314) 및 /또는 보조층(114)으로 패터닝될 수 있다. 본 발명의 일 실시예에 의한 유기발광표시장치(1)는 기관(10)의 방향으로 발광하는 배면발광형(bottom emission type)이기 때문에 화소전극(115) 하부에 배치되는 보조층(114)은 투명한 도전물로 형성될 필요가 있다. 한편, 추후 공정에서 에칭방지층(314) 하부의 커패시터하부전극(312) 및 배선부(312a)를 이온불순물로 도핑해야 하기 때문에 에칭방지층(314)은 투명한 물질로 형성될 필요가 있다.
- [0084] 도 10에 도시된 바와 같이, 저장영역(300)에 에칭방지층(314)을 형성하고, 발광영역(100)에 보조층(114)을 형성한다.
- [0085] 상세히, 기관(10) 전면에 차례로 적층된 제1도전층 및 제1투명도전물층은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0086] 에칭방지층(314)은 도 2에 도시된 바와 같이, 적어도 커패시터하부전극(312)과 배선부(312a)를 연결하는 연결부(312b)에 대응하는 위치에 형성될 수 있다. 또한 도 4에 도시된 바와 같이 에칭방지층(314)은 연결부(312b) 외에도 차후에 형성될 갭(G1)에 대응하는 영역으로 모두 커버하도록 퍼쇄루프로 형성될 수도 있다. 그래야만, 에칭방지층(314)이 적어도 연결부(312b)에 대응되는 제1절연막(13)이 오버 에칭되는 것을 보호할 수 있기 때문이다.
- [0087] 보조층(114)은 추후 화소전극(115)이 형성될 위치에 대응하여 형성될 수 있다. 그래야만 발광층에서 발출되는 빛의 파장에 맞게 유기발광소자(EL)의 두께를 조절할 수 있기 때문이다.
- [0088] 한편, 제1투명도전물층을 비정질 ITO(a-ITO)로 형성한 경우, 에칭방지층(314) 및 보조층(114)을 패터닝한 후 어닐링(annealing) 처리를 통해 비정질 ITO(a-ITO)를 결정질 ITO(p-ITO)로 변환시킨다. 여기서 어닐링 처리는 열, 자외선(UV) 또는 레이저를 통해 수행할 수 있다. 한편, 별도의 어닐링 처리를 수행하지 않더라도 공정 과정 중 열처리 및 자외선처리 공정을 통해 에칭방지층(314) 및 보조층(114)의 비정질 ITO(a-ITO)는 결정화될 수 있다. 또한, 어닐링 처리는 제1투명도전물층을 에칭방지층(314) 및 보조층(114)으로 패터닝하기 전에 수행할 수도 있다.
- [0089] 다음으로, 에칭방지층(314)과 보조층(114)이 형성된 기관(10)의 전면에 제2투명도전물층 및 제1금속층을 순차로 형성한다.
- [0090] 제2투명도전물층은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게 제2투명도전물층은 결정질 ITO(p-ITO)에 대해서 식각선택비를 가지는 비정질 ITO(a-ITO)를 포함할 수 있다. 추후 제2투명도전물층은 화소전극(115), 게이트하부전극(215) 및 커패시터상부전극(315)으로 패터닝 될 수 있다.
- [0091] 본 발명의 일 실시예에 의한 유기발광표시장치(1)는 기관(10)의 방향으로 발광하는 배면발광형(bottom emission type)이기 때문에 화소전극(115)은 투명전극을 형성될 필요가 있다. 따라서, 화소전극(115)을 형성하기 위한 제2투명도전물층은 투명 도전성 산화물(TCO)로 형성하는 것이 바람직하다.
- [0092] 한편, 제1금속층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2금속층은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 제2도전층은 게이트상부전극(216)으로 패터닝 될 수 있다.

- [0093] 본 발명의 일 실시예에 의하면, 게이트전극(210)은 전류를 잘 통해야 하므로 다소 저항이 큰 제2투명도전물층으로만 형성하는 것은 문제가 있다. 따라서 박막트랜지스터(TFT)가 적합한 기능을 수행하기 위해 제2투명도전물층에 비해 저항이 작은 저저항 금속물질로 이루어진 제1금속층을 형성해야 한다.
- [0094] 다음으로 도 11에 도시된 바와 같이, 기관(10) 상에 화소전극패턴(110), 게이트전극(210) 및 커패시터상부전극패턴(310)을 형성한다.
- [0095] 상세히, 기관(10) 전면에 차례로 적층된 제2투명도전물층 및 제1금속층은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0096] 이때, 트랜지스터영역(200)에는 활성층(212) 상부에 게이트전극(210)이 형성되고, 게이트전극(210)은 제2투명도전물층의 일부로 형성된 게이트하부전극(215)과 제1금속층 일부로 형성된 게이트상부전극(216)을 포함한다.
- [0097] 한편, 에칭방지층(314) 및 보조층(114)은 제2투명도전물층에 대해 식각선택비를 가지는 물질로 형성되었기 때문에, 제2투명도전물층을 패터닝하는 과정에서 에칭방지층(314) 및 보조층(114)은 손상되지 않는다.
- [0098] 여기서, 게이트전극(210)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트전극(210)을 셀프 얼라인(self align) 마스크로 하여 활성층(212)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(210)의 양측에 대응하는 활성층(212)의 가장자리에 소스/드레인영역(212s,d)과 이들 사이의 채널영역(212c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0099] 저장영역(300)에는 추후 커패시터상부전극(315)을 형성하기 위한 커패시터상부전극패턴(310)이 커패시터하부전극(312)에 대응하도록 에칭방지층(314) 상부에 형성되고, 발광영역(100)에는 추후 화소전극(115)을 형성하기 위한 화소전극패턴(110)이 보조층(114) 상부에 형성된다.
- [0100] 한편, 활성층(212)과 동일 재료로 형성된 커패시터하부전극(312)은 커패시터상부전극패턴(310)의 제1금속층이 차단 마스크 기능을 하기 때문에, 채널 영역(212c)과 마찬가지로 도핑되지 않는다. 그러나, 이때, 커패시터상부전극패턴(310)의 제1금속층이 위치하지 않는 커패시터의 배선부(312a)에는 이온 불순물이 도핑된다.
- [0101] 다음으로, 게이트전극(210), 커패시터상부전극패턴(310) 및 화소전극패턴(110)이 형성된 기관(10) 전면에 제2절연막(17)을 증착한다.
- [0102] 제2절연막(17)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연막(17)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연막(13)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(210)과 소스/드레인전극(218s,d) 사이의 층간절연막 역할을 수행한다. 한편, 제2절연막(17)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연막(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0103] 다음으로 도 12에 도시된 바와 같이, 절연막(17)을 패터닝하여 활성층(212)의 소스/드레인영역(212s,d)의 일부를 노출하는 콘택홀들(H1, H2) 및 커패시터상부전극패턴(310) 전체 및 상기 화소전극패턴(110)의 일부를 노출시키는 개구부들(H3, H4, H5)을 갖는 층간절연막(17)을 형성한다.
- [0104] 상세히, 상기 제1절연막(13) 및/또는 제2절연막(17)은 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 콘택홀들(H1, H2) 및 개구부들(H3, H4, H5)를 형성한다. 여기서, 콘택홀들(H1, H2)은 소스/드레인영역(212s,d)의 일부를 각각 노출시키고, 제3개구부(H3) 및 제4개구부(H4)는 화소전극패턴(110)의 상부를 구성하는 제1금속층의 적어도 일부를 노출시킨다. 제5개구부(H5)는 커패시터상부전극패턴(310) 전체를 노출시킨다.
- [0105] 제5개구부(H5)는 커패시터상부전극패턴(310) 전체를 노출시키도록 형성되며, 이때 커패시터상부전극패턴(310)의 외측면과 제5개구부(H5) 내측면 사이에 갭(G1)이 형성된다. 전술한 바와 같이 갭(G1)이 생길 정도로 커패시터상부전극패턴(310) 전체를 노출함으로써 이후 커패시터상부전극패턴(310)에 포함된 제1금속층을 완전히 제거할 수 있어, 커패시터하부전극(312) 전체를 이온 불순물로 도핑할 수 있다. 한편, 갭(G1)은 커패시터하부전극(312)과 배선부(312a)의 연결부(312b)에 대응되도록 형성한다.
- [0106] 한편, 전술한 바와 같이 연결부(312b)에 대응되는 영역에는 에칭방지층(314)이 위치하기 때문에 제2절연막(17)을 에칭하여 제5개구부(H5)를 형성할 시 제2절연막(17) 하부의 제1절연막(13)은 영향을 받지 않는다
- [0107] 다음으로, 층간절연막(17)을 덮도록 기관(10) 전면에 제2금속층을 증착한다.

- [0108] 제2금속층은 전술한 제1금속층과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 제2금속층은 전술한 개구부들(H1, H2, H3, H4, H5)를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0109] 다음으로, 도 13에 도시된 바와 같이, 제2금속층을 패터닝하여, 소스/드레인전극(218s,d), 화소전극(115) 및 커패시터상부전극(315)을 각각 형성한다.
- [0110] 상세히, 제2금속층을 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인전극(218s,d)을 형성한다.
- [0111] 여기서, 소스/드레인전극(218s,d) 중 하나의 전극(본 실시예의 경우 드레인전극(218d))은 화소전극(115)이 형성될 화소전극패턴(110)의 상부 제1금속층의 가장자리 영역의 제4개구부(H4)를 통하여 화소전극(115)과 접촉하도록 형성된다.
- [0112] 한편, 소스/드레인전극(218s,d)을 형성하는 제2금속층과 화소전극패턴(110)을 구성하는 제1금속층이 동일한 재료일 경우 소스/드레인전극(218s,d)을 형성함과 동시에 화소전극(115)을 형성할 수 있다. 그러나 제2금속층과 제1금속층이 다른 재료일 경우 소스/드레인전극(218s,d)을 형성한 후 추가 식각에 의해 화소전극(115)을 형성할 수도 있다. 상세히, 화소전극(114)은 제3개구부(H3)에 의해 노출된 화소전극패턴(110)의 상부 제1금속층을 제거하여 형성한다. 여기서, 커패시터상부전극(315)의 경우, 노출된 커패시터상부전극패턴(310)의 상부 제1금속층을 제거하여 커패시터상부전극(315)을 형성한다. 따라서 게이트하부전극(215), 커패시터상부전극(315) 및 화소전극(115)은 동일층에서 동일 물질로 형성된다.
- [0113] 여기서, 커패시터상부전극패턴(310)의 상부 제1금속층이 완전히 제거되었으므로, 제5개구부(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터하부전극(312) 전체를 도핑할 수 있다. 상기 도핑 시 주입되는 불순물은 상기 활성층(212)의 도핑 시 사용된 것과 동일한 B 또는 P 이온 일 수 있으나, 상이할 수도 있다.
- [0114] 한편, 본 실시예에서는, 제5개구부(H5)에 의해 커패시터상부전극패턴(310) 전체가 노출되고, 에칭방지층(314)이 투명도전물로 이루어지기 때문에, 커패시터하부전극(312)과 연결되는 배선부(312a) 및 연결부(312b)가 모두 이온 불순물로 도핑될 수 있다. 따라서, 커패시터하부전극(312)과 배선부(312a)에 이온 도핑이 안 되는 영역이 발생하지 않기 때문에, 정전 용량을 크게 하고 신호 전달 품질을 향상시킬 수 있다.
- [0115] 다음으로 도 14에 도시된 바와 같이 기판 상에 화소정의막(pixel define layer: PDL)(19)을 형성한다.
- [0116] 상세히, 화소전극(115), 소스/드레인전극(218s,d) 및 커패시터상부전극(315)이 형성된 기판(10) 전면에서 제3절연막(19)을 증착한다.
- [0117] 이때 제3절연막(19)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스펠 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연막(19)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연막(19)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0118] 제3절연막(19)은 제6마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(115)의 중앙부가 노출되도록 제6개구부(H6)를 형성함으로써, 픽셀을 정의하게 된다.
- [0119] 한편, 갭(G1)이 형성된 영역에는 제3절연막(19)이 개재되어 있다. 이때, 제3절연막(19)이 유기절연물로 형성될 경우, 갭(G1)을 유기절연물이 적절히 메꿈으로써 커패시터하부전극(312)과 커패시터상부전극(315)에 접촉하는 에칭방지층(314) 사이에 발생할 수 있는 쇼트를 방지할 수 있다.
- [0120] 이후 도 1에 도시된 바와 같이, 화소전극(115)을 노출하는 제6개구부(H6)에 유기 발광층을 포함하는 중간층(118) 및 대향전극(119)을 형성한다. 적색 서브픽셀의 경우, 중간층(118)은 유기 발광층(emissive layer: EML(R))과, 그 외에 정공수송층(hole transport layer: HTL), 정공주입층(hole injection layer: HIL), 전자수송층(electron transport layer: ETL), 및 전자주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있고, 추가보조층이 더 형성될 수 있다.
- [0121] 적색을 구현하는 유기 발광층 (EML(R))은 호스트 물질로서 CBP(carbazole biphenyl) 또는 mCP를 포함하며, 도판트 물질로서 PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline) iridium) 및

PtPEP(octaethylporphyrin platinum)로 이루어진 군에서 선택되는 하나 이상을 포함하는 인광물질을 사용하여 형성될 수 있다. 또한, 적색 유기 발광층 (EML(R)) 은 PED:Eu(DBM)3(Phen) 또는 페릴렌(Perylene)과 같은 형광 물질을 사용하여 형성할 수도 있다.

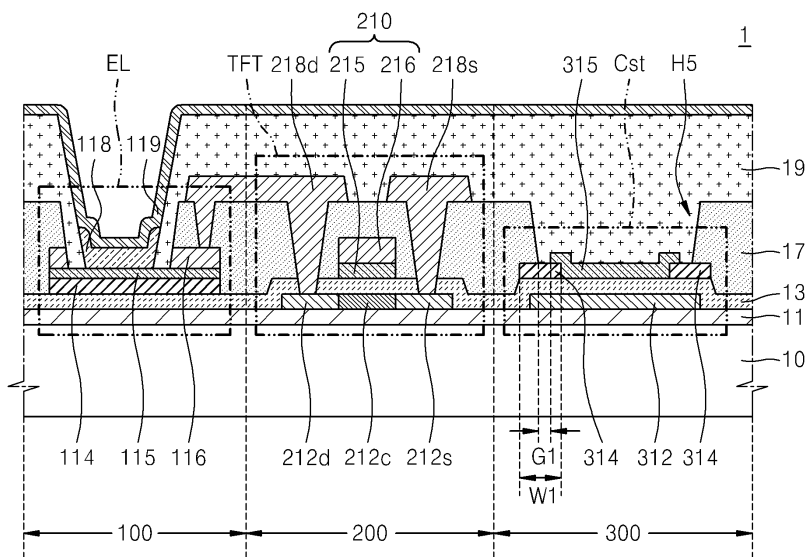
- [0122] 정공수송층(hole transport layer: HTL)은 N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), PEDOT 등을 사용하여 형성할 수 있다. 정공주입층(hole injection layer: HIL)은 구리프탈로시아닌(CuPc: copper phthalocyanine), 4,4',4"-트리스(N-(3-메틸페닐)-N-페닐아미노)트리페닐아민(4,4',4"-tris(N-(3-methylphenyl)-N-phenylamino)triphenylamine) (MTDATA) 을 사용하여 형성할 수 있다.
- [0123] 추가보조층 (HIL-R, HTL-R) 의 경우, 화소전극(115)과 적색 유기 발광층 (EML(R)) 사이에 배치될 수 있으며, 정공수송층(HTL) 또는 정공주입층(HIL)에 사용되는 물질로 이루어질 수 있다. 따라서 추가보조층 (HIL-R, HTL-R) 은 화소전극(115)으로부터 적색 유기 발광층 (EML(R)) 으로 주입 또는 전달되는 정공을 통하는 층이 될 수 있다.
- [0124] 전자수송층(electron transport layer: ETL)은 폴리사이클릭 하이드로 카본 계열 유도체, 헤테로사이클릭 화합물, 트리스(8-퀴놀리노라토)알루미늄(Alq3)을 사용하여 형성할 수 있다. 전자주입층(electron injection layer: EIL)은 LiF, Liq, NaF, Naq 을 사용하여 형성할 수 있다.
- [0125] 대향전극(119)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기발광표시장치(1)의 경우, 화소전극(115)은 애노드 전극으로 사용되고, 대향전극(119)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0126] 유기발광표시장치(1)가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(115)은 투명전극이 되고 대향전극(119)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0127] 전술된 유기발광표시장치(1)를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.
- [0128] 한편, 도 6에 도시된 적색 서브픽셀에 포함된 발광영역(100R)의 경우, 도 15에 도시된 바와 같이 도 11의 제3마스크를 사용한 마스크 공정에서 발광영역(100)에 화소전극패턴(110)을 형성하지 않음으로써 구현된다.
- [0129] 따라서, 도 12의 제4마스크공정단계에서 게이트전극(210), 및 커패시터상부전극패턴(310)을 덮도록 상기 제1절연막(13) 상에 제2절연막(17)을 형성하고, 콘택홀 및 개구부들(H1, H2, H3, H4, H5)을 형성하고, 도 13의 제5마스크공정단계에서 소스전극 및 드레인전극(218s,d)을 형성하고, 커패시터상부전극패턴(310)의 제1금속을 제거하여 커패시터상부전극(315)을 형성한다. 화소전극패턴(110)은 애초에 형성하지 않았으므로, 이와 관련된 공정은 일체 진행되지 않는다. 그 외의 공정 단계는 도 9 내지 도 14에 설명한 것과 유사하므로 중복되는 기술은 생략한다.
- [0130] 또한 도 8에 도시된 청색 서브픽셀에 포함된 발광영역(100B)의 경우, 도 16에 도시된 바와 같이 도 10의 제2마스크를 사용한 마스크 공정에서 발광영역(100)에 보조층(114)을 형성하지 않음으로써 구현된다. 이후 공정은 도 11 내지 도 14에 설명한 것과 유사하므로 중복되는 기술은 생략한다.
- [0131] 한편, 전술한 실시예에서는 유기발광표시장치(1)를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.
- [0132] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0133] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

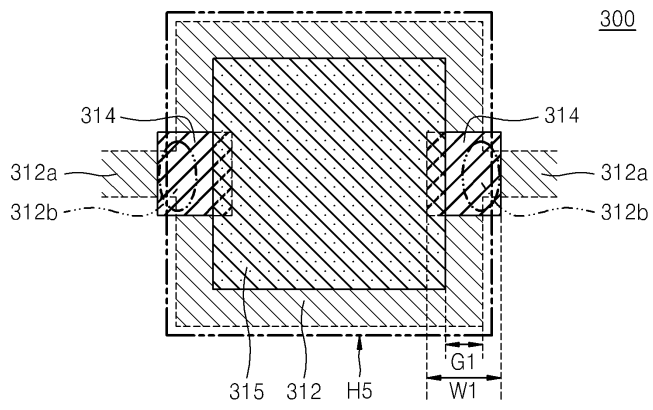
- [0134]
- | | |
|------------------|-------------------------|
| 1: 유기발광표시장치 | 10: 기판 |
| 11: 보조층 | 13: 제1절연막 |
| 17: 제2절연막 | 19: 제3절연막 |
| 100: 발광영역 | 100RGB: 적색, 녹색, 청색 발광영역 |
| 110: 화소전극패턴 | 114: 보조층 |
| 115: 화소전극 | 118: 중간층 |
| 119: 대향전극 | 200: 박막트랜지스터영역 |
| 210: 게이트전극 | 212s,d: 소스/드레인영역 |
| 212c: 채널영역 | 212: 활성층 |
| 215: 게이트하부전극 | 216: 게이트상부전극 |
| 218s,d: 소스/드레인전극 | 300: 저장영역 |
| 310: 커패시터상부전극패턴 | 312a: 배선부 |
| 312b: 연결부 | 312: 커패시터하부전극 |
| 314: 에칭방지층 | 315: 커패시터상부전극 |

도면

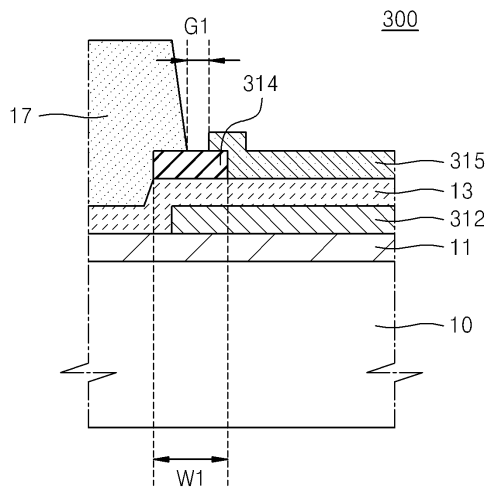
도면1



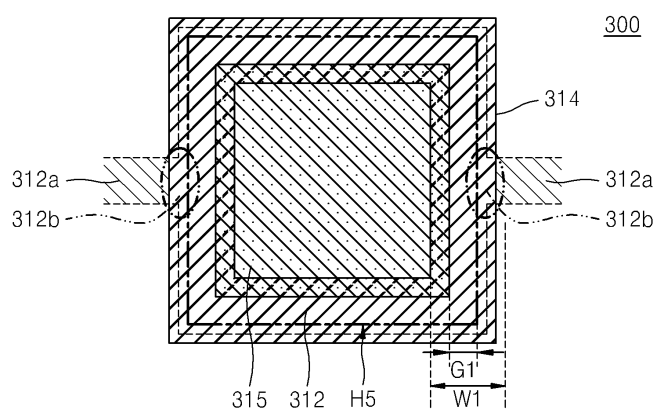
도면2



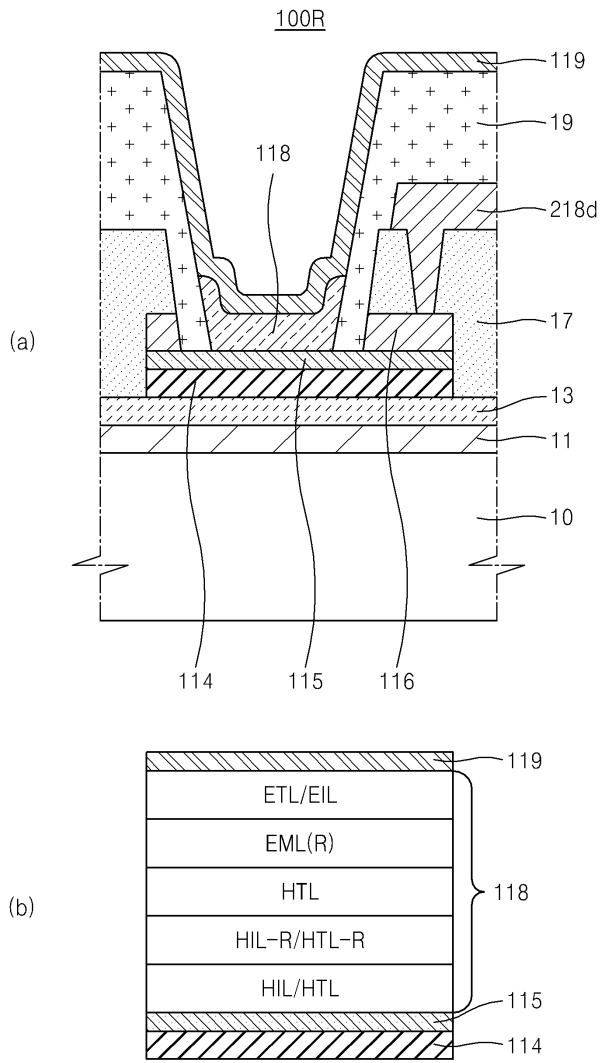
도면3



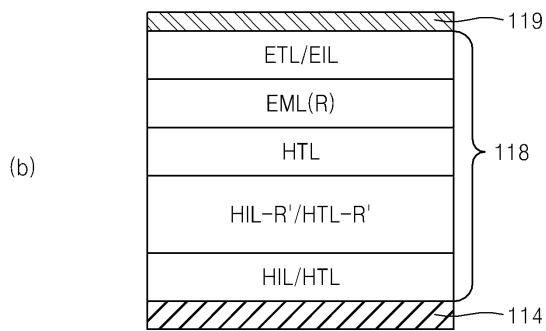
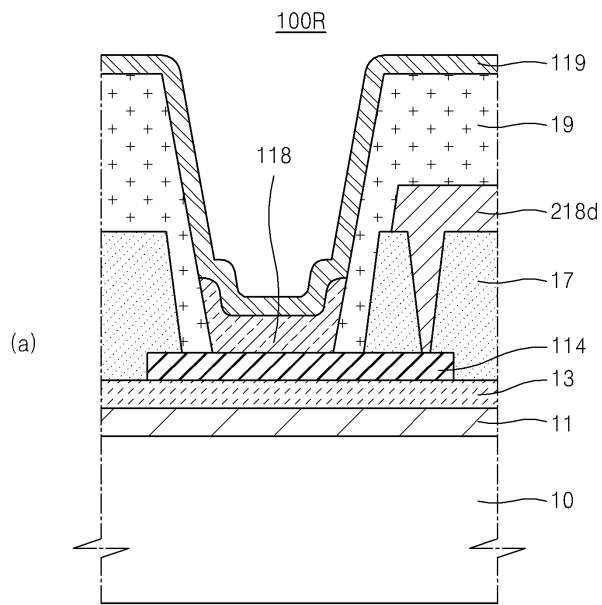
도면4



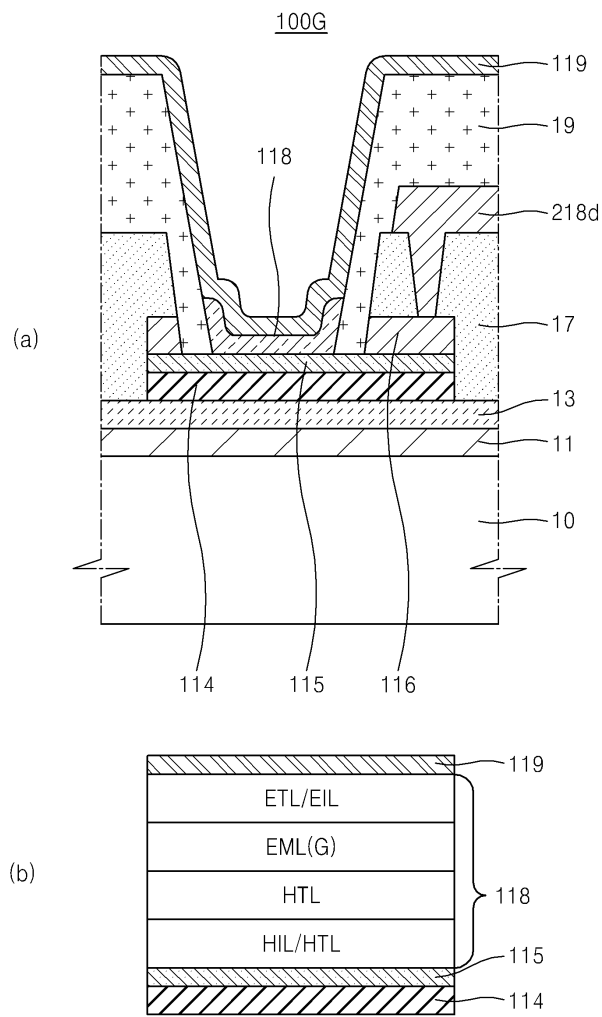
도면5



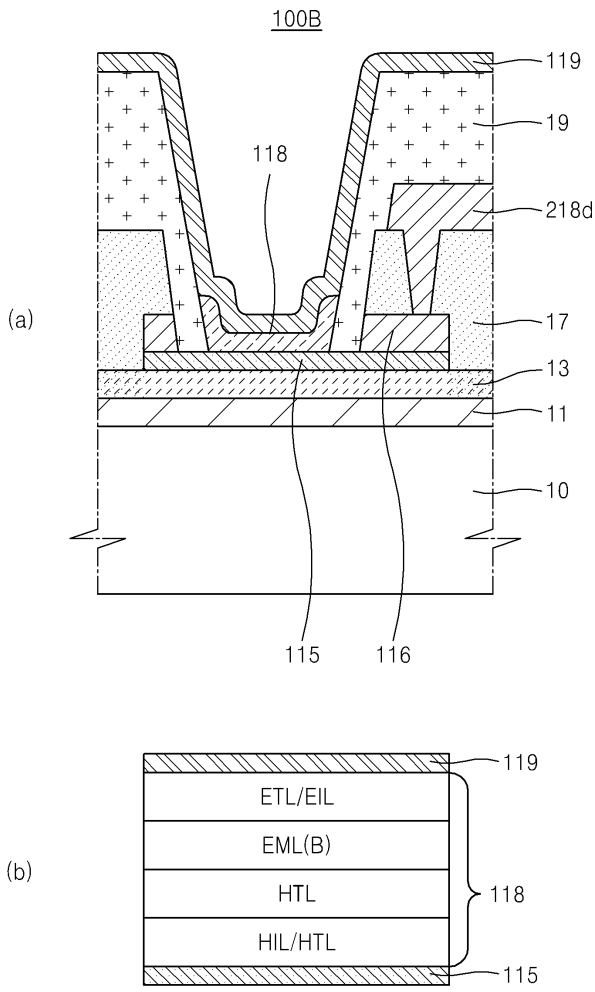
도면6



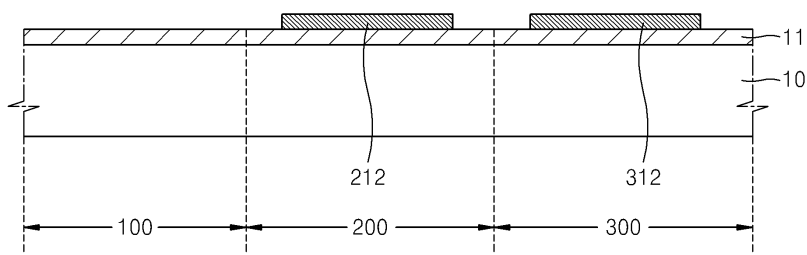
도면7



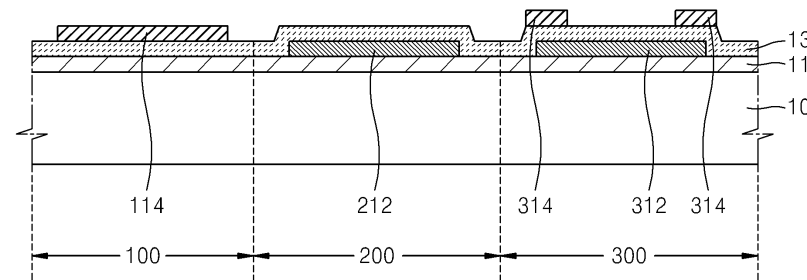
도면8



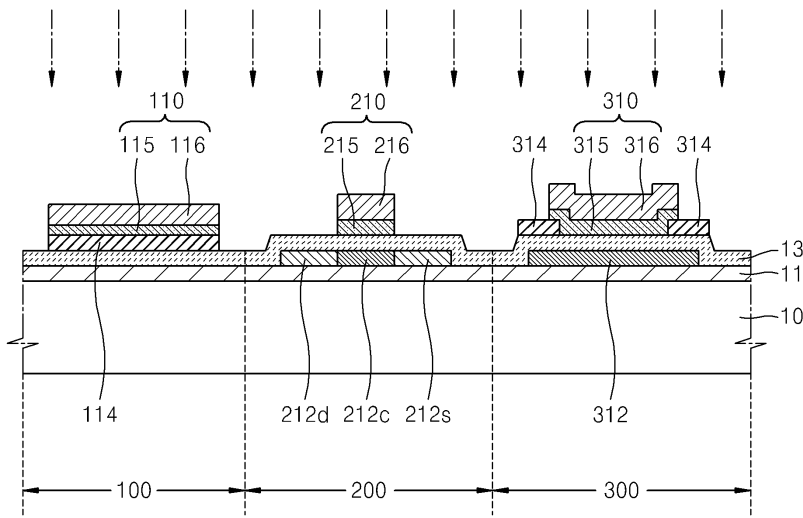
도면9



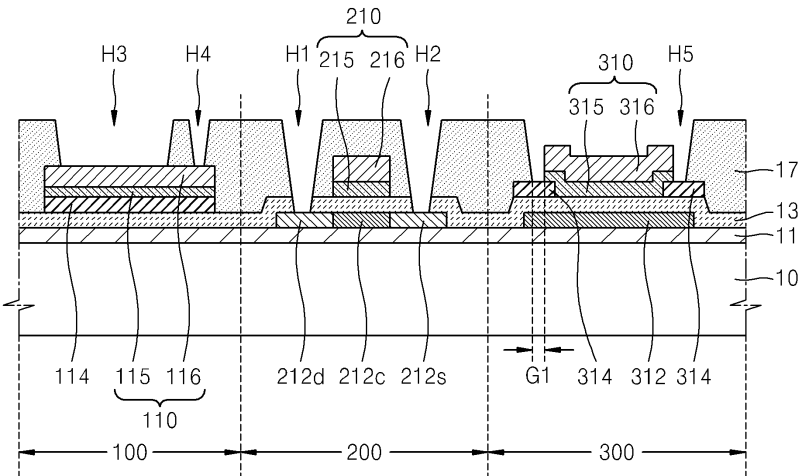
도면10



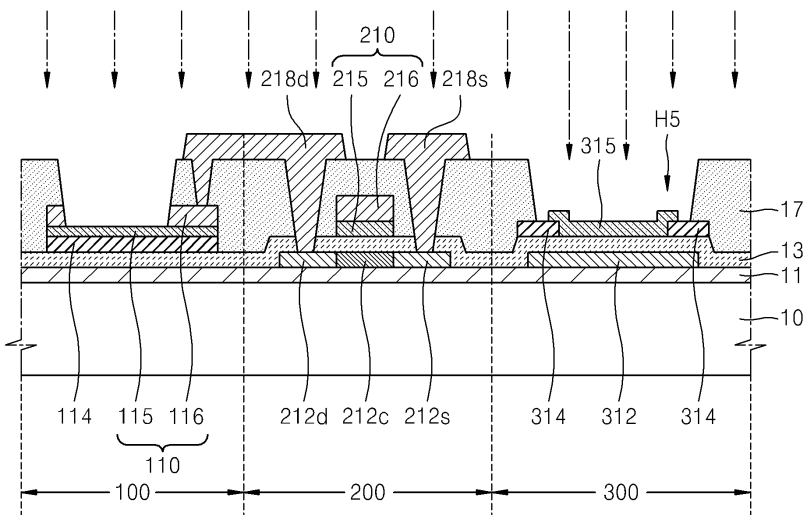
도면11



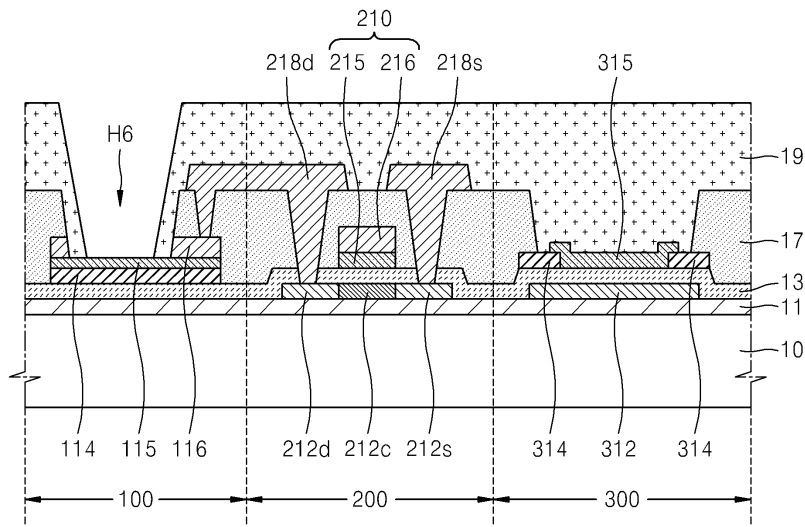
도면12



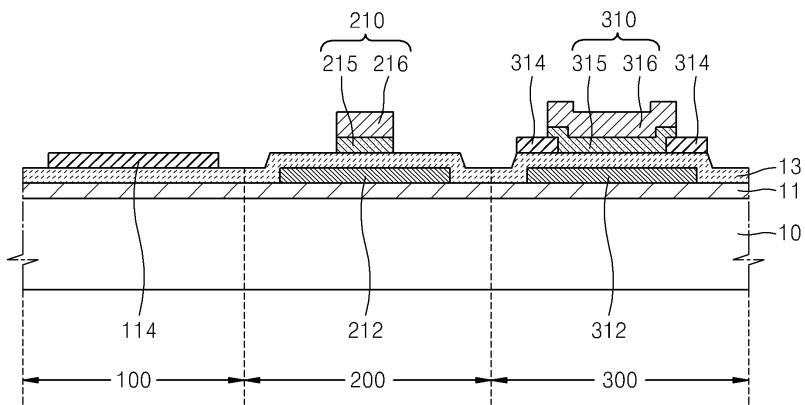
도면13



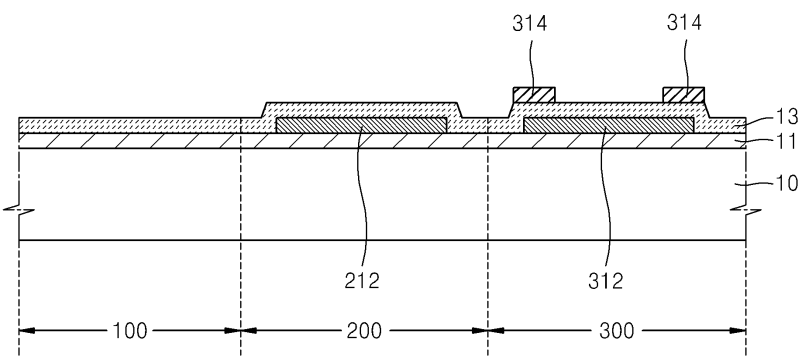
도면14



도면15



도면16



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101810047B1	公开(公告)日	2017-12-19
申请号	KR1020110075217	申请日	2011-07-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JONG HYUN 최종현 KIM KWANG HAE 김광해		
发明人	최종현 김광해		
IPC分类号	H01L51/50 H01L51/56 H05B33/22		
CPC分类号	H01L27/3265 H01L27/3262 H01L51/0011 H01L2227/32 H01L27/1255 H01L29/4908		
其他公开文献	KR1020130013516A		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光显示装置及其制造方法，以形成具有不同厚度的中间层并照射不同颜色并提高光学效率的每个像素。组成：形成电容器底部电极（312）基板（10）。在基板上形成第一绝缘层（13）以覆盖电容器底部电极。在第一绝缘层上形成栅电极（210）。栅电极包括由透明导电材料制成的栅下电极（215）；栅极上电极（216）由金属制成。电容器上电极（315）和像素电极形成在同一层中。在第一绝缘层和电容器上电极之间形成蚀刻停止层（314）。

