



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월24일

(11) 등록번호 10-1597037

(24) 등록일자 2016년02월17일

(51) 국제특허분류(Int. Cl.)

*H01L 27/32* (2006.01) *H01L 51/56* (2006.01)

(21) 출원번호 10-2014-0079255

(22) 출원일자 2014년06월26일

심사청구일자 2014년06월26일

(65) 공개번호 10-2016-0001822

(43) 공개일자 2016년01월07일

(56) 선행기술조사문헌

KR1020140071303 A

KR1020110032937 A

KR1020120041425 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김태공

경기 과주시 한빛로 67, 201동 2304호 (야당동,  
한빛마을2단지휴먼빌레이크팰리스)

김정현

서울특별시 동작구 사당1동 남부순환로 263길 12  
선영해파름 402호

윤진한

경남 김해시 삼안로255번길 18-19

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 5 항

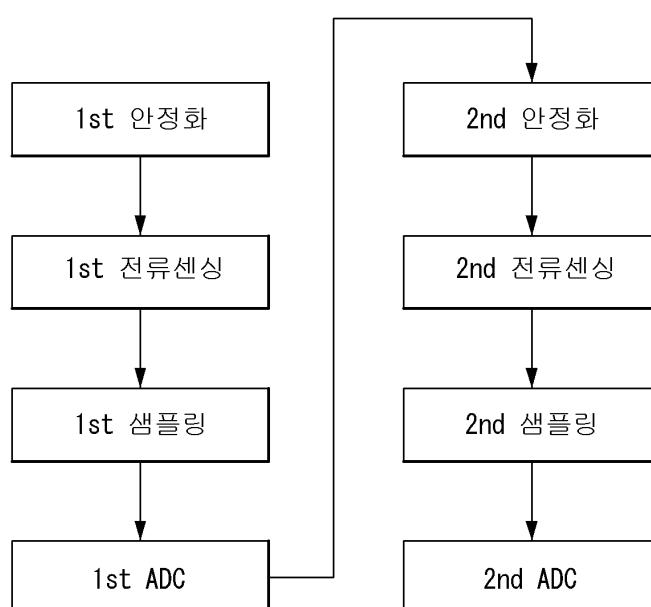
심사관 : 김한수

(54) 발명의 명칭 구동소자의 전기적 특성 편차를 보상할 수 있는 유기발광 표시장치

**(57) 요 약**

본 발명에 따른 유기발광 표시장치는 OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들 중 어느 하나, 게이트라인들 중 어느 하나, 및 센싱 라인들 중 어느 하나에 각각 연결된 다수의 픽셀들이 형성된 표시패널; 센싱 구동시 1 라인 센싱 온 타임에 대응되는 센싱용 게이트펄스를 생성한 후 행 순차 방식으

(뒷면에 계속)

**대 표 도 - 도6**

로 상기 게이트라인들에 순차 공급하는 게이트 구동회로; 상기 센싱 구동시 상기 1 라인 센싱 온 타임 내에서, 센싱용 데이터전압을 생성하여 상기 데이터라인들에 공급하는 다수의 DAC들과, 상기 센싱 라인들을 통해 입력되는 상기 픽셀들 각각의 구동 TFT의 소스-드레인 간 전류를 적분하는 다수의 전류 적분기들과, 상기 전류 적분기들의 출력을 순차적으로 디지털 처리하여 디지털 센싱값들을 출력하는 ADC를 포함한 데이터 구동회로; 상기 게이트 구동회로와 상기 데이터 구동회로의 동작을 제어하여, 상기 1 라인 센싱 온 타임 내에서, 제1 레벨의 상기 센싱용 데이터전압에 의한 제1 소스-드레인 전류값을 적분한 후, 제2 레벨의 상기 센싱용 데이터전압에 의한 제2 소스-드레인 전류값을 적분하는 타이밍 콘트롤러를 구비한다.

---

## 명세서

### 청구범위

#### 청구항 1

OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들 중 어느 하나, 게이트라인들 중 어느 하나, 및 센싱 라인들 중 어느 하나에 각각 연결된 다수의 픽셀들이 형성된 표시패널;

센싱 구동시 1 라인 센싱 온 타임에 대응되는 센싱용 게이트펄스를 생성한 후 행 순차 방식으로 상기 게이트라인들에 순차 공급하는 게이트 구동회로;

상기 센싱 구동시 상기 1 라인 센싱 온 타임 내에서, 센싱용 데이터전압을 생성하여 상기 데이터라인들에 공급하는 다수의 DAC들과, 상기 센싱 라인들을 통해 입력되는 상기 픽셀들 각각의 구동 TFT의 소스-드레인 간 전류를 적분하는 다수의 전류 적분기들과, 상기 전류 적분기들의 출력을 순차적으로 디지털 처리하여 디지털 센싱값들을 출력하는 ADC를 포함한 데이터 구동회로;

상기 게이트 구동회로와 상기 데이터 구동회로의 동작을 제어하여, 상기 1 라인 센싱 온 타임 내에서, 제1 레벨의 상기 센싱용 데이터전압에 의한 제1 소스-드레인 전류값을 적분한 후, 제2 레벨의 상기 센싱용 데이터전압에 의한 제2 소스-드레인 전류값을 적분하는 타이밍 콘트롤러를 구비하고,

상기 제1 레벨은, 전체 계조 구간에서 소정 범위의 저계조 전류값 및 소정 범위의 고계조 전류값 중 어느 하나에 대응되는 전압 크기로 입력되고,

상기 제2 레벨은 상기 전체 계조 구간에서 상기 소정 범위의 저계조 전류값 및 상기 소정 범위의 고계조 전류값 중 나머지 하나에 대응되는 전압 크기로 입력되는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 타이밍 콘트롤러는 상기 게이트 구동회로의 동작을 제어하여 상기 센싱용 게이트펄스의 온 펄스 구간이 상기 1 라인 센싱 온 타임 내에 2개 이상 포함되도록 상기 센싱용 게이트펄스를 멀티 펄스 형태로 생성하는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 타이밍 콘트롤러는, 상기 센싱용 데이터전압의 크기에 따라 상기 제1 및 제2 센싱 & 샘플링 기간에서의 센싱 기간을 서로 다르게 제어하되, 상기 센싱 기간은 상기 센싱용 데이터전압의 크기에 반비례하도록 조정되는 것을 특징으로 하는 유기발광 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 전류 적분기에 포함된 적분 커패시터의 커패시턴스를 조정하기 위한 커패시턴스 제어부를 더 포함하고;

상기 적분 커패시터는 앰프의 반전 입력단에 병렬 접속된 다수의 커패시터들을 포함하되, 상기 커패시터들 각각

의 타단은 서로 다른 커패시턴스 조정용 스위치들을 통해 상기 앰프의 출력단에 접속되며;

상기 타이밍 콘트롤러는 상기 ADC로부터 입력되는 상기 디지털 센싱값들에 대한 분석 결과를 기초로, 상기 커패시턴스 제어부의 동작을 제어하여 상기 커패시턴스 조정용 스위치들을 온/오프 시키기 위한 스위칭 제어신호를 생성하는 것을 특징으로 하는 유기발광 표시장치.

## 청구항 6

제 1 항에 있어서,

상기 ADC의 입력 전압 범위를 결정하는 ADC 기준전압을 조정하기 위한 프로그래머블 전압 조정 IC를 더 포함하고;

상기 타이밍 콘트롤러는 상기 디지털 센싱값들에 대한 분석 결과를 기초로, 상기 프로그래머블 전압 조정 IC의 동작을 제어하여 상기 ADC 기준전압을 조정하는 것을 특징으로 하는 유기발광 표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 구동소자의 전기적 특성 편차를 보상할 수 있는 유기발광 표시장치에 관한 것이다.

### 배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휙도를 조절한다. 픽셀들 각각은 자신의 게이트전극과 소스전극 사이에 결리는 전압( $V_{gs}$ )에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 전기적 특성은 구동 시간 경과에 따라 열화 되어 픽셀들마다 편차가 생길 수 있다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 비디오 데이터에 대해 픽셀들 간 휙도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성 편차를 보상하기 위해 내부 보상 방식과 외부 보상 방식이 알려져 있다. 내부 보상 방식은 구동 TFT들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 구동전류가 구동 TFT의 문턱 전압에 상관없이 결정되도록 해야 하기 때문에, 화소 회로의 구성이 매우 복잡하다. 더욱이, 내부 보상 방식은 구동 TFT들 간의 이동도 편차를 보상하기에는 부적합하다.

[0006] 외부 보상 방식은 구동 TFT들의 전기적 특성(문턱전압, 이동도)에 대응되는 센싱 전압들을 측정하고, 이 센싱 전압들을 기반으로 외부 회로에서 비디오 데이터를 변조함으로써 전기적 특성 편차를 보상한다. 최근에는 이러한 외부 보상 방식에 대한 연구가 활발히 진행되고 있다.

[0007] 종래의 외부 보상 방식에서, 데이터 구동회로는 센싱 라인을 통해 각 픽셀로부터 센싱 전압을 직접 입력받고, 이 센싱 전압을 디지털 센싱값으로 변환한 후 타이밍 콘트롤러에 전송한다. 타이밍 콘트롤러는 디지털 센싱값을 기초로 디지털 비디오 데이터를 변조하여 구동 TFT의 전기적 특성 편차를 보상한다.

[0008] 구동 TFT는 전류 소자이므로 그의 전기적 특성은, 일정 게이트-소스 간 전압( $V_{gs}$ )에 따라 드레인-소스 사이에

흐르는 전류(Ids)의 크기로 대변된다. 그런데, 종래 외부 보상 방식의 데이터 구동회로는, 구동 TFT의 전기적 특성을 셀싱하기 위해 구동 TFT에 흐르는 전류(Ids)를 직접 셀싱하는 것이 아니라, 그 전류(Ids)에 대응되는 전압값을 셀싱한다.

[0009] 예컨대, 본원 출원인에 기출원된 출원번호 제10-2013-0134256호, 제10-2013-0149395호 등을 통해 제안된 외부 보상 방식에서는 구동 TFT를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 셀싱 라인의 라인 커패시터(기생 커패시터)에 저장되는 전압(구동 TFT의 소스 전압)을 데이터 구동회로에서 셀싱한다. 이 외부 보상 방식은 구동 TFT의 문턱전압 편차를 보상하기 위해, 소스 팔로워(Source Follower) 방식으로 동작되는 구동 TFT(DT)의 소스 전극 전위가 세츄레이션(saturation state)될 때(즉, 구동 TFT(DT)의 전류(Ids)가 제로가 될 때)의 소스 전압을 셀싱한다. 그리고, 이 외부 보상 방식은 구동 TFT의 이동도 편차를 보상하기 위해, 소스 팔로워(Source Follower) 방식으로 동작되는 구동 TFT(DT)의 소스 전극 전위가 세츄레이션 상태에 도달되기 전의 선형 상태의 값을 셀싱한다.

[0010] 이러한 종래 외부 보상 방식은 다음과 같은 문제가 있다.

[0011] 첫째, 종래 외부 보상 방식은 구동 TFT에 흐르는 전류를 셀싱 라인의 기생 커패시터를 이용하여 소스 전압으로 변경 및 저장한 후, 이 소스 전압을 셀싱한다. 이때, 셀싱 라인의 기생 커패시턴스는 비교적 크며, 더욱이 표시패널의 표시 부하에 따라 기생 커패시턴스의 크기가 변동될 수 있다. 이렇게 전류가 축적되는 기생 커패시턴스의 크기가 셀싱 라인들 간에 달라지면, 정확한 셀싱값 획득이 어렵다.

[0012] 둘째, 종래 외부 보상 방식은 전압 셀싱 방식을 취하기 때문에, 구동 TFT의 소스전압이 세츄레이션 되기까지 많은 시간이 소요되는 등, 셀싱값 획득에 소요되는 시간이 매우 길다. 특히, 셀싱 라인의 기생 커패시턴스가 크면, 셀싱 가능한 전압 수준으로 전류를 인입하는 데 많은 시간이 소요되며, 이러한 문제는 저계조 셀싱에서 더욱 악화된다.

## 발명의 내용

### 해결하려는 과제

[0013] 따라서, 본 발명의 목적은 구동소자의 전기적 특성 편차를 셀싱함에 있어 셀싱 시간을 줄이고 셀싱의 정확도를 높일 수 있도록 한 유기발광 표시장치를 제공하는 데 있다.

### 과제의 해결 수단

[0014] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광 표시장치는 OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들 중 어느 하나, 게이트라인들 중 어느 하나, 및 셀싱 라인들 중 어느 하나에 각각 연결된 다수의 픽셀들이 형성된 표시패널; 셀싱 구동시 1 라인 셀싱 온 타임에 대응되는 셀싱 용 게이트펄스를 생성한 후 행 순차 방식으로 상기 게이트라인들에 순차 공급하는 게이트 구동회로; 상기 셀싱 구동시 상기 1 라인 셀싱 온 타임 내에서, 셀싱용 데이터전압을 생성하여 상기 데이터라인들에 공급하는 다수의 DAC들과, 상기 셀싱 라인들을 통해 입력되는 상기 픽셀들 각각의 구동 TFT의 소스-드레인 간 전류를 적분하는 다수의 전류 적분기들과, 상기 전류 적분기들의 출력을 순차적으로 디지털 처리하여 디지털 셀싱값들을 출력하는 ADC를 포함한 데이터 구동회로; 상기 게이트 구동회로와 상기 데이터 구동회로의 동작을 제어하여, 상기 1 라인 셀싱 온 타임 내에서, 제1 레벨의 상기 셀싱용 데이터전압에 의한 제1 소스-드레인 전류값을 적분한 후, 제2 레벨의 상기 셀싱용 데이터전압에 의한 제2 소스-드레인 전류값을 적분하는 타이밍 콘트롤러를 구비한다.

[0015] 상기 제1 레벨은, 전체 계조 구간에서 소정 범위의 저계조 전류값 및 소정 범위의 고계조 전류값 중 어느 하나에 대응되는 전압 크기로 입력되고, 상기 제2 레벨은 상기 전체 계조 구간에서 상기 소정 범위의 저계조 전류값 및 상기 소정 범위의 고계조 전류값 중 나머지 하나에 대응되는 전압 크기로 입력된다.

[0016] 상기 타이밍 콘트롤러는 상기 게이트 구동회로의 동작을 제어하여 상기 셀싱용 게이트펄스의 온 펄스 구간이 상기 1 라인 셀싱 온 타임 내에 2개 이상 포함되도록 상기 셀싱용 게이트펄스를 멀티 펄스 형태로 생성한다.

[0017] 상기 타이밍 콘트롤러는, 상기 셀싱용 데이터전압의 크기에 따라 상기 제1 및 제2 셀싱 & 샘플링 기간에서의 셀싱 기간을 서로 다르게 제어하되, 상기 셀싱 기간은 상기 셀싱용 데이터전압의 크기에 반비례하도록 조정된다.

[0018]

상기 전류 적분기에 포함된 적분 커패시터의 커패시턴스를 조정하기 위한 커패시턴스 제어부를 더 포함하고; 상기 적분 커패시터는 앰프의 반전 입력단에 병렬 접속된 다수의 커패시터들을 포함하되, 상기 커패시터들 각각의 타단은 서로 다른 커패시턴스 조정용 스위치들을 통해 상기 앰프의 출력단에 접속되며; 상기 타이밍 콘트롤러는 상기 ADC로부터 입력되는 상기 디지털 센싱값들에 대한 분석 결과를 기초로, 상기 커패시턴스 제어부의 동작을 제어하여 상기 커패시턴스 조정용 스위치들을 온/오프 시키기 위한 스위칭 제어신호를 생성한다.

[0019]

상기 ADC의 입력 전압 범위를 결정하는 ADC 기준전압을 조정하기 위한 프로그래머블 전압 조정 IC를 더 포함하고; 상기 타이밍 콘트롤러는 상기 디지털 센싱값들에 대한 분석 결과를 기초로, 상기 프로그래머블 전압 조정 IC의 동작을 제어하여 상기 ADC 기준전압을 조정한다.

### 발명의 효과

[0020]

본 발명은 구동소자의 전기적 특성 편차를 센싱함에 있어 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다. 더욱이 본 발명은, 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대해 멀티 타임 센싱을 수행하여 센싱의 정확도를 크게 높일 수 있다.

### 도면의 간단한 설명

[0021]

도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.

도 2는 도 1의 표시패널에 형성된 픽셀 어레이와, 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여주는 도면.

도 3 및 도 4는 본 발명의 전류 센싱 방식이 적용되는 픽셀과 센싱 유닛의 접속 구조, 및 센싱 원리를 보여주는 도면들.

도 5 및 도 6은 센싱 성능 제고를 위해 본 발명에서 제안하는 멀티 타임 전류 센싱 방식의 일 구동 과정 및 구동 수순을 보여주는 도면들.

도 7은 본 발명에서 제안하는 멀티타임 전류 센싱 방식의 다른 구동 과정을 보여주는 도면.

도 8은 파워 온 시의 보상 플로우를 보여주는 도면.

도 9는 실시간 구동시의 보상 플로우를 보여주는 도면.

도 10a 및 도 10b는 파워 온 시의 소정의 초기 비 표시기간, 유효 표시기간, 수직 블랭크 기간 등을 보여주는 도면들.

도 11은 본 발명의 멀티 타임 전류 센싱 방식에서 나타날 수 있는 ADC의 오버 레인지(over range) 상황을 보여주는 도면.

도 12는 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 일 방안을 보여주는 도면.

도 13 내지 도 15는 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 다른 방안들을 보여주는 도면들.

도 16은 록업 테이블을 이용한 보상 방식의 일 예를 보여주는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0022]

이하, 도 1 내지 도 16을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0023]

도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주고, 도 2는 도 1의 표시패널에 형성된 픽셀 어레이를 보여준다.

[0024]

도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.

[0025]

표시패널(10)에는 다수의 데이터라인 및 센싱라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차 영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.

- [0026] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터전압 공급라인(14A)과 전기적으로 연결되어 데이터전압 공급라인(14A)으로부터 데이터전압을 입력받고, 센싱라인(14B)을 통해 센싱신호를 출력한다.
- [0027] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커페시터를 포함할 수 있다. 픽셀(P)을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0028] 픽셀(P) 각각은 화상 구현을 위한 노멀 구동시와, 센싱값 획득을 위한 센싱 구동시에 서로 다르게 동작할 수 있다. 센싱 구동은 노멀 구동에 앞서 소정 시간 동안 수행되거나 또는, 노멀 구동 중의 수직 블랭크 기간들에서 수행될 수 있다.
- [0029] 노멀 구동은 타이밍 콘트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 노멀 동작으로 이루어질 수 있다. 센싱 구동은 타이밍 콘트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 센싱 동작으로 이루어질 수 있다. 그리고, 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 콘트롤러(11)에서 수행된다.
- [0030] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit)(SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 각 센싱라인(14B)에 연결된 다수의 센싱 유닛들과, 센싱 유닛들의 출력단들에 공통으로 연결된 ADC가 포함되어 있다.
- [0031] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다.
- [0032] 데이터 드라이버 IC(SDIC)의 각 센싱 유닛은 센싱라인(14B)을 통해 입력되는 픽셀(P)의 센싱 신호 즉, 구동 TFT의 소스-드레인 간 전류를 적분하는 전류 적분기(CI)와, 전류 적분기(CI)의 출력을 샘플링 및 훌딩하는 샘플링부(SH)를 포함한다. 데이터 드라이버 IC(SDIC)의 ADC는 샘플링부(SH)들의 출력을 순차적으로 디지털 처리하여 타이밍 콘트롤러(11)에 전송한다.
- [0033] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임 내에, 한 개(도 6 참조) 또는 다수개(도 7 참조) 포함될 수 있다. 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인((L#1,L#2,...)의 픽셀들을 동시에 센싱하는 데 할애되는 스캔 시간을 의미한다.
- [0034] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 콘트롤러(11)는 소정의 참조 신호(구동전원 인에이블신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로 노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다. 아울러, 타이밍 콘트롤러(11)는 센싱 구동에 필요한 추가 제어신호(도 3의 RST,SAM,HOLD 등)를 생성할 수 있다.
- [0035] 타이밍 콘트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 타이밍 콘트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 문턱전압 편차( $\Delta V_{th}$ )와 이동도 편차( $\Delta K$ )를 도출한 후 그 편차들을 보상할 수 있는 보상 데이터를 메모리(16)에 저장한다.
- [0036] 타이밍 콘트롤러(11)는 노멀 구동시 메모리(16)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.

[0037] 도 3 및 도 4는 본 발명의 전류 센싱 방식이 적용되는 픽셀(P)과 센싱 유닛의 접속 구조, 및 센싱 원리를 보여준다.

[0038] 도 3 및 도 4는 전류 센싱 방식의 구동 이해를 돋기 위한 일 예시에 불과하다. 본 발명의 전류 센싱이 적용되는 픽셀 구조 및 그 구동 타이밍은 다양한 변형이 가능하므로, 본 발명의 기술적 사상은 이 실시예에 한정되지 않는다.

[0039] 도 3을 참조하면, 본 발명의 픽셀(PIX)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.

[0040] OLED는 제2 노드(N2)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류량을 제어한다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터전압 공급라인(14A) 상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15)에 접속된 게이트전극, 데이터전압 공급라인(14A)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)와 센싱 라인(14B) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15D)에 접속된 게이트전극, 센싱 라인(14B)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.

[0041] 본 발명의 센싱 유닛에 속하는 전류 적분기(CI)는 센싱 라인(14B)에 연결되어 센싱 라인(14B)으로부터 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 기준전압(Vpre)을 입력받는 비 반전 입력단자(+), 적분값(Vsen)을 출력하는 출력 단자를 포함한 앰프(AMP)와, 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 제1 스위치(SW1)를 포함한다.

[0042] 그리고, 본 발명의 센싱 유닛에 속하는 샘플링부(SH)는 샘플링 신호(SAM) 신호에 따라 스위칭되는 제2 스위치(SW2), 홀딩 신호(HOLD) 신호에 따라 스위칭되는 제3 스위치(SW3), 및 제2 스위치(SW2)와 제3 스위치(SW3) 사이에 일단이 접속되고 타단이 기저전압원(GND)에 접속된 홀딩 커패시터(Ch)를 포함한다.

[0043] 도 4에는 동일 행에 배치된 픽셀들을 센싱하기 위해 센싱용 게이트펄스(SCAN)의 온 펄스 구간으로 정의되는 1라인 센싱 온 타임 내에서, 픽셀들 각각에 대한 1회 센싱 파형이 도시되어 있다. 도 4를 참조하면, 센싱 구동은 초기화 기간(Tinit), 센싱 기간(Tsen), 및 샘플링 기간(Tsam)을 포함하여 이루어진다.

[0044] 초기화 기간(Tinit)에서 제1 스위치(SW1)의 턴 온으로 인해 앰프(AMP)는 이득이 1인 유닛 개인 버퍼로 동작한다. 초기화 기간(Tinit)에서 앰프(AMP)의 입력 단자들(+,-)과 출력 단자, 센싱 라인(14B), 및 제2 노드(N2)는 모두 기준전압(Vpre)으로 초기화된다.

[0045] 초기화 기간(Tinit) 중에 데이터 드라이버 IC(SDIC)의 DAC를 통해 센싱용 데이터전압(Vdata-SEN)이 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차{(Vdata-SEN)-Vpre}에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다. 하지만, 초기화 기간(Tinit) 중에 앰프(AMP)는 계속해서 유닛 개인 버퍼로 동작하므로, 출력 단자의 전위는 기준전압(Vpre)으로 유지된다.

[0046] 센싱 기간(Tsen)에서 제1 스위치(SW1)의 턴 오프로 인해 앰프(AMP)는 전류 적분기(CI)로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(Tsen)에서 앰프(AMP)의 반전 입력단자(-)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과 할수록, 즉 축적되는 전류값(Ids)가 증가할수록 커진다. 그런데, 앰프(AMP)의 특성상 반전 입력단자(-) 및 비 반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이므로, 센싱 기간(Tsen)에서 반전 입력단자(-)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vpre)으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 앰프(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(Tsen)에서 센싱 라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압값인 적분값(Vsen)으로 생성된다. 전류 적분기 출력값(Vout)의 하강 기울기는 센싱 라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 상기 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(Tsen)에서 적분값(Vsen)은 제2 스위치(SW2)를 경유하여 홀딩 커패시터(Ch)에 저장된다.

[0047] 샘플링 기간(Tsam)에서 제3 스위치(SW3)가 턴 온 되면, 홀딩 커패시터(Ch)에 저장된 적분값(Vsen)이 제3 스위치

(SW3)를 경유하여 ADC에 입력된다. 적분값(Vsen)은 ADC에서 디지털 센싱값(SD)으로 변환된 후 타이밍 콘트롤러(11)에 전송된다. 디지털 센싱값(SD)은 타이밍 콘트롤러(11)에서 구동 TFT의 문턱전압 편차( $\Delta V_{th}$ )와 이동도 편차( $\Delta K$ )를 도출하는 데 사용된다. 타이밍 콘트롤러(11)에는 적분 커패시터(Cfb)의 커패시턴스, 기준 전압값(Vpre), 센싱 시간값(Tsen)이 미리 디지털 코드로 저장되어 있다. 따라서, 타이밍 콘트롤러(11)는 적분값(Vsen)에 대한 디지털 코드인 디지털 센싱값(SD)으로부터 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids=Cfb\* $\Delta V/\Delta t$ , 여기서,  $\Delta V=V_{pre}-V_{sen}$ ,  $\Delta t=T_{sen}$ )를 계산할 수 있다. 타이밍 콘트롤러(11)는 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 보상 알고리즘에 적용하여 편차값들(문턱전압 편차( $\Delta V_{th}$ )와 이동도 편차( $\Delta K$ ))과 편차 보상을 위한 보상 데이터( $V_{th}+\Delta V_{th}, K+\Delta K$ )를 도출한다. 보상 알고리즘은 루프 테이블 또는, 계산로직으로 구현될 수 있다.

[0048] 이러한 본 발명의 전류 적분기(CI)에 포함되는 적분 커패시터(Cfb)의 커패시턴스는 센싱 라인에 존재하는 기생 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(Vsen) 수준까지 전류(Ids)를 인입하는 데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다. 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세츄레이션 된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 매우 길어졌지만, 본 발명의 전류 센싱 방식에서는 문턱전압 및 이동도 센싱 시 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링할 수 있어 센싱 시간을 크게 단축할 수 있다.

[0049] 또한, 본 발명의 전류 적분기(CI)에 포함되는 적분 커패시터(Cfb)는 센싱 라인의 기생 커패시터와 달리, 표시부하에 따라 저장값이 변동되지 않고, 캘리브레이션이 용이하여 정확한 센싱값 획득이 가능하다.

[0050] 이와 같이, 본 발명의 전류 센싱 방식은 종래 전압 센싱 방식에 비해, 저전류 센싱이 가능하고 또한 고속 센싱이 가능한 잇점이 있다. 저전류 및 고속 센싱 가능하기 때문에, 본 발명의 전류 센싱 방식은 센싱 성능을 제고하기 위해 1 라인 센싱 온 타임 내에서, 핵심을 각각에 대해 다수회 센싱하는 것도 가능하다.

[0051] 도 5 및 도 6은 센싱 성능 제고를 위해 본 발명에서 제안하는 멀티 타임 전류 센싱 방식의 일 구동 파형 및 구동 수순을 보여준다. 도 7은 본 발명에서 제안하는 멀티타임 전류 센싱 방식의 다른 구동 파형을 보여준다. 도 5 내지 도 7에서, 본 발명의 멀티 타임 전류 센싱은 2회 전류 센싱으로 예시되어 있으나, 본 발명의 기술적 사상은 3회 이상의 전류 센싱에도 적용될 수 있다.

[0052] 도 5 및 도 6을 참조하면, 센싱용 게이트필스(SCAN)의 온 펄스 구간 1개에 대응되는 1 라인 센싱 온 타임 내에서 동일 핵심을 대상으로 센싱 및 샘플링 동작은 2회 이루어질 수 있다. 이를 위해, 타이밍 콘트롤러(11)는 구동회로들(12, 13)의 동작을 제어하여, 1 라인 센싱 온 타임 내에, 제1 레벨(LV1)의 센싱용 데이터전압(Vdata-SEN)에 의한 제1 소스-드레인 전류값(Ids1)을 적분하는 제1 센싱&샘플링 기간(S&S1)과, 제2 레벨(LV2)의 센싱용 데이터전압(Vdata-SEN)에 의한 제2 소스-드레인 전류값(Ids2)을 적분하는 제2 센싱&샘플링 기간(S&S2)을 포함할 수 있다. 그리고, 타이밍 콘트롤러(11)는 제1 및 제2 센싱&샘플링 기간(S&S1, S&S2)에 앞서 각각 초기화 기간(Tinit)을 배치할 수 있다.

[0053] 제1 레벨(LV1) 및 제2 레벨(LV2)의 센싱용 데이터전압(Vdata-SEN)은 서로 같을 수 있으나, 다르게 하는 것이 센싱 성능을 높이는 데 유리하다. 제1 레벨(LV1)은 전체 계조 구간에서 소정 범위의 저계조 전류값(Ids1)에 대응되는 크기로, 제2 레벨(LV2)은 상기 전체 계조 구간에서 소정 범위의 고계조 전류값(Ids2)에 대응되는 크기로 입력될 수 있으며, 이와 반대로 입력될 수도 있다. 즉, 상기 제1 레벨(LV1)은, 전체 계조 구간에서 소정 범위의 저계조 전류값 및 소정 범위의 고계조 전류값 중 어느 하나에 대응되는 전압 크기로 입력될 수 있고, 상기 제2 레벨(LV2)은 상기 전체 계조 구간에서 상기 소정 범위의 저계조 전류값 및 상기 소정 범위의 고계조 전류값 중 나머지 하나에 대응되는 전압 크기로 입력될 수 있다.

[0054] 1차 초기화 기간(Tinit)에서는 도 4의 초기화 기간(Tinit)과 같은 동작, 즉 초기화 동작 및 소스-드레인 간 전류(Ids) 안정화 동작이 1차 수행된다.

[0055] 제1 센싱&샘플링 기간(S&S1)에서는 도 4의 센싱 기간(Tsen) 및 샘플링 기간(Tsam)과 같은 동작, 제1 소스-드레인 전류값(Ids1)을 센싱하여 1차 적분하고, 1차 적분값(Vsen1)을 샘플링하여 1차 ADC 처리한 후 제1 디지털 센싱값을 내부 래치에 저장한다.

[0056] 2차 초기화 기간(Tinit)에서는 도 4의 초기화 기간(Tinit)과 같은 동작, 즉 초기화 동작 및 소스-드레인 간 전류(Ids) 안정화 동작이 2차 수행된다.

[0057] 제2 센싱&샘플링 기간(S&S2)에서는 도 4의 센싱 기간(Tsen) 및 샘플링 기간(Tsam)과 같은 동작, 제2 소스-드레

인 전류값( $Ids_2$ )을 센싱하여 2차 적분하고, 2차 적분값( $V_{sen2}$ )을 샘플링하여 2차 ADC 처리한 후 제2 디지털 센싱값을 내부 래치에 저장한다.

[0058] 여기서, 제1 및 제2 센싱&샘플링 기간( $S\&S_1, S\&S_2$ )에 각각 포함되는 센싱 기간( $T_{sen}$ )의 크기는 서로 동일하다.

[0059] 타이밍 콘트롤러(11)는 제1 및 제2 디지털 센싱값에 기초하여 제1 및 제2 소스-드레인 전류값( $Ids_1, Ids_2$ )을 계산하고, 계산 로직 또는 투업 테이블을 이용하여 원하는 편차값들( $\Delta V_{th}, \Delta K$ )을 도출할 수 있다.

[0060] 계산 로직 이용시, 타이밍 콘트롤러(11)는 계산된 제1 및 제2 소스-드레인 전류값( $Ids_1, Ids_2$ )을 각각 OLED 전류수식( $Ids = K(V_{gs} - V_{th})^2$ )에 적용하여 2개의 전류 수식들( $Ids_1 = K(V_{gs1} - V_{th})^2, Ids_2 = K(V_{gs2} - V_{th})^2$ )을 얻고, 이 수식들을 연산하여 해당 픽셀의 문턱전압( $V_{th}$ )을 먼저 계산한 후, 그 값을 상기 OLED 전류 수식들 어느 하나에 대입하여 이동도( $K$ )를 계산할 수 있다. 그리고, 계산된 문턱전압( $V_{th}$ ) 및 이동도( $K$ )를 미리 저장된 기준값들과 비교하여 원하는 편차값들( $\Delta V_{th}, \Delta K$ )을 도출할 수 있다.

[0061] 투업 테이블 이용시, 타이밍 콘트롤러(11)는 계산된 제1 및 제2 소스-드레인 전류값( $Ids_1, Ids_2$ )을 미리 저장된 기준 전류값과 비교하여 제1 및 제2 전류 편차값을 계산하고, 제1 및 제2 전류 편차값을 각각 리드 어드레스로 하여 문턱전압 편차값( $\Delta V_{th}$ )과 이동도 편차값( $\Delta K$ )을 도출할 수 있다. 통상 구동 TFT의 소스-드레인 전류가 저계조 구간에서는 문턱전압의 변화에 영향을 많이 받고, 고계조 구간에서는 이동도의 변화에 영향을 많이 받는다는 것이 알려져 있다. 따라서, 타이밍 콘트롤러(11)는 도 16에 도시된 바와 같이 상대적으로 작은 제1 소스-드레인 전류값( $Ids_1$ )을 기반으로 문턱전압 편차값( $\Delta V_{th}$ )을 도출할 수 있고, 상대적으로 큰 제2 소스-드레인 전류값( $Ids_2$ )을 기반으로 이동도 편차값( $\Delta K$ )을 도출할 수 있다.

[0062] 한편, 타이밍 콘트롤러(11)는 제1 및 제2 센싱&샘플링 기간( $S\&S_1, S\&S_2$ )에 대해 동일한 안정화 조건을 부여하기 위하여, 게이트 구동회로(13)의 동작을 제어하여 도 7과 같이 센싱용 게이트펄스(SCAN)의 온 펄스 구간이 1 라인 센싱 온 타임 내에 2개 이상 포함되도록 센싱용 게이트펄스(SCAN)를 멀티 펄스 형태로 생성할 수 있다. 상기 안정화 조건에는 게이트 딜레이, 데이터 충전 딜레이 등이 포함될 수 있다.

[0063] 도 8은 파워 온 시의 보상 플로우를 보여주고, 도 9는 실시간 구동시의 보상 플로우를 보여준다. 도 10a 및 도 10b는 파워 온 시의 소정의 초기 비 표시기간, 유효 표시기간, 수직 블랭크 기간 등을 보여준다.

[0064] 도 8의 보상 플로우는 노멀 구동에 앞선 소정의 초기 비 표시기간( $X_1$ ) 동안 모든 픽셀들에 대해 수행되는 센싱 구동을 포함한다. 도 9의 보상 플로우는 노멀 구동 중의 수직 블랭크 기간들(BP)에서 1 픽셀 행에 대해 수행되는 센싱 구동을 포함한다.

[0065] 여기서, 초기 비 표시기간( $X_1$ )은 도 10a와 같이 구동전원 인에이블신호(PON)의 인가시점부터 수십~수백 프레임 경과할 때까지의 비 표시기간으로 정의될 수 있다. 그리고, 수직 블랭크 기간(BP)은 도 10a 및 도 10b와 같이 화상이 표시되는 유효 표시기간들(AP) 사이의 비 표시기간으로 정의될 수 있다. 초기 비 표시기간( $X_1$ ) 및 수직 블랭크 기간(BP)에서는 데이터 인에이블 신호(DE)가 발생되지 않으며 그에 따라 화상 표시용 데이터 전압이 수직 블랭크 기간(BP)에서 픽셀에 공급되지 않는다.

[0066] 도 8을 참조하여, 초기 비 표시기간( $X_1$ ) 동안의 보상 플로우를 다시 한번 개략적으로 설명하면, 본 발명은 파워 온 시 이전 보상시 저장된 문턱전압( $V_{th}$ )과 이동도( $K$ )를 메모리로부터 리드 아웃한다. 이어서, 본 발명은 각 픽셀 행에 대해 행 순차 방식의 전술한 멀티 타임 전류 센싱 방식을 적용하여 다수의 디지털 센싱값들을 획득하고, 이 디지털 센싱값들을 기초로 현재의 문턱전압( $V_{th}$ )과 이동도( $K$ )를 도출한다. 이어서, 본 발명은 도출된 현재의 문턱전압( $V_{th}$ ) 및 이동도( $K$ )를 메모리부터 입력되는 문턱전압( $V_{th}$ ) 및 이동도( $K$ )와 각각 비교하여 문턱전압 편차값( $\Delta V_{th}$ )과 이동도 편차값( $\Delta K$ )을 도출한 후, 편차값들을 보상할 수 있는 보상 데이터( $V_{th} + \Delta V_{th}, K + \Delta K$ )를 메모리에 저장한다.

[0067] 도 9를 참조하여, 노멀 구동 중의 수직 블랭크 기간(BP)에서 1 픽셀 행씩 수행되는 보상 플로우를 다시 한번 개략적으로 설명하면, 본 발명은 수직 블랭크 기간(BP)에서 이전 보상시 저장된 문턱전압( $V_{th(n-1)}$ )과 이동도( $K(n-1)$ )를 메모리로부터 리드 아웃한다. 이어서, 본 발명은 각 픽셀 행에 대해 행 순차 방식의 전술한 멀티 타임 전류 센싱 방식을 적용하여 다수의 디지털 센싱값들을 획득하고, 이 디지털 센싱값들을 기초로 현재의 문턱전압( $V_{th}$ )과 이동도( $K$ )를 도출한다. 이어서, 본 발명은 도출된 현재의 문턱전압( $V_{th}$ ) 및 이동도( $K$ )를 메모리로부터 입력되는 문턱전압( $V_{th(n-1)}$ ) 및 이동도( $K(n-1)$ )와 각각 비교하여 문턱전압 편차값( $\Delta V_{th}$ )과 이동도 편차값( $\Delta K$ )을 도출한 후, 편차값들을 보상할 수 있는 보상 데이터( $V_{th} + \Delta V_{th}, K + \Delta K$ )를 메모리에 저장한다.

[0068] 도 11은 본 발명의 멀티 타임 전류 센싱 방식에서 나타날 수 있는 ADC의 오버 레인지(over range) 상황을 보여

준다.

[0069] ADC는 아날로그 신호를 디지털 신호 형태의 데이터로 변환하는 특수한 부호기이다. ADC는 그 입력 전압 범위 즉, 센싱 레인지가 정해져 있다. ADC의 전압 범위는 AD 변환의 분해능에 따라 달라질 수 있으나, 통상 Evref(ADC 기준전압) ~ Evref+3V로 설정될 수 있다. 여기서, AD 변환의 분해능이란 아날로그 입력 전압을 디지털 값으로 변환할 수 있는 비트값을 지시한다. ADC에 입력되는 아날로그 신호가 ADC의 입력 범위를 벗어나는 경우, ADC의 출력값은 입력 전압 범위의 하한값으로 언더 플로우(underflow)되거나 또는, 입력 전압 범위의 상한값으로 오버 플로우(overflow) 될 수 있다.

[0070] 본 발명은 멀티 타임 전류 센싱 방식에 따라 각 핵셀 당 적어도 2번 이상의 센싱 과정을 통해 서로 다른 크기의 아날로그 적분값들(Vsen)을 생성한다. 전술했듯이, 전류 적분기(CI)에 유입되는 전류값(Ids)이 큰 경우에는 출력되는 적분값(Vsen)의 크기는 작아지고, 반대로 전류 적분기(CI)에 유입되는 전류값(Ids)이 작은 경우에는 출력되는 적분값(Vsen)의 크기는 커진다. 따라서, 다양한 크기의 적분값들(Vsen) 중에서 일부가 ADC의 입력 범위를 벗어날 수 있다.

[0071] 도 11을 통해 부연 설명하면, ADC의 입력 범위가 2V~5V일 때, 제1 전류값(Ids1)에 따른 1차 적분값(Vsen1)이 4V, 제1 전류값(Ids1)보다 큰 제2 전류값(Ids2)에 따른 2차 적분값(Vsen2)이 1.5V인 경우를 가정한다.

[0072] 1차 적분값(Vsen1)인 4V는 ADC의 입력 범위(2V~5V)에 속하므로 정상적으로 출력될 수 있는 데 반해, 2차 적분값(Vsen2)인 1.5V는 ADC의 입력 범위(2V~5V)를 벗어나므로 그에 가까운 입력 전압 범위(2V~5V)의 하한값(2V)으로 언더 플로우 되어 출력될 수 있다.

[0073] 이렇게 ADC의 오버 레인지(over range) 현상이 생기면 센싱의 정확도가 떨어진다. 따라서, ADC의 오버 레인지(over range) 현상을 방지할 수 있는 추가 방안이 요구된다.

[0074] 도 12는 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 일 방안을 보여준다.

[0075] 본 발명은 멀티 타임 전류 센싱 방식에서, 도 12와 같이 전류 적분기(CI) 출력값(Vout)의 하강 기울기가 상대적으로 큰 제1 센싱 & 샘플링 기간(S&S1)에서는 전류 적분기(CI) 출력값(Vout)의 하강 기울기가 상대적으로 작은 제2 센싱 & 샘플링 기간(S&S2)에 비해, 1차 적분값(Vsen1)이 언더 플로우 될 가능성성이 크다.

[0076] 이 경우, 본 발명은 제1 센싱 & 샘플링 기간(S&S1)에서의 센싱 기간(Tsen1)을 제2 센싱 & 샘플링 기간(S&S2)에서의 센싱 기간(Tsen2)에 비해 줄임으로써 1차 적분값(Vsen1)을 2V에서 3.5V로 상향 조정하여 1차 적분값(Vsen1)이 ADC의 입력 전압 범위(2V~5V)를 만족하도록 보정할 수 있다.

[0077] 도 13 내지 도 15는 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 다른 방안들을 보여준다.

[0078] 도 13을 참조하면, 본 발명은 타이밍 콘트롤러(11)의 제어하에 전류 적분기(CI)에 포함된 적분 커패시터(Cfb)의 커패시턴스를 조정하기 위한 커패시턴스 제어부(22)를 더 포함할 수 있다. 적분 커패시터(Cfb)는 앰프(AMP)의 반전 입력단(-)에 병렬 접속된 다수의 커패시터들(Cfb1,Cfb2,Cfb3)을 포함하되, 커패시터들(Cfb1,Cfb2,Cfb3) 각각의 타단은 서로 다른 커패시턴스 조정용 스위치들(S1,S2,S3)을 통해 앰프(AMP)의 출력단에 접속될 수 있다. 적분 커패시터(Cfb)의 합성 커패시턴스는 온 되는 커패시턴스 조정용 스위치(S1,S2,S3)의 갯수에 따라 결정된다.

[0079] 타이밍 콘트롤러(11)는 디지털 센싱값들(SD)을 분석하여, ADC의 하한값 및 상한값과 동일한 디지털 센싱값들(SD)의 비율에 따라 커패시턴스 제어부(22)의 동작을 제어하여 적절한 스위칭 제어신호를 생성한다. 커패시턴스 조정용 스위치(S1,S2,S3)는 커패시턴스 제어부(22)로부터 입력되는 스위칭 제어신호에 따라 온/오프 된다. 적분 커패시터(Cfb)의 합성 커패시턴스가 클수록 전류 적분기 유닛(CI)의 출력값(Vout)에 대한 하강 기울기는 작아지며, 반대로 적분 커패시터(Cfb)의 합성 커패시턴스가 작을수록 전류 적분기 유닛(CI)의 출력값(Vout)에 대한 하강 기울기는 커진다.

[0080] 따라서, 타이밍 콘트롤러(11)는 커패시턴스 제어부(22)를 통해 턴 온 되는 커패시턴스 조정용 스위치(S1,S2,S3)의 갯수를 제어함으로서, ADC의 출력값이 입력 전압 범위의 하한값으로 언더 플로우(underflow)되는 경우에는 적분 커패시터(Cfb)의 합성 커패시턴스를 증가시키고, 반대로 ADC의 출력값이 입력 전압 범위의 상한값으로 오버 플로우(overflow)되는 경우에는 적분 커패시터(Cfb)의 합성 커패시턴스를 감소시킬 수 있다.

[0081] 적분 커패시터(Cfb)의 합성 커패시턴스를 제어함으로써 ADC의 오버 레인지 상황이 방지되는 일 예가 도 14에 도시되어 있다. 본 발명의 멀티 타임 전류 센싱 방식에서, 도 14와 같이 전류 적분기(CI) 출력값(Vout)의 하강

기울기가 상대적으로 큰 제2 센싱 & 샘플링 기간에서는, 전류 적분기(CI) 출력값(Vout)의 하강 기울기가 상대적으로 작은 제1 센싱 & 샘플링 기간에 비해, 2차 적분값(Vsen2)이 언더 플로우 될 가능성성이 크다.

[0082] 이 경우, 본 발명은 제2 센싱 & 샘플링 기간 동안 동작하는 적분 커패시터(Cfb)의 합성 커패시턴스(3pF)를, 제1 센싱 & 샘플링 기간 동안 동작하는 적분 커패시터(Cfb)의 합성 커패시턴스(1.5pF)에 비해 2배 늘림으로써, 1차 적분값(Vsen1)을 2V에서 4V로 상향 조정하여 2차 적분값(Vsen2)이 ADC의 입력 전압 범위(2V~5V)를 만족하도록 보정할 수 있다.

[0083] 한편, 도 13을 참조하면, 본 발명은 타이밍 콘트롤러(11)의 제어하에 ADC 기준전압(Evref)을 조정하기 위한 프로그래머블 전압 조정 IC(24)를 더 포함할 수 있다.

[0084] 타이밍 콘트롤러(11)는 디지털 센싱값들(SD)을 분석하여, ADC의 하한값 및 상한값과 동일한 디지털 센싱값들(SD)의 비율에 따라 프로그래머블 전압 조정 IC(24)의 동작을 제어하여 ADC 기준전압(Evref)을 조정할 수 있다.

[0085] ADC 기준전압(Evref)을 조정함으로써 ADC의 오버 레인지 상황이 방지되는 일 예가 도 15에 도시되어 있다. 본 발명의 멀티 타임 전류 센싱 방식에서, 도 15와 같이 전류 적분기(CI) 출력값(Vout)의 하강 기울기가 상대적으로 큰 제2 센싱 & 샘플링 기간에서는, 전류 적분기(CI) 출력값(Vout)의 하강 기울기가 상대적으로 작은 제1 센싱 & 샘플링 기간에 비해, 2차 적분값(Vsen2)이 언더 플로우 될 가능성성이 크다.

[0086] 이 경우, 본 발명은 1차 적분값(Vsen1)인 4V를 디지털 처리할 때의 ADC 기준전압(Evref)은 원래의 2V로 유지시키고, 2차 적분값(Vsen2)인 2V를 디지털 처리할 때의 ADC 기준전압(Evref)은 원래의 2V에서 0V로 하향 조정한다. 이러한 하향 조정에 의해 2차 적분값(Vsen2) 2V는 ADC의 입력 전압 범위(0V~3V)를 충분히 만족하게 된다.

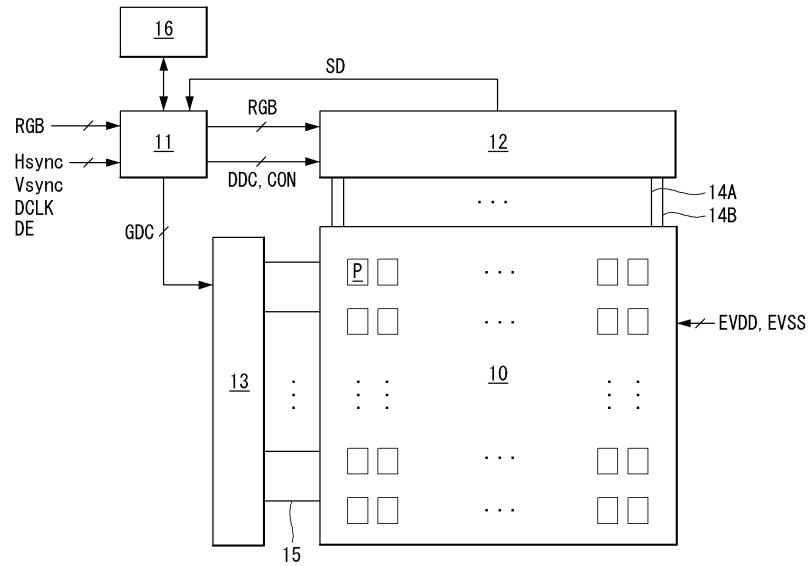
[0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

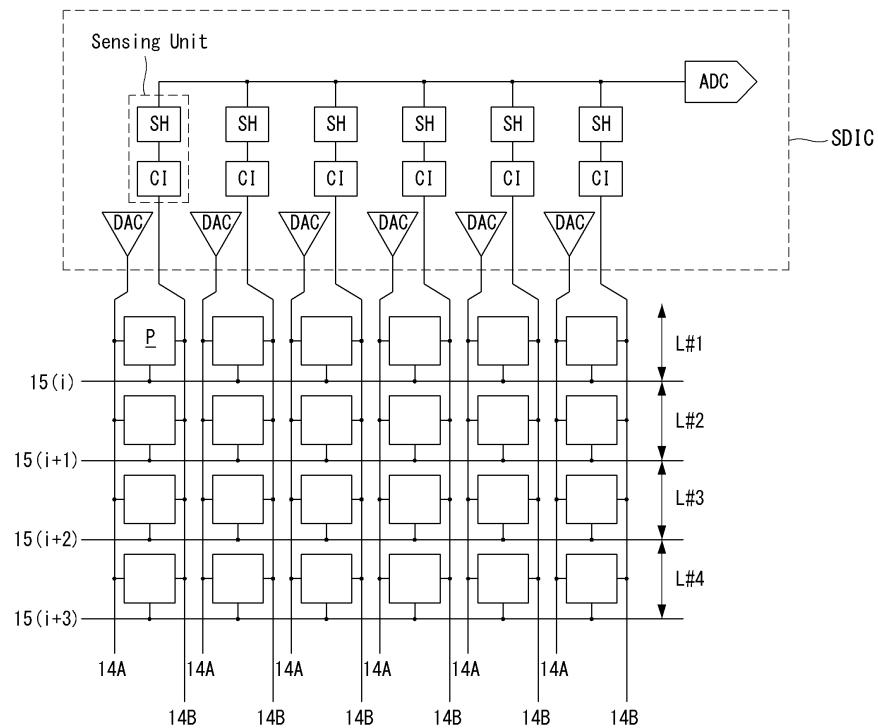
10 : 표시패널	11 : 타이밍 콘트롤러
12 : 데이터 구동회로	13 : 게이트 구동회로
14 : 데이터라인들	15 : 게이트라인들
16 : 메모리	22 : 커패시턴스 제어부
24 : 프로그래머블 전압 조정 IC	CI : 전류 적분기

## 도면

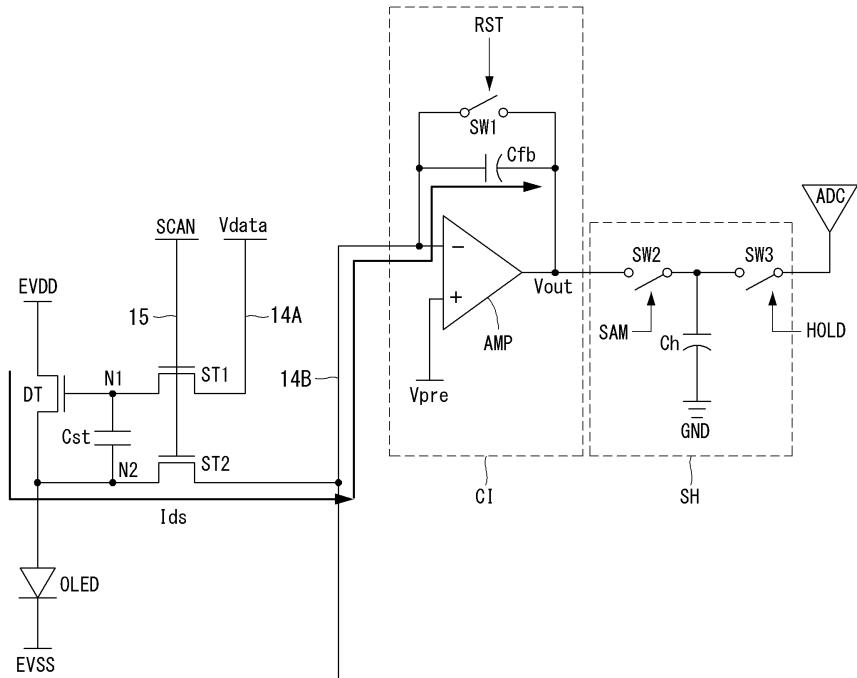
## 도면1



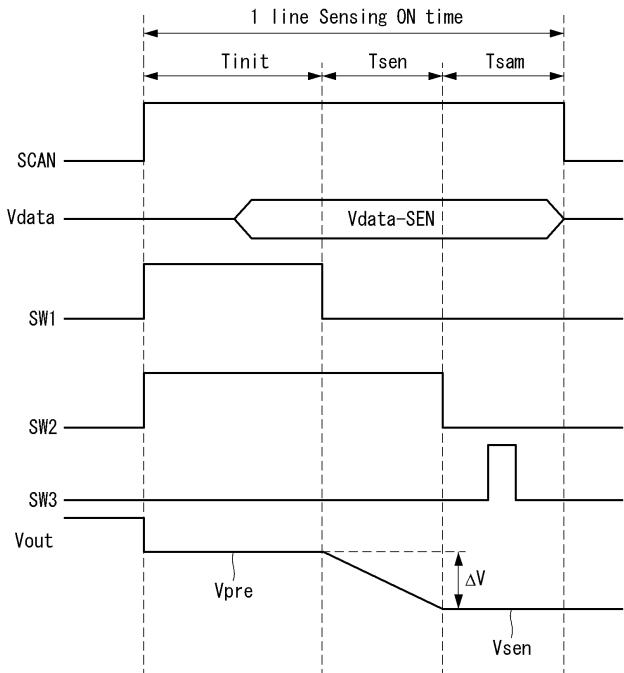
## 도면2



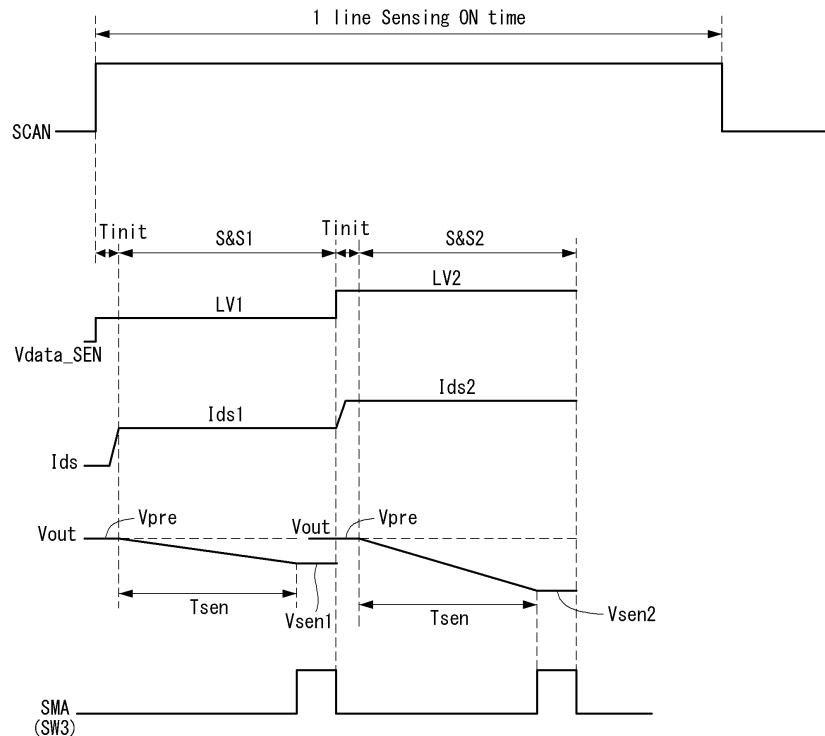
## 도면3



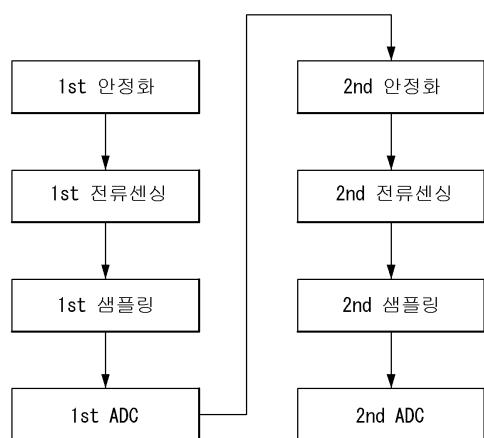
## 도면4



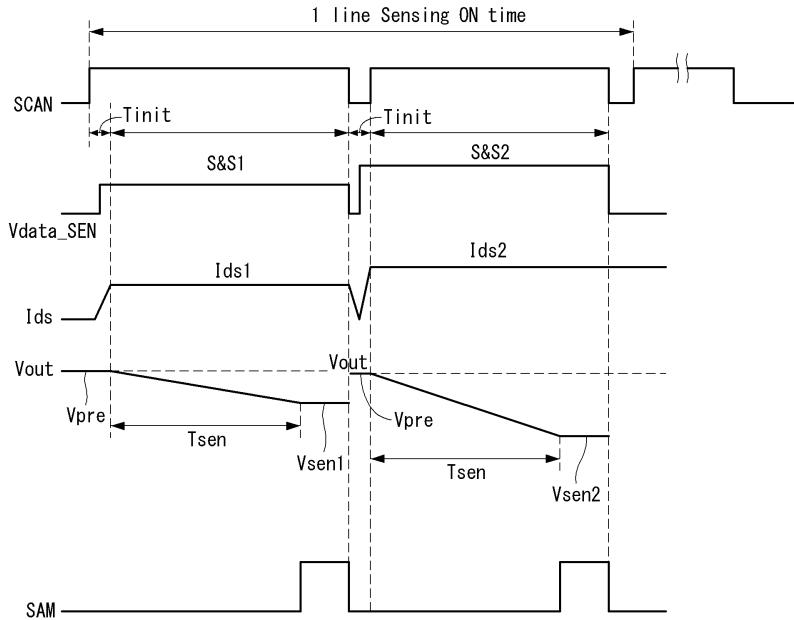
## 도면5



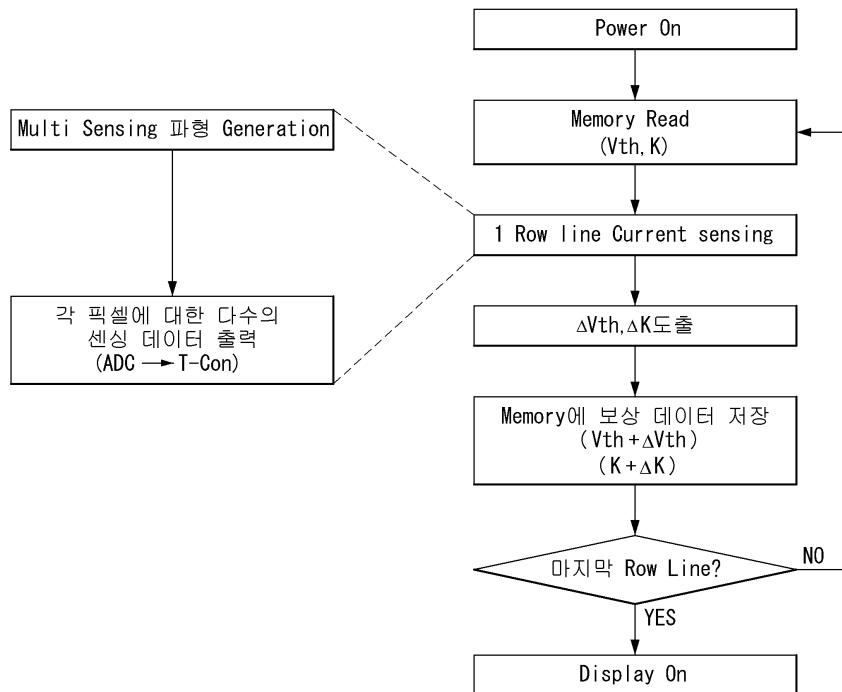
## 도면6



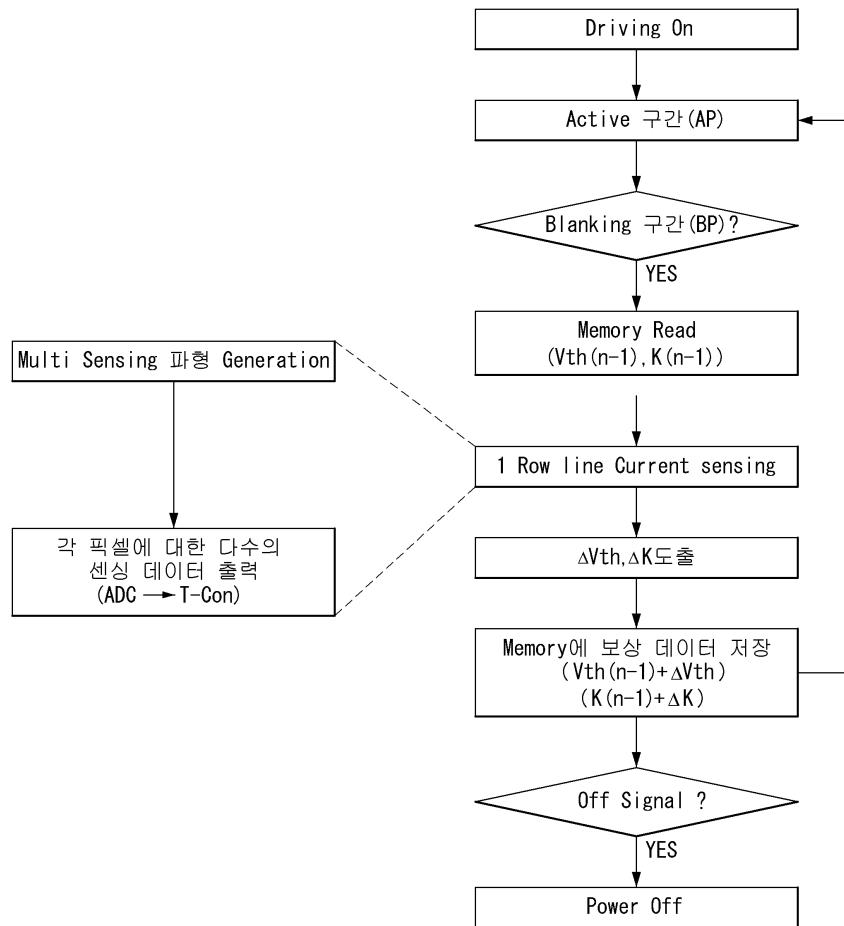
### 도면7



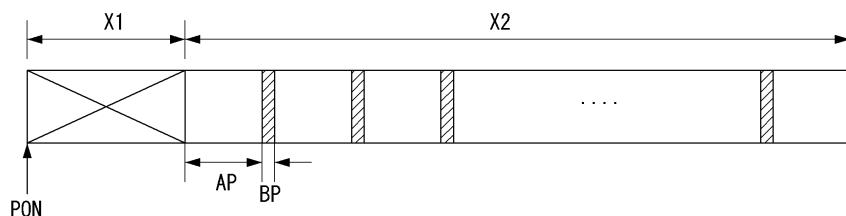
### 도면8



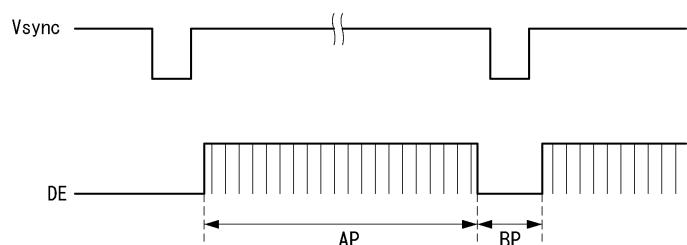
## 도면9



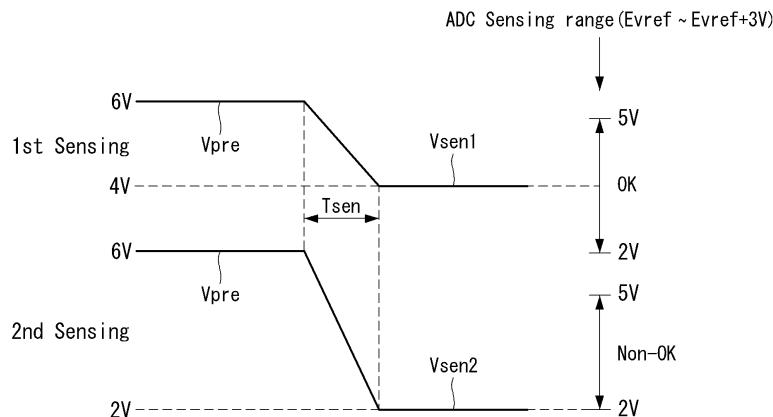
## 도면10a



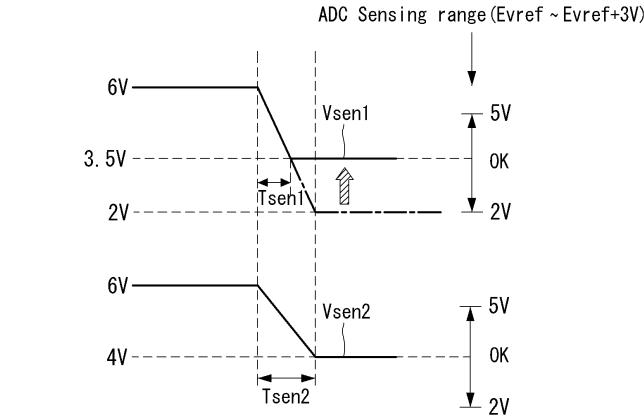
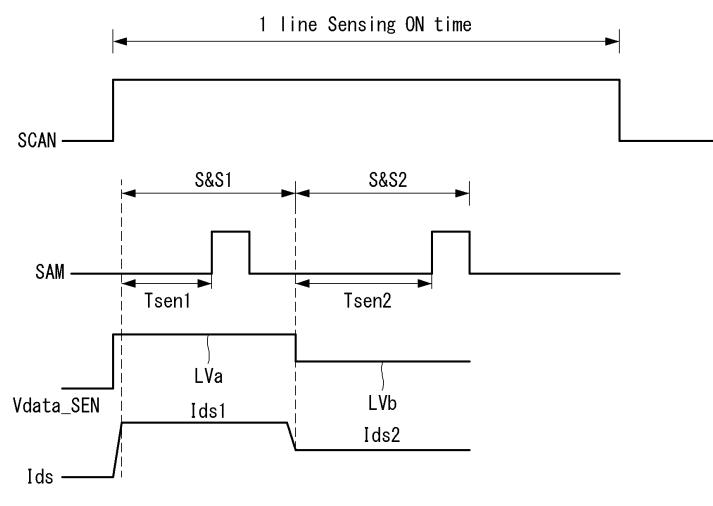
## 도면10b



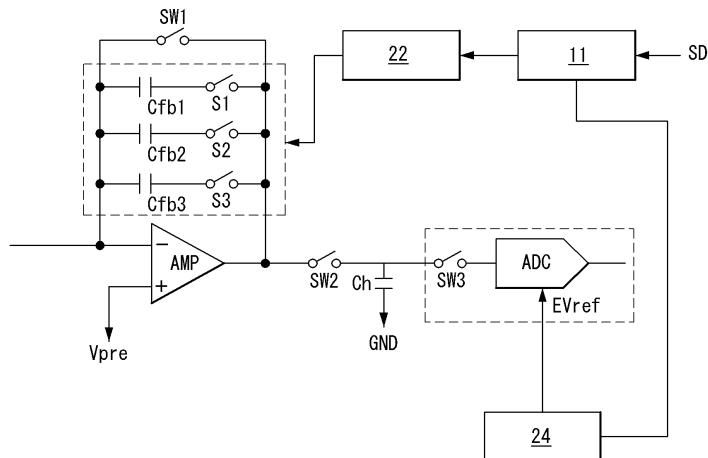
## 도면11



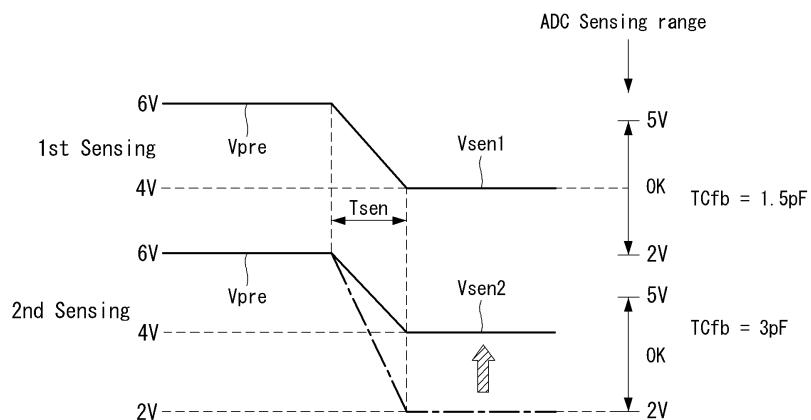
## 도면12



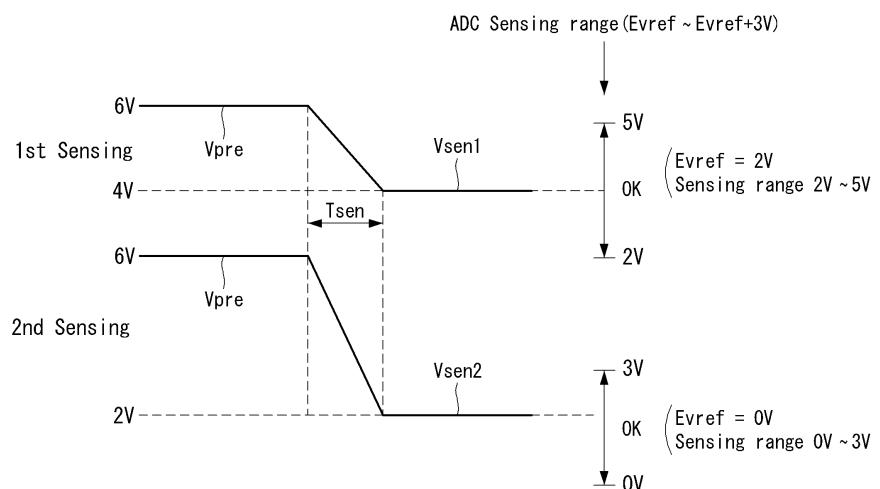
도면13



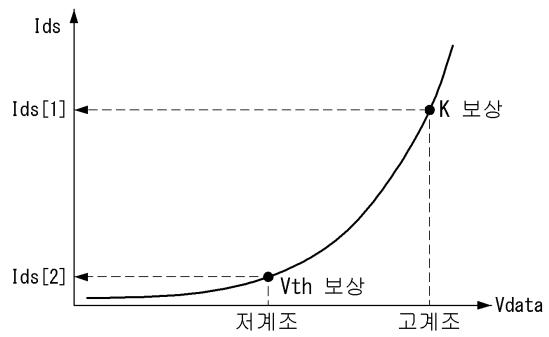
도면14



도면15



도면16



专利名称(译)	一种有机发光显示装置，能够补偿驱动装置的电特性的变化		
公开(公告)号	<a href="#">KR101597037B1</a>	公开(公告)日	2016-02-24
申请号	KR1020140079255	申请日	2014-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM TAE GUNG 김태궁 KIM JUNG HYEON 김정현 YOON JIN HAN 윤진한		
发明人	김태궁 김정현 윤진한		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	G09G3/006 G09G3/3225 G09G3/3233 G09G3/3275 G09G2310/027 G09G2310/0291 G09G2310/08 G09G2320/0285 G09G2320/029 G09G2320/045 G09G2330/12 G09G3/3258 G09G3/3291 G09G2300 /0819 G09G2300/0828 G09G2320/0223		
其他公开文献	KR1020160001822A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

有机光在根据本发明的OLED的发光显示装置中，和用于控制有机发光二极管的光发射量的驱动TFT，分别，数据线，或者，栅极线中的任一个，并分别连接到的感测线中的任一项所述的多个一种显示面板，其上形成有像素;一种栅极驱动电路，用于在感测驱动期间产生对应于一行感测导通的感测栅极脉冲，并以行顺序方式顺序地将感测栅极脉冲提供给栅极线;多个DAC，用于在感测操作期间产生感测数据电压并将感测的数据电压供给在一行中感测的一行中的数据线;一种数据驱动电路，包括多个电流积分器，用于积分漏极和ADC之间的电流，用于数字处理电流积分器的输出并输出数字传感值;通过控制上述数据，驱动电路和栅极驱动电路的操作中，在所述一个行接通时间感测到的，由感测数据电压为第一电平的第一源 - 漏电流值的积分之后，第二级并且定时控制器用于基于第二晶体管的感测数据电压来积分第二源极 - 漏极电流值。

